

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4657016号  
(P4657016)

(45) 発行日 平成23年3月23日 (2011.3.23)

(24) 登録日 平成23年1月7日 (2011.1.7)

(51) Int. Cl.	F I	
HO 1 L 29/792 (2006.01)	HO 1 L 29/78	3 7 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10	4 3 4
HO 1 L 21/8247 (2006.01)	HO 1 L 21/28	3 0 1 A
HO 1 L 27/115 (2006.01)	HO 1 L 21/285	S
HO 1 L 21/28 (2006.01)	HO 1 L 29/78	6 1 3 B
請求項の数 9 (全 32 頁) 最終頁に続く		

(21) 出願番号 特願2005-168061 (P2005-168061)  
 (22) 出願日 平成17年6月8日 (2005.6.8)  
 (65) 公開番号 特開2006-32917 (P2006-32917A)  
 (43) 公開日 平成18年2月2日 (2006.2.2)  
 審査請求日 平成20年4月11日 (2008.4.11)  
 (31) 優先権主張番号 特願2004-176189 (P2004-176189)  
 (32) 優先日 平成16年6月14日 (2004.6.14)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山口 哲司  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 徳永 肇  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 河合 俊英

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

基板上に半導体領域を形成し、  
 前記半導体領域上に第1絶縁膜を形成し、  
 金属元素及び前記金属元素に対する固溶限界を超えるシリコンを有する固溶体をターゲットとしてスパッタリングして、前記第1絶縁膜上に金属層及びシリコン粒子を形成し、  
 前記金属層を酸化して第2絶縁膜を形成し、  
 前記第2絶縁膜上にゲート電極を形成した後、前記第2絶縁膜の露出部をエッチングして前記シリコン粒子の一部を露出させ、  
 前記露出されたシリコン粒子をエッチングして、シリコン粒子からなるフローティングゲート電極を形成することを特徴とする半導体装置の作製方法。

10

【請求項2】

基板上に半導体領域を形成し、  
 前記半導体領域上に第1絶縁膜を形成し、  
 金属元素及び前記金属元素に対する固溶限界を超えるシリコンを有する固溶体をターゲットとしてスパッタリングして、前記第1絶縁膜上に金属層及びシリコン粒子を形成し、  
 前記金属層を酸化して第2絶縁膜を形成した後、前記第2絶縁膜上にマスクパターンを形成し、  
 前記マスクパターンを用いて前記第2絶縁膜及び前記シリコン粒子の一部をエッチングして、シリコン粒子からなるフローティングゲート電極を形成し、

20

前記第1絶縁膜及び前記フローティングゲート電極上に第3絶縁膜を形成し、  
前記第3絶縁膜上にゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項3】

請求項1において、前記第2絶縁膜と前記ゲート電極との間に第3絶縁膜を形成することを特徴とする半導体装置の作製方法。

【請求項4】

請求項1乃至3のいずれか一において、前記基板と前記半導体領域との間に絶縁膜を形成することを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至4のいずれか一において、前記基板を加熱しながら前記金属層及び前記シリコン粒子を形成することを特徴とする半導体装置の作製方法。

10

【請求項6】

請求項5において、前記基板を加熱する際の基板温度を100度以上300度以下とすることを特徴とする半導体装置の作製方法。

【請求項7】

請求項1乃至6のいずれか一において、前記フローティングゲート電極の幅は、前記ゲート電極の幅よりも小さいことを特徴とする半導体装置の作製方法。

【請求項8】

請求項1乃至7のいずれか一において、前記金属元素は、ベリリウム、アルミニウム、亜鉛、ガリウム、ゲルマニウム、銀、カドミウム、インジウム、スズ、アンチモン、金、鉛、ビスマスの何れか一つ又は複数であることを特徴とする半導体装置の作製方法。

20

【請求項9】

請求項1乃至8のいずれか一において、前記固溶限界は、前記金属層の成膜温度における固溶限界であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体不揮発性記憶素子を有する半導体装置に関して、特に半導体粒子で形成されるフローティングゲート電極を有する半導体装置の作製方法に関する。

【背景技術】

30

【0002】

EEPROM (Electrically Erasable and Programmable Read Only Memory) やフラッシュメモリは、半導体不揮発性メモリを代表するメモリとして知られている。不揮発性メモリは、電荷蓄積層として機能する導電層又はポリシリコン層を有するフローティングゲート型メモリが代表的である。

【0003】

近年のデバイスの縮小に伴い、半導体不揮発性メモリのトンネル酸化膜の薄膜化が進められている。このような現状において、成膜時や、データの書き込み、又は消去に伴う一連の動作（電荷の注入、保持、放出等）におけるトンネル酸化膜の劣化によって、トンネル酸化膜に欠陥が生じる。従来のフローティングゲート型メモリ素子では、トンネル酸化膜に一箇所でも欠陥が生じると、この欠陥がパスとなりフローティングゲート電極に蓄積された電荷がリークしてしまい、メモリとしての機能が動作しなくなる。

40

【0004】

そこで、導電層又はポリシリコン層の代わりに、シリコン量子構造体（以下、シリコンドットと示す。）をフローティングゲート電極として用いたものが特許文献1に開示されている。ここでは、減圧化学気相堆積法（LPCVD法）によりシリコンドットが形成されている。

【特許文献1】特開平11-87544号公報

【発明の開示】

50

## 【発明が解決しようとする課題】

## 【0005】

しかしながら、LPCVD法では、シリコンの成長の初期段階を用いてシリコンドットを形成している。このため、シリコンドットの粒径の制御が困難であるという問題があった。

## 【0006】

また、シリコンドットは数nmというサイズである。このため、クローンブロッケード現象等の量子効果の影響で、各ドットに注入される電子数は少なく、しきい値電圧変化の量は小さい。しきい値電圧の変化量を増加させるためには、単位面積当たりのシリコンドットの数であるシリコンドットの密度を増加させればよい。しかしながら、同一平面にシリコンドットが形成されているため、密度を増加させるには限界があり、しきい値電圧の変化量を増加させることが困難である。また、三次元的にシリコンドットを積み上げて密度を増加させればよいが、三次元的にシリコンドットを積み上げるためには、シリコンドットを分離するための酸化膜の成膜と、シリコンドットの形成とを繰り返さなければならず、工程数が増加してしまう。このため、スループットの低下及びコスト増加という問題があった。

10

## 【0007】

また、クローンブロッケード現象等の量子効果を生じさせないようにLPCVD法を用いてシリコンドットサイズを大きくしようとする、シリコンドットの形成時において隣接するドット同士が接触し、一体化してしまう。この結果、導電層又はポリシリコン層をフローティングゲート電極とした従来の半導体不揮発性記憶素子と同様の構造となり、信頼性の高い半導体不揮発性記憶素子を作製できない。

20

## 【0008】

そこで本発明は、信頼性の高く、且つしきい値電圧の変化量を高めることが可能な半導体不揮発性記憶素子を有する半導体装置の作製方法を提供する。また、信頼性の高い半導体不揮発性記憶素子を有する半導体装置を大面積基板を用いて製造する方法を提供する。

## 【課題を解決するための手段】

## 【0009】

本発明は、固溶限界を超えるシリコンを有する固溶体をターゲットとしてスパッタリングを行い、固溶体の主成分である金属元素の導電層と、シリコン粒子（シリコンドット、シリコンクラスター）とからなる導電膜を成膜した後、金属元素の導電層を除去してシリコン粒子を露出することを要旨とする。また、当該シリコン粒子をフローティングゲート電極とする半導体不揮発性記憶素子（以下、メモリトランジスタと示す。）を有する半導体装置を作製することを要旨とする。このときの固溶限界は、成膜温度における固溶限界である。また、加熱しながら金属元素の導電層と、シリコン粒子（シリコンドット、シリコンクラスター）とからなる導電膜を成膜することで、シリコン粒子の密度が増加すると共に、シリコン粒子の径が均一になる。

30

## 【0010】

また、本発明は、金属元素と、当該金属元素に対して固溶限界を超えるシリコンとで形成される固溶体をターゲットとしてスパッタリングを行い、シリコン粒子及び金属元素で形成される層からなる導電膜を絶縁膜上に成膜した後、金属元素で形成される層を除去してシリコン粒子を露出し、該シリコン粒子をフローティングゲート電極とするメモリトランジスタを有する半導体装置を形成することを特徴とする。

40

## 【0011】

また、本発明は金属元素と、当該金属元素に対して固溶限界を超えるシリコンとで形成される固溶体をターゲットとしてスパッタリングを行い、シリコン粒子及び金属元素で形成される層からなる導電膜を絶縁膜上に成膜した後、金属元素で形成される層を酸化して金属酸化膜を形成し、該シリコン粒子をフローティングゲート電極としてメモリトランジスタを有する半導体装置を形成することを特徴とする。

## 【0012】

50

なお、固溶限界とは、均一な固溶体が安定に形成される溶質の限界濃度を示す。即ち、固溶限界を超えるシリコンとは、金属元素に対する固溶限界を超えるシリコンの濃度を示す。

#### 【0013】

主成分 A 及び副成分 B で構成される融液は、急冷されると副成分 B の拡散速度よりも早い速度で主成分 A 及び副成分 B が急冷凝固する。このため、固溶限界を超える副成分 B が固溶した固溶体 A B を得ることが可能である。このような固溶体をターゲットに用いスパッタリング反応を行うと、固溶体 A B のほかに固溶限界を超える副成分 B が粒子状に析出する。このため、固溶限界を超える副成分 B としてシリコンを有し、主成分 A としてシリコンと固溶体を形成する金属元素を有する固溶体をターゲットに用いてスパッタリングすることにより、シリコン粒子が析出されるとともに、金属元素の導電層が形成される。該金属元素の導電層を除去することにより、シリコン粒子を形成することができる。また、該シリコン粒子及び金属元素の導電層を半導体領域とトンネル酸化膜とが重畳する領域に形成することで、シリコン粒子で形成されるフローティングゲート電極を形成することが可能であり、また該フローティングゲート電極を有するメモリトランジスタを形成することができる。

10

#### 【発明の効果】

#### 【0014】

スパッタリング法により、大面積基板上にシリコン粒子をフローティングゲート電極に有する半導体装置を作製することが可能である。このため、大型基板を用いてメモリトランジスタを有する薄膜回路を形成した後、複数の薄膜集積回路を切り出して半導体装置を作製することも可能であるため、一度に多数の半導体装置を作製することが可能であり、信頼性の高い半導体装置の低コスト化が可能である。

20

#### 【0015】

また、スパッタリング法を用いることで、三次元的に分散されたシリコン粒子を形成することが可能であるため、電荷蓄電層として機能するシリコン粒子の密度を増加させることが可能である。また、多数のシリコン粒子が一体化することを妨げつつ、シリコン粒子の大きさを大きくすることが可能であり、各粒子に注入される電荷量を増加させ、しきい値電圧のシフト量を増加させることが可能である。

#### 【0016】

メモリトランジスタにおいて、フローティングゲートに電子が注入されると、メモリトランジスタのしきい値電圧が上昇する。メモリトランジスタは、該しきい値電圧によって、“0”又は“1”のどちらの情報を持っているかが決定される。このため、しきい値電圧の変化量を増加させることにより、電氣的読み出しを行う際の読み出しマージンを広く保つことができ、データ破壊が生じにくい不揮発性メモリを作製することが可能となる。

30

#### 【発明を実施するための最良の形態】

#### 【0017】

以下に、本発明の実施形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施形態の記載内容に限定して解釈されるものではない。なお、実施形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

40

#### 【0018】

#### (実施の形態 1)

本実施形態では、シリコンドットを有する不揮発性メモリの作製工程について図 1 を用いて説明する。

#### 【0019】

図 1 (A) に示すように、基板 101 上に半導体領域 102 を形成する。次に、基板及び半導体領域上に第 1 絶縁膜 103 を成膜する。次に、第 1 絶縁膜 103 上に第 1 導電

50

膜106を成膜する。第1導電膜106は、シリコン粒子104と導電層105とで形成される。

#### 【0020】

基板101としては、ガラス基板、石英基板、セラミックス基板、プラスチック基板、ステンレス基板、合成樹脂基板、可撓性基板、単結晶半導体基板（代表的には、N型またはP型の単結晶シリコン基板、GaAs基板、InP基板、GaN基板、SiC基板、又はZnSe基板）等がある。また、SOI（Silicon on Insulator）基板を用いても良い。これらの基板を用いる際に、基板に接する下地膜（図示せず）を要する場合は適宜用いれば良い。本実施形態では下地膜も含めて基板101と示す。

#### 【0021】

半導体領域102は、非晶質半導体膜、微結晶半導体膜、又は結晶性半導体膜をフォトリソグラフィ工程及びエッチング工程により所望の形状にエッチングする。非晶質半導体膜としては、減圧熱CVD法、プラズマCVD法またはスパッタリング法などの公知の成膜法で形成される膜が挙げられる。結晶性半導体膜としては、公知の成膜法で形成される非晶質半導体膜を、レーザ結晶化法で結晶化した結晶性半導体膜、上記成膜法で形成される非晶質半導体膜を固相成長法で結晶化した結晶性半導体膜、または特許第3300153号公報に開示の技術を用いて形成した結晶性半導体膜、若しくは上記結晶性半導体膜に、レーザ照射をして結晶性を高めた半導体膜等を適宜用いることができる。さらには、シラン（SiH<sub>4</sub>）を原料として形成される微結晶半導体膜にレーザ光を照射して結晶化した結晶性半導体膜等を用いても良い。

#### 【0022】

半導体膜の半導体材料としては、シリコン（Si）、ゲルマニウム（Ge）、またシリコンゲルマニウム合金、炭化シリコン、ガリウム砒素などの化合物半導体材料を用いることができる。

#### 【0023】

なお、レーザ光を照射して結晶化する場合、レーザ光を半導体膜に照射する前に、レーザ光に対する半導体膜の耐性を高めるために、500、1時間の熱アニールを該半導体膜に対して行うことが望ましい。そして連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波のレーザ光を照射することで、大粒径の結晶を得ることができる。例えば、代表的には、Nd：YVO<sub>4</sub>レーザ（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いるのが望ましい。具体的には、連続発振のYVO<sub>4</sub>レーザから射出されたレーザ光を非線形光学素子により高調波に変換し、出力数W以上のレーザ光を得る。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、半導体膜に照射する。このときのエネルギー密度は0.01～100MW/cm<sup>2</sup>程度（好ましくは0.1～10MW/cm<sup>2</sup>）が必要である。そして、走査速度を10～200cm/sec程度とし、照射する。

#### 【0024】

なおレーザは、公知の連続発振の気体レーザもしくは固体レーザを用いることができる。気体レーザとして、Arレーザ、Krレーザなどがあり、固体レーザとして、YAGレーザ、YVO<sub>4</sub>レーザ、YLFレーザ、YAlO<sub>3</sub>レーザ、Y<sub>2</sub>O<sub>3</sub>レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti：サファイアレーザなどが挙げられる。

#### 【0025】

また、パルス発振のレーザ光の発振周波数を0.5MHz以上、好ましくは10MHz以上とし、通常用いられている数十Hz～数百Hzの周波数帯よりも著しく高い周波数帯を用いてレーザ結晶化を行っても良い。パルス発振でレーザ光を半導体膜に照射してから半導体膜が完全に固化するまでの時間は数十nsec～数百nsecと言われている。よって上記周波数帯を用いることで、半導体膜がレーザ光によって熔融してから固化するまでに、次のパルスのレーザ光を照射できる。したがって、半導体膜中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜が形成される。具体的には、含まれる結晶粒の走査方向における幅が10～

10

20

30

40

50

30 μm、走査方向に対して垂直な方向における幅が1～5 μm程度の結晶粒の集合を形成することができる。該走査方向に沿って長く伸びた単結晶の結晶粒を形成することで、TFTのキャリアの移動を妨げる結晶粒界がほとんど存在しない半導体膜の形成が可能となる。

【0026】

さらには、ポリチオフェン、ポリ(3-アルキルチオフェン)、ポリチオフェン誘導体、ペンタセンや、その他公知の有機半導体材料を用いて半導体領域を形成しても良い。

【0027】

本実施形態では、パルス発振のレーザ光を非晶質半導体膜に照射して、結晶性シリコン膜を成膜する。この後、後に形成されるトランジスタのしきい値電圧を制御するため、半導体膜にB<sub>2</sub>H<sub>6</sub>をドーピングしてチャネルドープを行ってもよい。

10

【0028】

なお、フォトリソグラフィ工程の代わりに、所定の場所に材料を吐出することが可能なインクジェット法や液滴吐出法等により、有機樹脂、無機材料等の絶縁材料を吐出してマスクパターンを形成し、該マスクパターンを用いて半導体膜をエッチングして半導体領域を形成してもよい。このとき、マスクパターンの面積をより小さくすることで、微細な半導体領域が形成可能であり、メモリトランジスタが高集積化された半導体装置を作製することができる。

【0029】

次に、半導体領域102及び基板101上に、第1絶縁膜103を成膜する。第1絶縁膜103は、膜厚1～100 nm、好ましくは1～10 nm、さらに好ましくは2～5 nmであることが望ましい。第1絶縁膜は、後に形成されるメモリトランジスタにおいてはトンネル酸化膜として機能する。このため、第1絶縁膜の膜厚が薄いほどトンネル電流が流れやすく、高速動作が可能となり好ましい。また、第1絶縁膜の膜厚が薄い程、低電圧でフローティングゲート電極に電荷を蓄積させることが可能である。この結果、後に形成される半導体装置の消費電力を低減することが可能である。

20

【0030】

第1絶縁膜103の形成方法としては、GRTA(Gas Rapid Thermal Anneal)法、LRTA(Lamp Rapid Thermal Anneal)法、酸素プラズマを用いた処理等を用いて半導体領域102表面を酸化し、熱酸化膜を形成することで、膜厚の薄い第1絶縁膜を形成することができる。また、この方法の他、PVD法(Physical Vapor Deposition)、CVD法(Chemical Vapor Deposition)、塗布法等を用いて形成してもよい。第1絶縁膜103としては、酸化珪素膜、窒化珪素膜で形成することができる。また、基板101側から酸化珪素膜、窒化珪素膜や、酸化珪素膜、窒化珪素膜、酸化珪素膜など積層構造としてもよい。なお、半導体領域に接して酸化珪素膜を形成すると、ゲート絶縁膜と半導体領域との界面準位が低くなるため好ましい。本実施形態では、第1絶縁膜103として、酸化珪素膜及び窒化珪素膜を積層させて形成する。

30

【0031】

次に、第1絶縁膜103上に第1導電膜106をスパッタリング法により成膜する。ここでは、主成分の金属元素に対して固溶限界以上のシリコンを有する固溶体をターゲットに用いる。シリコンと固溶体を形成することが可能な金属元素としては、ベリリウム(Be)、アルミニウム(Al)、亜鉛(Zn)、ガリウム(Ga)、ゲルマニウム(Ge)、銀(Ag)、カドミウム(Cd)、インジウム(In)、スズ(Sn)、アンチモン(Sb)、金(Au)、鉛(Pb)、ビスマス(Bi)等が挙げられる。成膜温度における固溶限界を超えるシリコンと、上記金属元素の一つ又は複数からなる固溶体とをターゲットとして、スパッタリングすることにより、シリコン粒子104と上記金属元素の一つ又は複数からなる導電層105が形成される。このときのシリコン粒子は10～50 nm、好ましくは20～30 nmである。また、基板を加熱しながらシリコン粒子104と上記金属元素からなる導電層105を成膜すると、シリコン粒子の密度が増加し、シリコン

40

50

粒子径が増大する。

【0032】

ここで、シリコン粒子104と上記金属元素からなる導電層105とが形成される原理について、図4を用いて説明する。図4(A)は、スパッタリングの初期段階の基板上的様子である。基板403上に、金属元素粒子401とシリコン粒子402とが析出する。なお、金属元素粒子401にはシリコンが固溶しているが、固溶限界を超えたシリコンがシリコン粒子402として析出する。また、シリコンが固溶した金属元素粒子が成長して導電層105となる。

【0033】

ここで、基板403が加熱しながらスパッタリングを行うと、図4(B)の411のように、基板403表面に金属元素粒子が成長する。金属元素の融点がシリコンより低い場合、金属元素粒子が選択的に成長する。

10

【0034】

次に、図4(C)に示すように、さらに金属元素粒子が成長すると、金属元素粒子同士421~423が隣接する。このとき金属元素粒子の粒界に、一部のシリコン粒子402が偏析する。さらに、スパッタリングを続けると金属元素粒子が成長して導電層となる。この結果、シリコン粒子と導電層からなる導電膜が形成される。

【0035】

次に、図4(D)に示すように、金属元素層を除去することで、基板上にシリコン粒子402を形成することが可能である。

20

【0036】

次に、図1(A)に示す第1導電膜及びその近傍107の拡大図を図10に示す。図10(A)では、シリコン粒子104が、二次元的に、即ちシリコン粒子全てが第1絶縁膜に接して形成されている。また、図10(B)に示すように、シリコン粒子108が三次元的に、即ち第1絶縁膜に接する第1シリコン粒子、及び該第1シリコン粒子に接する第2シリコン粒子で形成されている。図10(A)及び図10(B)において、シリコン粒子は第1絶縁膜側に形成される。本実施形態においては、図10(A)及び(B)のどちらのシリコン粒子をも、適宜選択することが可能である。実施の形態1では、二次元的に分散したシリコン粒子を形成する。また、アルミニウム-シリコン合金をターゲットとして、シリコン粒子とアルミニウム層で形成される導電膜を成膜する。

30

【0037】

なお、基板を加熱しながらシリコン粒子104と上記金属元素からなる導電層105を成膜すると、シリコン粒子の密度が増加し、シリコン粒子径が増大するが、このときの基板温度は300度以下、好ましくは250度以下であることが望ましい。基板温度が300度より高くなると、ヒロックが発生する。このヒロックがトンネル酸化膜として機能する第1の絶縁膜103を突き破り、メモリトランジスタの電荷保持に影響を与えるためである。

【0038】

また、基板温度は、100度以上、好ましくは125度以上であることが望ましい。基板温度が低いとシリコン粒子の径が小さく、電荷を保持する容量が少ないためである。

40

【0039】

次に、図1(B)に示すように、第1導電膜の導電層105を除去する。ここでは、導電層を選択的に除去する手法、代表的にはウエットエッチング法を用いることが好ましい。この結果、シリコン粒子104及び第1絶縁膜103を露出することができる。

【0040】

次に、図1(C)に示すように、シリコン粒子104及び第1絶縁膜103上に、第2絶縁膜111及び第2導電膜112を成膜する。次に、第2導電膜112上にマスクパターン113を形成する。

【0041】

第2絶縁膜111は、膜厚1~100nm、好ましくは10~70nm、さらに好まし

50

くは10～30nmであることが望ましい。第2絶縁膜111は、メモリトランジスタにおいて後に形成されるフローティングゲート電極と後に形成されるゲート電極との絶縁性を保つ必要がある。このため、これらの中でリーク電流が増加しない程度の膜厚とすることが好ましい。第2絶縁膜111は、第1絶縁膜103と同様に、酸化珪素膜、窒化珪素膜で形成することができる。また、基板101側から酸化珪素膜、窒化珪素膜や、酸化珪素膜、窒化珪素膜、酸化珪素膜など積層構造としてもよい。ここでは、第2絶縁膜111として、膜厚10nmの酸化珪素膜と膜厚20nmの窒化珪素膜の積層構造で形成する。

#### 【0042】

なお、この後、第2絶縁膜を成膜の後、図1(B)に示すように、シリコン粒子を含む導電膜の成膜及び金属元素層の除去を行い、第3絶縁膜を成膜して、第2シリコン粒子を含む絶縁層を形成しても良い。更には、同様の工程を繰り返して、複数に積層されたシリコン粒子を含む絶縁層を形成しても良い。この場合、後に形成されるメモリトランジスタは複数のフローティングゲート電極を有する。

10

#### 【0043】

第2導電膜112は、スパッタリング法、蒸着法、CVD法等の公知の手法により形成することができる。また、第2導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、クロム(Cr)、ネオジム(Nd)から選ばれた元素、またはこれらの元素を主成分とする合金材料若しくは化合物材料を用いて形成することができる。また不純物元素が添加された半導体膜を用いて形成することができる。ここでは、第2導電膜として、アルミニウム薄膜をスパッタリング法により成膜する。

20

#### 【0044】

マスクパターン113は、公知のフォトリソグラフィ工程を用いることができる。また、半導体領域102を形成するとき用いた手法によりマスクパターンを形成しても良い。さらには、上記手法により形成したマスクパターンを、アッシング等によりスリミングしてマスクパターンの幅を細くしてもよい。この結果、後に形成されるゲート電極の幅の狭い短チャネル構造のTFETを形成することが可能であり、高速動作が可能なTFETを形成することが可能である。なお、このマスクパターン113は、後にゲート電極を形成するためのマスクパターンである。このため、液滴吐出法を用いてゲート電極を形成する場合は、マスクパターン113を設けなくともよい。

30

#### 【0045】

次に、図1(D)に示すように、マスクパターン113を用いて第2導電膜112をエッチングしてゲート電極121を形成する。次に、第2絶縁膜111をエッチングして第2絶縁層122を形成すると共に、シリコン粒子104を露出する。次に、シリコン粒子104をエッチングして、シリコン粒子からなるフローティングゲート電極123を形成する。第2導電膜112、第1絶縁膜、及びシリコン粒子104は、ウエットエッチング法、ドライエッチング法等公知のエッチング法によりエッチングする。なお、シリコン粒子104が形成されている第1絶縁膜103の膜厚が薄い場合、ドライエッチングのプラズマ衝撃により第1絶縁膜に欠陥が生じる可能性がある。このため、ウエットエッチングで除去を行うことが好ましい。ここでは、 $\text{NMD}_3$ 溶液(テトラメチルアンモニウムハイドロオキサイドを0.2～0.5%含む水溶液)等を用いたウエットエッチング法により、シリコン粒子を除去する。

40

#### 【0046】

ゲート電極の幅は0.2～1.5 $\mu\text{m}$ 、好ましくは0.2～0.7 $\mu\text{m}$ とする。ゲート電極の幅を当該範囲内に設定することにより、後にチャネル長の短いメモリトランジスタを形成することが可能であり、高速度動作が可能な半導体装置を作製することが可能である。

#### 【0047】

フローティングゲート電極は分散された粒子で形成されている。このため、トンネル酸化膜として機能する第1絶縁膜に欠陥があった場合、フローティングゲート電極に蓄積し

50

た電荷すべてが、欠陥から半導体領域に流れ出ることを回避することができる。この結果、信頼性の高いメモリトランジスタを形成することができる。

【0048】

次に、図1(E)に示すように、ゲート電極121をマスクとして半導体領域102に、n型又はp型を付与する不純物元素を添加する。次に、図示しない絶縁膜を成膜し、加熱処理、GRTA法、LRTA法等により、不純物元素の活性化を行い、ソース領域及びドレイン領域131、132を形成する。この後、第1絶縁膜及びゲート電極上に窒化珪素膜からなる無機絶縁膜を設けて、加熱処理を行っても良い。この無機絶縁膜を、膜中に水素を含ませる条件で成膜し、加熱処理を行うことで、各半導体領域のダングリングボンドを終端する水素化することが可能である。

10

【0049】

次に、層間絶縁膜として機能する第3絶縁膜を形成する。第3絶縁膜は、ポリイミド、アクリル、ポリアミド等の耐熱性を有する有機樹脂を用いることができる。また上記有機樹脂の他に、低誘電率材料(low-k材料)、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂(以下、シロキサン系樹脂と呼ぶ)等を用いることができる。シロキサン系樹脂は、置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)を有する。また、置換基として、フルオロ基を有してもよい。さらには置換基として、少なくとも水素を含む有機基と、フルオロ基とを有してもよい。第3絶縁膜の形成には、その材料に応じて、スピコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター、CVD法、蒸着法等を採用することができる。また、無機材料を用いてもよく、その際には、酸化珪素、窒化珪素、酸窒化珪素、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの絶縁膜を積層させて、第3絶縁膜を形成しても良い。ここでは、アクリルを塗布し焼成して第3絶縁膜を形成する。

20

【0050】

次に、フォトリソグラフィ工程及びエッチング工程により第3絶縁膜の一部、第1絶縁膜103の一部をエッチングしてコンタクトホールを形成すると共に、ソース領域及びドレイン領域の一部を露出する。このとき、エッチングされた第3絶縁膜を第3絶縁層133、エッチングされた第1絶縁膜を第1絶縁層134と示す。なお、ここでは、第3絶縁層133は、表面が平坦な絶縁膜が図示されているが、平坦でなくとも良い。

30

【0051】

次に、ソース領域及びドレイン領域に接続するソース電極及びドレイン電極135,136を形成し、メモリトランジスタ137を形成する。ソース電極及びドレイン電極は、PVD法、CVD法、蒸着法等により導電膜を成膜した後、所望の形状にエッチングして形成することができる。また、液滴吐出法、印刷法、電界メッキ法等により、所定の場所に選択的に導電層を形成することができる。更にはリフロー法、ダマシン法を用いても良い。ソース領域及びドレイン領域の材料は、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Si、Ge、Zr、Ba等の金属又はその合金、若しくはその金属窒化物を用いて形成する。また、これらの積層構造としても良い。

40

【0052】

なお、第1導電層において三次元的に分散されたシリコン粒子を形成した場合、図11に示すような、三次元的にシリコン粒子が分散されたフローティングゲート電極124を有するメモリトランジスタ138を形成することができる。

【0053】

また、以下の方法により、図1に示す基板101からのメモリトランジスタを剥離することが可能である。剥離方法としては、(1)基板101に、300~500度程度の耐熱性を有する基板を用い、当該基板101とメモリトランジスタ137、138との間に金属酸化膜を設け、当該金属酸化膜を結晶化により脆弱化して、当該メモリトランジスタ

50

を剥離する方法、(2)基板101とメモリトランジスタ137、138との間に水素を含む非晶質珪素膜を設け、レーザー光を照射、またはガス・溶液でのエッチングにより当該非晶質珪素膜を除去することで、当該メモリトランジスタ137、138を剥離する方法、(3)メモリトランジスタ137、138が形成された基板101を機械的に削除、又は溶液や $CF_3$ 等のガスによるエッチングで除去することで、当該メモリトランジスタを切り離す方法等が挙げられる。また、剥離したメモリトランジスタのフレキシブル基板への貼り付けは、市販の接着剤を用いればよく、例えば、エポキシ樹脂系接着剤や樹脂添加剤等の接着材を用いればよい。

【0054】

上記のように、剥離したメモリトランジスタをフレキシブル基板に貼り合わせると、厚さが薄く、軽く、落下しても割れにくい半導体装置を提供することができる。また、フレキシブル基板は可撓性を有するため、曲面や異形の形状上に貼り合わせることが可能となり、多種多様の用途が実現する。また、基板101を再利用すれば、安価な半導体装置の提供が可能である。

10

【0055】

以上の工程により、半導体領域102、トンネル酸化膜として機能する第1絶縁層134、フローティングゲート電極123、第2絶縁層122、及びゲート電極121で構成されるメモリトランジスタ137を形成することができる。また、図11に示すような半導体領域102、トンネル酸化膜として機能する第1絶縁層134、フローティングゲート電極124、第2絶縁層122、及びゲート電極121で構成されるメモリトランジスタ138を形成することができる。

20

【0056】

また、基板101として大面積基板を用い、上記の工程により複数の半導体装置の回路パターンを形成し、最後に矩形状又は短冊状に分割して、個々の半導体装置を取り出すことが可能である。この工程によって、大量の半導体装置を形成することが可能である。この結果、低コスト化が可能である。

【0057】

さらに本実施形態で作製したメモリトランジスタを剥離し、フレキシブル基板に接着することにより、薄型の半導体装置の作製が可能である。

【0058】

本実施形態により、スパッタリング法を用いて大面積基板上にシリコン粒子をフローティングゲート電極に有する半導体装置を作製することが可能である。このため、大型基板を用いてメモリトランジスタを有する薄膜回路を形成した後、複数の薄膜集積回路を切り出して半導体装置を作製することも可能であるため、半導体装置の低コスト化が可能である。

30

【0059】

また、スパッタリング法を用いることで、三次元的に分散されたシリコン粒子を形成することが可能であるため、電荷蓄電層として機能するシリコン粒子の密度を増加させることが可能であり、しきい値電圧の変化量を増加させることができる。

【0060】

また、多数のシリコン粒子が一体化することを妨げつつ、シリコン粒子の大きさを大きくすることが可能であり、各粒子に注入される電荷量を増加させ、しきい値電圧のシフト量を増加させることが可能である。

40

【0061】

また、メモリトランジスタのフローティングゲート電極に分散されたシリコン粒子を用いているため、トンネル酸化膜の欠陥による蓄積電荷の流出を回避することができる。このため、信頼性の高い半導体装置を形成することができる。

【0062】

(実施の形態2)

本実施形態では、実施の形態1において、シリコン粒子上の導電層を酸化して絶縁膜を

50

形成する工程を有するメモリトランジスタの作製方法について図2を用いて説明する。

【0063】

図2(A)に示すように、実施の形態1に従って基板101上に半導体領域102及び第1絶縁膜103を形成する。次に、第1絶縁膜103上にシリコン粒子104及び導電層105を有する第1導電膜106をスパッタリング法により形成する。ここでは、金属元素に対して固溶限界を超えたシリコンを有する固溶体をターゲットに用いる。シリコンと固溶体を形成する金属元素としては、ベリリウム(Be)、アルミニウム(Al)、亜鉛(Zn)、ガリウム(Ga)、ゲルマニウム(Ge)、銀(Ag)、カドミウム(Cd)、In(インジウム)、スズ(Sn)、アンチモン(Sb)、鉛(Pb)、ビスマス(Bi)等のシリコンと固溶し、且つ酸化しやすい金属元素が挙げられる。

10

【0064】

次に、図2(B)に示すように、導電層105を酸化して、金属酸化膜で形成される第2絶縁膜151を形成する。加熱処理、GRTA法、LRTA法、陽極酸化法等により導電層105を酸化することで、第2絶縁膜151を形成することができる。

【0065】

次に、図2(C)に示すように、第2絶縁膜151上に第3絶縁膜152及び第2導電膜112を形成し、第2導電膜112上にマスクパターン113を形成する。第3絶縁膜152は、実施の形態1の第2絶縁膜111と同様の材料及び手法により形成することができる。

【0066】

なお、本実施形態では、金属酸化膜上に第2の絶縁膜を成膜したが、金属酸化膜表面が完全に酸化され、絶縁される場合、第2の絶縁膜を新たに成膜しなくとも良い。この場合、金属酸化膜で、フローティングゲート電極とゲート電極とを絶縁するため、工程数を削減することが可能である。

20

【0067】

次に、図2(D)に示すように、マスクパターン113を用いて、第2導電膜112をエッチングしてゲート電極121を形成する。次に、第3絶縁膜152及び第2絶縁膜151をそれぞれエッチングして第3絶縁層163及び第2絶縁層162を形成すると共に、シリコン粒子104を露出する。なお、エッチングされた第2絶縁膜151を第2絶縁層162、エッチングされた第3絶縁膜152を第3絶縁層163と示す。次に、シリコン粒子104をエッチングして、シリコン粒子からなるフローティングゲート電極123を形成する。第2絶縁膜は、第3絶縁膜と同様にウエットエッチング法、ドライエッチング法等公知のエッチング法によりエッチングする。

30

【0068】

この後、実施の形態1と同様の工程により、第3絶縁層133、ソース電極及びドレイン電極135、136を形成することで、メモリトランジスタを形成することができる。

【0069】

以上の工程により、半導体領域102、トンネル酸化膜として機能する第1絶縁層134、フローティングゲート電極123、第2絶縁層162、第3絶縁層163及びゲート電極121で構成されるメモリトランジスタ164を形成することができる。

40

【0070】

また、実施の形態1と同様に基板101として大面積基板を用い、上記の工程により複数の半導体装置の回路パターンを形成し、最後に矩形状に分割して、個々の半導体装置を取り出すことが可能である。この工程によって、大量の半導体装置を形成することが可能である。この結果、低コスト化が可能である。

【0071】

さらに本実施形態で作製したメモリトランジスタを剥離し、フレキシブル基板に接着することにより、薄型の半導体装置の作製が可能である。

【0072】

また、スパッタリング法を用いることで、三次元的に分散されたシリコン粒子を形成す

50

ることが可能であるため、電荷蓄電層として機能するシリコン粒子の密度を増加させることが可能であり、しきい値電圧の変化量を増加させることができる。

【0073】

また、多数のシリコン粒子が一体化することを妨げつつ、シリコン粒子の大きさを大きくすることが可能であり、各粒子に注入される電荷量を増加させ、しきい値電圧のシフト量を増加させることが可能である。

【0074】

また、メモリトランジスタのフローティングゲート電極に分散されたシリコン粒子を用いているため、トンネル酸化膜の欠陥による蓄積電荷の流出を回避することができる。このため、信頼性の高い半導体装置を形成することができる。

10

【0075】

(実施の形態3)

ここでは、ゲート電極とフローティングゲート電極とを別のマスクパターンを用いて形成するメモリトランジスタの作製工程について、図3を用いて説明する。

【0076】

図3(A)に示すように、実施の形態1に従って基板101上に半導体領域102及び第1絶縁膜103を形成する。次に、第1絶縁膜103上にシリコン粒子104及び導電層105を有する第1導電膜106をスパッタリング法により形成する。次に、図3(B)に示すように、実施の形態1と同様に導電層105を除去してシリコン粒子104を露出する。次に、シリコン粒子104及び第1絶縁膜103上に第1マスクパターン171を形成する。第1マスクパターン171は、後のフローティングゲート電極を形成するためのマスクパターンである。

20

【0077】

次に、第1マスクパターン171を用いてシリコン粒子をエッチングして、図3(C)に示すように、シリコン粒子からなるフローティングゲート電極172を形成する。次に、フローティングゲート電極172及び第1絶縁膜103上に第2絶縁膜111及び第2導電膜112を成膜する。次に、第2導電膜112上に第2マスクパターン173を形成する。第2マスクパターン173は、後のゲート電極を形成するために設ける。

【0078】

次に、図3(D)に示すように、マスクパターン173を用いて、第2導電膜112をエッチングしてゲート電極121を形成する。このとき、第2絶縁膜111をエッチングしてもよい。

30

【0079】

ここで、ゲート電極121とフローティングゲート電極172との端部の位置関係について図12を用いて説明する。図12において、ゲート電極121の幅をそれぞれL1~L3と示し、フローティングゲート電極の幅をD1~D3と示す。図12(A)においては、ゲート電極121の幅L1とフローティングゲート電極172の幅D1とが等しい構造、即ちゲート電極の端部とフローティングゲート電極の端部それぞれが、概略一致しているメモリトランジスタを示す。

【0080】

図12(B)においては、ゲート電極121の幅L2よりもフローティングゲート電極172の幅D2の方が大きい、即ちフローティングゲート電極の両端部がゲート電極の両端部の外側に設けられている構造のメモリトランジスタを示す。このとき、ゲート電極121よりも外側に設けられたフローティングゲート181は、ソース領域及びドレイン領域から電圧を印加する場合に電荷が帯電し、フローティングゲート電極として機能する。従って、フローティングゲート電極172の両端部がゲート電極121の両端部より外側に設けられる構造(図12(B)参照)と、等しく重なる構造(図12(A)参照)とは、メモリトランジスタの動作方法、製造工程や微細化に有利となるように、適宜選択すればよい。

40

【0081】

50

図12(C)においては、ゲート電極121の幅L3よりもフローティングゲート電極172の幅D3が小さい構造のメモリトランジスタを示す。この場合、いわゆるスプリットゲート電極構造のメモリトランジスタとなる。スプリットゲート電極構造とは、一つの半導体領域102及びゲート電極121で、メモリトランジスタを選択する選択用トランジスタと、メモリトランジスタとを構成する素子をいう。これは図12(D)に示すように、一組の信号線190と走査線191でメモリトランジスタ192と選択用のトランジスタ193とを制御する構成である。このような構成は、メモリトランジスタが過消去状態(しきい値電圧が負の状態)になっても、選択用トランジスタ193によりメモリセルの選択性を保つことができるため、動作マージンに優れる。なお、図12(C)では、フローティングゲート電極の一方の端がゲート電極の端と一致する構成を示したが、この構造に限られない。フローティングゲート電極172の両端が、ゲート電極121の両端の内側に設けられていても良い。

10

**【0082】**

このように、ゲート電極とフローティングゲート電極との位置を、適宜制御して様々な構造のメモリトランジスタを形成することができる。

**【0083】**

この後、図3(E)に示すように、実施の形態1と同様の工程により、第3絶縁層133、ソース電極及びドレイン電極135、136を形成することで、メモリトランジスタ175を形成することができる。なお、コンタクトホールを形成する際にエッチングされた第2絶縁膜111を第2絶縁層174と示す。

20

**【0084】**

以上の工程により、半導体領域102、トンネル酸化膜として機能する第1絶縁層134、フローティングゲート電極172、第2絶縁層174、及びゲート電極121で構成されるメモリトランジスタ175を形成することができる。

**【0085】**

なお、本実施形態は、実施の形態1を用いて説明したが、実施の形態2と本実施形態とを組み合わせることが可能である。

**【実施例1】****【0086】**

本実施例においては、ガラス基板上にシリコン粒子及びアルミニウム層を有する導電膜を形成し、アルミニウム層を除去した後のシリコン粒子について、図13を用いて説明する。

30

**【0087】**

ガラス基板上に、スパッタリング法により、膜厚350nmのアルミニウム-シリコン膜を成膜する。アルミニウム-シリコン膜は、ターゲットに2wt%のSiを有するアルミニウム合金、スパッタリングガスにアルゴンをを用い、圧力0.4Pa、電力4kwの条件で成膜した。このとき、アルミニウム-シリコン膜は、シリコン粒子が基板表面に析出し、その上にアルミニウム層が形成されている。

**【0088】**

アルミニウムにおけるシリコンの最大固溶限界は、850Kにおいて1.65wt%(社団法人 日本金属学会編、「金属便覧」、改訂6版、丸善株式会社、平成12年5月30日、p566)であり、この温度以外では固溶限界が低減する。150度における固溶限界より高い濃度のシリコン(2wt%)を有するアルミニウム合金をターゲットとしてスパッタリングしたため、シリコン粒子が析出した。

40

**【0089】**

次に、アルミニウム混酸を用いてアルミニウム層を溶解し、シリコン粒子を露出した試料のSEM(走査型電子顕微鏡)写真を、図13に示す。なお、各試料の表面には、SEMによる観察をしやすくするため、膜厚数nmの白金薄膜が成膜されている。図13(A)は、基板温度を室温(25度)として、アルミニウム-シリコン膜を成膜した試料を観察したSEM写真である。シリコン粒子が分散されていることが分かる。

50

## 【 0 0 9 0 】

一方、図 1 3 ( B ) は、基板を加熱（ここでは、約 1 5 0 度）しながら、アルミニウム-シリコン膜を成膜した試料を観察した S E M 写真である。シリコン粒子が基板側に三次元的に分散されていることが分かる。また、基板を加熱しながら成膜することにより、均一な粒子径を有し、かつ密度の高いシリコン粒子を形成することが可能であることが分かる。

## 【 実施例 2 】

## 【 0 0 9 1 】

本実施例では、絶縁基板表面上に形成されるメモリトランジスタの作製工程について、図 5 を用いて説明する。本実施例において、メモリトランジスタはシングルドレイン構造である。

10

## 【 0 0 9 2 】

図 5 ( A ) に示すように、ガラス基板 5 0 0 上に第 1 絶縁膜 5 0 1 を成膜する。第 1 絶縁膜 5 0 1 は、基板からの不純物元素が後に形成される半導体領域に拡散するのを防止するためのブロッキング膜として機能する。このため、第 1 絶縁膜 5 0 1 としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜からなる下地膜を形成する。さらには、酸化珪素膜と窒化珪素膜とを連続的に成膜してもよい。

## 【 0 0 9 3 】

次に、第 1 絶縁膜 5 0 1 上にアモルファスシリコン膜を成膜し、アモルファスシリコン膜に 8 0 M H z の周波数を有するパルス発振のレーザー光を照射して結晶性シリコン膜を形成する。次に、フォトリソグラフィ工程及びエッチング工程により結晶性シリコン膜を所望の形状にエッチングして、半導体領域 5 0 2 を形成する。

20

## 【 0 0 9 4 】

次に、半導体領域 5 0 2 上に第 2 絶縁膜 5 0 3 を形成する。ここでは、酸化珪素膜と窒化珪素膜を連続成膜して第 2 絶縁膜 5 0 3 を成膜する。次に、シリコン粒子 5 0 4 とアルミニウム層からなる第 1 導電膜 5 0 6 を、スパッタリング法により成膜する。ここでは、2 w t % のシリコンを有するアルミニウム-シリコン合金をターゲットに使い、スパッタリングガスにアルゴンを用い、圧力 0 . 4 P a 、電力 4 k w 、基板を 1 5 0 度に加熱する条件で第 1 導電膜を成膜する。

## 【 0 0 9 5 】

次に、図 5 ( B ) に示すように、アルミニウム混酸を用いてアルミニウム層 5 0 5 をエッチングしてシリコン粒子 5 0 4 を露出する。

30

## 【 0 0 9 6 】

次に、図 5 ( C ) に示すように、第 2 絶縁膜 5 0 3 、及びシリコン粒子 5 0 4 上に第 3 絶縁膜 5 1 1 を成膜する。

## 【 0 0 9 7 】

次に、第 3 絶縁膜 5 1 1 上に第 2 導電膜 5 1 2 を成膜する。第 3 絶縁膜 5 1 1 及び第 2 導電膜 5 1 2 はそれぞれ、実施の形態 1 の第 2 絶縁膜 1 1 1 及び第 2 導電膜 1 1 2 と同様の材料及び成膜方法により形成することができる。次に、第 2 導電膜 5 1 2 上にマスクパターン 5 1 3 を形成する。

40

## 【 0 0 9 8 】

次に、マスクパターン 5 1 3 を用いて第 2 導電膜 5 1 2 をエッチングしてゲート電極 5 2 1 を形成する。次に、第 3 絶縁膜 5 1 1 をエッチングして第 3 絶縁層 5 2 2 を形成する。また、シリコン粒子 5 0 4 をエッチングして、シリコン粒子からなるフローティングゲート電極 5 2 3 を形成する。ここでは、ドライエッチング法により第 2 導電膜 5 1 2 及び第 3 絶縁膜 5 1 1 をエッチングする。また、ウェットエッチング法によりシリコン粒子 5 0 4 をエッチングする。ここでは、N M D<sub>3</sub> 溶液（テトラメチルアンモニウムハイドロオキサイドを 0 . 2 ~ 0 . 5 % 含む水溶液）等を用いて、シリコン粒子をエッチングする。

## 【 0 0 9 9 】

次に、マスクパターン 5 1 3 及びゲート電極 5 2 1 をマスクとして、半導体領域 5 0 2

50

に自己整合的に不純物元素を添加する。次に、マスクパターン 5 1 3 を除去した後、加熱処理、GRTA法、LRTA法等により、不純物元素の活性化を行い、図 6 ( D ) に示すように、ソース領域及びドレイン領域 5 3 1、5 3 2 を形成する。

【 0 1 0 0 】

次に、図 6 ( E ) に示すように、第 4 絶縁膜を形成する。この後、第 4 絶縁膜の一部、及び第 2 絶縁膜 5 0 3 の一部をエッチングしてコンタクトホールを形成すると共に、ソース領域及びドレイン領域の一部を露出する。ここで、エッチングされた第 4 絶縁膜を第 4 絶縁層 5 3 3、エッチングされた第 2 絶縁膜を第 2 絶縁層 5 3 4 と示す。この後、ソース領域及びドレイン領域に接続するソース電極及びドレイン電極 5 3 5、5 3 6 を形成する。

10

【 0 1 0 1 】

以上の工程により、半導体領域 5 0 2、トンネル酸化膜として機能する第 2 絶縁層 5 3 4、フローティングゲート電極 5 2 3、第 3 絶縁層 5 2 2、及びゲート電極 2 2 1 で構成されるメモリトランジスタ 5 3 7 を形成することができる。

【 0 1 0 2 】

また、本実施例は、実施の形態 1 ~ 3、実施例 1 それぞれと組み合わせて用いることが可能である。

【 実施例 3 】

【 0 1 0 3 】

本実施形態では、単結晶半導体基板を用いてメモリトランジスタを形成する工程を、図 6 を用いて説明する。

20

【 0 1 0 4 】

図 6 ( A ) に示すように、基板 2 0 1 に素子分離領域 2 0 2、2 0 3 を形成する。基板 2 0 1 は、単結晶半導体基板又は化合物半導体基板であり、代表的には、n型またはp型の単結晶シリコン基板、GaAs基板、InP基板、GaN基板、SiC基板、又はZnSe基板等が挙げられる。また、SOI基板 ( Silicon On Insulator ) を用いこともできる。本実施形態では、基板 2 0 1 として、単結晶シリコン基板を用いる。素子分離領域 2 0 2、2 0 3 は、公知の選択酸化法 ( LOCOS ( Local Oxidation of Silicon ) 法 ) 又はトレンチ分離法等を適宜用いることができる。ここでは、素子分離領域 2 0 2、2 0 3 としては、LOCOS法によりシリコン基板の一部を酸化して、酸化珪素膜を形成する。この後、ウエルイオン注入、チャンネルストップイオン注入、しきい値電圧調整イオン注入を適宜行う。

30

【 0 1 0 5 】

次に、基板 2 0 1 の表面を洗浄して、基板 2 0 1 表面を露出する。この後、公知の手法により第 1 絶縁膜 2 0 4 を形成する。第 1 絶縁膜はメモリトランジスタのトンネル酸化膜として機能するため、膜厚は薄いことが好ましい。ここでは、第 1 絶縁膜 2 0 4 は、熱酸化法により酸化珪素膜を形成する。

【 0 1 0 6 】

次に、第 1 絶縁膜 2 0 4 上にシリコン粒子 2 0 5 を有する第 1 導電膜 2 0 7 をスパッタリング法により成膜する。ここでは、実施例 2 と同様に 2 wt % のシリコンを有するアルミニウム-シリコン合金を、ターゲットに用い、基板を 1 5 0 度に加熱しながら第 1 導電膜を成膜する。ここでは、実施例 1 と同様の成膜条件を用いる。この結果、シリコン粒子 2 0 5 と第 1 導電層 2 0 6 からなる第 1 導電膜 2 0 7 を成膜することができる。

40

【 0 1 0 7 】

次に、図 6 ( B ) に示すように、第 1 導電層 2 0 6 を除去する。ここでは、アルミニウム混酸を用いて、選択的に第 1 導電層であるアルミニウム層を除去し、シリコン粒子 2 0 5 を露出する。

【 0 1 0 8 】

次に、図 6 ( C ) に示すように、素子分離領域 2 0 2、2 0 3、第 1 絶縁膜 2 0 4、及びシリコン粒子 2 0 5 上に第 2 絶縁膜 2 1 1 を成膜する。この後、実施の形態 3 と同様の

50

工程を用いてフローティングゲート電極を形成しても良い。

【0109】

次に、第2絶縁膜211上に第2導電膜212を成膜する。第2絶縁膜211及び第2導電膜212はそれぞれ、実施の形態1の第2絶縁膜111及び第2導電膜112と同様の材料及び成膜方法により形成することができる。次に、第2導電膜212上にマスクパターン213を形成する。

【0110】

次に、図6(D)に示すように、マスクパターン213を用いて第2導電膜212をエッチングしてゲート電極221を形成する。次に、第2絶縁膜211をエッチングして第2絶縁層222を形成する。また、シリコン粒子205をエッチングして、シリコン粒子からなるフローティングゲート電極223を形成する。ここでは、ドライエッチング法により第2導電膜212及び第2絶縁膜211をエッチングする。また、ウエットエッチング法によりシリコン粒子205をエッチングする。

10

【0111】

次に、マスクパターン213及びゲート電極221をマスクとして、基板201に自己整合的に不純物元素を添加する。次に、マスクパターン213を除去した後、加熱処理、GRTA法、LRTA法等により、不純物元素の活性化を行い、ソース領域及びドレイン領域224、225を形成する。

【0112】

次に、図6(E)に示すように、第3絶縁膜を形成する。この後、第3絶縁膜の一部、及び第1絶縁膜204の一部をエッチングしてコンタクトホールを形成すると共に、ソース領域及びドレイン領域の一部を露出する。ここで、エッチングされた第3絶縁膜を第3絶縁層231、エッチングされた第1絶縁膜を第1絶縁層233と示す。この後、ソース領域及びドレイン領域に接続するソース電極及びドレイン電極234、235を形成する。

20

【0113】

以上の工程により、半導体単結晶基板で形成される活性領域、トンネル酸化膜として機能する第1絶縁層233、フローティングゲート電極223、第2絶縁層222、及びゲート電極221で構成されるメモリトランジスタ236を形成することができる。

【0114】

また、本実施例は、実施の形態1~3、実施例1~2それぞれと組み合わせて用いることが可能である。

30

【実施例4】

【0115】

本実施例では、サイドウォール(側壁スペーサ)及び該領域に覆われた低濃度不純物領域(LDD(Light Doped Drain)領域と示す。)を有するメモリトランジスタの作製工程について図5及び図7を用いて説明する。

【0116】

本実施例では、ゲート電極を形成する工程までは、実施例2と同様であるため、それ以降の工程について説明する。実施例2の工程にしたがって図5(D)に示すようにゲート電極521を形成する。次に、図7(A)に示すように、半導体領域502に、n型を呈する不純物元素であるリン(P)を添加し、n型を呈する第1低濃度不純物領域(以下、第1n型不純物領域と示す。)601、602を形成する。

40

【0117】

次に、ゲート電極521及び第2絶縁膜503上に第4絶縁膜611を成膜する。第4絶縁膜としては、CVD法により酸化珪素膜を成膜する。

【0118】

次に、RIE(Reactive ion etching:反応性イオンエッチング)法により第4絶縁膜611を異方性エッチングして、図7(C)に示すように、サイドウォール(側壁スペーサ)612を形成する。このとき、絶縁膜の材料によって、第2絶

50

縁膜の一部又は全部もエッチングされる。ここでは、第4絶縁膜の大部分をエッチングしてサイドウォール612を形成する。

【0119】

次に、図7(D)に示すように、半導体領域502に、n型を呈する不純物元素であるリン(P)を添加し、n型を呈する高濃度不純物領域(ソース領域及びドレイン領域)621、622を形成する。このとき、サイドウォール612に覆われたn型を呈する第1低濃度不純物領域(以下、第2n型不純物領域(LDD領域)と示す。)623、624も形成される。このとき、第2n型不純物領域623、624の幅は、0.01~0.3μmであることが好ましい。次に、加熱して不純物元素の活性化を行う。

【0120】

次に、層間絶縁膜として機能する第5絶縁膜を成膜した後、実施例2と同様に、第5絶縁膜をエッチングして、コンタクトホールを形成すると共に、ソース領域及びドレイン領域621、622の一部を露出する。第5絶縁膜は、実施例2の第4絶縁膜と同様の材料及び手法により形成する。エッチングされた第5絶縁膜を第5絶縁層533と示す。この後、実施例2と同様にソース電極及びドレイン電極535、536を形成する。

【0121】

以上の工程により、LDD領域623、624を有する半導体領域502、トンネル酸化膜として機能する第2絶縁層534、フローティングゲート電極523、第3絶縁層522、ゲート電極521、及びサイドウォール632を有するメモリトランジスタを形成することができる。

【0122】

また、本実施例で形成したメモリトランジスタは、サイドウォール構造であるため、サブミクロン構造のメモリトランジスタにおいてもLDD領域を形成することが可能である。

【0123】

なお、本実施例では、サイドウォールに覆われた低濃度不純物領域を有するメモリトランジスタの作製工程を示したが、この代わりに公知の斜めドーピング法や、所望のマスクパターンを用いたドーピング法を適宜用いて、ゲート電極に覆われる低濃度不純物領域(Gate Overlapped Drain: GOLD領域)を有するメモリトランジスタを形成することができる。

【0124】

また、本実施例は、実施の形態1~3、実施例1~3それぞれと組み合わせて用いることが可能である。

【実施例5】

【0125】

本実施例では、シリサイド構造のメモリトランジスタを形成する工程を、図8を用いて説明する。

【0126】

本実施例では、ゲート電極を形成するまでは実施例2と同様であり、ソース領域及びドレイン領域を形成する工程までは、実施例4と同様であるため、それ以降の工程について説明する。実施例4にしたがって図8(A)に示すように、サイドウォール701、第2絶縁層702を形成した後、ソース領域及びドレイン領域621、622を形成する。本実施例では、サイドウォール701は、第2絶縁膜503及び第4絶縁膜611の一部をエッチングして、半導体領域の一部を露出する。このとき、第4絶縁膜611のエッチングストッパーとして機能する窒化珪素膜(ハードマスク)をゲート電極上に形成しておくことが好ましい。ハードマスクは、実施例2において、第2導電膜上に窒化珪素膜を成膜し、マスクパターン513を用いてエッチングして形成することが可能である。

【0127】

次に、図8(B)に示すように、導電膜711を成膜する。導電膜711の材料としては、チタン(Ti)、ニッケル(Ni)、タングステン(W)、モリブデン(Mo)、コバルト(Co)、ジルコニウム(Zr)、Ha(ハフニウム)、タンタル(Ta)、バナ

10

20

30

40

50

ジウム(V)、ネオジム(Nb)、クロム(Cr)、白金(Pt)、パラジウム(Pd)等を有する膜を成膜する。ここでは、スパッタリング法により、チタン膜を成膜する。

【0128】

次に、図8(C)に示すように、加熱処理、GRTA法、LRTA法等により、露出されたソース領域及びドレイン領域のシリコンと導電膜とを反応させて、シリサイド712、713を形成する。この後、シリコンと反応しなかった導電膜711を除去する。

【0129】

次に、実施例4と同様に層間絶縁膜として機能する第5絶縁膜を成膜した後、第5絶縁膜の一部をエッチングしてコンタクトホールを形成すると共に、シリサイド712、713の一部を露出する。次に、実施例2と同様にソース電極及びドレイン電極535、536を形成する。

【0130】

以上の工程により、LDD領域623、624を有する半導体領域502、トンネル酸化膜として機能する第2絶縁層702、フローティングゲート電極523、第3絶縁層522、ゲート電極521、並びにシリサイド712、713を有するメモリトランジスタを形成することができる。

【0131】

本実施例により形成されたメモリトランジスタはシリサイド構造であるため、ソース領域及びドレイン領域の低抵抗化が可能であり、半導体装置の高速化が可能である。また、低電圧での動作が可能であるため、消費電力を低減することが可能である。

【0132】

本実施例は、実施の形態1~3、実施例1~4それぞれと組み合わせて用いることが可能である。

【実施例6】

【0133】

本実施例では、メモリトランジスタとCMOS回路を同一基板に有する半導体装置の作製工程について図9を用いて説明する。本実施例において、メモリトランジスタ及びTFETは、シングルドレイン構造であるが、実施例4、実施例5を適宜組み合わせてサイドウォール構造、シリサイド構造、GOLD領域を有するメモリトランジスタ及びTFETとしてもよい。また、実施例3を適宜組み合わせて、半導体単結晶基板を用いてメモリトランジスタ及びMOSトランジスタを形成しても良い。

【0134】

図9(A)に示すように、ガラス基板300上に第1絶縁膜301を成膜する。第1絶縁膜301は、実施例2の第1絶縁膜501と同様に形成する。次に、実施例2の工程により結晶性シリコン膜を形成し、フォトリソグラフィ工程及びエッチング工程により結晶性シリコン膜を所望の形状にエッチングして、第1半導体領域303~第3半導体領域305を形成する。なお、第1半導体領域303は後のメモリトランジスタの活性領域、第2半導体領域304は後のnチャネル型TFETの活性領域、第3半導体領域305は後のpチャネル型TFETの活性領域として機能する。

【0135】

次に、第1半導体領域303~第3半導体領域305の表面に形成された自然酸化膜を除去した後、ヒドロキシラジカルを含むオゾン水に数十秒~数分曝して、第1半導体領域303~第3半導体領域305表面に酸化珪素膜を形成する。この後、GRTA(Gas Rapid Thermal Anneal)法、LRTA(Lamp Rapid Thermal Anneal)法等により酸化珪素膜をより緻密化し、膜厚1~2nmの第2絶縁膜306~308を形成する。この方法により、短時間且つ高温で処理することが可能であるため、基板を伸縮させずとも緻密且つ膜厚の薄い第2絶縁膜を形成することができる。次に、第2絶縁膜306~308及びガラス基板300上に第3絶縁膜309を成膜する。ここでは、第3絶縁膜309として、膜厚1~5nmの窒化珪素膜又は窒化酸化珪素(SiNO(N>O))を成膜する。

10

20

30

40

50

## 【 0 1 3 6 】

次に、実施例 2 と同様の工程によりシリコン粒子 3 1 0 を形成する。次に、フォトリソグラフィ工程により第 1 半導体領域 3 0 3 を覆うマスクパターン 3 1 1 を形成する。

## 【 0 1 3 7 】

次に、図 9 ( B ) に示すように、マスクパターン 3 1 1 を用いてシリコン粒子 3 1 0 の一部をエッチングする。ここでは、第 1 半導体領域 3 0 3 上にのみシリコン粒子 3 2 0 が残留するように、エッチングする。なお、この工程において、シリコン粒子と共に第 2 絶縁膜 3 0 7、3 0 8 及び第 3 絶縁膜 3 0 9 を除去しても良い。

## 【 0 1 3 8 】

次に、図 9 ( B ) に示すように、シリコン粒子 3 2 0、第 3 絶縁膜 3 0 9 上に、第 4 絶縁膜 3 2 1 及び第 2 導電膜 3 2 2 を成膜する。ここでは、第 4 絶縁膜 3 2 1 としては、プラズマ CVD 法により膜厚 2 0 ~ 5 0 nm の酸化珪素膜、又は酸化窒化珪素 ( SiON ( O > N ) ) を成膜する。第 2 導電膜 3 2 2 としてスパッタリング法により、膜厚 4 0 0 nm のタングステン膜を成膜する。次に、第 1 半導体領域 3 0 3 ~ 第 3 半導体領域 3 0 5 上にフォトリソグラフィ工程により、マスクパターン 3 2 3 ~ 3 2 5 を形成する。

10

## 【 0 1 3 9 】

次に、図 9 ( D ) に示すように、マスクパターン 3 2 3 ~ 3 2 5 を用いて第 2 導電膜 3 2 2 をエッチングしてゲート電極 3 3 1 ~ 3 3 3 を形成する。このときのゲート電極の幅を 0 . 2 ~ 1 . 5  $\mu\text{m}$ 、好ましくは 0 . 2 ~ 0 . 7  $\mu\text{m}$  とする。また、マスクパターン 3 2 3 ~ 3 2 5 を用いて、第 4 絶縁膜 3 2 1 をエッチングして第 4 絶縁層 3 3 4 ~ 3 3 6 を形成する。

20

## 【 0 1 4 0 】

次に、図 9 ( D ) に示すように、マスクパターン 3 2 3 ~ 3 2 6 を除去した後、新たに第 2 半導体領域 3 0 4 及び第 3 半導体領域 3 0 5 上にマスクパターン 3 4 1 を形成する。次に、ゲート電極 3 3 1 及び第 4 絶縁層 3 3 4 をマスクとして、シリコン粒子 3 2 0 をエッチングして、図 9 ( E ) に示すような、シリコン粒子からなるフローティングゲート電極 3 4 2 を形成する。この後、マスクパターン 3 4 1 を除去する。

## 【 0 1 4 1 】

次に、第 3 半導体領域 3 0 5 を覆うマスクパターンをフォトリソグラフィ工程により形成した後、第 1 半導体領域 3 0 3、第 2 半導体領域 3 0 4 にゲート電極 3 3 1、3 3 2 をマスクとして不純物元素を添加する。ここでは、n 型を呈する不純物元素であるリン ( P ) を各半導体領域に添加し、n 型を呈するソース領域及びドレイン領域 3 3 7 ~ 3 4 0 を形成する。

30

## 【 0 1 4 2 】

次に、第 3 半導体領域 3 0 5 を覆うマスクパターンを除去した後、新たに第 1 半導体領域 3 0 3 及び第 2 半導体領域 3 0 4 を覆うマスクパターンをフォトリソグラフィ工程により形成した後、ゲート電極 3 3 3 をマスクとして第 3 半導体領域 3 0 5 に不純物元素を添加する。ここでは、p 型を呈する不純物元素であるボロン ( B ) を半導体領域に添加し、p 型を呈するソース領域及びドレイン領域 3 4 3、3 4 4 を形成する。次に、マスクパターンを除去した後、加熱してソース領域及びドレイン領域の不純物元素の活性化を行う。この後、水素を含む絶縁膜を成膜し、加熱して、半導体領域表面の水素化を行ってもよい。

40

## 【 0 1 4 3 】

次に、図 9 ( F ) に示すように、層間絶縁膜として機能する第 5 絶縁膜を成膜する。ここでは、シロキサン系樹脂を塗布し、焼成して第 5 絶縁膜を形成する。次に、第 5 絶縁膜、第 3 絶縁膜、及び第 2 絶縁膜をエッチングしてコンタクトホールを形成すると共に、ソース領域及びドレイン領域 3 3 7 ~ 3 4 0、3 4 3、3 4 4 の一部を露出する。エッチングされた第 5 絶縁膜を第 5 絶縁層 3 5 1、エッチングされた第 3 絶縁膜を第 3 絶縁層 3 5 2、及びエッチングされた第 2 絶縁膜を第 2 絶縁層 3 5 4 ~ 3 5 6 と示す。次に、スパッタリング法によりチタン膜、アルミニウム-シリコン合金膜、及びチタン膜を積層成膜した後、フォトリソグラフィ工程及びエッチング工程を用いてソース電極及びドレイン電極

50

357～362を形成する。

【0144】

以上の工程により、第1半導体領域303、トンネル酸化膜として機能する第2絶縁層354及び第3絶縁層352、フローティングゲート電極342、第4絶縁層334、及びゲート電極331で構成されるメモリトランジスタ371を形成することができる。また、第2半導体領域304、ゲート絶縁膜として機能する第2絶縁層355、第3絶縁層352、及び第4絶縁層335、並びにゲート電極332で構成されるnチャネル型TFET372を形成することができる。また、第3半導体領域305、ゲート絶縁膜として機能する第2絶縁層356、第3絶縁層352、及び第4絶縁層336、並びにゲート電極333で構成されるpチャネル型TFET373を形成することができる。また、nチャネル型TFET372及びpチャネル型TFET373を用いてCMOS回路を形成することができる。更には、シングルドレイン構造のメモリトランジスタ371、nチャネル型TFET372、及びpチャネル型TFET373を、同一基板上に有する半導体装置を形成することができる。

10

【0145】

また、本実施例は、実施の形態1～3、実施例1～5それぞれと組み合わせて用いることが可能である。

【実施例7】

【0146】

本発明の半導体装置を用いることが可能な非接触型のRFID(Radio Frequency Identification)タグ、無線タグ等に代表されるIDチップの典型的なブロック図を図14に示す。図14には、認証データ等の固定データを読み出す簡単な機能を有する構成を示した。同図において、IDチップ1301は、アンテナ1302、高周波回路1303、電源回路1304、リセット回路1305、クロック発生回路1306、データ復調回路1307、データ変調回路1308、制御回路1309、不揮発性メモリ(NVMと表記)1310、ROM1311によって構成されている。

20

【0147】

本実施例においては、不揮発性メモリ1310として本発明の実施の形態及び実施例で示すメモリトランジスタを用いる。また、高周波回路1303、リセット回路1305、クロック発生回路1306、データ復調回路1307、データ変調回路1308、制御回路1309、ROM1311、電源回路1304を構成するトランジスタを、実施例6に示すようにメモリトランジスタと同時に作製することができる。以上より、同一基板上にRFIDタグを効率よく作製することが可能となる。

30

【0148】

また、図14に示した回路は全てガラス基板上、もしくはフレキシブル基板上、半導体基板上に形成されている。アンテナ1302はガラス基板上、もしくはフレキシブル基板上、半導体基板上に形成されていてもよいし、基板の外部にあり、基板内部の半導体集積回路と接続されるものであってもよい。

【0149】

高周波回路1303はアンテナ1302よりアナログ信号を受信し、またデータ変調回路1308より受け取ったアナログ信号をアンテナ1302から出力させる回路である。電源回路1304は受信信号から定電源を生成する回路、リセット回路1305はリセット信号を生成する回路、クロック発生回路1306はクロック信号を発生する回路、データ復調回路1307は受信した信号からデータを抽出する回路、データ変調回路1308は制御回路から受け取ったデジタル信号をもとにアンテナへ出力するアナログ信号を生成、あるいは、アンテナ特性を変化させる回路であり、以上の回路からアナログ部が構成される。

40

【0150】

一方、制御回路1309は受信した信号から抽出したデータを受け取って、データ読み出しを行う。具体的には、NVM1310やROM1311のアドレス信号を生成して、デ

50

ータの読み出しを行い、読み出したデータをデータ変調回路に送る。以上の回路からデジタル部が構成されている。

【0151】

本実施例は、実施の形態1～3、実施例1～6と組み合わせて用いることが可能である。

【実施例8】

【0152】

図15(A)に、本発明の半導体装置を用いることが可能なIDチップの一形態を、斜視図で示す。1101は集積回路、1102はアンテナに相当し、アンテナ1102は集積回路1101に接続されている。1103は基板、1104はカバー材に相当する。集積回路1101及びアンテナ1102は、基板1103上に形成されており、カバー材1104は集積回路1101及びアンテナ1102を覆うように基板1103と重なっている。なお、カバー材1104は必ずしも用いる必要はないが、集積回路1101及びアンテナ1102をカバー材1104で覆うことで、IDチップの機械的強度を高めることができる。また、集積回路上をアンテナが覆っていても良い。即ち、集積回路の占有面積とアンテナの占有面積が、等しくともよい。

10

【0153】

図15(B)に、本発明の半導体装置を用いることが可能なICカードの一形態を、斜視図で示す。1105は集積回路、1106はアンテナに相当し、アンテナ1106は集積回路1105に接続されている。1108はインレットシートとして機能する基板、1107、1109はカバー材に相当する。集積回路1105及びアンテナ1106は基板1108上に形成されており、基板1108は2つのカバー材1107、1109の間に挟まれている。なお本発明のICカードは、集積回路1105に接続された表示装置を有していても良い。

20

【0154】

次に図16(A)及び(B)に、図15(A)に示すIDチップの、A-A'における断面図を示す。IDチップは、基板1103、カバー材1104と、剥離プロセスにより形成する集積回路1101及びそれに接続されるアンテナ1102と、接着剤1113、1114を介して接着されている。

【0155】

集積回路1101は、実施の形態1～3、又は実施例1～8のいずれかで示されるメモリトランジスタを用いて形成することができる。また、集積回路1101に用いられる半導体素子はこれに限定されない。例えば、TFTの他に、記憶素子、ダイオード、光電変換素子、抵抗素子、コイル、容量素子、インダクタなどを用いることができる。

30

【0156】

図16(A)で示すように、集積回路1101のメモリトランジスタ及びTFT上には層間絶縁膜1110が形成され、層間絶縁膜1110上には、窒化珪素膜等からなるバリア膜1111が形成され、その上にアンテナ1102が形成されている。

【0157】

一方、図16(B)に示すように、集積回路1101のメモリトランジスタ及びTFT上に層間絶縁膜1110が形成され、層間絶縁膜1110上にアンテナ1102が形成され、層間絶縁膜1110及びアンテナ1102上にバリア膜1121を設けても良い。バリア膜を設けることにより、集積回路1101が汚染されることなく、信頼性を向上させたIDチップを提供することができる。

40

【0158】

基板1103及びカバー材1104は、プラスチック、有機樹脂、紙、繊維、カーボングラファイト等可とう性を有する材料を用いることができる。カバー材に生分解性樹脂を用いることにより、バクテリア等に分解され土壌に還元される。また、さらに、本実施例の集積回路は、シリコン、アルミニウム、酸素、窒素等で形成されているため、無公害性のIDチップを形成することが可能である。また、カバー材に紙、繊維、カーボングラファ

50

イト等の焼却無公害素材を用いることにより、使用済みIDチップの焼却、又は裁断することが可能である。また、これらの材料を用いたIDチップは、焼却しても有毒ガスを発生しないため、無公害である。

【0159】

基板1103及びカバー材1104に挟まれた集積回路1101の厚さは、 $5\mu\text{m}$ 以下、好ましくは $0.1\mu\text{m}\sim 3\mu\text{m}$ の厚さを有するように形成するとよい。また、基板1103及びカバー材1104を重ねたときの厚さを $d$ としたとき、基板1103及びカバー材1104の厚さは、好ましくは $(d/2)\pm 30\mu\text{m}$ 、さらに好ましくは $(d/2)\pm 10\mu\text{m}$ とする。また、基板1103及びカバー材1104の厚さは $10\mu\text{m}\sim 200\mu\text{m}$ であることが望ましい。さらに、集積回路1101の面積は $5\text{mm角}(25\text{mm}^2)$ 以下であり、望ましくは $0.3\text{mm角}\sim 4\text{mm角}(0.09\text{mm}^2\sim 16\text{mm}^2)$ の面積を有するとよい。

10

【0160】

基板1103及びカバー材1104は、有機樹脂材料で形成されているため、折り曲げに対して強い特性を有する。また、剥離プロセスにより形成した集積回路1101自体も、単結晶半導体に比べて、折り曲げに対して強い特性を有する。そして、集積回路1101と、基板1103及びカバー材1104とは空隙がないように、密着させることができるため、完成したIDチップ自体も折り曲げに対して強い特性を有する。このような基板1103及びカバー材1104で囲われた集積回路1101は、他の個体物の表面または内部に配置しても良いし、紙の中に埋め込んでも良い。

20

【0161】

さらに、図16(C)に示すように、ガラス基板1133上に下地絶縁膜1136を介して集積回路1131を形成し、そのメモリトランジスタ及びTFT上に層間絶縁膜1134を形成し、層間絶縁膜1134上にアンテナ1132を形成する。次に、集積回路1131周辺の絶縁膜及び層間絶縁膜を除去して、下地絶縁膜1136を露出する。この後、下地絶縁膜1136に接し、且つ集積回路1131、層間絶縁膜1134、及びアンテナ1132を覆うようにパッシベーション膜1135を形成する。下地絶縁膜1136及びパッシベーション膜1135に、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイヤモンドライクカーボン(DLC)、窒素含有炭素(CN)、その他の絶縁性材料のようにブロッキング効果の高い絶縁膜を用いることにより、カバー材を設けなくとも集積回路1131が汚染されず、信頼性を向上させたIDチップを提供することができる。

30

【0162】

なお、アンテナ1102は、金、銀、銅、アルミニウムまたはそれらでメッキされた金属であることが望ましい。集積回路1101とアンテナ1102とは、異方性導電膜を用いて形成する。

【0163】

図16(A)及び図16(B)においては、集積回路と、集積回路の層間絶縁膜上に形成されたアンテナとを有する積層体を基板及びカバー材で接着した例を示したが、これに限定されず、アンテナが形成されたカバー材と集積回路とを接着材で固定しても良い。このとき、異方性導電接着剤又は異方性導電フィルムを用いて、UV処理又は超音波処理を行うことで集積回路とアンテナとを接続するが、本発明はこの方法に制約されず、様々な方法を用いることができる。

40

【0164】

本実施例は、上記の実施の形態1~3、実施例1~7のいずれとも自由に組み合わせることができる。

【実施例9】

【0165】

本発明の半導体装置を用いることが可能なシステムLSIに適用する場合について、図17を用いて説明する。

50

## 【0166】

なお、システムLSIとは、特定の用途を想定した装置の内部に組み込まれ、装置の制御やデータ処理を行うシステムを構成するLSIである。用途は多岐にわたり、例えば、携帯電話、PDA、DSC、テレビ、プリンタ、FAX、ゲーム機、カーナビゲーション、DVDプレーヤ、などを挙げることができる。

## 【0167】

図17に示すのは、システムLSIの一例である。システムLSIは典型的にはマイクロプロセッサ1601、不揮発性メモリ(NVMと示す。)1604、クロックコントローラ1603、メインメモリ1602、メモリコントローラ1605、割り込みコントローラ1606、I/Oポート1607等から構成される。もちろん、図17に示すシステムLSIは簡略化した一例であり、実際のシステムLSIはその用途によって多種多様な回路設計が行われる。

10

## 【0168】

NVM1604に本発明のメモリトランジスタを用いることができる。

## 【0169】

また、マイクロプロセッサ1601、クロックコントローラ1603、メインメモリ1602、メモリコントローラ1605、割り込みコントローラ1606、I/Oポート1607を構成するトランジスタを、メモリトランジスタと同一の工程を用いてトランジスタを同様に作製することができる。これより、同一基板上に様々な回路を作製することが可能となる。

20

## 【0170】

本実施例は、実施の形態1~3、実施例1~9それぞれと組み合わせることが可能である。

## 【実施例10】

## 【0171】

本実施例では、本発明を用いて形成する半導体装置の一例であるパッケージについて図18を用いて説明する。図18(A)に、ワイヤボンディング法でチップがインターポーザに接続されている、パッケージの断面構造を表す斜視図を示す。1901はインターポーザ、1902はチップ、1903はモールド樹脂層に相当する。チップ1902はインターポーザ1901上に、マウント用の接着剤1904によりマウントされている。

30

## 【0172】

また図18(A)に示すインターポーザ1901は、ソルダーボール1905が設けられたボールグリッドアレイ型である。ソルダーボール1905は、インターポーザ1901のチップ1902がマウントされている側とは反対の側に設けられている。そしてインターポーザ1901に設けられた配線1906は、インターポーザ1901に設けられたコンタクト孔を介して、ソルダーボール1905と電氣的に接続している。

## 【0173】

なお本実施例では、チップ1902とソルダーボール1905との電氣的な接続をするための配線1906を、インターポーザ1901のチップがマウントされている面上に設けているが、本発明で用いるインターポーザはこれに限定されない。例えば、インターポーザの内部において配線が多層化されて設けられていても良い。

40

## 【0174】

図18(A)では、チップ1902と配線1906とが、ワイヤ1907によって電氣的に接続されている。図18(B)に、図18(A)に示したパッケージの断面図を示す。チップ1902には実施の形態1~3、実施例1~実施例6で示される半導体素子1909が設けられており、またチップ1902のインターポーザ1901が設けられている側とは反対側に、パッド1908が設けられている。パッド1908は該半導体素子1909と電氣的に接続されている。そしてパッド1908は、インターポーザ1901に設けられた配線1906と、ワイヤ1907によって接続されている。

## 【0175】

50

1910はプリント配線基板の一部に相当し、1911はプリント配線基板1910に設けられた配線または電極に相当する。配線1906はソルダーボール1905を介して、プリント配線基板1910に設けられた配線または電極1911に接続される。なおソルダーボール1905と、配線または電極1911との接続は、熱圧着や、超音波による振動を加えた熱圧着等様々な方法を用いることができる。なお、アンダーフィルで圧着後のソルダーボール間の隙間を埋めるようにし、接続部分の機械的強度や、パッケージで発生した熱の拡散などの効率を高めるようにしても良い。アンダーフィルは必ずしも用いる必要はないが、インターポーザとチップの熱膨張係数のミスマッチから生ずる応力により、接続不良が起こるのを防ぐことができる。超音波を加えて圧着する場合、単に熱圧着する場合に比べて接続不良を抑えることができる。

10

**【0176】**

なお、本実施例においては、チップがワイヤボンディング法によってインターポーザに接続されているパッケージを示したがこれに限られない。フリップチップ法を用いてこれらを接続しても良い。この場合、接続するべきパッドの数が増加しても、ワイヤボンディング法に比べて、比較的パッド間のピッチを広く確保することができるので、端子数の多いチップの接続に向いている。

**【0177】**

また、パッケージ内においてチップを積層してもよい。この場合、一つのパッケージ内に複数のチップを設けることができるため、パッケージ全体の大きさを抑えることができるというメリットを有している。

20

**【0178】**

さらには、複数のパッケージを積層してもよい。この構造では、パッケージごとに電気的な検査を行い、良品だけを選別してから積層することができるので、歩留りを高めることができるというメリットを有している。

**【0179】**

更には、本実施例で形成されたパッケージを、表示装置、電子機器等に設けることが可能である。

**【0180】**

本実施例は、実施の形態1~3、実施例1~9それぞれと組み合わせて用いることが可能である。

30

**【実施例11】****【0181】**

本発明の半導体装置を用いたIDチップ20は、紙幣、硬貨、有価証券類、証券類、無記名債券類、包装用容器類、書籍類、記録媒体、身の回り品、乗物類、食品類、衣類、保健用品類、生活用品類、薬品類及び電子機器等に設けて使用することができる。

**【0182】**

紙幣、硬貨とは、市場に流通する金銭であり、特定の地域で貨幣と同じように通用するもの(金券)、記念コイン等を含む。有価証券類とは、小切手、証券、約束手形等を指す(図19(A)参照)。証券類とは、運転免許証、住民票等を指す(図19(B)参照)。無記名債券類とは、切手、おこめ券、各種ギフト券等を指す(図19(C)参照)。包装用容器類とは、お弁当等の包装紙、ペットボトル等を指す(図19(D)参照)。書籍類とは、書物、本等を指す(図19(E)参照)。記録媒体とは、DVDソフト、ビデオテープ等を指す(図19(F)参照)。身の回り品とは、靴、眼鏡等を指す(図19(G)参照)。乗物類とは、自転車等の車両、船舶等を指す(図19(H)参照)。食品類とは、食料品、飲料等を指す。衣類とは、衣服、履物等を指す。保健用品類とは、医療器具、健康器具等を指す。生活用品類とは、家具、照明器具等を指す。薬品類とは、医薬品、農薬等を指す。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置(テレビ受像機、薄型テレビ受像機)、携帯電話等を指す。

40

**【0183】**

紙幣、硬貨、有価証券類、証券類、無記名債券類等にIDチップを設けることにより、

50

偽造を防止することができる。また、包装用容器類、書籍類、記録媒体等、身の回り品、食品類、生活用品類、電子機器等にIDチップを設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。乗物類、保健用品類、薬品類等にIDチップを設けることにより、偽造や盗難の防止、薬品類ならば、薬の服用の間違いを防止することができる。IDチップの設け方としては、物品の表面に貼ったり、物品に埋め込んだりして設ける。例えば、本ならば紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりするとよい。

【0184】

また、物の管理や流通のシステムに応用することが可能な例を図20を用いて説明する。ここでは、商品へIDチップを実装する例を説明する。図20(A)に示すように、ビール瓶1400にラベル1401を用いてIDチップ1402を実装する。

10

【0185】

IDチップ1402には、製造日、製造場所、使用材料等の基本事項を記録する。このような基本事項は、書き換える必要がないためマスクROM等の書き換え不能なメモリを用いて記録するとよい。加えてIDチップ1402には、各ビール瓶の配送先、配送日時等の個別事項を記録する。例えば、図20(B)に示すように、各ビール瓶1400がベルトコンベア1412により流れ、ライタ装置1413を通過するとき、各配送先、配送日時を記録することができる。このような個別事項は、書き換え、消去可能なメモリを用いて記録するとよい。このようなメモリとして本発明の実施の形態及び実施例で示したメモリトランジスタで構成される不揮発性メモリ用いることができる。

20

【0186】

また配達先から購入された商品情報がネットワークを通じて物流管理センターへ送信されると、この商品情報に基づき、ライタ装置又は当該ライタ装置を制御するパーソナルコンピュータ等が配送先や配送日時を算出し、IDチップへ記録するようなシステムを構築するとよい。

【0187】

また配達にはケース毎に行われるため、ケース毎、又は複数のケース毎にIDチップを実装し、個別事項を記録することもできる。

【0188】

このような複数の配達先が記録されうる商品は、IDチップを実装することにより、手作業で行う入力にかかる時間を削減でき、それに起因した入力ミスを低減することができる。加えて物流管理の分野において最もコストのかかる人件費用を削減することができる。従って、IDチップを実装したことにより、ミスの少ない、低コストで物流の管理を行うことができる。

30

【0189】

さらに配達先において、ビールに合う食料品や、ビールを使った料理法等の応用事項を記録してもよい。その結果、食料品等の宣伝を兼ねることができ、消費者の購買意欲を高めることができる。このような応用事項は、書き換え、消去可能なメモリを用いて記録するとよい。このようなメモリとして本発明の実施の形態及び実施例で示したメモリトランジスタで構成される不揮発性メモリ用いることができる。このようにIDチップを実装することにより、消費者へ提供できる情報を増大させることができるため、消費者は安心して商品を購入することができる。

40

【図面の簡単な説明】

【0190】

【図1】本発明に係る半導体装置の作製工程を示した断面図である。

【図2】本発明に係る半導体装置の作製工程を示した断面図である。

【図3】本発明に係る半導体装置の作製工程を示した断面図である。

【図4】本発明に係る導電膜の成膜の様子を示した上面図である。

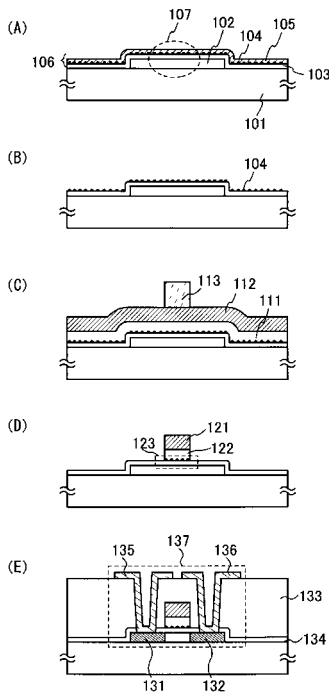
【図5】本発明に係る半導体装置の作製工程を示した断面図である。

【図6】本発明に係る半導体装置の作製工程を示した断面図である。

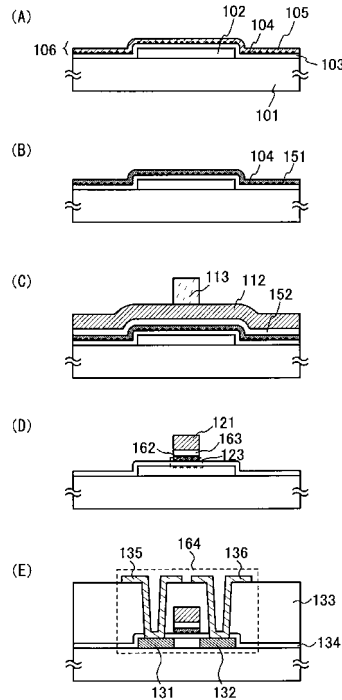
50

- 【図 7】本発明に係る半導体装置の作製工程を示した断面図である。
- 【図 8】本発明に係る半導体装置の作製工程を示した断面図である。
- 【図 9】本発明に係る半導体装置の作製工程を示した断面図である。
- 【図 10】本発明に係る半導体装置の作製工程を示した断面図である。
- 【図 11】本発明に係る半導体装置を示した断面図である。
- 【図 12】本発明に係る半導体装置を示した断面図である。
- 【図 13】本発明により形成した粒子を示した上面図である。
- 【図 14】本発明に係る半導体装置の構成を示したブロック図である。
- 【図 15】本発明に係る半導体装置を示した斜視図である。
- 【図 16】本発明に係る半導体装置を示した断面図である。
- 【図 17】本発明に係る半導体装置の構成を示したブロック図である。
- 【図 18】本発明に係る半導体装置を示した斜視図である。
- 【図 19】本発明に係る半導体装置を用いた応用例を示す図である。
- 【図 20】本発明に係る半導体装置を用いた応用例を示す図である。

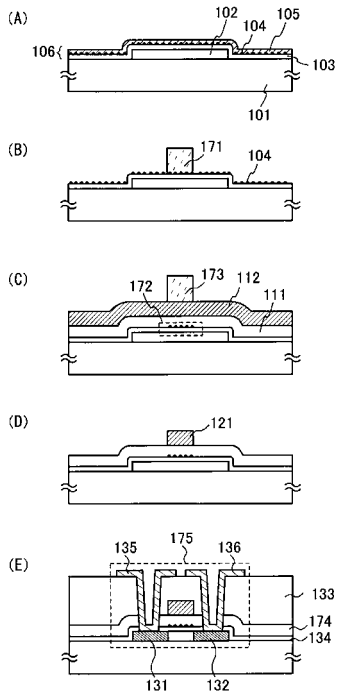
【図 1】



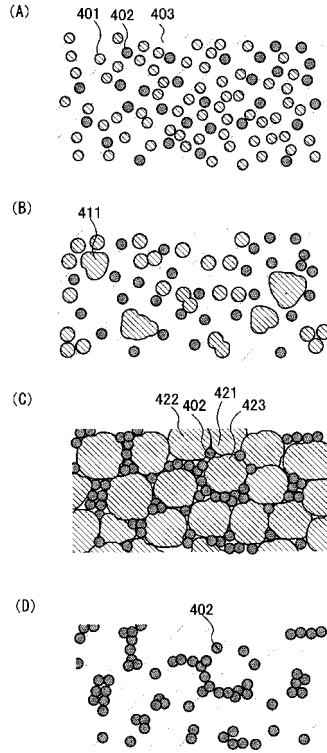
【図 2】



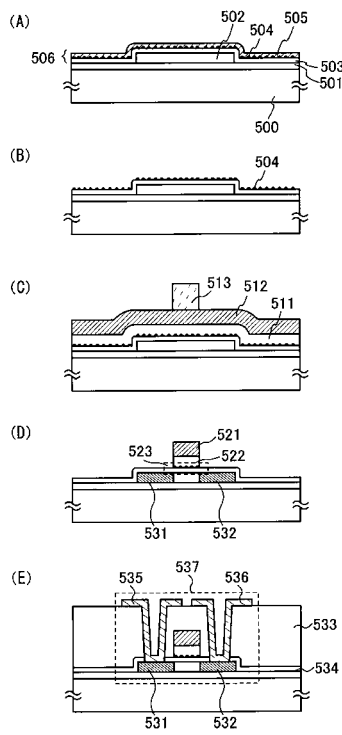
【 図 3 】



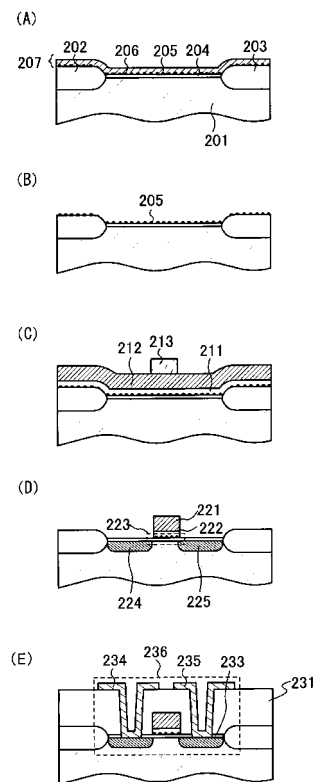
【 図 4 】



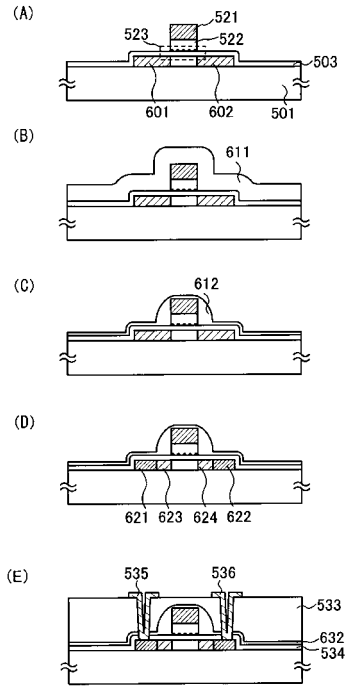
【 図 5 】



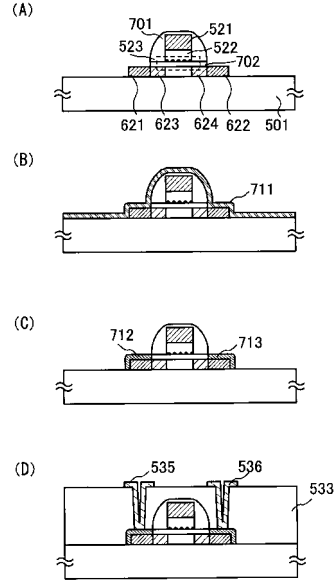
【 図 6 】



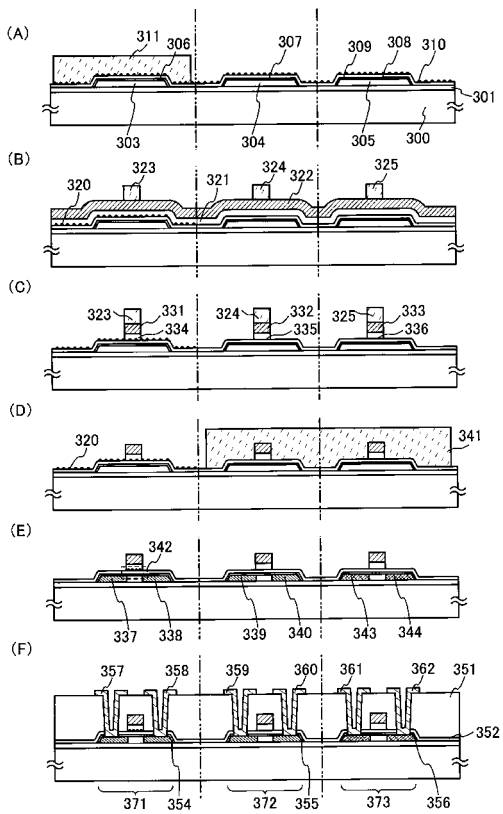
【 図 7 】



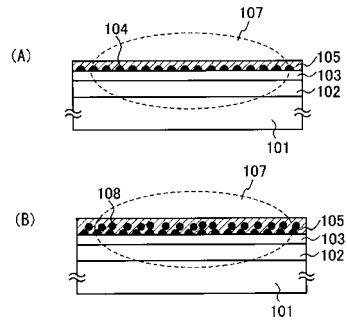
【 図 8 】



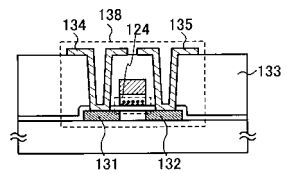
【 図 9 】



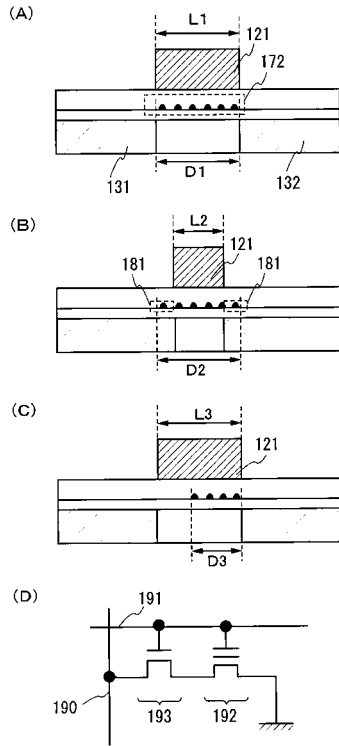
【 図 10 】



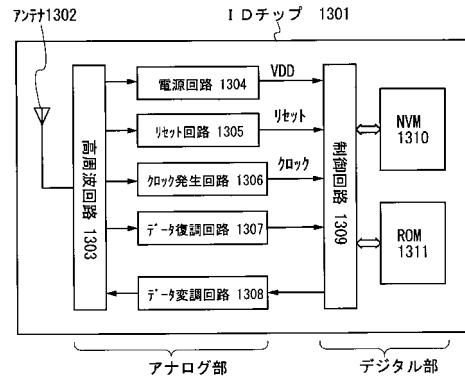
【 図 11 】



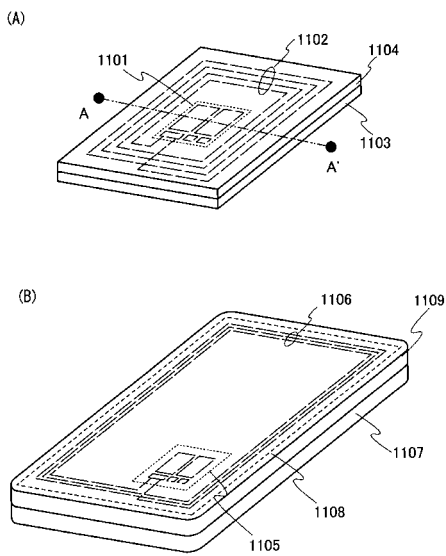
【図12】



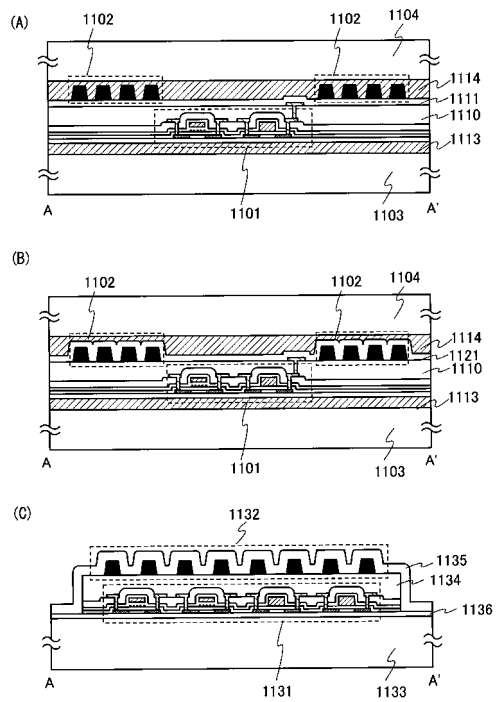
【図14】



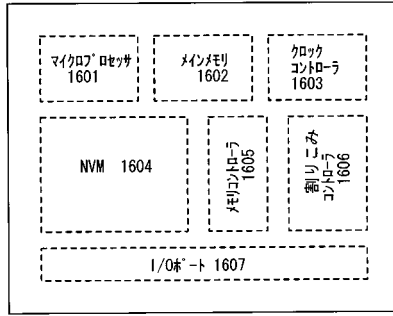
【図15】



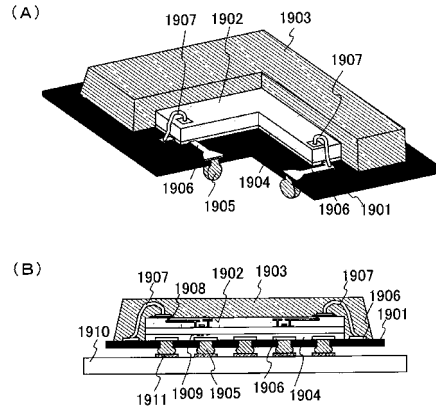
【図16】



【図17】

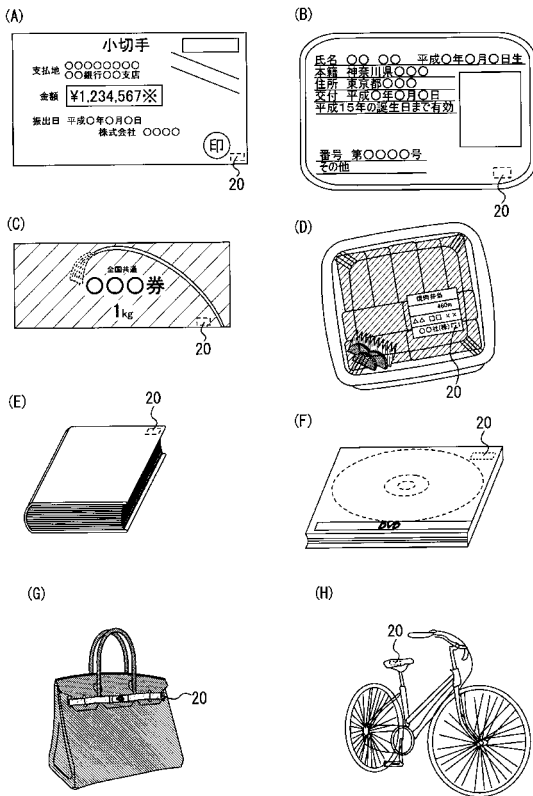


【図18】

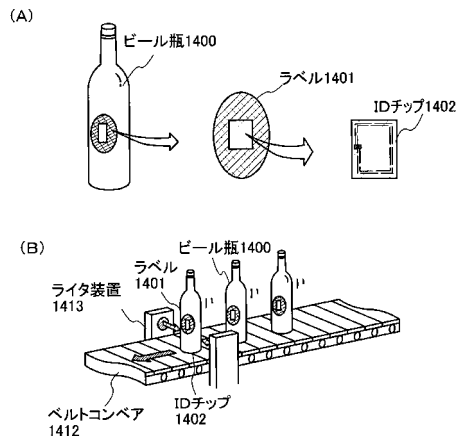


- 1901 インターホーザ
- 1902 チップ
- 1903 モールド樹脂
- 1904 接着剤
- 1905 ソルダホール
- 1906 配線
- 1907 ワイヤ
- 1908 ハット
- 1909 半導体系子
- 1910 プリント配線基板
- 1911 プリント配線上の配線

【図19】

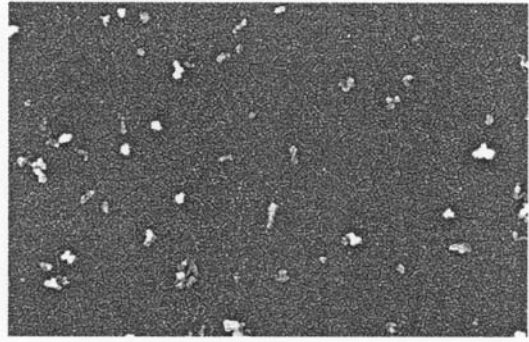


【図20】



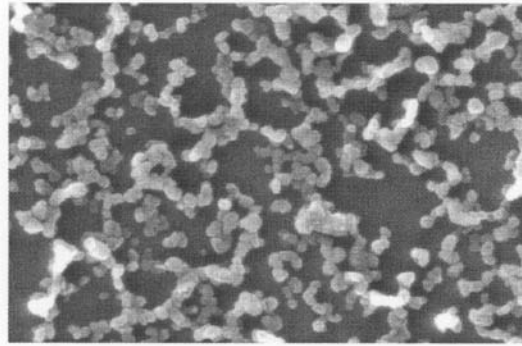
【 図 13 】

(A)



500nm

(B)



500nm

## フロントページの続き

(51) Int.Cl. F I  
H 0 1 L 21/285 (2006.01) H 0 1 L 29/78 6 1 7 J  
H 0 1 L 29/786 (2006.01) H 0 1 L 29/58 G  
H 0 1 L 29/49 (2006.01)  
H 0 1 L 29/423 (2006.01)

(56) 参考文献 特開平 1 1 - 2 7 4 4 2 0 ( J P , A )  
特開 2 0 0 2 - 1 1 0 8 2 9 ( J P , A )  
特開平 0 7 - 2 8 3 3 6 9 ( J P , A )  
特開 2 0 0 4 - 2 8 1 4 9 8 ( J P , A )  
特開 2 0 0 1 - 0 8 5 5 4 5 ( J P , A )  
特開 2 0 0 3 - 3 4 7 4 3 7 ( J P , A )  
特開昭 4 8 - 0 8 0 2 8 3 ( J P , A )

(58) 調査した分野(Int.Cl. , DB名)

H 0 1 L 2 1 / 8 2 4 7  
H 0 1 L 2 1 / 2 8  
H 0 1 L 2 1 / 2 8 5  
H 0 1 L 2 7 / 1 1 5  
H 0 1 L 2 9 / 4 2 3  
H 0 1 L 2 9 / 4 9  
H 0 1 L 2 9 / 7 8 6  
H 0 1 L 2 9 / 7 8 8  
H 0 1 L 2 9 / 7 9 2