



(12) 发明专利

(10) 授权公告号 CN 110911419 B

(45) 授权公告日 2024.04.12

(21) 申请号 201910986729.3

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

(22) 申请日 2015.02.05

专利代理人 李啸 杨美灵

(65) 同一申请的已公布的文献号

申请公布号 CN 110911419 A

(51) Int.CI.

H01L 27/12 (2006.01)

(43) 申请公布日 2020.03.24

H01L 29/786 (2006.01)

(30) 优先权数据

H01L 29/423 (2006.01)

2014-022864 2014.02.07 JP

(56) 对比文件

2014-022865 2014.02.07 JP

CN 101582453 A, 2009.11.18

2014-051134 2014.03.14 JP

CN 102569351 A, 2012.07.11

2014-051138 2014.03.14 JP

CN 103456793 A, 2013.12.18

(62) 分案原申请数据

JP 2013179284 A, 2013.09.09

201580007515.7 2015.02.05

US 2012119212 A1, 2012.05.17

(73) 专利权人 株式会社半导体能源研究所

US 2012132905 A1, 2012.05.31

地址 日本神奈川县厚木市

US 2013161608 A1, 2013.06.27

(72) 发明人 肥塚純一 神長正美 岛行徳
黒崎大辅 中田昌孝 山崎舜平

US 2013292675 A1, 2013.11.07

审查员 李梦培

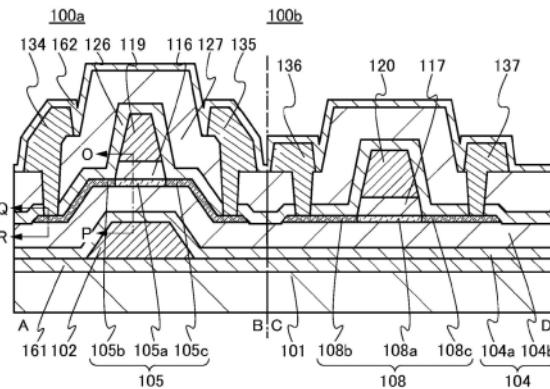
权利要求书5页 说明书55页 附图63页

(54) 发明名称

半导体装置

(57) 摘要

提供一种包括氧化物半导体的通态电流大的半导体装置。该半导体装置包括设置在驱动电路部的第一晶体管和设置在像素部的第二晶体管；第一晶体管和第二晶体管的结构不同。并且，第一晶体管和第二晶体管具有顶栅结构。在各晶体管的氧化物半导体膜中，在不与栅电极重叠的区域中包含杂质元素。氧化物半导体膜中的包含杂质元素的区域具有低电阻区域的功能。另外，氧化物半导体膜中的包含杂质元素的区域与包含氢的膜接触。另外，也可以包括在包含氢的膜的开口部中与包含杂质元素的区域接触且具有源电极以及漏电极的功能的导电膜。设置在驱动电路部的第一晶体管包括在其间隔着氧化物半导体膜的两个栅电极。



1.一种半导体装置,包括:

衬底;

所述衬底上方的第一晶体管,所述第一晶体管包括:

所述衬底上方的导电膜;

所述导电膜上方的第一绝缘膜;

所述第一绝缘膜上方的第一氧化物半导体膜,所述第一氧化物半导体膜与所述导电膜重叠;

所述第一氧化物半导体膜上的第一栅极绝缘膜;

所述第一栅极绝缘膜上方的第一栅电极;

所述第一氧化物半导体膜和所述第一栅电极上的第二绝缘膜;以及

所述第一氧化物半导体膜上方的第一源电极和第一漏电极,所述第一源电极和所述第一漏电极通过所述第二绝缘膜中设置的第一开口与所述第一氧化物半导体膜直接接触,

其中所述第一氧化物半导体膜包括与所述第一栅极绝缘膜直接接触的第一区域以及与所述第二绝缘膜直接接触的第二区域,

并且,所述第一氧化物半导体膜的所述第二区域中的每一个具有比所述第一氧化物半导体膜的所述第一区域低的电阻;以及

所述衬底上方的第二晶体管,所述第二晶体管包括:

所述第一绝缘膜上方的第二氧化物半导体膜;

所述第二氧化物半导体膜上的第二栅极绝缘膜;

所述第二栅极绝缘膜上方的第二栅电极;

所述第二氧化物半导体膜和所述第二栅电极上的所述第二绝缘膜;以及

所述第二氧化物半导体膜上方的第二源电极和第二漏电极,所述第二源电极和所述第二漏电极通过所述第二绝缘膜中设置的第二开口与所述第二氧化物半导体膜直接接触,

其中所述第二氧化物半导体膜包括与所述第二栅极绝缘膜直接接触的第一区域以及与所述第二绝缘膜直接接触的第二区域,

所述第二氧化物半导体膜的所述第二区域中的每一个具有比所述第二氧化物半导体膜的所述第一区域低的电阻,

所述第二绝缘膜与所述第一栅极绝缘膜的侧面和所述第二栅极绝缘膜的侧面接触,

并且,所述第一氧化物半导体膜的与所述第一源电极或所述第一漏电极直接接触的部分不与所述导电膜重叠。

2.一种半导体装置,包括:

衬底;

所述衬底上方的第一晶体管,所述第一晶体管包括:

所述衬底上方的导电膜;

所述导电膜上方的第一绝缘膜;

所述第一绝缘膜上方的第一氧化物半导体膜,所述第一氧化物半导体膜与所述导电膜重叠;

所述第一氧化物半导体膜上的第一栅极绝缘膜;

所述第一栅极绝缘膜上方的第一栅电极;

所述第一氧化物半导体膜和所述第一栅电极上的第二绝缘膜；

所述第二绝缘膜上的第三绝缘膜；以及

所述第一氧化物半导体膜上方的第一源电极和第一漏电极，所述第一源电极和所述第一漏电极通过所述第二绝缘膜和所述第三绝缘膜中设置的第一开口与所述第一氧化物半导体膜直接接触，

其中所述第一氧化物半导体膜包括与所述第一栅极绝缘膜直接接触的第一区域以及与所述第二绝缘膜直接接触的第二区域，

并且，所述第一氧化物半导体膜的所述第二区域中的每一个具有比所述第一氧化物半导体膜的所述第一区域低的电阻；以及

所述衬底上方的第二晶体管，所述第二晶体管包括：

所述第一绝缘膜上方的第二二氧化物半导体膜；

所述第二二氧化物半导体膜上的第二栅极绝缘膜；

所述第二栅极绝缘膜上方的第二栅电极；

所述第二二氧化物半导体膜和所述第二栅电极上的所述第二绝缘膜；

所述第二绝缘膜上的所述第三绝缘膜；以及

所述第二二氧化物半导体膜上方的第二源电极和第二漏电极，所述第二源电极和所述第二漏电极通过所述第二绝缘膜和所述第三绝缘膜中设置的第二开口与所述第二二氧化物半导体膜直接接触，

其中所述第二二氧化物半导体膜包括与所述第二栅极绝缘膜直接接触的第一区域以及与所述第二绝缘膜直接接触的第二区域，

所述第二二氧化物半导体膜的所述第二区域中的每一个具有比所述第二二氧化物半导体膜的所述第一区域低的电阻，

所述第二绝缘膜与所述第一栅极绝缘膜的侧面和所述第二栅极绝缘膜的侧面接触，

并且，所述第二绝缘膜与所述第二栅极绝缘膜的延伸超过所述第二栅电极的侧边缘的部分的上表面直接接触。

3. 根据权利要求2所述的半导体装置，其中所述第三绝缘膜包含氧。

4. 一种半导体装置，包括：

衬底；

所述衬底上方的第一晶体管，所述第一晶体管包括：

所述衬底上方的导电膜；

所述导电膜上方的第一绝缘膜，所述第一绝缘膜包含氧；

所述第一绝缘膜上方的第一氧化物半导体膜，所述第一氧化物半导体膜与所述导电膜重叠；

所述第一氧化物半导体膜上的第一栅极绝缘膜；

所述第一栅极绝缘膜上方的第一栅电极；

所述第一氧化物半导体膜和所述第一栅电极上的第二绝缘膜，所述第二绝缘膜包含氧；

所述第二绝缘膜上的第三绝缘膜，所述第三绝缘膜包含氧；以及

所述第一氧化物半导体膜上方的第一源电极和第一漏电极，所述第一源电极和所述第

一漏电极通过所述第二绝缘膜和所述第三绝缘膜中设置的第一开口与所述第一氧化物半导体膜直接接触，

其中所述第一氧化物半导体膜包括与所述第一栅极绝缘膜直接接触的第一区域以及与所述第二绝缘膜直接接触的第二区域，

并且，所述第一氧化物半导体膜的所述第二区域中的每一个具有比所述第一氧化物半导体膜的所述第一区域低的电阻；以及

所述衬底上方的第二晶体管，所述第二晶体管包括：

所述第一绝缘膜上方的第二二氧化物半导体膜；

所述第二二氧化物半导体膜上的第二栅极绝缘膜；

所述第二栅极绝缘膜上方的第二栅电极；

所述第二二氧化物半导体膜和所述第二栅电极上的所述第二绝缘膜；

所述第二绝缘膜上的所述第三绝缘膜；以及

所述第二二氧化物半导体膜上方的第二源电极和第二漏电极，所述第二源电极和所述第二漏电极通过所述第二绝缘膜和所述第三绝缘膜中设置的第二开口与所述第二二氧化物半导体膜直接接触，

其中所述第二二氧化物半导体膜包括与所述第二栅极绝缘膜直接接触的第一区域以及与所述第二绝缘膜直接接触的第二区域，

所述第二二氧化物半导体膜的所述第二区域中的每一个具有比所述第二二氧化物半导体膜的所述第一区域低的电阻，

所述第二绝缘膜与所述第一栅极绝缘膜的侧面和所述第二栅极绝缘膜的侧面接触，

并且，所述第二绝缘膜与所述第二栅极绝缘膜的延伸超过所述第二栅电极的侧边缘的部分的上表面直接接触。

5. 根据权利要求1或2所述的半导体装置，其中所述第二绝缘膜包含氢。

6. 根据权利要求1或2所述的半导体装置，其中所述第二绝缘膜包含氧。

7. 根据权利要求1、2和4中的任一项所述的半导体装置，

其中所述第一氧化物半导体膜的所述第二区域中的每一个具有比所述第一氧化物半导体膜的所述第一区域高的杂质元素浓度，

并且所述第二二氧化物半导体膜的所述第二区域中的每一个具有比所述第二二氧化物半导体膜的所述第一区域高的杂质元素浓度。

8. 根据权利要求7所述的半导体装置，其中所述杂质元素选自由氢、硼、碳、氮、氟、铝、硅、磷、氯、氦、氖、氩、氪和氙构成的组。

9. 根据权利要求1、2和4中的任一项所述的半导体装置，其中，所述导电膜配置为所述第一晶体管的背栅电极。

10. 根据权利要求1、2和4中的任一项所述的半导体装置，其中，所述第二晶体管具有单栅极结构。

11. 根据权利要求1、2和4中的任一项所述的半导体装置，其中，所述第一晶体管设置在驱动电路部中，以及所述第二晶体管设置在像素部中。

12. 一种半导体装置，包括：

绝缘表面上的第一晶体管和第二晶体管；

所述第一晶体管包括：

第一栅电极；

所述第一栅电极上方的第一绝缘膜；

所述第一绝缘膜上方的第一氧化物半导体膜；

所述第一氧化物半导体膜上方的第二绝缘膜；

第二栅电极，所述第二栅电极具有隔着所述第二绝缘膜与所述第一氧化物半导体膜的沟道区域重叠的区域；

所述第二栅电极上方的第三绝缘膜；

通过所述第三绝缘膜的第一开口电连接到所述第一氧化物半导体膜的第一源电极；以及

通过所述第三绝缘膜的第二开口电连接到所述第一氧化物半导体膜的第一漏电极；以及

所述第二晶体管包括：

第二氧化物半导体膜；

所述第二氧化物半导体膜上方的第四绝缘膜；

第三栅电极，所述第三栅电极具有隔着所述第四绝缘膜与所述第二氧化物半导体膜的沟道区域重叠的区域；

所述第三栅电极上方的所述第三绝缘膜；

通过所述第三绝缘膜的第三开口电连接到所述第二氧化物半导体膜的第二源电极；以及

通过所述第三绝缘膜的第四开口电连接到所述第二氧化物半导体膜的第二漏电极；

其中，所述第四绝缘膜的端部的底面位于所述第三栅电极的端部的底面的外部，

所述第四绝缘膜的所述端部具有带有第一角度的锥形状，

所述第三栅电极的所述端部具有带有第二角度的锥形状，

并且，所述第一角度不同于所述第二角度。

13. 根据权利要求12所述的半导体装置，
其中所述第二氧化物半导体膜具有电阻低于所述沟道区域的电阻的低电阻区域，
并且所述低电阻区域设置在与所述第四绝缘膜重叠但不与所述第三栅电极重叠的区域中。

14. 根据权利要求12所述的半导体装置，
其中，所述第一氧化物半导体膜和所述第二氧化物半导体膜中的每一个包含In、Ga和Zn，并且，所述第一源电极、所述第一漏电极、所述第二源电极以及所述第二漏电极中的每一个包含铜。

15. 根据权利要求12所述的半导体装置，
其中，所述第一氧化物半导体膜和所述第二氧化物半导体膜中的每一个包含In、Ga和Zn，所述第一源电极、所述第一漏电极、所述第二源电极以及所述第二漏电极中的每一个包含铜，
所述第二氧化物半导体膜具有电阻低于所述沟道区域的电阻的低电阻区域，并且所述低电阻区域设置在与所述第四绝缘膜重叠但不与所述第三栅电极重叠的区域中。

16. 根据权利要求12-15中的任一项所述的半导体装置,其中,所述第二角度大于所述第一角度。

17. 根据权利要求12-15中的任一项所述的半导体装置,其中,所述第二角度小于所述第一角度。

半导体装置

[0001] 本申请是分案申请,其母案申请号为201580007515.7,申请日是2015年2月5日,发明名称为“半导体装置”。

技术领域

[0002] 本发明的一个方式涉及一种包括氧化物半导体的半导体装置及包括该半导体装置的显示装置。

[0003] 注意,本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的一个方式的技术领域涉及一种物体、方法或制造方法。另外,本发明涉及一种工序(process)、机器(machine)、产品(manufacture)或组合物(composition of matter)。本发明的一个方式尤其涉及一种半导体装置、显示装置、发光装置、蓄电装置、存储装置以及其驱动方法或其制造方法。

[0004] 在本说明书等中,半导体装置通常是指能够通过利用半导体特性而工作的装置。晶体管等半导体元件、半导体电路、运算装置及存储装置都是半导体装置的一个方式。摄像装置、显示装置、液晶显示装置、发光装置、电光装置、发电装置(包括薄膜太阳能电池、有机薄膜太阳能电池等)及电子设备都可以包括半导体装置。

背景技术

[0005] 利用形成在具有绝缘表面的衬底上的半导体薄膜来形成晶体管(也称为薄膜晶体管(TFT))的技术受到关注。该晶体管被广泛地应用于如集成电路(IC)或图像显示装置(显示装置)等电子设备。作为可以应用于晶体管的半导体薄膜,以硅为代表的半导体材料被广泛周知。作为其他材料,氧化物半导体受到关注。

[0006] 例如,专利文献1公开一种技术,其中作为氧化物半导体使用包含In、Zn、Ga、Sn等的非晶氧化物制造晶体管。

[0007] [参考文献]

[0008] [专利文献]

[0009] [专利文献1]日本专利申请公开2006-165529号公报

发明内容

[0010] 作为包括氧化物半导体膜的晶体管,可以举出反交错型晶体管(也称为具有底栅结构的晶体管)或平面型晶体管(也称为具有顶栅结构的晶体管)等。当将包括氧化物半导体膜的晶体管应用于显示装置时,利用反交错型晶体管的情况比利用平面型晶体管的情况多,因为相比之下反交错型晶体管的制造工序较为简单且可以维持低的制造成本。然而,随着显示装置的屏幕的大型化或显示装置的图像的高清晰化(例如,典型为4k×2k像素(水平方向像素数=3840像素,垂直方向像素数=2160像素)或8k×4k像素(水平方向像素数=7680像素,垂直方向像素数=4320像素)的高清晰的显示装置),有如下问题:在反交错型晶体管的栅电极与源电极及漏电极之间有寄生电容,该寄生电容导致信号延迟等增加,而使

显示装置的图像质量随之劣化。另外,作为其他问题,反交错型晶体管的占有面积比平面型晶体管大。于是,作为包括氧化物半导体膜的平面型晶体管,期待着如下晶体管的开发:具有稳定的半导体特性及高可靠性的结构并由简单的制造工序形成的晶体管。

[0011] 鉴于上述问题,本发明的一个方式的目的之一是提供一种包括氧化物半导体的新颖的半导体装置,尤其是提供一种包括氧化物半导体的平面型半导体装置。另外,本发明的一个方式的目的之一是提供一种包括氧化物半导体的通态电流(on-state current)大的半导体装置,提供一种包括氧化物半导体的关态电流(off-state current)小的半导体装置,提供一种包括氧化物半导体的占有面积小的半导体装置,提供一种包括氧化物半导体的具有稳定的电特性的半导体装置,提供一种包括氧化物半导体的可靠性高的半导体装置,提供一种新颖的半导体装置或提供一种新颖的显示装置。

[0012] 注意,上述目的的记载不妨碍其他目的的存在。在本发明的一个方式中,并不需要解决所有上述目的。上述以外的目的从说明书等的记载看来显而易见,且可以从说明书等的记载中抽出上述以外的目的。

[0013] 本发明的一个方式是包括设置在驱动电路部的第一晶体管及设置在像素部的第二晶体管的半导体装置,其中第一晶体管与第二晶体管的结构不同。另外,第一晶体管及第二晶体管是具有顶栅结构的晶体管。在各晶体管的氧化物半导体膜中,在不与栅电极重叠的区域中包含杂质元素。氧化物半导体膜的包含杂质元素的区域具有低电阻区域的功能。另外,氧化物半导体膜的包含杂质元素的区域与包含氢的膜接触。另外,也可以设置有:通过包含氢的膜的开口部与包含杂质元素的区域接触的具有源电极及漏电极的功能的导电膜。

[0014] 注意,设置在驱动电路部的第一晶体管包括隔着氧化物半导体膜重叠的两个栅电极。

[0015] 作为杂质元素,可以举出氢、硼、碳、氮、氟、铝、硅、磷、氯或稀有气体元素。

[0016] 在包含氢以及稀有气体元素、硼、碳、氮、氟、铝、硅、磷及氯中的至少一个作为杂质元素时,氧化物半导体膜的导电性高。因此,当在氧化物半导体膜中,在不与栅电极重叠的区域中设置有包含该杂质元素的区域,并使包含杂质元素的区域与源电极及漏电极接触时,能够降低晶体管的寄生电阻及寄生电容,而得到通态电流高的晶体管。

[0017] 另外,设置在驱动电路部中的第一晶体管及设置在像素部中的第二晶体管可以包括具有不同的金属元素的原子数比的氧化物半导体膜。

[0018] 设置在驱动电路部中的第一晶体管及设置在像素部中的第二晶体管也可以分别包括具有第一膜及第二膜的多层膜来代替氧化物半导体膜。

[0019] 本发明的一个方式可以提供一种包括氧化物半导体的新颖的半导体装置。尤其是,可以提供一种包括氧化物半导体的平面型半导体装置。或者,可以提供一种包括氧化物半导体的通态电流大的半导体装置,可以提供一种包括氧化物半导体的关态电流小的半导体装置,可以提供一种包括氧化物半导体的占有面积小的半导体装置,可以提供一种包括氧化物半导体的具有稳定的电特性的半导体装置,可以提供一种包括氧化物半导体的可靠性高的半导体装置,可以提供一种新颖的半导体装置,或者可以提供一种新颖的显示装置。

[0020] 注意,这些效果的记载不妨碍其他效果的存在。本发明的一个方式并不一定必须要具有所有上述效果。说明书、附图以及权利要求书等的记载中显然存在上述效果以外的

效果,可以从说明书、附图以及权利要求书等的记载中抽出上述效果以外的效果。

附图说明

- [0021] 图1A和图1B是说明半导体装置的一个方式的俯视图。
- [0022] 图2A和图2B是说明半导体装置的一个方式的截面图。
- [0023] 图3A和图3B是说明半导体装置的一个方式的截面图。
- [0024] 图4A和图4B是说明半导体装置的一个方式的截面图。
- [0025] 图5A和图5B是说明半导体装置的制造方法的一个方式的截面图。
- [0026] 图6A至图6C是说明半导体装置的制造方法的一个方式的截面图。
- [0027] 图7A和图7B是说明半导体装置的制造方法的一个方式的截面图。
- [0028] 图8A和图8B是说明半导体装置的一个方式的俯视图。
- [0029] 图9A和图9B是说明半导体装置的一个方式的截面图。
- [0030] 图10A和图10B是说明半导体装置的一个方式的截面图。
- [0031] 图11A和图11B是说明半导体装置的制造方法的一个方式的截面图。
- [0032] 图12A至图12C是说明半导体装置的制造方法的一个方式的截面图。
- [0033] 图13A和图13B是说明半导体装置的制造方法的一个方式的截面图。
- [0034] 图14A和图14B示出本发明的一个方式的晶体管的能带图。
- [0035] 图15A和图15B示出本发明的一个方式的晶体管的能带图。
- [0036] 图16A至图16F是说明晶体管的结构的截面图。
- [0037] 图17A至图17F是说明晶体管的结构的截面图。
- [0038] 图18A至图18E是说明晶体管的结构的截面图。
- [0039] 图19A和图19B是说明晶体管的结构的截面图。
- [0040] 图20A至图20D是说明晶体管的结构的截面图。
- [0041] 图21A和图21B是说明晶体管的制造工序的截面图。
- [0042] 图22A至图22F是都说明晶体管的结构的截面图。
- [0043] 图23A至图23F是都说明晶体管的结构的截面图。
- [0044] 图24A至图24E是都说明晶体管的结构的截面图。
- [0045] 图25A和图25B是都说明晶体管的结构的截面图。
- [0046] 图26A至图26D是都说明晶体管的结构的截面图。
- [0047] 图27示出计算模型。
- [0048] 图28A和图28B分别示出初期状态及最终状态。
- [0049] 图29示出活化能。
- [0050] 图30A和图30B分别示出初期状态及最终状态。
- [0051] 图31示出活化能。
- [0052] 图32示出V₀H的迁移能级。
- [0053] 图33A至图33C是说明显示装置的方框图及电路图。
- [0054] 图34是说明显示装置的一个方式的俯视图。
- [0055] 图35A和图35B是说明显示装置的一个方式的截面图。
- [0056] 图36A和图36B是说明显示装置的一个方式的截面图。

- [0057] 图37是说明发光装置的像素部的结构的截面图。
- [0058] 图38说明显示模块。
- [0059] 图39A至图39G说明电子设备。
- [0060] 图40示出电阻率的温度依赖性。
- [0061] 图41A至图41D是CAAC-OS的截面的Cs校正高分辨率TEM图像以及CAAC-OS的截面示意图。
- [0062] 图42A至图42D是CAAC-OS的平面的Cs校正高分辨率TEM图像。
- [0063] 图43A至图43C示出通过XRD得到的CAAC-OS以及单晶氧化物半导体的结构分析。
- [0064] 图44A和图44B示出CAAC-OS的电子衍射图案。
- [0065] 图45示出电子照射所引起的In-Ga-Zn氧化物的结晶部的变化。

具体实施方式

[0066] 下面,参照附图详细说明本发明的实施方式。注意,本发明不局限于以下说明,所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0067] 注意,为简洁起见,有时在附图等中示出的各结构的位置、大小及范围等并不表示其实际的位置、大小及范围等。因此,所公开的发明不一定局限于附图等所公开的位置、大小、范围等。

[0068] 在本说明书等中,“第一”、“第二”、“第三”等序数词是为了避免构成要素之间的混淆而使用的,而不是为了在数目方面上进行限定的。

[0069] 注意,本说明书等中的“上”或“下”等术语没必要必须指构成要素与其他构成要素的位置关系为“直接在…之上”或“直接在…之下”。例如,“栅极绝缘膜上的栅电极”可以指在栅极绝缘膜和栅电极之间还有其他构成要素的情况。

[0070] 另外,在本说明书等中,“电极”或“布线”等术语不在功能上限定其构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”或“布线”等术语可以还指多个“电极”及“布线”被形成为一体的组合。

[0071] 例如,在使用极性相反的晶体管的情况下或电路工作中电流的流动方向有所改变的情况下,“源极”及“漏极”的功能有时被互相调换。因此,在本说明书等中,“源极”和“漏极”等术语可以被互相调换而用。

[0072] 注意,在本说明书等中,“电连接”包括通过“具有某种电作用的物体”连接的情况。在此,“具有某种电作用的物体”只要可以进行连接对象间的电信号的传送和接收,就对其没有特别的限制。例如,“具有某种电作用的物体”不仅包括电极和布线,并且还包括晶体管等开关元件、电阻元件、电感器、电容器以及具有各种功能的元件等。

[0073] 实施方式1

[0074] 在本实施方式中,参照图1A及图1B、图2A及图2B、图3A及图3B、图4A及图4B、图5A及图5B、图6A至图6C、图7A及图7B对半导体装置及半导体装置的制造方法的一个方式进行说明。

[0075] <半导体装置的结构1>

[0076] 在图1A及图1B、图2A及图2B中，示出顶栅结构的晶体管作为包括在半导体装置中的晶体管的例子。在此，作为半导体装置的一个例子，对显示装置进行说明。另外，说明分别设置在显示装置的驱动电路部及像素部中的晶体管的结构。在本实施方式所示的显示装置中，驱动电路部的晶体管的结构不同于像素部的晶体管的结构。驱动电路部中的晶体管具有双栅结构，像素部中的晶体管具有单栅结构。

[0077] 图1A和图1B是设置在驱动电路部的晶体管100a及设置在像素部的晶体管100b的俯视图。图2A和图2B是晶体管100a、100b的截面图。图1A是晶体管100a的俯视图，图1B是晶体管100b的俯视图。图2A示出图1A的点划线A-B间的截面图以及图1B的点划线C-D间的截面图。图2B示出图1A的点划线G-H间的截面图以及图1B的点划线I-J间的截面图。注意，在图1A和图1B中，为了简洁起见，省略衬底101、绝缘膜104、绝缘膜126、绝缘膜127等。图2A示出晶体管100a、100b的沟道长度方向上的截面图。此外，图2B示出晶体管100a、100b的沟道宽度方向上的截面图。

[0078] 与晶体管100a及晶体管100b同样地，在后面的晶体管的俯视图中有时也省略构成要素的一部分。另外，有时将点划线A-B方向及点划线C-D方向称为沟道长度方向，并将点划线G-H方向及点划线I-J方向称为沟道宽度方向。

[0079] 图2A和图2B所示的晶体管100a包括：衬底101上的导电膜102；衬底101及导电膜102上的绝缘膜104；绝缘膜104上的氧化物半导体膜105；接触于氧化物半导体膜105的绝缘膜116；以及隔着绝缘膜116与氧化物半导体膜105重叠的导电膜119。

[0080] 导电膜102及导电膜119具有栅电极的功能。也就是说，晶体管100a是双栅结构的晶体管。绝缘膜104及绝缘膜116具有栅极绝缘膜的功能。

[0081] 注意，虽然未图示，但也可以使导电膜102与氧化物半导体膜105的整个区域重叠。

[0082] 氧化物半导体膜105包括：与导电膜102及导电膜119重叠的沟道区域105a；以及夹着该沟道区域105a的低电阻区域105b、105c。

[0083] 在晶体管100a中，设置有接触于低电阻区域105b、105c的绝缘膜126。此外，也可以在绝缘膜126上设置有绝缘膜127。另外，设置有通过绝缘膜126及绝缘膜127的开口部128、129接触于氧化物半导体膜105的低电阻区域105b、105c的导电膜134、135。

[0084] 优选在衬底101上设置氮化物绝缘膜161。作为氮化物绝缘膜161的例子，有氮化硅膜及氮化铝膜。通过将衬底101由氮化物绝缘膜161覆盖，能够防止包含在衬底101中的元素扩散。

[0085] 晶体管100b包括：形成于衬底101上的绝缘膜104之上的氧化物半导体膜108；接触于氧化物半导体膜108的绝缘膜117；以及隔着绝缘膜117与氧化物半导体膜108重叠的导电膜120。

[0086] 导电膜120具有栅电极的功能。绝缘膜117具有栅极绝缘膜的功能。

[0087] 氧化物半导体膜108包括：与导电膜120重叠的沟道区域108a；以及夹着该沟道区域108a的低电阻区域108b、108c。

[0088] 在晶体管100b中，设置有接触于低电阻区域108b、108c的绝缘膜126。此外，也可以在绝缘膜126上设置绝缘膜127。另外，设置有通过绝缘膜126及绝缘膜127的开口部130、131接触于氧化物半导体膜108的低电阻区域108b、108c的导电膜136、137。

[0089] 注意，优选以覆盖导电膜134、135、136、137的方式设置氮化物绝缘膜162。氮化物

绝缘膜162能够防止来自外部的杂质扩散。

[0090] 在氧化物半导体膜105中,在不与导电膜119重叠的区域中包含形成氧缺陷的元素。在氧化物半导体膜108中,在不与导电膜120重叠的区域中包含形成氧缺陷的元素。下面,将通过对氧化物半导体膜添加而在其中形成氧缺陷的元素称为杂质元素来进行说明。杂质元素的典型例子为氢、硼、碳、氮、氟、铝、硅、磷、氯以及稀有气体元素。稀有气体元素的典型例子为氦、氖、氩、氪以及氙。

[0091] 另外,绝缘膜126是包含氢的膜,其典型例子为氮化物绝缘膜。作为氮化物绝缘膜的例子,有氮化硅膜、氮化铝膜。绝缘膜126与氧化物半导体膜105、108接触。由此,绝缘膜126所包含的氢扩散到氧化物半导体膜105、108中。其结果,氧化物半导体膜105、108中的与绝缘膜126接触的区域含有大量的氢。

[0092] 当杂质元素被添加到氧化物半导体时,氧化物半导体中的金属元素与氧的键合被切断,而形成氧缺陷。当对因添加杂质元素而形成有氧缺陷的氧化物半导体添加氢时,氢进入氧缺陷位点(site),并且在导带附近形成施主能级,由此,氧化物半导体的导电率变高。其结果,可以形成氧化物导电体。因此,氧化物导电体具有透光性。在此,将成为导电体的氧化物半导体称为氧化物导电体。

[0093] 氧化物导电体是简并半导体,并且可以推测其导带边缘与费米能级一致或大致一致。因此,在氧化物导电体膜与具有源电极及漏电极的功能的导电膜之间形成欧姆接触,由此,可以降低氧化物导电体膜与具有源电极及漏电极的功能的导电膜之间的接触电阻。

[0094] 换言之,低电阻区域105b、105c、108b、108c具有源区域及漏区域的功能。

[0095] 当使用钨、钛、铝、铜、钼、铬、钽、这些元素的合金等容易与氧键合的导电材料形成导电膜134、135、136、137时,氧化物半导体膜所包含的氧与导电膜134、135、136、137所包含的导电材料键合,在氧化物半导体膜105、108中形成氧缺陷。另外,有时形成导电膜134、135、136、137的导电材料的构成元素的一部分混入到氧化物半导体膜105、108中。其结果,与导电膜134、135、136、137接触的低电阻区域105b、105c、108b、108c的导电性提高,并具有源区域及漏区域的功能。

[0096] 当杂质元素为稀有气体元素且使用溅射法形成氧化物半导体膜105、108时,低电阻区域105b、105c、108b、108c分别包含稀有气体元素。另外,与沟道区域105a、108a相比,低电阻区域105b、105c、108b、108c的稀有气体元素浓度较高。这是因为:当使用溅射法形成氧化物半导体膜105、108时,作为溅射气体使用稀有气体,因此氧化物半导体膜105、108包含稀有气体;并且为了在低电阻区域105b、105c、108b、108c中形成氧缺陷,对低电阻区域105b、105c、108b、108c有意地添加稀有气体。注意,在低电阻区域105b、105c、108b、108c中,也可以添加与沟道区域105a、108a不同的稀有气体元素。

[0097] 因为低电阻区域105b、105c与绝缘膜126接触,所以低电阻区域105b、105c中的氢浓度与沟道区域105a中的氢浓度相比较高。另外,因为低电阻区域108b、108c与绝缘膜126接触,所以低电阻区域108b、108c中的氢浓度与沟道区域108a中的氢浓度相比较高。

[0098] 在低电阻区域105b、105c、108b、108c中,通过二次离子质谱分析法测定的氢浓度可以为 $8 \times 10^{19} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以上或 $5 \times 10^{20} \text{ atoms/cm}^3$ 以上。注意,在沟道区域105a、108a中,通过二次离子质谱分析法测定的氢浓度可以为 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下。

cm^3 以下或 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下。

[0099] 与沟道区域105a、108a相比,低电阻区域105b、105c、108b、108c的氢浓度高且因稀有气体元素的添加而产生的氧缺陷量较多。因此,低电阻区域105b、105c、108b、108c的导电性较高,并且具有源区域及漏区域的功能。典型的是,低电阻区域105b、105c、108b、108c的电阻率可以为 $1 \times 10^{-3} \Omega \text{ cm}$ 以上且低于 $1 \times 10^4 \Omega \text{ cm}$,或者 $1 \times 10^{-3} \Omega \text{ cm}$ 以上且低于 $1 \times 10^{-1} \Omega \text{ cm}$ 。

[0100] 注意,在低电阻区域105b、105c、108b、108c中,当氢的量与氧缺陷的量相同或比氧缺陷的量少时,氢容易被氧缺陷俘获,而不容易扩散到沟道区域105a、108a。其结果,可以制造常关闭(normally-off)晶体管。

[0101] 另外,当低电阻区域105b、105c、108b、108c中的氧缺陷的量比氢的量多时,通过控制氢的量,可以控制低电阻区域105b、105c、108b、108c的载流子密度。或者,当低电阻区域105b、105c、108b、108c中的氢的量比氧缺陷的量多时,通过控制氧缺陷的量,可以控制低电阻区域105b、105c、108b、108c的载流子密度。注意,当将低电阻区域105b、105c、108b、108c的载流子密度设定为 $5 \times 10^{18} \text{ 个}/\text{cm}^3$ 以上、 $1 \times 10^{19} \text{ 个}/\text{cm}^3$ 以上或 $1 \times 10^{20} \text{ 个}/\text{cm}^3$ 以上时,在晶体管中,沟道区域105a与具有源电极及漏电极的功能的导电膜134、135之间以及沟道区域108a与具有源电极及漏电极的功能的导电膜136、137之间的电阻较小且可以得到较大的通态电流。

[0102] 在本实施方式所示的晶体管100a、100b中,在沟道区域105a与具有源电极及漏电极的功能的导电膜134、135之间设置有低电阻区域105b、105c,并且在沟道区域108a与具有源电极及漏电极的功能的导电膜136、137之间设置有低电阻区域108b、108c,因此晶体管的寄生电阻较小。

[0103] 另外,在晶体管100a中,导电膜119不与导电膜134、135重叠,因此,能够降低导电膜119与导电膜134、135的每一个之间的寄生电容。在晶体管100b中,导电膜120不与导电膜136、137重叠,因此,能够降低导电膜120与导电膜136、137的每一个之间的寄生电容。

[0104] 因此,晶体管100a、100b的通态电流较大,场效应迁移率较高。

[0105] 在晶体管100a中,以导电膜119为掩模,对氧化物半导体膜105添加杂质元素。在晶体管100b中,以导电膜120为掩模,对氧化物半导体膜108添加杂质元素。换言之,可以以自对准的方式形成低电阻区域。

[0106] 在晶体管100a中,当导电膜102与导电膜119彼此不连接时可以对它们施加不同的电位,由此能够控制晶体管100a的阈值电压。或者,如图1A以及图2B所示,通过对在开口部113中彼此连接的导电膜102和导电膜119施加相同的电位,能够降低初期特性偏差,并且抑制-GBT(negative gate bias-temperature:负栅极偏压温度)应力测试所导致的晶体管的劣化以及通态电流的上升电压在不同的漏极电压下的变动。另外,当如图2B所示那样使导电膜102与导电膜119彼此连接时,导电膜102、119的电场影响到氧化物半导体膜105的顶面及侧面,所以载流子流过整个氧化物半导体膜105。换言之,载流子流动的区域在膜厚度方向上进一步增大,所以载流子的迁移量增多。其结果,晶体管100a的通态电流及场效应迁移率得到提高。由于通态电流较大,因此晶体管100a能够具有小的平面面积。其结果,能够制造驱动电路部的占有面积小的窄边框化的显示装置。

[0107] 另外,在显示装置中,包括在驱动电路部中的晶体管和包括在像素部中的晶体管

的沟道长度也可以不同。

[0108] 典型的是,包括在驱动电路部中的晶体管100a的沟道长度可以小于 $2.5\mu\text{m}$,或为 $1.45\mu\text{m}$ 以上且 $2.2\mu\text{m}$ 以下。包括在像素部中的晶体管100b的沟道长度可以为 $2.5\mu\text{m}$ 以上,或 $2.5\mu\text{m}$ 以上且 $20\mu\text{m}$ 以下。

[0109] 当包括在驱动电路部中的晶体管100a的沟道长度小于 $2.5\mu\text{m}$,优选为 $1.45\mu\text{m}$ 以上且 $2.2\mu\text{m}$ 以下时,与包括在像素部中的晶体管100b相比,可以提高场效应迁移率,并且可以增大通态电量流。其结果,可以制造能够进行高速工作的驱动电路部。另外,可以制造驱动电路部的占有面积小的显示装置。

[0110] 通过使用场效应迁移率较高的晶体管,可以在作为驱动电路部的一个例子的信号线驱动电路中形成解多路复用器电路。解多路复用器电路将一个输入信号分配到多个输出,因此,使用解多路复用器电路能够减少用来输入信号的输入端子的数量。例如,当一个像素包括红色子像素、绿色子像素及蓝色子像素,并且设置有对应于各像素的解多路复用器电路时,可以利用解多路复用器电路分配对各子像素输入的输入信号。因此,能够将输入端子的数量减少到 $1/3$ 。

[0111] 通过在像素部中设置通态电流较大的晶体管100b,即使在大型显示装置或高清晰显示装置中布线的数量增多,也能够降低各布线的信号延迟以及能够抑制显示的不均匀。

[0112] 如上所述,当使用能够进行高速工作的晶体管形成驱动电路部,并使用寄生电容及寄生电阻较小的晶体管形成像素部时,可以制造能够进行倍速驱动的高清晰显示装置。

[0113] 下面详细说明图2A和图2B所示的结构。

[0114] 作为衬底101,可以使用各种各样的衬底,而没有特别的限制。作为衬底的例子,有半导体衬底(例如单晶衬底或硅衬底)、SOI衬底、玻璃衬底、石英衬底、塑料衬底、金属衬底、不锈钢衬底、包含不锈钢箔的衬底、钨衬底、包含钨箔的衬底、柔性衬底、贴合薄膜、包含纤维状材料的纸或者基材薄膜等。作为玻璃衬底的例子,可以举出钡硼硅酸盐玻璃衬底、铝硼硅酸盐玻璃衬底或钠钙玻璃衬底等。作为柔性衬底、贴合薄膜、基材薄膜等,可以举出如下例子:以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)为代表的塑料;丙烯酸树脂等合成树脂;聚丙烯;聚氟化乙烯;聚氯乙烯;聚酯;聚酰胺;聚酰亚胺;芳族聚酰胺;环氧树脂;无机蒸镀薄膜;以及纸。尤其是,当使用半导体衬底、单晶衬底或SOI衬底等形成晶体管时,可以形成特性、尺寸或形状等的不均匀性小、电流供应能力高且尺寸小的晶体管。通过利用上述晶体管形成电路,可以实现电路的低功耗化或电路的高集成化。

[0115] 作为衬底101可以使用柔性衬底,并且在柔性衬底上直接设置晶体管。或者,也可以在衬底101与每个晶体管之间设置剥离层。剥离层可以在如下情况下使用:在剥离层上形成半导体装置的一部分或全部,然后使其从衬底101分离并转置到其他衬底上的情况。此时,也可以将晶体管转置到耐热性低的衬底或柔性衬底上。作为上述剥离层,例如可以使用包括钨膜和氧化硅膜的无机膜的叠层或形成在衬底上的聚酰亚胺等有机树脂膜。

[0116] 作为晶体管所转置到的衬底的例子,除了上述可以在其上形成晶体管的衬底之外,还可以使用纸衬底、玻璃纸衬底、芳族聚酰胺薄膜衬底、聚酰亚胺薄膜衬底、石材衬底、木材衬底、布衬底(包括天然纤维(丝、棉、麻)、合成纤维(尼龙、聚氨酯、聚酯)或再生纤维(醋酯纤维、铜氨纤维、人造纤维、再生聚酯)等)、皮革衬底、橡胶衬底等。当使用上述衬底时,能够形成特性良好的晶体管或功耗低的晶体管,能够提供耐久性高或耐热性高的装置,

或能够实现轻量化或薄型化。

[0117] 绝缘膜104可以是氧化物绝缘膜或氮化物绝缘膜的单层或叠层。注意,为了提高绝缘膜104与氧化物半导体膜105、108的界面特性,绝缘膜104中的至少与氧化物半导体膜105、108接触的区域优选使用氧化物绝缘膜形成。当作为绝缘膜104使用因加热而释放氧的氧化物绝缘膜时,可以利用加热处理使绝缘膜104所包含的氧移动到氧化物半导体膜105、108中。优选使用氮化物绝缘膜形成与导电膜102接触的绝缘膜104的区域,由此可以防止导电膜102所包含的金属元素移动到氧化物半导体膜105、108中。

[0118] 绝缘膜104的厚度可以是50nm以上,或者100nm以上且3000nm以下,或者200nm以上且1000nm以下。通过增加绝缘膜104的厚度,不仅可以增加绝缘膜104的氧的释放量,还可以降低绝缘膜104与氧化物半导体膜105、108的每一个的界面的界面态密度并降低氧化物半导体膜105中的沟道区域105a以及氧化物半导体膜108中的沟道区域108a所包含的氧缺陷。

[0119] 绝缘膜104可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧化铪、氧化镓和Ga-Zn氧化物等中的一个以上以单层或叠层形成。

[0120] 在此,绝缘膜104通过层叠绝缘膜104a及绝缘膜104b来形成。当作为绝缘膜104a使用氮化物绝缘膜时,可以防止导电膜102所包含的金属元素的扩散。当作为绝缘膜104b使用氧化物绝缘膜时,例如可以降低绝缘膜104b与氧化物半导体膜105、108的每一个的界面的界面态密度。

[0121] 典型的是,氧化物半导体膜105、108由In-Ga氧化物、In-Zn氧化物、In-M-Zn氧化物(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)等金属氧化物形成。注意,氧化物半导体膜105、108具有透光性。

[0122] 注意,在作为氧化物半导体膜105、108使用In-M-Zn氧化物的情况下,当In和M之和为100atomic%时,In和M的原子比例优选设定为如下:In为25atomic%以上,并且M低于75atomic%,或者,In为34atomic%以上,并且M低于66atomic%。

[0123] 氧化物半导体膜105、108的能隙都为2eV以上、2.5eV以上或3eV以上。

[0124] 氧化物半导体膜105、108的厚度可以为3nm以上且200nm以下,3nm以上且100nm以下,或3nm以上且50nm以下。

[0125] 当氧化物半导体膜105、108包含In-M-Zn氧化物(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)时,用来形成In-M-Zn氧化物的膜的溅射靶材的金属元素的原子数比优选满足 $In \geq M$ 及 $Zn \geq M$ 。这种溅射靶材的金属元素的原子数比优选为 $In:M:Zn = 1:1:1$ 、 $In:M:Zn = 1:1:1.2$ 、 $In:M:Zn = 2:1:1.5$ 、 $In:M:Zn = 2:1:2.3$ 、 $In:M:Zn = 2:1:3$ 、 $In:M:Zn = 3:1:2$ 等。注意,所形成的氧化物半导体膜105、108的原子数比作为误差有上述溅射靶材的金属元素的原子数比的±40%的变动。

[0126] 当氧化物半导体膜105、108中包含第14族元素之一的硅或碳时,在氧化物半导体膜105、108中氧缺陷增加而氧化物半导体膜105、108变为n型膜。因此,在氧化物半导体膜105、108中,尤其在沟道区域105a、108a中,可以将硅或碳的浓度(通过二次离子质谱分析法测定的浓度)设定为 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下或 $2 \times 10^{17} \text{ atoms/cm}^3$ 以下。其结果,晶体管都具有正阈值电压(常关闭特性)。

[0127] 另外,在氧化物半导体膜105、108中,尤其在沟道区域105a、108a中,可以将通过二次离子质谱分析法测定的碱金属或碱土金属的浓度设定为 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下或 $2 \times$

10^{16} atoms/cm³以下。碱金属及碱土金属在与氧化物半导体键合时有时生成载流子,这会使晶体管的关态电流增大。因此,优选降低沟道区域105a、108a的碱金属或碱土金属的浓度。其结果,晶体管都具有正阈值电压(常关闭特性)。

[0128] 另外,当在氧化物半导体膜105、108中,尤其在沟道区域105a、108a中包含氮时,生成作为载流子的电子,载流子密度增加,而有时氧化物半导体膜105、108变为n型膜。其结果,使用包含氮的氧化物半导体膜的晶体管容易具有常开启(normaly-on)特性。因此,在该氧化物半导体膜中,尤其在沟道区域105a、108a中,优选尽可能地降低氮。例如,可以将通过二次离子质谱分析法测定的氮浓度设定为 5×10^{18} atoms/cm³以下。

[0129] 在氧化物半导体膜105、108中,尤其在沟道区域105a、108a中,通过降低杂质元素,可以降低氧化物半导体膜的载流子密度。在氧化物半导体膜105、108中,尤其在沟道区域105a、108a中,可以将载流子密度设定为 1×10^{17} 个/cm³以下、 1×10^{15} 个/cm³以下、 1×10^{13} 个/cm³以下、 8×10^{11} 个/cm³以下,或 1×10^{11} 个/cm³以下,优选低于 1×10^{10} 个/cm³且为 1×10^{-9} 个/cm³以上。

[0130] 可以将杂质浓度低且缺陷态密度低的氧化物半导体膜的每一个用于氧化物半导体膜105、108,此时可以制造具有更优异的电特性的晶体管。在此,将杂质浓度低且缺陷态密度低(氧缺陷少)的状态称为“高纯度本征”或“实质上高纯度本征”。高纯度本征或实质上高纯度本征的氧化物半导体具有较少的载流子发生源,因此有时具有较低的载流子密度。由此,沟道区域形成在该氧化物半导体膜中的晶体管容易具有正阈值电压(常关闭特性)。高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度,并且有时具有较低的陷阱态密度。此外,高纯度本征或实质上高纯度本征的氧化物半导体膜的关态电流显著小,在源电极与漏电极间的电压(漏极电压)在1V至10V的范围内时,关态电流可以为半导体参数分析仪的测量极限以下,即 1×10^{-13} A以下。因此,有时沟道区域形成在该氧化物半导体膜中的晶体管的电特性变动小,并且该晶体管具有高可靠性。

[0131] 氧化物半导体膜105、108例如也可以都是非单晶结构。非单晶结构例如包括下述c轴取向结晶氧化物半导体(CAAC-OS:C Axis Aligned Crystalline Oxide Semiconductor)、多晶结构、下述微晶结构或非晶结构。在非单晶结构中,非晶结构的缺陷态密度最高,而CAAC-OS的缺陷态密度最低。

[0132] 注意,氧化物半导体膜105、108也可以为具有非晶结构的区域、微晶结构的区域、多晶结构的区域、CAAC-OS的区域和单晶结构的区域中的两种以上的混合膜。例如混合膜有时采用具有非晶结构的区域、微晶结构的区域、多晶结构的区域、CAAC-OS的区域和单晶结构的区域中的两种以上的区域的单层结构。另外,混合膜有时具有非晶结构的区域、微晶结构的区域、多晶结构的区域、CAAC-OS的区域和单晶结构的区域中的两种以上的区域的叠层结构。

[0133] 注意,在氧化物半导体膜105中,有时沟道区域105a与低电阻区域105b、105c的结晶性不同。在氧化物半导体膜108中,有时沟道区域108a与低电阻区域108b、108c的结晶性不同。这是因为,当低电阻区域105b、105c、108b、108c被添加杂质元素时,低电阻区域105b、105c、108b、108c中产生损伤,而使结晶性下降。

[0134] 绝缘膜116、117可以使用氧化物绝缘膜或氮化物绝缘膜的单层或叠层形成。注意,为了提高绝缘膜116、117与氧化物半导体膜105、108的界面特性,绝缘膜116、117中的至少

与氧化物半导体膜105、108接触的区域优选分别使用氧化物绝缘膜形成。绝缘膜116、117可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧化铪、氧化镓、Ga-Zn氧化物等的单层或叠层形成。

[0135] 另外,通过作为绝缘膜116、117的每一个设置具有对氧、氢、水等的阻挡效果的绝缘膜,可以防止氧从氧化物半导体膜105、108扩散到外部以及氢、水等从外部侵入到氧化物半导体膜105、108。作为具有对氧、氢、水等的阻挡效果的绝缘膜,例如有氧化铝膜、氧氮化铝膜、氧化镓膜、氧氮化镓膜、氧化钇膜、氧氮化钇膜、氧化铪膜、氧氮化铪膜等。

[0136] 绝缘膜116、117可以使用硅酸铪(HfSiO_x)、添加有氮的硅酸铪($\text{HfSi}_{x-y}\text{N}_z$)、添加有氮的铝酸铪($\text{HfAl}_{x-y}\text{N}_z$)、氧化铪、氧化钇等high-k(高k)材料形成,由此可以降低晶体管的栅极泄漏电流。

[0137] 当绝缘膜116、117使用因加热而释放氧的氧化物绝缘膜形成时,能够通过加热处理使绝缘膜116、117所包含的氧分别移动到氧化物半导体膜105、108中。

[0138] 绝缘膜116、117的每一个的厚度可以为5nm以上且400nm以下、5nm以上且300nm以下或10nm以上且250nm以下。

[0139] 导电膜119、120可以使用选自铝、铬、铜、钽、钛、钼、镍、铁、钴、钨中的金属元素、以上述金属元素为成分的合金、组合上述金属元素的合金等形成。另外,还可以使用选自锰和锆中的一种或多种的金属元素。另外,导电膜119、120也可以是单层结构或包括两层以上的叠层结构。例如,可以使用:包含硅的铝膜的单层结构;包含锰的铜膜的单层结构;在铝膜上层叠钛膜的两层结构;在氮化钛膜上层叠钛膜的两层结构;在氮化钛膜上层叠钨膜的两层结构;在氮化钽膜或氮化钨膜上层叠钨膜的两层结构;在包含锰的铜膜上层叠铜膜的两层结构;依次层叠钛膜、铝膜及钛膜的三层结构;依次层叠包含锰的铜膜、铜膜及包含锰的铜膜的三层结构等。另外,也可以使用:组合铝与选自钛、钽、钨、钼、铬、钕、钪中的一种或多种元素而成的合金膜或氮化膜。

[0140] 或者,导电膜119、120也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、包含氧化硅的铟锡氧化物等透光导电材料形成。还可以具有使用上述透光导电材料和上述金属元素形成的叠层结构。

[0141] 导电膜119、120的每一个的厚度都可以为30nm以上且500nm以下,或100nm以上且400nm以下。

[0142] 导电膜134、135、136、137具有源电极及漏电极的功能。导电膜134、135、136、137可以适当地使用导电膜119、120所示的材料及结构形成。

[0143] 绝缘膜127可以由使用氧化物绝缘膜或氮化物绝缘膜的单层或叠层形成。当绝缘膜127使用因加热而释放氧的氧化物绝缘膜形成时,能够通过加热处理使绝缘膜127所包含的氧移动到氧化物半导体膜105、108中。

[0144] 绝缘膜127可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧化铪、氧化镓、Ga-Zn氧化物等的单层或叠层形成。

[0145] 绝缘膜127的厚度可以为30nm以上且500nm以下或100nm以上且400nm以下。

[0146] <半导体装置的结构2>

[0147] 接下来,参照图3A和图3B对半导体装置的其他结构进行说明。在此,形成在驱动电

路部中的晶体管100c的氧化物半导体膜中的金属元素的原子数比不同于形成在像素部中的晶体管100d的氧化物半导体膜中的金属元素的原子数比。

[0148] 在晶体管100c所具有的氧化物半导体膜105中, In的原子数比大于M(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)的原子数比。当氧化物半导体膜105包含In-M-Zn氧化物(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)时, 在用来形成氧化物半导体膜105的靶材中的金属元素的原子数比为 $In:M:Zn = x_1:y_1:z_1$ 的情况下, x_1/y_1 优选大于1且为6以下。作为靶材的金属元素的原子数比的代表例子, 有 $In:M:Zn = 2:1:1.5$ 、 $In:M:Zn = 2:1:2.3$ 、 $In:M:Zn = 2:1:3$ 、 $In:M:Zn = 3:1:2$ 、 $In:M:Zn = 3:1:3$ 、 $In:M:Zn = 3:1:4$ 。

[0149] 在晶体管100d所包括的氧化物半导体膜108中, In的原子数比等于或小于M(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)的原子数比。当氧化物半导体膜108包含In-M-Zn氧化物(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)时, 在用来形成氧化物半导体膜108的靶材中的金属元素的原子数比为 $In:M:Zn = x_2:y_2:z_2$ 的情况下, x_2/y_2 优选为1/6以上且1以下, 并且 z_2/y_2 优选为1/3以上且6以下, 更优选为1以上且6以下。注意, 当 z_2/y_2 为1以上且6以下时, 作为氧化物半导体膜108的CAAC-OS膜的形成变得容易。靶材的金属元素的原子数比的典型例子有 $In:M:Zn = 1:1:1$ 、 $In:M:Zn = 1:1:1.2$ 、 $In:M:Zn = 1:3:2$ 、 $In:M:Zn = 1:3:4$ 、 $In:M:Zn = 1:3:6$ 、 $In:M:Zn = 1:3:8$ 、 $In:M:Zn = 1:4:4$ 、 $In:M:Zn = 1:4:5$ 、 $In:M:Zn = 1:4:6$ 、 $In:M:Zn = 1:4:7$ 、 $In:M:Zn = 1:4:8$ 、 $In:M:Zn = 1:5:5$ 、 $In:M:Zn = 1:5:6$ 、 $In:M:Zn = 1:5:7$ 、 $In:M:Zn = 1:5:8$ 、 $In:M:Zn = 1:6:8$ 。

[0150] 在晶体管100c所包含的氧化物半导体膜105中, In的原子数比大于M(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)的原子数比。因此, 场效应迁移率较高。典型的是, 晶体管的场效应迁移率大于 $10\text{cm}^2/\text{V}\cdot\text{s}$ 且小于 $60\text{cm}^2/\text{V}\cdot\text{s}$, 优选为 $15\text{cm}^2/\text{V}\cdot\text{s}$ 以上且小于 $50\text{cm}^2/\text{V}\cdot\text{s}$ 。然而, 关态电流会因光的照射而增大。因此, 也可以将导电膜102用作遮光膜。或者, 当在驱动电路部中不设置导电膜102且设置遮光膜时, 得到场效应迁移率高且关态电流低的晶体管。其结果, 可以形成能够进行高速工作的驱动电路部。

[0151] 在晶体管100b所包含的氧化物半导体膜108中, In的原子数比等于或小于M(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)的原子数比。因此, 即使在对氧化物半导体膜照射光时, 关态电流的增大量也少。因此, 通过在像素部中设置包括In的原子数比等于或小于M(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)的原子数比的氧化物半导体膜的晶体管, 可以得到光照射所导致的劣化少且显示品质优异的像素部。

[0152] <半导体装置的结构3)

[0153] 接着, 参照图4A和图4B说明半导体装置的其他结构。在此, 在形成在驱动电路部的晶体管100e及形成在像素部的晶体管100f中, 具有栅电极的功能的导电膜119、120都为叠层结构。图4A示出沟道长度方向的晶体管100e、100f的截面图, 图4B示出沟道宽度方向的晶体管100e、100f的截面图。

[0154] 导电膜119包括接触于绝缘膜116的导电膜119a及接触于导电膜119a的导电膜119b。导电膜119a的端部位于导电膜119b的端部的外侧。换言之, 导电膜119a具有其端部延伸至导电膜119b的端部外侧的形状。

[0155] 绝缘膜116的端部位于导电膜119a的端部的外侧。换言之, 绝缘膜116具有其端部延伸至导电膜119a的端部外侧的形状。再者, 绝缘膜116的侧面也可以是弯曲的。

[0156] 导电膜120包括接触于绝缘膜117的导电膜120a及接触于导电膜120a的导电膜120b。导电膜120a的端部位于导电膜120b的端部的外侧。换言之，导电膜120a具有其端部延伸至导电膜120b的端部外侧的形状。

[0157] 绝缘膜117的端部位于导电膜120a的端部的外侧。换言之，绝缘膜117具有其端部延伸至导电膜120a的端部外侧的形状。再者，绝缘膜117的侧面也可以是弯曲的。

[0158] 导电膜119a、120a可以使用钛、钽、钼、钨、这些元素的合金、氮化钛、氮化钽、氮化钼、氮化钨等形成。或者，导电膜119a、120a可以使用Cu-X合金(X为Mn、Ni、Cr、Fe、Co、Mo、Ta或Ti)等形成。

[0159] 导电膜119b、120b使用低电阻材料形成。导电膜119b、120b可以使用铜、铝、金、银、钨等、这些元素的合金或者以上述材料为主成分的化合物等形成。

[0160] 在将Cu-X合金(X为Mn、Ni、Cr、Fe、Co、Mo、Ta或Ti)用于导电膜119a、120a的情况下，有时在导电膜119a、120a的每一个与绝缘膜接触的区域中因加热处理而形成覆盖膜。覆盖膜包括包含X的化合物。作为包含X的化合物的例子，有X的氧化物及X的氮化物。当在导电膜119a、120a的表面形成覆盖膜时，覆盖膜成为阻挡膜，并且可以防止Cu-X合金膜中的Cu进入氧化物半导体膜中。

[0161] 注意，当氧化物半导体膜105、108中的沟道区域的铜浓度为 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下时，能够降低氧化物半导体膜105与具有栅极绝缘膜的功能的绝缘膜116的界面以及氧化物半导体膜108与具有栅极绝缘膜的功能的绝缘膜117的界面的电子陷阱态密度。其结果，能够制造亚阈值摆幅值(S值)优异的晶体管。

[0162] 当在晶体管100e、100f中设置有具有图4A和图4B所示的形状的导电膜119、120及绝缘膜116、117，能够使每个晶体管的漏区域的电场弛豫。因此，能够减轻起因于漏区域的电场的晶体管的劣化，如晶体管的阈值电压的变动等。

[0163] <能带结构>

[0164] 接着，说明图2A所示的晶体管100a的任意截面中的能带结构，这是本实施方式的晶体管的典型例子。

[0165] 图14A示出包括图2A所示的晶体管100a的沟道区域的O-P间的截面的能带结构。绝缘膜104a、绝缘膜104b及绝缘膜116的能隙都充分大于沟道区域105a。此外，假定沟道区域105a、绝缘膜104a、绝缘膜104b及绝缘膜116的费米能级(记为Ef)都与它们的本征费米能级(记为Ei)相同。另外，假定导电膜102及导电膜119的功函数与该费米能级相同。

[0166] 当将栅极电压设定为晶体管的阈值电压以上时，电子流过沟道区域105a。注意，将导带底的能量记为Ec，将价带顶的能量记为Ev。

[0167] 接着，图14B示出包括图2A所示的晶体管100a的源区域或漏区域的Q-R间的截面的能带结构。注意，假定低电阻区域105b、105c处于简并态(degenerate state)。另外，假定沟道区域105a的费米能级与低电阻区域105b的导带底的能量大致相同。低电阻区域105c也是同样的情况。

[0168] 此时，在导电膜134与低电阻区域105b之间形成欧姆接触，因为它们之间的势垒足够小。同样地，在导电膜135与低电阻区域105c之间形成欧姆接触，因为它们之间的势垒足够小。因此，在导电膜134及导电膜135与沟道区域105a之间顺利地进行电子的转移。

[0169] 如上所述，本发明的一个方式的晶体管是沟道电阻小且在源电极以及漏电极与沟

道区域之间顺利地进行电子的转移的晶体管。也就是说，上述晶体管具有良好的开关特性。

[0170] <半导体装置的制造方法1>

[0171] 接下来，参照图5A和图5B、图6A至图6C、图7A和图7B说明图1A和图1B及图2A和图2B所示的晶体管100a、100b的制造方法。

[0172] 晶体管100a、100b所包括的膜(绝缘膜、氧化物半导体膜、导电膜等)可以通过溅射法、化学气相沉积(CVD)法、真空蒸镀法、脉冲激光沉积(PLD)法中的任何方法形成。或者，可以通过涂敷法或印刷法形成。虽然溅射法、等离子体增强化学气相沉积(PECVD)法为成膜方法的典型例子，但也可以使用热CVD法。作为热CVD法，例如可以使用MOCVD(有机金属化学气相沉积)法或ALD(原子层沉积)法。

[0173] 通过热CVD法进行的沉积可以按如下方式来执行：通过将处理室内的压力设定为大气压或减压，将源气体及氧化剂同时供应到处理室内，并使它们在衬底附近或衬底上相互起反应。如此，由于在该沉积中不产生等离子体，因此热CVD法具有不产生起因于等离子体的缺陷的优点。

[0174] 通过ALD法进行的沉积可以按如下方式来执行：将处理室内的压力设定为大气压或减压，将用于反应的源气体依次引入处理室内，然后按该顺序反复地引入气体。例如，通过切换各自的开关阀(也称为高速阀)来将两种以上的源气体依次供应到处理室内。例如，以防止多种源气体混合的方式在将第一源气体引入的同时或之后将惰性气体(氩或氮)等引入，然后将第二源气体引入。注意，在将第一源气体和惰性气体同时引入的情况下，惰性气体被用作载流子气体，并且，惰性气体也可以在将第二源气体引入的同时引入。或者，也可以不引入惰性气体而通过真空抽气将第一源气体排出，然后可以引入第二源气体。第一源气体吸附于衬底表面上以形成第一单原子层；然后第二源气体被引入以与第一单原子层起反应；其结果，第二单原子层层叠于第一单原子层上，从而形成薄膜。

[0175] 通过按该顺序反复多次地引入气体直到获得所希望的厚度为止，可以形成台阶覆盖性良好的薄膜。薄膜的厚度可以通过按该顺序反复引入气体的次数来调整，因此ALD法能够精确地调整厚度，因而适用于制造微型FET。

[0176] 如图5A所示，在衬底101上形成导电膜102，并在导电膜102上形成绝缘膜104。接着，在驱动电路部的绝缘膜104上形成氧化物半导体膜105，并在像素部的绝缘膜104上形成氧化物半导体膜108。

[0177] 导电膜102以如下方法形成：通过溅射法、真空蒸镀法、脉冲激光沉积(PLD)法、热CVD法等形成导电膜，并在该导电膜上通过光刻工序形成掩模，然后进行蚀刻处理。

[0178] 或者，可以使用利用ALD法的沉积装置形成钨膜作为导电膜。此时，依次反复引入 WF_6 气体和 B_2H_6 气体形成初始钨膜，然后同时引入 WF_6 气体和 H_2 气体来形成钨膜。注意，也可以使用 SiH_4 气体代替 B_2H_6 气体。

[0179] 注意，导电膜102也可以利用电镀法、印刷法、喷墨法等代替上述形成方法来形成。

[0180] 在此，作为导电膜102，通过溅射法形成100nm厚的钨膜。

[0181] 绝缘膜104可以通过适当地利用溅射法、CVD法、蒸镀法、脉冲激光沉积(PLD)法、印刷法、涂敷法等形成。绝缘膜104可以通过如下方法形成：在衬底101上形成绝缘膜，然后对该绝缘膜添加氧。作为对绝缘膜添加的氧，例如有氧自由基、氧原子、氧原子离子、氧分子离子等。作为添加方法，可以举出离子掺杂法、离子注入法、等离子体处理法等。或者，也可以

在绝缘膜上形成抑制氧释放的膜之后,透过该膜对绝缘膜添加氧。

[0182] 作为绝缘膜104,利用如下条件形成能够通过加热处理使氧释放的氧化硅膜或氧氮化硅膜:将设置在等离子体CVD装置的抽成真空的处理室内的衬底保持在180℃以上且280℃以下或在200℃以上且240℃以下的温度,将源气体引入处理室内而将处理室内的压力设定为100Pa以上且250Pa以下或100Pa以上且200Pa以下,并对设置在处理室内的电极供应0.17W/cm²以上且0.5W/cm²以下,或0.25W/cm²以上且0.35W/cm²以下的高频功率。

[0183] 在此,层叠绝缘膜104a及绝缘膜104b来形成绝缘膜104。作为绝缘膜104a通过利用等离子体CVD法形成100nm厚的氮化硅膜,作为绝缘膜104b通过利用等离子体CVD法形成300nm厚的氧氮化硅膜。

[0184] 下面,对氧化物半导体膜105、108的形成方法进行说明。在绝缘膜104上通过溅射法、涂敷法、脉冲激光蒸镀法、激光烧蚀法、热CVD法等形成氧化物半导体膜。接着,通过加热处理使包含在绝缘膜104中的氧移动到氧化物半导体膜中。接着,在氧化物半导体膜上通过光刻工序形成掩模之后,使用该掩模对氧化物半导体膜的一部分进行蚀刻。由此,可以如图5A所示那样形成氧化物半导体膜105、108。然后,去除掩模。注意,也可以在通过对氧化物半导体膜的一部分进行蚀刻形成氧化物半导体膜105、108之后,进行加热处理。

[0185] 或者,通过利用印刷法形成氧化物半导体膜105、108,可以直接形成元件隔离的氧化物半导体膜105、108。

[0186] 在通过溅射法形成氧化物半导体膜的情况下,作为用来产生等离子体的电源装置,可以适当地使用RF电源装置、AC电源装置、DC电源装置等。注意,通过使用AC电源装置或DC电源装置,可以形成CAAC-OS膜。在氧化物半导体膜的形成中,使用AC电源装置或DC电源装置的溅射法比使用RF电源装置的溅射法更优选,因为氧化物半导体膜的厚度、膜组成或结晶性的可以分布均匀。

[0187] 作为溅射气体,适当地使用稀有气体(典型的是氩)、氧气体、稀有气体和氧气体的混合气体。当采用稀有气体和氧气体的混合气体时,优选增高相对于稀有气体的氧气体比例。

[0188] 另外,靶材根据所形成的氧化物半导体膜的组成适当地选择即可。

[0189] 例如,当使用溅射法在150℃以上且750℃以下,或150℃以上且450℃以下,或200℃以上且350℃以下的衬底温度下形成氧化物半导体膜时,可以形成CAAC-OS膜。当衬底温度为25℃以上且低于150℃时,可以形成微晶氧化物半导体膜。

[0190] 为了形成后述的CAAC-OS膜,优选应用如下条件。

[0191] 通过抑制沉积时的杂质混入,可以抑制杂质所导致的结晶态的损坏。例如,降低存在于成膜室内的杂质浓度(氢、水、二氧化碳及氮等)即可。另外,降低沉积气体中的杂质浓度即可。具体而言,使用露点为-80℃以下,或-100℃以下的沉积气体。

[0192] 另外,优选的是,为了减轻沉积时的等离子体损伤,增高沉积气体中的氧比例并对电力进行最优化。沉积气体中的氧比例为30vol.%以上,或100vol.%。

[0193] 另外,在形成氧化物半导体膜之后,可以进行加热处理来实现氧化物半导体膜的脱氢化或脱水化。典型的是,该加热处理在150℃以上且低于衬底的应变点,或250℃以上且450℃以下,或300℃以上且450℃以下的温度下进行。

[0194] 在包含氮或氦、氖、氩、氪、氙等稀有气体的惰性气体气氛中进行加热处理。或者,

也可以在惰性气体气氛中进行加热之后在氧气气氛中进行加热。上述惰性气体气氛及上述氧气气氛优选不包含氢、水等。处理时间是3分钟至24小时。

[0195] 该加热处理可以使用电炉、RTA装置等。通过使用RTA装置,如果加热时间短则可以在衬底的应变点以上的温度下进行加热处理。由此,可以缩短加热处理时间。

[0196] 通过在对氧化物半导体膜进行加热处理的同时形成该氧化物半导体膜,或者在形成氧化物半导体膜之后进行加热处理,通过二次离子质谱分析法测定的氧化物半导体膜中的氢浓度可以为 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下,或 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下,或 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下,或 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下,或 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下,或 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下。

[0197] 例如,当使用利用ALD的沉积装置来形成氧化物半导体膜如 InGaZnO_x ($X > 0$) 膜时,依次反复引入 $\text{In}(\text{CH}_3)_3$ 气体和 O_3 气体形成 InO_2 层,同时引入 $\text{Ga}(\text{CH}_3)_3$ 气体和 O_3 气体形成 GaO 层,然后同时引入 $\text{Zn}(\text{CH}_3)_2$ 气体和 O_3 气体形成 ZnO 层。注意,这些层的顺序不局限于上述例子。还可以通过混合这些气体来形成混合化合物层如 InGaO_2 层、 InZnO_2 层、 GaInO 层、 ZnInO 层、 GaZnO 层等。注意,虽然也可以使用利用Ar等惰性气体使其鼓泡而得的 H_2O 气体来代替 O_3 气体,但优选使用不含有H的 O_3 气体。还可以使用 $\text{In}(\text{C}_2\text{H}_5)_3$ 气体代替 $\text{In}(\text{CH}_3)_3$ 气体。还可以使用 $\text{Ga}(\text{C}_2\text{H}_5)_3$ 气体代替 $\text{Ga}(\text{CH}_3)_3$ 气体。另外,也可以使用 $\text{Zn}(\text{CH}_3)_2$ 气体。

[0198] 在此,在利用溅射法形成35nm厚的氧化物半导体膜之后,通过进行加热处理使包含在绝缘膜104中的氧移动到氧化物半导体膜中。接着,在该氧化物半导体膜上形成掩模,并选择性地对氧化物半导体膜的一部分进行蚀刻。这样,形成氧化物半导体膜105、108。作为氧化物半导体膜,形成 $\text{In:Ga:Zn}=1:1:1.2$ 的In-Ga-Zn氧化物膜。

[0199] 当在高于350°C且650°C以下,或450°C以上且600°C以下的温度下进行加热处理时,能够获得后述的其CAAC比例为60%以上且低于100%,或80%以上且低于100%,或90%以上且低于100%,或95%以上且98%以下的氧化物半导体膜。此外,能够获得氢、水等的含量低的氧化物半导体膜。也就是说,能够形成杂质浓度低且缺陷态密度低的氧化物半导体膜。

[0200] 接着,如图5B所示,在绝缘膜104、氧化物半导体膜105、108上形成绝缘膜115。然后,在绝缘膜115上形成导电膜119、120。

[0201] 在例如使用低电阻材料形成导电膜119、120时,低电阻材料混入氧化物半导体膜中会引起晶体管的电特性的劣化。在本实施方式中,在形成导电膜119、120之前形成绝缘膜115,由此,氧化物半导体膜105、108的每一个的沟道区域不接触于导电膜119、120。因此能够抑制晶体管的电特性的变动,典型的是阈值电压的变动。

[0202] 作为绝缘膜115,可以通过CVD法形成氧化硅膜或氧氮化硅膜。此时,作为源气体,优选使用包含硅的沉积气体及氧化性气体。作为包含硅的沉积气体的典型例子,有硅烷、乙硅烷、丙硅烷、氟化硅烷。作为氧化性气体,例如有氧、臭氧、一氧化二氮、二氧化氮。

[0203] 作为绝缘膜115,可以在如下条件下利用CVD法形成缺陷少的氧氮化硅膜:在相对于沉积气体的氧化性气体比例大于20倍且小于100倍,或为40倍以上且80倍以下;并且处理室内的压力低于100Pa,或为50Pa以下。

[0204] 作为绝缘膜115,可以利用如下条件形成致密的氧化硅膜或氧氮化硅膜:将设置在等离子体CVD装置的抽成真空的处理室内的衬底保持在280°C以上且400°C以下的温度,将源气体引入处理室内而将处理室内的压力设定为20Pa以上且250Pa以下,更优选为100Pa以

上且250Pa以下，并对设置在处理室内的电极供应高频功率。

[0205] 可以过使用微波的等离子体CVD法形成绝缘膜115。微波是指300MHz至300GHz的频率范围。当使用微波时，电子温度低且电子能量小。此外，在被供应的电力中，用于加速电子的电力比率少，因此，电力能够用于更多的分子的离解及电离。由此，能够使密度高的等离子体(高密度等离子体)激发。因此，等离子体对被形成面及沉积物造成的损伤少，由此能够形成缺陷少的绝缘膜115。

[0206] 或者，可以通过使用有机硅烷气体的CVD法形成绝缘膜115。作为有机硅烷气体，可以使用如下含硅化合物中的任何化合物：正硅酸乙酯(TEOS)(化学式： $\text{Si}(\text{OC}_2\text{H}_5)_4$)；四甲基硅烷(TMS)(化学式： $\text{Si}(\text{CH}_3)_4$)；四甲基环四硅氧烷(TMCTS)；八甲基环四硅氧烷(OMCTS)；六甲基二硅氮烷(HMDS)；三乙氧基硅烷($\text{SiH}(\text{OC}_2\text{H}_5)_3$)；三(二甲氨基)硅烷($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)等。通过利用使用有机硅烷气体的CVD法，能够形成覆盖性高的绝缘膜115。

[0207] 当作为绝缘膜115形成氧化镓膜时，可以使用MOCVD法。

[0208] 在作为绝缘膜115通过MOCVD法或ALD法等热CVD法形成氧化铪膜时，使用两种气体，即用作氧化剂的臭氧(O_3)和通过使包含溶剂和铪前体化合物的液体(铪醇盐溶液，典型的是四二甲基酰胺铪(TDMAH))气化而获得的源气体。注意，四二甲基酰胺铪的化学式为 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ 。作为其它材料液，例如有四(乙基甲酰胺)铪。

[0209] 在作为绝缘膜115通过MOCVD法或ALD法等热CVD法形成氧化铝膜时，使用两种气体，即用作氧化剂的 H_2O 和通过使包含溶剂和铝前体化合物的液体(三甲基铝(TMA)等)气化而获得的源气体。注意，三甲基铝的化学式为 $\text{Al}(\text{CH}_3)_3$ 。作为其它材料液，例如有三(二甲基酰胺)铝、三异丁基铝、铝三(2,2,6,6-四甲基-3,5-庚二酮)。注意，利用ALD法能够使绝缘膜115的覆盖性好且厚度薄。

[0210] 在作为绝缘膜115通过MOCVD法或ALD法等热CVD法形成氧化硅膜时，使六氯乙硅烷(hexachlorodisilane)吸附于被形成面上，去除吸附物所包含的氯，供应氧化性气体(O_2 或一氧化二氮)的自由基使其与吸附物起反应。

[0211] 在此，作为绝缘膜115，通过等离子体CVD法形成100nm厚的氧氮化硅膜。

[0212] 在此，在该导电膜上通过光刻工序形成掩模122、123之后，对该导电膜进行蚀刻，由此形成导电膜119、120。

[0213] 注意，导电膜119、120可以利用电镀法、印刷法、喷墨法等来代替上述形成方法而形成。

[0214] 接着，如图6A所示，在留下掩模122、123的状态下对绝缘膜115进行蚀刻，由此形成绝缘膜116、117。

[0215] 接着，如图6B所示，在留下掩模122、123的状态下对氧化物半导体膜105、108添加杂质元素125。其结果，杂质元素添加到氧化物半导体膜中的没有被掩模122、123覆盖的区域。注意，通过添加杂质元素125，在氧化物半导体膜中形成氧缺陷。

[0216] 或者，也可以在去除掩模122、123之后，形成其厚度能够对氧化物半导体膜添加杂质元素125的膜(典型的是氮化物绝缘膜、氧化物绝缘膜等)，并且将杂质元素125添加到氧化物半导体膜。能够对氧化物半导体膜添加杂质元素125的膜厚度为0.1nm以上且50nm以下，或1nm以上且10nm以下。

[0217] 作为杂质元素125的添加方法，有离子掺杂法、离子注入法、等离子体处理法等。在

采用等离子体处理法的情况下,在包含所添加的杂质元素的气体气氛下产生等离子体,然后进行等离子体处理,由此能够添加杂质元素。可以使用干蚀刻装置、等离子体CVD装置或高密度等离子体CVD装置等来产生等离子体。在进行等离子体处理的情况下,将衬底设置于平行板电路的阴极一侧,并以对衬底101一侧施加偏压的方式供应RF电力即可。作为该RF电力,例如电力密度可以为 0.1W/cm^2 以上且 2W/cm^2 以下。其结果,能够增加对氧化物半导体膜105、108添加的杂质元素的量,从而能够在氧化物半导体膜105、108中形成更多的氧缺陷。

[0218] 注意,作为杂质元素125的源气体,可以使用 B_2H_6 、 PH_3 、 CH_4 、 N_2 、 NH_3 、 AlH_3 、 AlCl_3 、 SiH_4 、 Si_2H_6 、 F_2 、 HF 、 H_2 和稀有气体中的一种以上。或者,也可以使用由稀有气体稀释的 B_2H_6 、 PH_3 、 N_2 、 NH_3 、 AlH_3 、 AlCl_3 、 F_2 、 HF 和 H_2 中的一种以上。通过使用由稀有气体稀释的 B_2H_6 、 PH_3 、 N_2 、 NH_3 、 AlH_3 、 AlCl_3 、 F_2 、 HF 和 H_2 中的一种以上将杂质元素125添加到氧化物半导体膜105、108,可以将稀有气体与氢、硼、碳、氮、氟、铝、硅、磷及氯中的一种以上同时添加到氧化物半导体膜105、108。

[0219] 或者,也可以在将稀有气体添加到氧化物半导体膜105、108之后,将 B_2H_6 、 PH_3 、 CH_4 、 N_2 、 NH_3 、 AlH_3 、 AlCl_3 、 SiH_4 、 Si_2H_6 、 F_2 、 HF 和 H_2 中的一种以上添加到氧化物半导体膜105、108。

[0220] 或者,也可以在将 B_2H_6 、 PH_3 、 CH_4 、 N_2 、 NH_3 、 AlH_3 、 AlCl_3 、 SiH_4 、 Si_2H_6 、 F_2 、 HF 及 H_2 中的一种以上添加到氧化物半导体膜105、108之后,将稀有气体添加到氧化物半导体膜105、108。

[0221] 杂质元素125的添加通过适当地设定加速电压或剂量等的注入条件来控制。例如,在通过离子注入法添加氩时,将加速电压设定为10kV,并将剂量设定为 $1 \times 10^{13}\text{ ions/cm}^2$ 以上且 $1 \times 10^{16}\text{ ions/cm}^2$ 以下,例如为 $1 \times 10^{14}\text{ ions/cm}^2$ 。在通过离子注入法添加磷离子时,将加速电压设定为30kV,并将剂量设定为 $1 \times 10^{13}\text{ ions/cm}^2$ 以上且 $5 \times 10^{16}\text{ ions/cm}^2$ 以下,例如为 $1 \times 10^{15}\text{ ions/cm}^2$ 。

[0222] 其结果,可以在氧化物半导体膜105中形成低电阻区域105b、105c。另外,可以在氧化物半导体膜108中形成低电阻区域108b、108c。之后,去除掩模122、123。

[0223] 注意,当在导电膜119、120露出的状态下添加杂质元素125时,导电膜119、120的一部分会剥离而附着于绝缘膜116、117的侧面。其结果,导致晶体管的泄漏电流增大。因此,通过在由掩模122、123覆盖导电膜119、120的状态下对氧化物半导体膜105、108添加杂质元素125,能够防止导电膜119、120的一部分附着于绝缘膜116、117的侧面。或者,也可以在去除掩模122、123之后对氧化物半导体膜105、108添加杂质元素125。

[0224] 然后,可以进行加热处理来进一步提高添加有杂质元素125的区域的导电性。加热处理典型地在150°C以上且低于衬底的应变点,或250°C以上且450°C以下,或300°C以上且450°C以下的温度下进行。

[0225] 接着,如图6C所示,在绝缘膜104、氧化物半导体膜105、108、绝缘膜116、117、导电膜119、120上形成绝缘膜126。

[0226] 作为绝缘膜126的形成方法,有溅射法、CVD法、真空蒸镀法、脉冲激光沉积(PLD)法等。注意,通过使用将硅烷及氨用作源气体、或者将硅烷及氮用作源气体的等离子体CVD法,可以形成包含氢的氮化硅膜。此外,通过利用等离子体CVD法,能够对氧化物半导体膜105、108造成损伤,从而能够在氧化物半导体膜105、108中形成氧缺陷。

[0227] 由于在绝缘膜126中包含氢,因此当绝缘膜126与氧化物半导体膜105、108中的添加有杂质元素的区域接触时,包含在绝缘膜126中的氢会移动到氧化物半导体膜105、108的

添加有杂质元素的区域。因为在添加有杂质的区域中包含氧缺陷,所以可以在氧化物半导体膜105、108中形成低电阻区域。

[0228] 或者,通过在代替绝缘膜126形成铝膜或氧化铝膜之后进行加热处理,使包含在氧化物半导体膜105、108中的氧与铝膜或氧化铝膜起反应。由此,作为绝缘膜126形成氧化铝膜,并在氧化物半导体膜105、108的低电阻区域105b、105c、108b、108c中形成氧缺陷。其结果,能够进一步提高低电阻区域105b、105c、108b、108c的导电性。

[0229] 在此,作为绝缘膜126通过等离子体CVD法形成100nm厚的氮化硅膜。

[0230] 然后,可以进行加热处理来进一步提高低电阻区域105b、105c、108b、108c的导电性。加热处理典型地在150℃以上且低于衬底的应变点,或250℃以上且450℃以下,或300℃以上且450℃以下的温度下进行。

[0231] 接着,如图7A所示,也可以形成绝缘膜127。绝缘膜127能够降低导电膜119与将在后面形成的导电膜134、135之间以及导电膜120与将在后面形成的导电膜136、137之间的寄生电容。

[0232] 接着,在绝缘膜126、127中形成开口部128、129以使低电阻区域的一部分露出,然后形成导电膜134、135、136、137。另外,优选形成氮化物绝缘膜162(参照图7B)。

[0233] 导电膜134、135、136、137可以适当地采用与导电膜119、120同样的形成方法形成。氮化物绝缘膜162可以适当地使用溅射法、CVD法等形式。

[0234] 通过上述工序,可以制造晶体管100a、100b。

[0235] <半导体装置的制造方法2>

[0236] 接着,对图3A和图3B所示的晶体管100c、100d的制造方法进行说明。

[0237] 在图5A所示的氧化物半导体膜的形成工序中,首先,使用In-M-Zn氧化物(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)靶材在驱动电路部中的绝缘膜104上形成氧化物半导体膜105。当该靶材的金属元素的原子数比为In:M:Zn=x₁:y₁:z₁时,x₁/y₁大于1且为6以下。

[0238] 接着,使用In-M-Zn氧化物(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)靶材在像素部中的绝缘膜104上形成氧化物半导体膜108。当该靶材的金属元素的原子数比为In:M:Zn=x₂:y₂:z₂时,x₂/y₂为1/6以上且1以下。

[0239] 然后,进行与图5B、图6A至图6C及图7A和图7B同样的工序。由此,可以制造晶体管100c、100d。

[0240] 在本实施方式所示的晶体管中,由于具有源电极以及漏电极的功能的导电膜不与具有栅电极的功能的导电膜重叠,因此能够降低寄生电容,并且通态电流较大。另外,在本实施方式所示的晶体管中,可以稳定地形成低电阻区域,所以与现有的晶体管相比,通态电流大且电特性的偏差得到进一步的减少。

[0241] 本实施方式所示的结构及方法等可以与其他实施方式所示的结构及方法等适当地组合而实施。

[0242] 实施方式2

[0243] 在本实施方式中,参照图8A及图8B、图9A及图9B、图10A及图10B、图11A及图11B、图12A至图12C、图13A及图13B对半导体装置及半导体装置的制造方法的一个方式进行说明。

[0244] <半导体装置的结构1>

[0245] 在图8A及图8B、图9A及图9B中,示出顶栅结构的晶体管作为包括在半导体装置中

的晶体管的一个例子。在此,作为半导体装置的一个例子,对显示装置进行说明。另外,说明设置在显示装置的驱动电路部及像素部的晶体管的结构。在本实施方式所示的显示装置中,驱动电路部中的晶体管的结构不同于像素部中的晶体管的结构。驱动电路部中的晶体管具有双栅结构,像素部中的晶体管具有单栅结构。

[0246] 图8A和图8B是设置在驱动电路部的晶体管100o及设置在像素部的晶体管100p的俯视图,图9A和图9B是晶体管100o、100p的截面图。图9A和图9B分别是晶体管100o、晶体管100p的俯视图。图9A示出图8A的点划线A-B间以及图8B的点划线C-D间的截面图。图9B示出图8A的点划线G-H间以及图8B的点划线I-J间的截面图。

[0247] 图9A和图9B所示的晶体管100o包括:衬底101上的导电膜102;衬底101及导电膜102上的绝缘膜104;绝缘膜104上的多层膜107;接触于多层膜107的绝缘膜116;以及隔着绝缘膜116与多层膜107重叠的导电膜119。晶体管100o是将实施方式1所示的晶体管100a的氧化物半导体膜105换成为多层膜107的结构。在此,对多层膜107进行详细的说明。关于与实施方式1所示的结构相同的结构的详细内容,可以援用实施方式1的晶体管100a的说明。

[0248] 多层膜107包括:与导电膜102及导电膜119重叠的沟道区域107a;以及夹着该沟道区域107a的低电阻区域107b、107c。沟道区域107a包括接触于绝缘膜104的沟道区域105a以及接触于沟道区域105a的沟道区域106a。低电阻区域107b包括接触于绝缘膜104的低电阻区域105b以及接触于低电阻区域105b的低电阻区域106b。低电阻区域107c包括接触于绝缘膜104的低电阻区域105c以及接触于低电阻区域105c的低电阻区域106c。注意,虽然在图9A和图9B中未图示,将包括沟道区域105a、低电阻区域105b以及低电阻区域105c的氧化物半导体膜称为氧化物半导体膜105,并将包括沟道区域106a、低电阻区域106b以及低电阻区域106c的氧化物半导体膜称为氧化物半导体膜106。也就是说,多层膜107是氧化物半导体膜105与氧化物半导体膜106的叠层。

[0249] 注意,在俯视表面形状上,氧化物半导体膜106的端部位于氧化物半导体膜105的端部外侧。换言之,氧化物半导体膜106覆盖氧化物半导体膜105的顶面及侧面。

[0250] 在晶体管100o中,设置有接触于低电阻区域107b、107c的绝缘膜126。此外,也可以在绝缘膜126上设置有绝缘膜127。另外,设置有通过绝缘膜126及绝缘膜127的开口部128、129接触于多层膜107的低电阻区域107b、107c的导电膜134、135。

[0251] 晶体管100p包括:形成于衬底101上的绝缘膜104之上的多层膜110;接触于多层膜110的绝缘膜117;以及隔着绝缘膜117与多层膜110重叠的导电膜120。晶体管100p是将实施方式1所示的晶体管100b的氧化物半导体膜108换成为多层膜110的结构。在此,对多层膜110进行详细的说明。关于与实施方式1所示的结构相同的结构的详细内容,可以援用实施方式1的晶体管100b的说明。

[0252] 多层膜110包括:与导电膜120重叠的沟道区域110a;以及夹着该沟道区域110a的低电阻区域110b、110c。沟道区域110a包括接触于绝缘膜104的沟道区域108a以及接触于沟道区域108a的沟道区域109a。低电阻区域110b包括接触于绝缘膜104的低电阻区域108b以及接触于低电阻区域108b的低电阻区域109b。低电阻区域110c包括接触于绝缘膜104的低电阻区域108c以及接触于低电阻区域108c的低电阻区域109c。注意,虽然在图9A和图9B中未图示,将包括沟道区域108a、低电阻区域108b以及低电阻区域108c的氧化物半导体膜称为氧化物半导体膜108,并将包括沟道区域109a、低电阻区域109b以及低电阻区域109c的氧

化物半导体膜称为氧化物半导体膜109。也就是说，多层膜110是氧化物半导体膜108与氧化物半导体膜109的叠层。

[0253] 注意，在俯视表面形状上，氧化物半导体膜109的端部位于氧化物半导体膜108的端部外侧。换言之，氧化物半导体膜109覆盖氧化物半导体膜108的顶面及侧面。

[0254] 在晶体管100p中，设置有接触于低电阻区域110b、110c的绝缘膜126。此外，也可以在绝缘膜126上设置绝缘膜127。另外，设置有通过绝缘膜126及绝缘膜127的开口部130、131接触于多层膜110的低电阻区域110b、110c的导电膜136、137。

[0255] 在多层膜107中，在不与导电膜119重叠的区域中含有形成氧缺陷的元素。在多层膜110中，在不与导电膜120重叠的区域中含有形成氧缺陷的元素。作为形成氧缺陷的元素，可以使用实施方式1所示的杂质元素。

[0256] 另外，绝缘膜126是包含氢的膜，氮化物绝缘膜为其典型例子。作为氮化物绝缘膜的例子，有氮化硅膜及氮化铝膜。绝缘膜126与多层膜107、110接触。由此，绝缘膜126所包含的氢扩散到多层膜107、110。其结果，在多层膜107、110中的与绝缘膜126接触的区域中，含有大量的氢。

[0257] 当杂质元素被添加到氧化物半导体时，氧化物半导体中的金属元素与氧的键合被切断，由此形成氧缺陷。当对因添加杂质元素而形成有氧缺陷的氧化物半导体添加氢时，氢进入氧缺陷位点(site)，并且在导带附近形成施主能级，因此氧化物半导体的导电率变高。其结果，可以形成氧化物导电体。因此，氧化物导电体具有透光性。

[0258] 氧化物导电体是简并半导体，并且可以推测其导带边缘与费米能级一致或大致一致。因此，在氧化物导电体膜与具有源电极及漏电极的功能的导电膜之间形成欧姆接触，由此可以降低氧化物导电体膜与具有源电极及漏电极的功能的导电膜之间的接触电阻。

[0259] 换言之，低电阻区域107b、107c、110b、110c具有源区域及漏区域的功能。

[0260] 当使用钨、钛、铝、铜、钼、铬、钽或这些元素的合金等容易与氧键合的导电材料形成导电膜134、135、136、137时，氧化物半导体膜所包含的氧与导电膜134、135、136、137所包含的导电材料键合，在多层膜107、110中形成氧缺陷。另外，有时形成导电膜134、135、136、137的导电材料的构成元素的一部分混入到多层膜107、110中。其结果，与导电膜134、135、136、137接触的低电阻区域107b、107c、110b、110c具有更高的导电性以及源区域及漏区域的功能。

[0261] 当杂质元素为稀有气体元素且使用溅射法形成多层膜107、110时，低电阻区域107b、107c、110b、110c分别包含稀有气体元素。另外，与沟道区域107a、110a相比，低电阻区域107b、107c、110b、110c的稀有气体元素浓度较高。这是因为：当使用溅射法形成多层膜107、110时，作为溅射气体使用稀有气体，因此多层膜107、110包含稀有气体；以及为了在低电阻区域107b、107c、110b、110c中形成氧缺陷而有意地对低电阻区域107b、107c、110b、110c添加稀有气体。注意，也可以对低电阻区域107b、107c、110b、110c添加与沟道区域107a、110a不同的稀有气体元素。

[0262] 低电阻区域107b、107c因为与绝缘膜126接触，所以与沟道区域107a相比氢浓度较高。另外，低电阻区域110b、110c因为与绝缘膜126接触，所以与沟道区域110a相比氢浓度较高。

[0263] 在低电阻区域107b、107c、110b、110c中，通过二次离子质谱分析法测定的氢浓度

可以为 8×10^{19} atoms/cm³以上、 1×10^{20} atoms/cm³以上或 5×10^{20} atoms/cm³以上。注意，在沟道区域107a、110a中，通过二次离子质谱分析法测定的氢浓度可以为 5×10^{19} atoms/cm³以下、 1×10^{19} atoms/cm³以下、 5×10^{18} atoms/cm³以下、 1×10^{18} atoms/cm³以下、 5×10^{17} atoms/cm³以下或 1×10^{16} atoms/cm³以下。

[0264] 与沟道区域107a、110a相比，低电阻区域107b、107c、110b、110c的氢浓度高且因稀有气体元素的添加而产生的氧缺陷量较多。因此，低电阻区域107b、107c、110b、110c具有更高的导电性以及源区域及漏区域的功能。低电阻区域107b、107c、110b、110c的电阻率典型地可以为 $1 \times 10^{-3} \Omega \text{ cm}$ 以上且低于 $1 \times 10^4 \Omega \text{ cm}$ ，或者 $1 \times 10^{-3} \Omega \text{ cm}$ 以上且低于 $1 \times 10^{-1} \Omega \text{ cm}$ 。

[0265] 注意，在低电阻区域107b、107c、110b、110c中，当氢的量与氧缺陷的量相同或比氧缺陷的量少时，氢容易被氧缺陷俘获，并且不容易扩散到沟道区域107a、110a中。其结果，可以制造常关闭特性的晶体管。

[0266] 另外，当低电阻区域107b、107c、110b、110c中的氧缺陷量比氢的量多时，通过控制氢的量，可以控制低电阻区域107b、107c、110b、110c的载流子密度。或者，当低电阻区域107b、107c、110b、110c中的氢的量比氧缺陷的量多时，通过控制氧缺陷的量，可以控制低电阻区域107b、107c、110b、110c的载流子密度。注意，当低电阻区域107b、107c、110b、110c的载流子密度为 5×10^{18} 个/cm³以上、 1×10^{19} 个/cm³以上或 1×10^{20} 个/cm³以上时，在晶体管中，沟道区域107a与具有源电极及漏电极的功能的导电膜134、135之间以及沟道区域110a与具有源电极及漏电极的功能的导电膜136、137之间的电阻较小且可以得到大的通态电流。

[0267] 在本实施方式所示的晶体管100o、100p中，由于在沟道区域107a与具有源电极及漏电极的功能的导电膜134、135之间设置有低电阻区域107b、107c，并且在沟道区域110a与具有源电极及漏电极的功能的导电膜136、137之间设置有低电阻区域110b、110c，因此晶体管的寄生电阻较小。

[0268] 另外，在晶体管100o中，导电膜119不与导电膜134、135重叠，因此能够降低导电膜119与导电膜134、135之间的寄生电容。在晶体管100p中，导电膜120不与导电膜136、137重叠，因此能够降低导电膜120与导电膜136、137之间的寄生电容。其结果，当作为衬底101使用大面积的衬底时，能够降低导电膜119、120、134、135、136、137中的信号延迟。

[0269] 因此，晶体管100o、100p的通态电流较大且场效应迁移率较高。

[0270] 在晶体管100o中，以导电膜119为掩模，对多层膜107添加杂质元素。在晶体管100p中，以导电膜120为掩模，对多层膜110添加杂质元素。换言之，可以以自对准的方式形成低电阻区域。

[0271] 在晶体管110o中，对彼此不连接的导电膜102与导电膜119施加不同的电位，由此能够控制晶体管100o的阈值电压。或者，如图9B所示，通过对彼此连接的导电膜102与导电膜119施加相同的电位，能够降低初期特性偏差，并且能够抑制-GBT(negative gate bias-temperature：负栅极偏压温度)应力测试所导致的晶体管的劣化以及通态电流的上升电压在不同的漏极电压下的变动。另外，当如图9B所示那样使导电膜102与导电膜119相互连接时，导电膜102、119的电场影响到多层膜107的顶面及侧面，因此载流子流过整个多层膜107。也就是说，载流子流动的区域在膜厚度方向上变大，所以载流子的迁移量增多。其结果，晶体管100o的通态电流以及场效应迁移率得到提高。由于晶体管100o的通态电流较大，因此能够缩小其平面的面积。其结果，能够制造驱动电路部的占有面积小的窄边框化了的

显示装置。

[0272] 另外,在显示装置中,包括在驱动电路部中的晶体管和包括在像素部中的晶体管的沟道长度可以不同。

[0273] 典型的是,包括在驱动电路部中的晶体管100o的沟道长度可以低于 $2.5\mu\text{m}$,或为 $1.45\mu\text{m}$ 以上且 $2.2\mu\text{m}$ 以下。包括在像素部中的晶体管100p的沟道长度可以为 $2.5\mu\text{m}$ 以上,或 $2.5\mu\text{m}$ 以上且 $20\mu\text{m}$ 以下。

[0274] 当包括在驱动电路部中的晶体管100o的沟道长度低于 $2.5\mu\text{m}$,优选为 $1.45\mu\text{m}$ 以上且 $2.2\mu\text{m}$ 以下时,与包括在像素部中的晶体管100p相比,可以提高场效应迁移率,并且可以增大通态电流。其结果,可以形成能够进行高速工作的驱动电路部。另外,可以制造驱动电路部的占有面积小的显示装置。

[0275] 通过使用场效应迁移率高的晶体管,可以在作为驱动电路部的一个例子的信号线驱动电路中形成解多路复用器电路。解多路复用器电路将一个输入信号分配到多个输出,因此,使用解多路复用器电路能够减少用来输入信号的输入端子的数量。例如,当一个像素包括红色子像素、绿色子像素及蓝色子像素且对各像素设置解多路复用器电路时,输入信号可以被解多路复用器电路分配以向各子像素输入。因此能够将输入端子的数量减少到 $1/3$ 。

[0276] 通过在像素部中设置通态电流较大的晶体管100p,即使在大型显示装置或高清晰显示装置中布线的数量增多,也能够降低布线的信号延迟以及显示的不均匀。

[0277] 如上所述,当使用能够进行高速工作的晶体管形成驱动电路部且使用寄生电容及寄生电阻小的晶体管形成像素部时,可以制造能够进行倍速驱动的高清晰显示装置。

[0278] 下面详细说明图9A和图9B所示的结构。

[0279] 在晶体管100o中,包含在多层膜107的氧化物半导体膜105的组成与氧化物半导体膜106的组成不同。在晶体管100p中,包含在多层膜110的氧化物半导体膜108的组成与氧化物半导体膜109的组成不同。包含在多层膜107的氧化物半导体膜105的组成与包含在多层膜110的氧化物半导体膜108的组成相同。此外,包含在多层膜107的氧化物半导体膜106的组成与包含在多层膜110的氧化物半导体膜109的组成相同。也就是说,氧化物半导体膜105和氧化物半导体膜108被同时形成,并且氧化物半导体膜106和氧化物半导体膜109被同时形成。

[0280] 晶体管100o的沟道形成在氧化物半导体膜105中。晶体管100p的沟道形成在氧化物半导体膜108中。因此,氧化物半导体膜105、108的厚度大于氧化物半导体膜106、109。

[0281] 氧化物半导体膜105、108的厚度都为 3nm 以上且 200nm 以下, 10nm 以上且 50nm 以下,或 20nm 以上且 35nm 以下。氧化物半导体膜106、109的厚度都为 3nm 以上且 200nm 以下, 3nm 以上且 100nm 以下, 10nm 以上且 100nm 以下,或 30nm 以上且 50nm 以下。

[0282] 氧化物半导体膜105、106、108、109都由至少包含In的金属氧化物形成,典型的是,由In-Ga氧化物、In-M-Zn氧化物(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)等形成。通过使氧化物半导体膜105、108中的铟含量多于氧化物半导体膜106、109,能够在晶体管100o和晶体管100p的每一个中形成埋入沟道。因此,能够降低晶体管100o和晶体管100p的各阈值电压的变动,并能够降低沟道电阻。详细内容在后述的<能带结构>中进行说明。

[0283] 在氧化物半导体膜105、108中,In原子的比率比M(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、

Nd或Hf)原子的比率大。在氧化物半导体膜105、108包含In-M-Zn氧化物(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf),并且用来形成氧化物半导体膜105、108的靶材中的金属元素的原子数比为In:M:Zn=x₁:y₁:z₁的情况下,x₁/y₁优选大于1且为6以下。作为靶材的金属元素的原子数比的代表例子,有In:M:Zn=2:1:1.5、In:M:Zn=2:1:2.3、In:M:Zn=2:1:3、In:M:Zn=3:1:2、In:M:Zn=3:1:3、In:M:Zn=3:1:4。

[0284] 在氧化物半导体膜106、109中,In原子的比率与M(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)原子的比率相同或比M原子的比率小。在氧化物半导体膜106、109包含In-M-Zn氧化物(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf),并且用来形成氧化物半导体膜106、109的靶材中的金属元素的原子数比为In:M:Zn=x₂:y₂:z₂的情况下,x₂/y₂优选为1/6以上且1以下,z₂/y₂更优选为1/3以上且6以下,进一步优选为1以上且6以下。注意,当z₂/y₂为1以上且6以下时,作为氧化物半导体膜106、109容易形成CAAC-OS膜。作为靶材的金属元素的原子数比的代表例子,有In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:6、In:M:Zn=1:3:8、In:M:Zn=1:4:4、In:M:Zn=1:4:5、In:M:Zn=1:4:6、In:M:Zn=1:4:7、In:M:Zn=1:4:8、In:M:Zn=1:5:5、In:M:Zn=1:5:6、In:M:Zn=1:5:7、In:M:Zn=1:5:8、In:M:Zn=1:6:8。

[0285] 晶体管100o、100p的场效应迁移率高,因为沟道形成在In原子的比率大于M(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)原子的比率的氧化物半导体膜105、108中。典型的是,晶体管的场效应迁移率大于10cm²/Vs且小于60cm²/Vs,优选为15cm²/Vs以上且小于50cm²/Vs。然而,晶体管的关态电流会因光的照射而增大。因此,如晶体管100o那样,多层膜107的沟道区域107a由导电膜102以及导电膜119包围,由此实现场效应迁移率高且关态电流低的晶体管。另外,通过以与晶体管100p重叠的方式设置遮光膜,实现场效应迁移率高且关态电流低的晶体管。其结果,可以制造能够进行高速工作的晶体管。

[0286] 在多层膜107、110中,优选降低第14族的元素之一的硅或碳、碱金属或碱土金属、氮、杂质元素等的浓度。典型的是,当多层膜107、110所包含的第14族的元素之一的硅或碳、碱金属或碱土金属、氮、杂质元素等的浓度与氧化物半导体膜105、108所包含的它们的浓度大致相同时,晶体管100o、100p都具有正阈值电压的电特性(常关闭特性)。

[0287] 通过与沟道区域105a、108a同样地降低多层膜107、110中,尤其是沟道区域107a、110a中的杂质元素,能够降低氧化物半导体膜的载流子密度。

[0288] 作为多层膜107、110使用杂质浓度低且缺陷态密度低的氧化物半导体膜,这样晶体管可以具有更优异的电特性。在此,将杂质浓度低且缺陷态密度低(氧缺陷量少)的状态称为“高纯度本征”或“实质上高纯度本征”。高纯度本征或实质上高纯度本征的氧化物半导体具有较少的载流子发生源,因此有时其载流子密度低。由此,包括形成有沟道区域的氧化物半导体膜的晶体管容易具有正阈值电压(常关闭特性)。高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度,所以有时其陷阱态密度也低。此外,高纯度本征或实质上高纯度本征的氧化物半导体膜的关态电流极小,在源电极与漏电极间的电压(漏极电压)在1V至10V的范围内时,关态电流可以为半导体参数分析仪的测量极限以下,即1×10⁻¹³A以下。因此,有时沟道区域形成在该氧化物半导体膜中的晶体管具有变动小的电特性及高可靠性。

[0289] 氧化物半导体膜106、109可以适当地具有用于氧化物半导体膜105、108的结晶结

构。

[0290] 注意,在多层膜107中,有时沟道区域107a与低电阻区域107b、107c的结晶性不同。在多层膜110中,有时沟道区域110a与低电阻区域110b、110c的结晶性不同。这是因为,当低电阻区域107b、107c、110b、110c被添加杂质元素时,低电阻区域107b、107c、110b、110c中产生损伤,而使它们的结晶性下降。

[0291] <半导体装置的结构2>

[0292] 接着,参照图10A和图10B说明半导体装置的其他结构。在此,在形成在驱动电路部的晶体管100q及形成在像素部的晶体管100r中,具有栅电极的功能的导电膜119、120都为叠层结构。图10A示出沟道长度方向的晶体管100q、100r的截面图,图10B示出沟道宽度方向的晶体管100q、100r的截面图。晶体管100q是将实施方式1所示的晶体管100e的氧化物半导体膜105换成为多层膜107的结构。关于与实施方式1所示的结构相同的结构的详细内容,可以援用实施方式1的晶体管100e的说明。晶体管100r是将实施方式1所示的晶体管100f的氧化物半导体膜108换成为多层膜110的结构。关于与实施方式1所示的结构相同的结构的详细内容,可以援用实施方式1的晶体管100f的说明。

[0293] 导电膜119包括接触于绝缘膜116的导电膜119a及接触于导电膜119a的导电膜119b。导电膜119a的端部位于导电膜119b的端部的外侧。换言之,导电膜119a具有其端部延伸至导电膜119b的端部外侧的形状。

[0294] 绝缘膜116的端部位于导电膜119a的端部的外侧。换言之,绝缘膜116具有其端部延伸至导电膜119a的端部外侧的形状。再者,绝缘膜116的侧面也可以是弯曲的。

[0295] 导电膜120包括接触于绝缘膜117的导电膜120a及接触于导电膜120a的导电膜120b。导电膜120a的端部位于导电膜120b的端部的外侧。换言之,导电膜120a具有其端部延伸至导电膜120b的端部外侧的形状。

[0296] 绝缘膜117的端部位于导电膜120a的端部的外侧。换言之,绝缘膜117具有其端部延伸至导电膜120a的端部外侧的形状。再者,绝缘膜117的侧面也可以是弯曲的。

[0297] 当在晶体管100q、100r中设置有具有图10A和图10B所示的形状的导电膜119、120以及绝缘膜116、117时,能够使晶体管的漏区域的电场弛豫。因此,能够减轻起因于漏区域的电场的晶体管的劣化,如晶体管的阈值电压的变动等。

[0298] <能带结构>

[0299] 接着,作为本实施方式所示的晶体管的典型例子,说明图8A和图8B、图9A和图9B所示的晶体管100o的任意截面中的能带结构。

[0300] 图15A示出包括图9A所示的晶体管100o的沟道区域的O-P间的截面的能带结构。沟道区域106a的能隙稍微大于沟道区域105a。绝缘膜104a、绝缘膜104b及绝缘膜116的能隙充分大于沟道区域106a及沟道区域105a。此外,假定沟道区域106a、沟道区域105a、绝缘膜104a、绝缘膜104b及绝缘膜116的费米能级(记为Ef)都与它们的本征费米能级(记为Ei)大致相同。另外,假定导电膜102及导电膜119的功函数与该费米能级大致相同。

[0301] 当将栅极电压设定为晶体管的阈值电压以上时,由于沟道区域106a的导带底与沟道区域105a的导带底之间的能量差异,电子优先地流过沟道区域105a。也就是说,可以估计为电子埋入在沟道区域105a中。注意,将导带底的能量记为Ec,将价带顶的能量记为Ev。

[0302] 于是,在本发明的一个方式的晶体管中,由于电子的埋入而使界面散射的影响得

到降低。因此,本发明的一个方式的晶体管的沟道电阻小。

[0303] 接着,图15B示出包括图9A所示的晶体管100o的源区域或漏区域的Q-R间的截面的能带结构。注意,假定低电阻区域105b、105c、106b、106c处于简并态(degenerate state)。也就是说,在低电阻区域105b、105c、106b、106c中,费米能级Ef与导带底的能量Ec大致相同。另外,假定低电阻区域105b的导带底的能量与沟道区域105a的费米能级大致相同。此外,假定低电阻区域106b的导带底的能量与沟道区域106a的费米能级大致相同。低电阻区域105c以及低电阻区域106c也是同样的情况。

[0304] 此时,在导电膜134与低电阻区域106b之间形成欧姆接触,因为它们之间的势垒足够小。另外,在低电阻区域106b与低电阻区域105b之间形成欧姆接触。同样地,在导电膜135与低电阻区域106c之间形成欧姆接触,因为它们之间的势垒足够小。另外,在低电阻区域106c与低电阻区域105c之间形成欧姆接触。因此,在导电膜134及导电膜135与沟道区域106a及沟道区域105a之间顺利地进行电子的转移。

[0305] 如上所述,在本发明的一个方式的晶体管中,在源电极以及漏电极与沟道区域之间顺利地进行电子的转移,并且其沟道电阻小。也就是说,上述晶体管具有良好的开关特性。

[0306] <半导体装置的制造方法1>

[0307] 接下来,参照图11A和图11B、图12A至图12C、图13A和图13B说明图8A和图8B、图9A和图9B所示的晶体管100o、100p的制造方法。

[0308] 晶体管100o、100p所包括的膜(绝缘膜、氧化物半导体膜、导电膜等)可以适当地使用实施方式1所述的晶体管所包括的膜的形成方法来形成。

[0309] 如图11A所示,与实施方式1同样地,在衬底101上形成导电膜102,并在导电膜102上形成绝缘膜104。接着,在驱动电路部的绝缘膜104上形成氧化物半导体膜105,并在像素部的绝缘膜104上形成氧化物半导体膜108。接着,在驱动电路部的绝缘膜104及氧化物半导体膜105上形成氧化物半导体膜106,并在像素部的绝缘膜104及氧化物半导体膜108上形成氧化物半导体膜109。

[0310] 在此,作为导电膜102,通过溅射法形成100nm厚的钨膜。

[0311] 在此,层叠绝缘膜104a及绝缘膜104b来形成绝缘膜104。作为绝缘膜104a通过等离子体CVD法形成100nm厚的氮化硅膜,作为绝缘膜104b通过等离子体CVD法形成300nm厚的氧化氮化硅膜。

[0312] 氧化物半导体膜105、106、108、109可以与实施方式1所示的氧化物半导体膜105、108同样地形成。

[0313] 另外,与实施方式1同样地,也可以在形成氧化物半导体膜之后进行加热处理来实现氧化物半导体膜的脱氢化或脱水化。

[0314] 在此,通过溅射法形成35nm厚的氧化物半导体膜。接着,在该氧化物半导体膜上形成掩模,并选择性地对氧化物半导体膜的一部分进行蚀刻。由此,形成氧化物半导体膜105、108。作为氧化物半导体膜,形成In-Ga-Zn氧化物膜($In:Ga:Zn=3:1:2$)。

[0315] 接着,在驱动电路部中,在氧化物半导体膜105上形成氧化物半导体膜106,并在像素部中,在氧化物半导体膜108上形成氧化物半导体膜109。也就是说,形成依次层叠有氧化物半导体膜105及氧化物半导体膜106的多层膜107。此外,形成依次层叠有氧化物半导体膜

108及氧化物半导体膜109的多层膜110。

[0316] 注意,在该工序中,以覆盖氧化物半导体膜105的顶面及侧面的方式形成氧化物半导体膜106,由此防止氧化物半导体膜105在后面的形成具有源电极及漏电极的功能的导电膜的工序中被蚀刻。此外,以覆盖氧化物半导体膜108的顶面及侧面的方式形成氧化物半导体膜109,由此防止氧化物半导体膜108在后面的形成具有源电极及漏电极的功能的导电膜的工序中被蚀刻。这是优选的,因为能够减少晶体管的沟道宽度方向上的氧化物半导体膜105、108的长度变动。

[0317] 在此,通过溅射法形成20nm厚的氧化物半导体膜。接着,在该氧化物半导体膜上形成掩模,并选择性地对氧化物半导体膜的一部分进行蚀刻。由此,形成氧化物半导体膜106、109。注意,作为氧化物半导体膜106、109,形成In-Ga-Zn氧化物膜($In:Ga:Zn=1:1:1.2$)。

[0318] 接着,通过进行加热处理使包含在绝缘膜104中的氧移动到氧化物半导体膜中。注意,该加热处理也可以在形成将成为氧化物半导体膜106、109的氧化物半导体膜之后且对该氧化物半导体膜进行蚀刻形成氧化物半导体膜106、109之前进行。

[0319] 当在高于350℃且650℃以下,或450℃以上且600℃以下的温度下进行加热处理,能够获得后述的CAAC化率为60%以上且低于100%,或80%以上且低于100%,或90%以上且低于100%,或95%以上且98%以下的氧化物半导体膜。此外,能够获得氢、水等的含量得到降低的氧化物半导体膜。也就是说,能够形成杂质浓度低且缺陷态密度低的氧化物半导体膜。

[0320] 接着,如图11B所示,在绝缘膜104、多层膜107、110上与实施方式1同样地形成绝缘膜115。接着,与实施方式1同样地在绝缘膜115上形成导电膜119、120。

[0321] 在此,作为绝缘膜115,通过等离子体CVD法形成100nm厚的氧氮化硅膜。

[0322] 在此,在导电膜上通过光刻工序形成掩模122、123之后,对该导电膜进行蚀刻,来形成导电膜119、120。

[0323] 接着,如图12A所示,与实施方式1同样地,在留下掩模122、123的情况下对绝缘膜115进行蚀刻,由此形成绝缘膜116、117。

[0324] 接着,如图12B所示,与实施方式1同样地,在留下掩模122、123的情况下对多层膜107、110添加杂质元素125。其结果,杂质元素添加到多层膜107、110中的没有被掩模122、123覆盖的区域。注意,通过添加杂质元素125,在多层膜107、110中形成氧缺陷。

[0325] 其结果,可以在多层膜107中形成低电阻区域107b、107c。另外,可以在多层膜110中形成低电阻区域110b、110c。然后,去除掩模122、123。

[0326] 注意,当在导电膜119、120露出的状态下添加杂质元素125时,导电膜119、120的一部分会剥离而附着于绝缘膜116、117的侧面。其结果,导致晶体管的泄漏电流增大。因此,通过在由掩模122、123覆盖导电膜119、120的状态下对多层膜107、110添加杂质元素125,能够防止导电膜119、120的一部分附着于绝缘膜116、117的侧面。或者,也可以在去除掩模122、123之后对多层膜107、110添加杂质元素125。

[0327] 然后,与实施方式1同样地,也可以进行加热处理来进一步提高添加有杂质元素125的区域的导电性。

[0328] 接着,如图12C所示,与实施方式1同样地,在绝缘膜104、多层膜107、110、绝缘膜116、117、导电膜119、120上形成绝缘膜126。

[0329] 在此,作为绝缘膜126通过等离子体CVD法形成100nm厚的氮化硅膜。

[0330] 然后,与实施方式1同样地,也可以进行加热处理来进一步提高低电阻区域107b、107c、110b、110c的导电性。典型的是,加热处理的温度为150℃以上且低于衬底的应变点,250℃以上且450℃以下,或300℃以上且450℃以下。

[0331] 接着,如图13A所示,与实施方式1同样地,也可以形成绝缘膜127。绝缘膜127能够降低导电膜119与将在后面形成的导电膜134、135之间以及导电膜120与将在后面形成的导电膜136、137之间的寄生电容。

[0332] 接着,与实施方式1同样地,在绝缘膜126、127中形成开口部而使低电阻区域的一部分露出,然后形成导电膜134、135、136、137。另外,优选形成氮化物绝缘膜162(参照图13B)。

[0333] 导电膜134、135、136、137可以适当地采用与导电膜119、120同样的形成方法来形成。氮化物绝缘膜162可以适当地使用溅射法、CVD法等形成。

[0334] 通过上述工序,可以制造晶体管100o、100p。

[0335] 在本实施方式所示的晶体管中,由于具有源电极以及漏电极的功能的导电膜不与具有栅电极的功能的导电膜重叠,因此能够降低寄生电容,并且通态电流较大。另外,在本实施方式所示的晶体管中,可以稳定地形成低电阻区域,所以与现有的晶体管相比,通态电流得到提高,并且晶体管的电特性偏差得到减少。

[0336] 本实施方式所示的结构及方法等可以与其他实施方式所示的结构及方法等适当地组合而实施。

[0337] 实施方式3

[0338] 在此,参照图16A至图16F、图17A至图17F、图18A至图18E、图19A和图19B、图20A至图20D、图22A至图22F、图23A至图23F、图24A至图24E、图25A和图25B、图26A至图26D说明前面的实施方式所示的晶体管的变形例子。首先,说明实施方式1所示的晶体管的变形例子。作为晶体管,以形成在像素部的晶体管为代表例子进行说明。图16A至图16F所示的晶体管都包括:衬底101上的绝缘膜104上的氧化物半导体膜108;与氧化物半导体膜108接触的绝缘膜117;以及与绝缘膜117接触且与氧化物半导体膜108重叠的导电膜120。

[0339] 晶体管都包括与氧化物半导体膜108接触的绝缘膜126以及与绝缘膜126接触的绝缘膜127。还包括通过绝缘膜126及绝缘膜127的开口部130、131与氧化物半导体膜108接触的导电膜136、137。注意,导电膜136、137具有源电极及漏电极的功能。

[0340] 在图16A所示的晶体管中,氧化物半导体膜108包括:形成在与导电膜120重叠的区域的沟道区域108a;以及夹着沟道区域108a且包含杂质元素的低电阻区域108b、108c。导电膜136、137与低电阻区域108b、108c接触。

[0341] 或者,如图16B所示的晶体管,也可以不对氧化物半导体膜108的分别与导电膜136、137接触的区域108d、108e添加杂质元素。此时,设置有包含杂质元素的区域,即低电阻区域108b、108c。该低电阻区域(108b及108c)分别设置在沟道区域108a与接触于导电膜(136或137)的一个区域(108d或108e)之间。由于当导电膜136、137被施加电压时区域108d、108e具有导电性,因此该区域108d、108e具有源区域及漏区域的功能。

[0342] 注意,在形成导电膜136、137之后,将导电膜120及导电膜136、137用作掩模来对氧化物半导体膜添加杂质元素,由此可以形成图16B所示的晶体管。

[0343] 导电膜120的端部可以是锥形状。也就是说,由绝缘膜117及导电膜120相互接触的面与导电膜120的侧面所形成的角度θ1也可以小于90°,或为10°以上且85°以下,或为15°以上且85°以下,或为30°以上且85°以下,或为45°以上且85°以下,或为60°以上且85°以下。当角度θ1小于90°,或为10°以上且85°以下,或为15°以上且85°以下,或为30°以上且85°以下,或为45°以上且85°以下,或为60°以上且85°以下时,能够提高绝缘膜117及导电膜120的侧面的绝缘膜126的覆盖性。

[0344] 接着,说明低电阻区域108b、108c的变形例子。图16C至图16F都是图16A所示的氧化物半导体膜108附近的放大图。沟道长度L是指一对低电阻区域之间的距离。

[0345] 如图16C所示,在沟道长度方向的截面图中,沟道区域108a及低电阻区域108b、108c之间的边界隔着绝缘膜117与导电膜120的端部一致或大致一致。换言之,在俯视时,沟道区域108a及低电阻区域108b、108c之间的边界与导电膜120的端部一致或大致一致。

[0346] 或者,如图16D所示,在沟道长度方向的截面图中,沟道区域108a具有不与导电膜120的端部重叠的区域。该区域具有偏置(offset)区域的功能。 L_{off} 表示沟道长度方向上的偏置区域的长度。注意,当设置有多个偏置区域时, L_{off} 是指一个偏置区域的长度。 L_{off} 包括在沟道长度L中。注意, L_{off} 低于沟道长度L的20%,或低于10%,或低于5%,或低于2%。

[0347] 或者,如图16E所示,在沟道长度方向的截面图中,低电阻区域108b、108c都包括隔着绝缘膜117与导电膜120重叠的区域。该区域具有重叠区域的功能。 L_{ov} 表示沟道长度方向上的重叠区域的长度。 L_{ov} 低于沟道长度L的20%,或低于10%,或低于5%,或低于2%。

[0348] 或者,如图16F所示,在沟道长度方向的截面图中,在沟道区域108a与低电阻区域108b之间包括低电阻区域108f,在沟道区域108a与低电阻区域108c之间包括低电阻区域108g。与低电阻区域108b、108c相比,低电阻区域108f、108g的杂质元素浓度较低且电阻率较高。在此,虽然低电阻区域108f、108g与绝缘膜117重叠,但是也可以与绝缘膜117及导电膜120重叠。

[0349] 注意,虽然在图16C至图16F中说明了图16A所示的晶体管,但是也可以对图16B所示的晶体管适当地应用图16C至图16F的结构。

[0350] 在图17A所示的晶体管中,绝缘膜117的端部位于导电膜120的端部的外侧。也就是说,绝缘膜117具有其端部延伸至导电膜120的端部外侧的形状。由于能够使沟道区域108a与绝缘膜126相离较远,因此可以抑制绝缘膜126所包含的氮、氢等进入沟道区域108a。

[0351] 在图17B所示的晶体管中,绝缘膜117及导电膜120都是锥形状,且各锥部的角度相互不同。换言之,由绝缘膜117及导电膜120相互接触的面与导电膜120的侧面所形成的角度θ1不同于由氧化物半导体膜108及绝缘膜117相互接触的面与绝缘膜117的侧面所形成的角度θ2。角度θ2可以小于90°,或为30°以上且85°以下,或为45°以上且70°以下。例如,当角度θ2小于角度θ1时,绝缘膜126的覆盖性提高。相反地,当角度θ2大于角度θ1时,能够使晶体管微型化。

[0352] 接着,参照图17C至图17F说明低电阻区域108b、108c的变形例子。图17C至图17F都是图17A所示的氧化物半导体膜108附近的放大图。

[0353] 如图17C所示,在沟道长度方向的截面图中,沟道区域108a及低电阻区域108b、108c之间的边界隔着绝缘膜117与导电膜120的端部一致或大致一致。换言之,在俯视时,沟道区域108a及低电阻区域108b、108c之间的边界与导电膜120的端部一致或大致一致。

[0354] 或者,如图17D所示,在沟道长度方向的截面图中,沟道区域108a包括不与导电膜120重叠的区域。该区域具有偏置区域的功能。也就是说,在俯视时,低电阻区域108b、108c的端部与绝缘膜117的端部一致或大致一致且不与导电膜120的端部重叠。

[0355] 或者,如图17E所示,在沟道长度方向的截面图中,低电阻区域108b、108c都包括隔着绝缘膜117与导电膜120重叠的区域。将该区域称为重叠区域。换言之,在俯视时,低电阻区域108b、108c的端部与导电膜120重叠。

[0356] 或者,如图17F所示,在沟道长度方向的截面图中,在沟道区域108a与低电阻区域108b之间包括低电阻区域108f,在沟道区域108a与低电阻区域108c之间包括低电阻区域108g。与低电阻区域108b、108c相比,低电阻区域108f、108g的杂质元素浓度较低且电阻率较高。在此,虽然低电阻区域108f、108g与绝缘膜117重叠,但是也可以与绝缘膜117及导电膜120重叠。

[0357] 注意,虽然在图17C至图17F中说明了图17A所示的晶体管,但是也可以对图17B所示的晶体管适当地应用图17C至图17F中的任何结构。

[0358] 在图18A所示的晶体管中,导电膜120是叠层结构,其中包括与绝缘膜117接触的导电膜120a以及与导电膜120a接触的导电膜120b。导电膜120a的端部位于导电膜120b的端部的外侧。换言之,导电膜120a具有其端部延伸至导电膜120b的端部外侧的形状。

[0359] 接着,说明低电阻区域108b、108c的变形例子。图18B至图18E、图19A及图19B都是图18A所示的氧化物半导体膜108附近的放大图。

[0360] 如图18B所示,在沟道长度方向的截面图中,沟道区域108a及低电阻区域108b、108c之间的边界隔着绝缘膜117与导电膜120所包括的导电膜120a的端部一致或大致一致。换言之,在俯视时,沟道区域108a及低电阻区域108b、108c之间的边界与导电膜120的端部一致或大致一致。

[0361] 或者,如图18C所示,在沟道长度方向的截面图中,沟道区域108a包括不与导电膜120重叠的区域。该区域具有偏置区域的功能。也就是说,在俯视时,低电阻区域108b、108c的端部不与导电膜120的端部重叠。

[0362] 如图18D所示,在沟道长度方向的截面图中,低电阻区域108b、108c都包括与导电膜120重叠的区域,具体为导电膜120a。将该区域称为重叠区域。换言之,在俯视时,低电阻区域108b、108c的端部与导电膜120a重叠。

[0363] 或者,如图18E所示,在沟道长度方向的截面图中,在沟道区域108a与低电阻区域108b之间包括低电阻区域108f,在沟道区域108a与低电阻区域108c之间包括低电阻区域108g。杂质元素透过导电膜120a添加到低电阻区域108f、108g,因此与低电阻区域108b、108c相比,低电阻区域108f、108g的杂质元素浓度较低且电阻率较高。在此,虽然低电阻区域108f、108g与导电膜120a重叠,但是也可以与导电膜120a及导电膜120b重叠。

[0364] 如图19A所示,在沟道长度方向的截面图中,导电膜120a的端部位于导电膜120b的端部的外侧,并且导电膜120a也可以是锥形状。也就是说,由绝缘膜117及导电膜120a相互接触的面与导电膜120a的侧面所形成的角度也可以小于90°,或为5°以上且45°以下,或为5°以上且30°以下。

[0365] 再者,绝缘膜117的端部也可以位于导电膜120a的端部的外侧。

[0366] 再者,绝缘膜117的侧面也可以是弯曲的。

[0367] 再者,绝缘膜117也可以是锥形状。也就是说,由氧化物半导体膜108及绝缘膜117相互接触的面与绝缘膜117的侧面所形成的角度可以小于90°,优选为30°以上且小于90°。

[0368] 图19A所示的氧化物半导体膜108包括:沟道区域108a;夹着沟道区域108a的低电阻区域108f、108g;夹着低电阻区域108f、108g的低电阻区域108h、108i;以及夹着低电阻区域108h、108i的低电阻区域108b、108c。杂质元素透过绝缘膜117及导电膜120a添加到低电阻区域108f、108g、108h、108i,因此与低电阻区域108b、108c相比,低电阻区域108f、108g、108h、108i的杂质元素浓度较低且电阻率较高。

[0369] 图19B所示的氧化物半导体膜108包括:沟道区域108a;夹着沟道区域108a的低电阻区域108h、108i;以及夹着低电阻区域108h、108i的低电阻区域108b、108c。杂质元素透过绝缘膜117添加到低电阻区域108h、108i,因此与低电阻区域108b、108c相比,低电阻区域108h、108i的杂质元素浓度较低且电阻率较高。

[0370] 注意,在沟道长度方向中,沟道区域108a与导电膜120b重叠,低电阻区域108f、108g与突出至导电膜120b外侧的导电膜120a重叠,低电阻区域108h、108i与突出至导电膜120a外侧的绝缘膜117重叠,低电阻区域108b、108c位于绝缘膜117的外侧。

[0371] 如图18E及图19A和图19B所示,氧化物半导体膜108可以包括比低电阻区域108b、108c的杂质元素浓度低且电阻率高的低电阻区域108f、108g、108h、108i,由此可以使漏区域的电场弛豫。因此,可以降低起因于漏区域的电场的晶体管的劣化,如晶体管的阈值电压的变动等。

[0372] 图20A所示的晶体管包括包含沟道区域108a及低电阻区域108b、108c的氧化物半导体膜108。低电阻区域108b、108c都包括厚度小于沟道区域108a的区域。典型的是,低电阻区域108b、108c都包括与沟道区域108a相比厚度小0.1nm以上且5nm以下的区域。

[0373] 在图20B所示的晶体管中,与氧化物半导体膜108接触的绝缘膜104、117之中的至少一个是多层结构。例如,绝缘膜104包括绝缘膜104a、与绝缘膜104a及氧化物半导体膜108接触的绝缘膜104b。例如,绝缘膜117包括与氧化物半导体膜108接触的绝缘膜117a以及与绝缘膜117a接触的绝缘膜117b。

[0374] 绝缘膜104b、117a可以使用氮氧化物少且缺陷态密度低的氧化物绝缘膜形成。氮氧化物少且缺陷态密度低的氧化物绝缘膜具体是指位于真空能级的4.6eV以上且8eV以下的缺陷态密度较低的氧化物绝缘膜,换言之,起因于氮氧化物的缺陷态密度低的氧化物绝缘膜。作为氮氧化物少且缺陷态密度低的氧化物绝缘膜,可以使用氮氧化物的释放量少的氧氮化硅膜、氮氧化物的释放量少的氧氮化铝膜等。注意,绝缘膜104b、117a的平均膜厚都为0.1nm以上且50nm以下,或者0.5nm以上且10nm以下。

[0375] 注意,在热脱附谱分析法(TDS(Thermal Desorption Spectroscopy))中,氮氧化物的释放量少的氧氮化硅膜是氨释放量比氮氧化物的释放量多的膜,典型的是氨释放量为 1×10^{18} 分子/cm³以上且 5×10^{19} 分子/cm³以下。注意,氨的释放量是通过膜表面温度为50℃以上且650℃以下,优选为50℃以上且550℃以下的加热处理而释放的氨的量。

[0376] 绝缘膜104a、117b可以使用通过加热而释放氧的氧化物绝缘膜形成。注意,绝缘膜104a、117b的平均膜厚都为5nm以上且1000nm以下,或10nm以上且500nm以下。

[0377] 作为通过加热释放氧的氧化物绝缘膜的代表例子,有氧氮化硅膜、氧氮化铝膜。

[0378] 以NO₂或NO为代表的氮氧化物(NO_x,x为0以上且2以下,优选为1以上且2以下)在绝

缘膜104及绝缘膜117等中形成能级。该能级形成在氧化物半导体膜108的能隙中。因此,当氮氧化物扩散到绝缘膜104与氧化物半导体膜108的界面、绝缘膜117与氧化物半导体膜108的界面、绝缘膜104与绝缘膜117的界面时,电子在绝缘膜104、117一侧被该能级俘获。其结果,被俘获的电子停留在绝缘膜104与氧化物半导体膜108的界面、绝缘膜117与氧化物半导体膜108的界面、绝缘膜104与绝缘膜117的界面附近,而导致晶体管的阈值电压向正方向漂移。

[0379] 氮氧化物在加热处理中与氨及氧起反应。由于绝缘膜104a、117b所包含的氮氧化物在加热处理中与绝缘膜104b、117a所包含的氨起反应,因此绝缘膜104a、117b所包含的氮氧化物减少。因此,在绝缘膜104与氧化物半导体膜108的界面、绝缘膜117与氧化物半导体膜108的界面、绝缘膜104与绝缘膜117的界面,电子不容易被俘获。

[0380] 通过作为绝缘膜104b、117a使用氮氧化物少且缺陷态密度低的氧化物绝缘膜,能够降低晶体管的阈值电压的漂移,而可以降低晶体管的电特性的变动。

[0381] 注意,通过晶体管的制造工序的加热处理(典型为300℃以上且低于衬底应变点的加热处理),在绝缘膜104b、117a的100K以下的ESR谱中观察到在2.037以上且2.039以下的g值处出现的第一信号、在2.001以上且2.003以下的g值处出现的第二信号以及在1.964以上且1.966以下的g值处出现的第三信号。在通过使用X带的ESR测定得到的第一信号与第二信号之间的分裂宽度(split width)及第二信号与第三信号之间的分裂宽度都大约为5mT。在2.037以上且2.039以下的g值处出现的第一信号、在2.001以上且2.003以下的g值处出现的第二信号以及在1.964以上且1.966以下的g值处出现的第三信号的自旋密度的总计小于 $1 \times 10^{18} \text{ spins/cm}^3$,典型为 $1 \times 10^{17} \text{ spins/cm}^3$ 以上且小于 $1 \times 10^{18} \text{ spins/cm}^3$ 。

[0382] 在100K以下的ESR谱中,在2.037以上且2.039以下的g值处出现的第一信号、在2.001以上且2.003以下的g值处出现的第二信号以及在1.964以上且1.966以下的g值处出现的第三信号相当于起因于二氧化氮(NO_2)的信号。换言之,在2.037以上且2.039以下的g值处出现的第一信号、在2.001以上且2.003以下的g值处出现的第二信号以及在1.964以上且1.966以下的g值处出现的第三信号的自旋密度的总计越低,氧化物绝缘膜的氮氧化物的含量越少。

[0383] 在晶体管的制造工序的加热处理(典型为300℃以上且低于衬底应变点的加热处理)后,氮氧化物少且缺陷态密度低的氧化物绝缘膜的通过SIMS(Secondary Ion Mass Spectrometry,二次离子质谱分析法)测定的氮浓度为 $6 \times 10^{20} \text{ atoms/cm}^3$ 以下。

[0384] 通过利用衬底温度为220℃以上、280℃以上或350℃以上并使用硅烷及一氧化二氮的等离子体CVD法形成氮氧化物少且缺陷态密度低的氧化物绝缘膜,可以形成致密且坚硬的膜。

[0385] 图20C所示的晶体管包括:绝缘膜126与氧化物半导体膜108之间的绝缘膜141;氧化物半导体膜108;绝缘膜117;以及导电膜120。绝缘膜141可以使用图20B的绝缘膜104b、117a所示的氮氧化物少且缺陷态密度低的氧化物绝缘膜来形成。

[0386] 或者,在沟道长度方向的截面图中,在沟道区域108a与低电阻区域108b之间包括低电阻区域108f,在沟道区域108a与低电阻区域108c之间包括低电阻区域108g。与低电阻区域108b、108c相比,低电阻区域108f、108g的杂质元素浓度较低且电阻率较高。在此,低电阻区域108f、108g重叠于与绝缘膜117及导电膜120的侧面接触的绝缘膜141。注意,低电阻

区域108f、108g也可以与绝缘膜126及导电膜120重叠。

[0387] 注意,在图20D所示的晶体管中,绝缘膜117与氧化物半导体膜108的沟道区域108a接触,并且与低电阻区域108b、108c接触。另外,在绝缘膜117中,与接触于沟道区域108a的区域相比,接触于低电阻区域108b、108c的区域的厚度较薄,典型的是,平均膜厚为0.1nm以上且50nm以下,或0.5nm以上且10nm以下。其结果,能够透过绝缘膜117对氧化物半导体膜108添加杂质元素,并且能够透过绝缘膜117将绝缘膜126所包含的氢移动到氧化物半导体膜108。其结果,可以形成低电阻区域108b、108c。

[0388] 再者,绝缘膜104为绝缘膜104a、104b的多层结构,例如,使用通过加热而释放氧的氧化物绝缘膜形成绝缘膜104a,使用氮氧化物少且缺陷态密度低的氧化物绝缘膜形成绝缘膜104b。再者,使用氮氧化物少且缺陷态密度低的氧化物绝缘膜形成绝缘膜117。也就是说,可以由氮氧化物少且缺陷态密度低的氧化物绝缘膜覆盖氧化物半导体膜108。其结果,通过加热处理将绝缘膜104a所包含的氧移动到氧化物半导体膜108中来降低氧化物半导体膜108的沟道区域108a所包含的氧缺陷,与此同时可以降低绝缘膜104b、117与氧化物半导体膜108的界面的载流子陷阱。其结果,能够降低晶体管的阈值电压的漂移,由此降低晶体管的电特性的变动。

[0389] 接着,参照图22A至图22F、图23A至图23F、图24A至图24E、图25A和图25B、图26A至图26D说明实施方式2所示的晶体管的变形例子。在此,以形成在像素部的晶体管为代表例子进行说明。图22A至图22F所示的晶体管都包括:衬底101上的绝缘膜104上的多层膜110;与多层膜110接触的绝缘膜117;以及与绝缘膜117接触且与多层膜110重叠的导电膜120。

[0390] 晶体管包括与多层膜110接触的绝缘膜126以及与绝缘膜126接触的绝缘膜127。还包括通过绝缘膜126及绝缘膜127的开口部130、131与多层膜110接触的导电膜136、137。

[0391] 在图22A所示的晶体管中,多层膜110包括:形成在与导电膜120重叠的区域的沟道区域110a;以及夹着沟道区域110a且包含杂质元素的低电阻区域110b、110c。导电膜136、137分别与低电阻区域110b、110c接触。

[0392] 或者,如图22B所示的晶体管,也可以不对多层膜110的与导电膜136、137接触的区域110d、110e添加杂质元素。此时,设置有包含杂质元素的区域,即低电阻区域110b、110c。低电阻区域(110b或110c)设置在沟道区域110a与接触于导电膜(136或137)的区域(110d或110e)之间。由于当导电膜136、137被施加电压时区域110d、110e具有导电性,因此该区域110d、110e具有源区域及漏区域的功能。

[0393] 注意,在形成导电膜136、137之后,将导电膜120及导电膜136、137用作掩模,并对氧化物半导体膜添加杂质元素,由此可以形成图22B所示的晶体管。

[0394] 导电膜120的端部可以是锥形状。也就是说,由绝缘膜117及导电膜120相互接触的面与导电膜120的侧面所形成的角度θ1也可以小于90°,或为10°以上且85°以下,或为15°以上且85°以下,或为30°以上且85°以下,或为45°以上且85°以下,或为60°以上且85°以下。当角度θ1小于90°,或为10°以上且85°以下,或为15°以上且85°以下,或为30°以上且85°以下,或为45°以上且85°以下,或为60°以上且85°以下时,能够提高绝缘膜117及导电膜120的侧面的绝缘膜126的覆盖性。

[0395] 接着,说明低电阻区域110b、110c的变形例子。图22C至图22F都是图22A所示的多层膜110附近的放大图。沟道长度L是指一对低电阻区域之间的距离。

[0396] 如图22C所示,在沟道长度方向的截面图中,沟道区域110a及低电阻区域110b、110c之间的边界隔着绝缘膜117与导电膜120的端部一致或大致一致。换言之,在俯视时,沟道区域110a及低电阻区域110b、110c之间的边界与导电膜120的端部一致或大致一致。

[0397] 或者,如图22D所示,在沟道长度方向的截面图中,沟道区域110a具有不与导电膜120的端部重叠的区域。该区域具有偏置区域的功能。 L_{off} 表示沟道长度方向上的偏置区域的长度。注意,当设置有多个偏置区域时, L_{off} 是指一个偏置区域的长度。 L_{off} 包括在沟道长度L中。注意, L_{off} 低于沟道长度L的20%,或低于10%,或低于5%,或低于2%。

[0398] 或者,如图22E所示,在沟道长度方向的截面图中,低电阻区域110b、110c都包括隔着绝缘膜117与导电膜120重叠的区域。该区域具有重叠区域的功能。 L_{ov} 表示沟道长度方向上的重叠区域的长度。 L_{ov} 低于沟道长度L的20%,或低于10%,或低于5%,或低于2%。

[0399] 或者,如图22F所示,在沟道长度方向的截面图中,在沟道区域110a与低电阻区域110b之间包括低电阻区域110f,在沟道区域110a与低电阻区域110c之间包括低电阻区域110g。与低电阻区域110b、110c相比,低电阻区域110f、110g的杂质元素浓度较低且电阻率较高。在此,虽然低电阻区域110f、110g与绝缘膜117重叠,但是也可以与绝缘膜117及导电膜120重叠。

[0400] 注意,虽然在图22C至图22F中说明了图22A所示的晶体管,但是也可以对图22B所示的晶体管适当地应用图22C至图22F的结构。

[0401] 在图23A所示的晶体管中,绝缘膜117的端部位于导电膜120的端部的外侧。也就是说,绝缘膜117具有其端部延伸至导电膜120的端部外侧的形状。由于能够使沟道区域110a与绝缘膜126相离较远,因此可以抑制绝缘膜126所包含的氮、氢等进入沟道区域110a。

[0402] 在图23B所示的晶体管中,绝缘膜117及导电膜120都是锥形状,且各锥部的角度相互不同。换言之,由绝缘膜117及导电膜120相互接触的面与导电膜120的侧面所形成的角度θ1不同于由多层膜110及绝缘膜117相互接触的面与绝缘膜117的侧面所形成的角度θ2。角度θ2可以小于90°,或为30°以上且85°以下,或为45°以上且70°以下。例如,当角度θ2小于角度θ1时,绝缘膜126的覆盖性提高。相反地,当角度θ2大于角度θ1时,能够使晶体管微型化。

[0403] 接着,参照图23C至图23F说明低电阻区域110b、110c的变形例子。图23C至图23F都是图23A所示的多层膜110附近的放大图。

[0404] 如图23C所示,在沟道长度方向的截面图中,沟道区域110a及低电阻区域110b、110c之间的边界隔着绝缘膜117与导电膜120的端部一致或大致一致。换言之,在俯视时,沟道区域110a及低电阻区域110b、110c之间的边界与导电膜120的端部一致或大致一致。

[0405] 或者,如图23D所示,在沟道长度方向的截面图中,沟道区域110a包括不与导电膜120重叠的区域。该区域具有偏置区域的功能。也就是说,在俯视时,低电阻区域110b、110c的端部与绝缘膜117的端部一致或大致一致且不与导电膜120的端部重叠。

[0406] 或者,如图23E所示,在沟道长度方向的截面图中,低电阻区域110b、110c都包括隔着绝缘膜117与导电膜120重叠的区域。将该区域称为重叠区域。换言之,在俯视时,低电阻区域110b、110c的端部与导电膜120重叠。

[0407] 或者,如图23F所示,在沟道长度方向的截面图中,在沟道区域110a与低电阻区域110b之间包括低电阻区域110f,在沟道区域110a与低电阻区域110c之间包括低电阻区域110g。与低电阻区域110b、110c相比,低电阻区域110f、110g的杂质元素浓度较低且电阻率

较高。在此,虽然低电阻区域110f、110g与绝缘膜117重叠,但是也可以与绝缘膜117及导电膜120重叠。

[0408] 注意,虽然在图23C至图23F中说明了图23A所示的晶体管,但是也可以对图23B所示的晶体管适当地应用图23C至图23F中的任何结构。

[0409] 在图24A所示的晶体管中,导电膜120是叠层结构,其中包括与绝缘膜117接触的导电膜120a以及与导电膜120a接触的导电膜120b。导电膜120a的端部位于导电膜120b的端部的外侧。换言之,导电膜120a具有其端部延伸至导电膜120b的端部外侧的形状。

[0410] 接着,说明低电阻区域110b、110c的变形例子。图24B至图24E、图25A及图25B都是图24A所示的多层膜110附近的放大图。

[0411] 如图24B所示,在沟道长度方向的截面图中,沟道区域110a及低电阻区域110b、110c之间的边界隔着绝缘膜117与导电膜120所包括的导电膜120a的端部一致或大致一致。换言之,在俯视时,沟道区域110a及低电阻区域110b、110c之间的边界与导电膜120的端部一致或大致一致。

[0412] 或者,如图24C所示,在沟道长度方向的截面图中,沟道区域110a包括不与导电膜120重叠的区域。该区域具有偏置区域的功能。也就是说,在俯视时,低电阻区域110b、110c的端部不与导电膜120的端部重叠。

[0413] 如图24D所示,在沟道长度方向的截面图中,低电阻区域110b、110c包括与导电膜120重叠的区域,具体为导电膜120a。将该区域称为重叠区域。换言之,在俯视时,低电阻区域110b、110c的端部与导电膜120a重叠。

[0414] 或者,如图24E所示,在沟道长度方向的截面图中,在沟道区域110a与低电阻区域110b之间包括低电阻区域110f,在沟道区域110a与低电阻区域110c之间包括低电阻区域110g。杂质元素透过导电膜120a添加到低电阻区域110f、110g,因此与低电阻区域110b、110c相比,低电阻区域110f、110g的杂质元素浓度较低且电阻率较高。在此,虽然低电阻区域110f、110g与导电膜120a重叠,但是也可以与导电膜120a及导电膜120b重叠。

[0415] 如图25A所示,在沟道长度方向的截面图中,导电膜120a的端部位于导电膜120b的端部的外侧,并且导电膜120a也可以是锥形状。也就是说,由绝缘膜117及导电膜120a相互接触的面与导电膜120a的侧面所形成的角度也可以小于90°,或为5°以上且45°以下,或为5°以上且30°以下。

[0416] 再者,绝缘膜117的端部也可以位于导电膜120a的端部的外侧。

[0417] 再者,绝缘膜117的侧面也可以是弯曲的。

[0418] 再者,绝缘膜117也可以是锥形状。也就是说,由多层膜110及绝缘膜117相互接触的面与绝缘膜117的侧面所形成的角度可以小于90°,优选为30°以上且小于90°。

[0419] 图25A所示的多层膜110包括:沟道区域110a;夹着沟道区域110a的低电阻区域110f、110g;夹着低电阻区域110f、110g的低电阻区域110h、110i;以及夹着低电阻区域110h、110i的低电阻区域110b、110c。杂质元素透过绝缘膜117及导电膜120a添加到低电阻区域110f、110g、110h、110i,因此与低电阻区域110b、110c相比,低电阻区域110f、110g、110h、110i的杂质元素浓度较低且电阻率较高。

[0420] 图25B所示的多层膜110包括:沟道区域110a;夹着沟道区域110a的低电阻区域110h、110i;以及夹着低电阻区域110h、110i的低电阻区域110b、110c。杂质元素透过绝缘膜

117添加到低电阻区域110h、110i，因此与低电阻区域110b、110c相比，低电阻区域110h、110i的杂质元素浓度较低且电阻率较高。

[0421] 注意，在沟道长度方向中，沟道区域110a与导电膜120b重叠，低电阻区域110f、110g与突出至导电膜120b外侧的导电膜120a重叠，低电阻区域110h、110i与突出至导电膜120a外侧的绝缘膜117重叠，低电阻区域110b、110c位于绝缘膜117的外侧。

[0422] 如图24E及图25A和图25B所示，多层膜110可以包括比低电阻区域110b、110c的杂质元素浓度低且电阻率高的低电阻区域110f、110g、110h、110i，由此可以使漏区域的电场弛豫。因此，可以降低起因于漏区域的电场的晶体管的劣化，如晶体管的阈值电压的变动等。

[0423] 图26A所示的晶体管包括包含沟道区域110a及低电阻区域110b、110c的多层膜110。低电阻区域110b、110c都包括厚度小于沟道区域110a的区域。典型的是，低电阻区域110b、110c都包括与沟道区域110a相比厚度小0.1nm以上且5nm以下的区域。

[0424] 在图26B所示的晶体管中，与多层膜110接触的绝缘膜104、117之中的至少一个是多层结构。例如，绝缘膜104包括绝缘膜104a、与绝缘膜104a及多层膜110接触的绝缘膜104b。例如，绝缘膜117包括与多层膜110接触的绝缘膜117a以及与绝缘膜117a接触的绝缘膜117b。

[0425] 绝缘膜104b、117a可以使用氮氧化物少且缺陷态密度低的氧化物绝缘膜形成。

[0426] 图26C所示的晶体管包括：绝缘膜126与多层膜110之间的绝缘膜141；多层膜110；绝缘膜117；以及导电膜120。绝缘膜141可以使用图26B的绝缘膜104b、117a所示的氮氧化物少且缺陷态密度低的氧化物绝缘膜来形成。

[0427] 或者，在沟道长度方向的截面图中，在沟道区域110a与低电阻区域110b之间包括低电阻区域110f，在沟道区域110a与低电阻区域110c之间包括低电阻区域110g。与低电阻区域110b、110c相比，低电阻区域110f、110g的杂质元素浓度较低且电阻率较高。在此，低电阻区域110f、110g重叠于与绝缘膜117及导电膜120的侧面接触的绝缘膜141。注意，低电阻区域110f、110g也可以与绝缘膜126及绝缘膜141重叠。

[0428] 注意，在图26D所示的晶体管中，绝缘膜117与多层膜110的沟道区域110a接触，并且与低电阻区域110b、110c接触。另外，在绝缘膜117中，与接触于沟道区域110a的区域相比，接触于低电阻区域110b、110c的区域的厚度较薄，典型的是，平均膜厚为0.1nm以上且50nm以下，或0.5nm以上且10nm以下。其结果，能够透过绝缘膜117对多层膜110添加杂质元素，并且能够透过绝缘膜117将绝缘膜126所包含的氢移动到多层膜110。其结果，可以形成低电阻区域110b、110c。

[0429] 再者，绝缘膜104为绝缘膜104a、104b的多层结构，例如，使用通过加热而释放氧的氧化物绝缘膜形成绝缘膜104a，使用氮氧化物少且缺陷态密度低的氧化物绝缘膜形成绝缘膜104b。再者，使用氮氧化物少且缺陷态密度低的氧化物绝缘膜形成绝缘膜117。也就是说，可以由氮氧化物少且缺陷态密度低的氧化物绝缘膜覆盖多层膜110。其结果，通过加热处理将绝缘膜104a所包含的氧移动到多层膜110中来降低多层膜110的沟道区域110a所包含的氧缺陷，与此同时可以降低绝缘膜104b、117与多层膜110的界面的载流子陷阱。其结果，能够降低晶体管的阈值电压的漂移，由此降低晶体管的电特性的变动。

[0430] 实施方式4

[0431] 在此,参照图21A及图21B说明在绝缘膜上形成抑制氧脱离的膜之后透过该膜对绝缘膜添加氧的方法。

[0432] 如图21A所示,在衬底101上形成绝缘膜104。

[0433] 接着,在绝缘膜104上形成抑制氧脱离的膜145。接着,透过膜145对绝缘膜104添加氧146。

[0434] 抑制氧脱离的膜145可以使用如下任何导电性材料来形成:选自铝、铬、钽、钛、钼、镍、铁、钴、钨的金属元素;以上述金属元素为成分的合金;组合任何上述金属元素的合金;包括上述金属元素的金属氮化物;包括上述金属元素的金属氧化物;以及包括上述金属元素的金属氮化氧化物等。

[0435] 抑制氧脱离的膜145的厚度可以是1nm以上且20nm以下,或2nm以上且10nm以下。

[0436] 作为透过膜145对绝缘膜104添加氧146的方法,可以举出离子掺杂法、离子注入法、等离子体处理法等。注意,优选将膜145暴露于在对衬底101一侧施加偏压的状态下发生的等离子体,因为能够增加对绝缘膜104的氧的添加量。作为进行这种等离子体处理的装置的一个例子,有灰化装置。

[0437] 通过在绝缘膜104上设置有膜145的状态下并对绝缘膜104添加氧,膜145具有抑制氧从绝缘膜104脱离的保护膜的功能。因此,可以对绝缘膜104添加大量的氧。

[0438] 当以等离子体处理进行氧添加时,通过使用微波激发氧来产生高密度的氧等离子体,可以增加对绝缘膜104添加的氧的量。

[0439] 然后去除膜145,由此,如图21B所示,可以在衬底101上形成添加有氧的绝缘膜104。

[0440] 实施方式5

[0441] 在本实施方式中,说明形成在氧化物半导体膜的低电阻区域的 V_0H 。

[0442] <(1) V_0H 的易形成性以及稳定性>

[0443] 当氧化物半导体膜(以下,称为IGZO)为完整结晶时,在室温下H优先地沿着ab面扩散。在450℃的加热处理中,H沿着ab面及在c轴方向上扩散。在此,对假设在IGZO中存在氧缺陷 V_0 时H是否容易进入 V_0 中进行了计算。将在氧缺陷 V_0 中存在H的状态称为 V_0H 。

[0444] 在计算中,使用了图27所示的 $InGaZnO_4$ 的结晶模型。利用NEB(Nudged Elastic Band:微动弹性带)法对沿着 V_0H 中的H从 V_0 被释放并与氧键合的反应路径的活化能(E_a)进行了计算。表1示出计算条件。

[0445] [表1]

[0446]

| | |
|------|-----------------------|
| 软件 | VASP |
| 计算方法 | NEB法 |
| 泛函 | GGA-PBE |
| 赝势 | PAW |
| 截止能量 | 500eV |
| K点 | $2 \times 2 \times 3$ |

[0447] 在 $InGaZnO_4$ 的结晶模型中,如图27所示,有与氧键合的金属元素及该键合的金属元素个数不同的氧位置1至氧位置4。在此,对容易形成氧缺陷 V_0 的氧位置1及氧位置2进行了计算。

[0448] 首先,对容易形成氧缺陷 V_0 的氧位置进行了计算:即与三个In原子及一个Zn原子键合的氧位置1。

[0449] 图28A示出初期状态的模型,图28B示出最终状态的模型。图29示出在初期状态及最终状态下算出的活化能(E_a)。注意,在此初期状态是指在氧缺陷 V_0 中存在H的状态(V_0H),而最终状态是指如下结构:包括氧缺陷 V_0 及键合于一个Ga原子及两个Zn原子的氧与H键合的状态(H-O)。

[0450] 从计算的结果可知,氧缺陷 V_0 中的H与其他O原子的键合需要大约为1.52eV的能量,而键合于O的H对氧缺陷 V_0 的进入需要大约为0.46eV的能量。

[0451] 使用通过计算获得的活化能(E_a)和算式1,计算出反应频率(Γ)。在算式1中, k_B 表示玻尔兹曼常数,T表示绝对温度。

[0452] [算式1]

$$[0453] \quad \Gamma = v \exp\left(-\frac{E_a}{k_B T}\right)$$

[0454] 假设频率因子 $v=10^{13}[1/\text{sec}]$,计算出350°C时的反应频率。H从图28A所示的模型转移到图28B所示的模型的频率为 $5.52 \times 10^0[1/\text{sec}]$,而H从图28B所示的模型转移到图28A所示的模型的频率为 $1.82 \times 10^9[1/\text{sec}]$ 。由此可知,扩散在IGZO中的H在其附近存在氧缺陷 V_0 时容易形成 V_0H ,一旦形成 V_0H ,H就不容易从氧缺陷 V_0 被释放。

[0455] 接着,对容易形成氧缺陷 V_0 的氧位置进行了计算:即与一个Ga原子及两个Zn原子键合的氧位置2。

[0456] 图30A示出初期状态的模型,图30B示出最终状态的模型。图31示出在初期状态及最终状态下算出的活化能(E_a)。注意,在此初期状态是指在氧缺陷 V_0 中存在H的状态(V_0H),而最终状态是指如下结构:包括氧缺陷 V_0 及键合于一个Ga原子及两个Zn原子的氧与H键合的状态(H-O)。

[0457] 从计算的结果可知,氧缺陷 V_0 中的H与其他O原子的键合需要大约为1.75eV的能量,而键合于O的H对氧缺陷 V_0 的进入需要大约为0.35eV的能量。

[0458] 使用通过计算获得的活化能(E_a)和上述算式1,计算出反应频率(Γ)。

[0459] 假设频率因子 $v=10^{13}[1/\text{sec}]$,计算出350°C时的反应频率。H从图30A所示的模型转移到图30B所示的模型的频率为 $7.53 \times 10^{-2}[1/\text{sec}]$,而H从图30B所示的模型转移到图30A所示的模型的频率为 $1.44 \times 10^{10}[1/\text{sec}]$ 。由此可知,一旦形成 V_0H ,H就不容易从氧缺陷 V_0 被释放。

[0460] 由上述结果可知,在加热处理中IGZO中的H容易扩散,如果存在氧缺陷 V_0 ,H就容易进入氧缺陷 V_0 而成为 V_0H 。

[0461] <(2) V_0H 的迁移能级>

[0462] 在<(1) V_0H 的易形成性以及稳定性>中说明的利用NEB法的计算示出,当在IGZO中存在氧缺陷 V_0 及H时氧缺陷 V_0 与H容易形成 V_0H ,并且 V_0H 是稳定的。为了调查 V_0H 是否与载流子陷阱有关系,计算出 V_0H 的迁移能级。

[0463] 用于计算的模型为 InGaZnO_4 的结晶模型(112原子)。制造了图27所示的氧位置1及氧位置2的 V_0H 的模型来计算迁移能级。表2示出计算条件。

[0464] [表2]

| | | |
|--------|---------|------------------------------------|
| [0465] | 软件 | VASP |
| [0466] | 模型 | InGaZnO ₄ 的结晶模型（112 原子） |
| | 泛函 | HSE06 |
| | 交换项的混合比 | 0.25 |
| | 赝势 | GGA-PBE |
| | 截止能量 | 800eV |
| | K 点 | 1×1×1 |

[0467] 以形成接近实验值的能隙的方式调整交换项的混合比。其结果，没有缺陷的 InGaZnO₄ 的结晶模型的能隙为 3.08eV，这接近实验值 3.15eV。

[0468] 根据下面的算式2可以计算出具有缺陷D的模型的迁移能级 ($\epsilon(q/q')$)。注意， $\Delta E(D^q)$ 表示缺陷D的电荷q的形成能量，根据下面的算式3计算出该能量。

[0469] [算式2]

$$[0470] \quad \epsilon(q/q') = \frac{\Delta E(D^q) - \Delta E(D^{q'})}{q' - q}$$

[0471] [算式3]

$$[0472] \quad \Delta E(D^q) = E_{tot}(D^q) - E_{tot}(\text{bulk}) + \sum_i \Delta n_i \mu_i + q(\epsilon_{VBM} + \Delta V_q + E_F)$$

[0473] 在算式2及算式3中， $E_{tot}(D^q)$ 表示包含缺陷D的模型的电荷q的总能量， $E_{tot}(\text{bulk})$ 表示没有缺陷的模型（完整结晶）的总能量， Δn_i 表示起因于缺陷的原子i的增减数， μ_i 表示原子i的化学势， ϵ_{VBM} 表示没有缺陷的模型中的价带顶的能量， ΔV_q 表示与静电势有关的修正项， E_F 表示费米能量。

[0474] 图32示出由上述算式得出的V₀H的迁移能级。图32中的数值表示离导带底的深度。在图32中，氧位置1的V₀H的迁移能级在离导带底 0.05eV 远处，氧位置2的V₀H的迁移能级在离导带底 0.11eV 远处。由此，这些V₀H与电子陷阱有关系，也就是说，可知V₀H作为施主动作。还可知包含V₀H的IGZO具有导电性。

[0475] <氧化物导电体膜>

[0476] 下面，参照图40说明包含V₀H的氧化物导电体膜的电阻率的温度依存性。

[0477] 在本实施方式中，制造了包含氧化物导电体膜的样品。作为氧化物导电体膜，形成如下氧化物导电体膜：使氧化物半导体膜与氮化硅膜接触而成的氧化物导电体膜 (OC-SiN_x)；在利用掺杂装置将氩添加到氧化物半导体膜后通过使氧化物半导体膜与氮化硅膜接触而形成的氧化物导电体膜 (OC_Ar_dope+SiN_x)；或者在利用等离子体处理装置使氧化物半导体膜暴露于氩等离子体后通过使氧化物半导体膜与氮化硅膜接触而形成的氧化物导电体膜 (OC_Ar_plasma+SiN_x)。注意，氮化硅膜包含氢。

[0478] 下面说明包含氧化物导电体膜 (OC_SiN_x) 的样品的形成方法。通过等离子体CVD法将400nm厚的氧氮化硅膜形成在玻璃衬底上，然后将氧氮化硅膜暴露于氧等离子体，然后对

氧氮化硅膜添加氧离子,由此形成由于加热而释放氧的氧氮化硅膜。接着,通过使用原子数比为 $In:Ga:Zn=1:1:1.2$ 的溅射靶材的溅射法在由于加热而释放氧的氧氮化硅膜上形成100nm厚的In-Ga-Zn氧化物膜,在450℃的氮气氛下对该氧化物膜进行加热处理,然后在450℃的氮及氧的混合气体气氛下进行加热处理。然后,通过等离子体CVD法形成100nm厚的氮化硅膜。然后,在350℃的氮及氧的混合气体气氛下进行加热处理。

[0479] 下面说明包含氧化物导电体膜($OC_{-}Ar_{dope+SiN_x}$)的样品的制造方法。通过等离子体CVD法将400nm厚的氧氮化硅膜形成在玻璃衬底上,然后将氧氮化硅膜暴露于氧等离子体,然后对氧氮化硅膜添加氧离子,由此形成由于加热而释放氧的氧氮化硅膜。接着,通过使用原子数比为 $In:Ga:Zn=1:1:1.2$ 的溅射靶材的溅射法在由于加热而释放氧的氧氮化硅膜上形成100nm厚的In-Ga-Zn氧化物膜,在450℃的氮气氛下对该氧化物膜进行加热处理,然后在450℃的氮及氧的混合气体气氛下进行加热处理。接着,利用掺杂装置,以10kV的加速电压对In-Ga-Zn氧化物膜添加剂量为 $5\times10^{14}/cm^2$ 的氩,由此在In-Ga-Zn氧化物膜中形成氧缺陷。然后,通过等离子体CVD法形成100nm厚的氮化硅膜。然后,在350℃的氮及氧的混合气体气氛下进行加热处理。

[0480] 下面说明包含氧化物导电体膜($OC_{-}Ar_{plasma+SiN_x}$)的样品的制造方法。通过等离子体CVD法将400nm厚的氧氮化硅膜形成在玻璃衬底上,然后将氧氮化硅膜暴露于氧等离子体,由此形成由于加热而释放氧的氧氮化硅膜。接着,通过使用原子数比为 $In:Ga:Zn=1:1:1.2$ 的溅射靶材的溅射法在由于加热而释放氧的氧氮化硅膜上形成100nm厚的In-Ga-Zn氧化物膜,并且在450℃的氮气氛下对该氧化物膜进行加热处理,然后在450℃的氮及氧的混合气体气氛下进行加热处理。接着,在等离子体处理装置中产生氩等离子体,使加速了的氩离子碰撞到In-Ga-Zn氧化物膜,由此在In-Ga-Zn氧化物膜中形成氧缺陷。然后,通过等离子体CVD法形成100nm厚的氮化硅膜。然后,在350℃的氮及氧的混合气体气氛下进行加热处理。

[0481] 接着,图40示出测定各样品的电阻率的结果。在此,利用四端子的范德堡法(van-der-Pauw法)测定电阻率。在图40中,横轴表示测定温度,纵轴表示电阻率。氧化物导电体膜($OC_{-}SiN_x$)的测定结果被示为四角形,氧化物导电体膜($OC_{-}Ar_{dope+SiN_x}$)的测定结果被示为圆形,氧化物半导体膜($OC_{-}Ar_{plasma+SiN_x}$)的测定结果被示为三角形。

[0482] 注意,虽然未图示,但是不与氮化硅膜接触的氧化物半导体膜的电阻率高,这很难被测出。由此可知,氧化物导电体膜的电阻率比氧化物半导体膜低。

[0483] 从图40可知,当氧化物导电体膜($OC_{-}Ar_{dope+SiN_x}$)及氧化物导电体膜($OC_{-}Ar_{plasma+SiN_x}$)包含氧缺陷及氢时,电阻率的变动小。典型的是,在80K以上且290K以下的温度范围内,电阻率的变动率小于±20%。或者,在150K以上且250K以下的温度范围内,电阻率的变动率小于±10%。也就是说,氧化物导电体是简并半导体,并且可以推测其导带边缘与费米能级一致或大致一致。由此,当将氧化物导电体膜用作晶体管的源极区域及漏极区域时,在氧化物导电体膜与用作源电极及漏电极的导电膜接触的部分产生欧姆接触,从而可以降低氧化物导电体膜与用作源电极及漏电极的导电膜之间的接触电阻。此外,由于氧化物导电体的电阻率的温度依赖性低,所以氧化物导电体膜与用作源电极及漏电极的导电膜之间的接触电阻的变动量小,由此可以得到可靠性高的晶体管。

[0484] 实施方式6

[0485] 在本实施方式中,对本发明的一个方式的半导体装置所包括的氧化物半导体膜的结构进行详细的说明。

[0486] 在本说明书中,“平行”是指两条直线所形成的角度大于或等于-10°且小于或等于10°的状态,因此,也包括该角度大于或等于-5°且小于或等于5°的情况。“大致平行”是指两条直线所形成的角度为大于或等于-30°且小于或等于30°的状态。“垂直”是指两条直线所形成的角度大于或等于80°且小于或等于100°的状态,因此,也包括该角度大于或等于85°且小于或等于95°的情况。“大致垂直”是指两条直线所形成的角度大于或等于60°且小于或等于120°的状态。

[0487] 在本说明书中,六方晶系包括三方晶系和菱方晶系。

[0488] <氧化物半导体的结构>

[0489] 下面说明氧化物半导体的结构。

[0490] 氧化物半导体被分为单晶氧化物半导体和非单晶氧化物半导体。非单晶氧化物半导体的例子包括:CAAC-OS、多晶氧化物半导体、nc-OS (nanocrystalline Oxide Semiconductor, 纳米晶氧化物半导体)、a-like OS (amorphous-like Oxide Semiconductor, 类非晶氧化物半导体)、非晶氧化物半导体。

[0491] 从其他观点看来,氧化物半导体被分为非晶氧化物半导体和结晶氧化物半导体。结晶氧化物半导体的例子包括:单晶氧化物半导体、CAAC-OS、多晶氧化物半导体以及nc-OS。

[0492] 已知,非晶结构一般被定义为处于介稳状态并没有固定化,并且为各向同性且不具有非均匀结构。可以换句话说,非晶结构具有柔性键角以及短程有序性而不具有长程有序性。

[0493] 这意味着不能将本质上稳定的氧化物半导体称为完全是非晶 (completely amorphous) 的氧化物半导体。另外,不能将不是等方性的氧化物半导体(例如,在微小区域中具有周期性结构的氧化物半导体)看作为完全是非晶的氧化物半导体。注意,a-like OS在微小区域中具有周期性结构,但同时具有空洞 (void),且具有不稳定的结构。因此,a-like OS在物性上接近于非晶氧化物半导体。

[0494] <CAAC-OS>

[0495] 首先,对CAAC-OS进行说明。

[0496] CAAC-OS是包含多个c轴取向的结晶部(也称为颗粒)的氧化物半导体之一。

[0497] 在使用透射电子显微镜(TEM: transmission electron microscope)观察所得到的CAAC-OS的明视场图像与衍射图案的复合分析图像(也称为高分辨率TEM图像)中,观察到多个颗粒。然而,在高分辨率TEM图像中,观察不到颗粒之间的明确的边界,即晶界 (grain boundary)。因此,在CAAC-OS中,不容易发生起因于晶界的电子迁移率的降低。

[0498] 下面说明利用TEM进行观察的CAAC-OS。图41A示出从大致平行于样品面的方向进行观察的CAAC-OS层的截面的高分辨率TEM图像。利用球面像差校正(spherical aberration corrector)功能得到高分辨率TEM图像。将利用球面像差校正功能所得到的高分辨率TEM图像特别称为Cs校正高分辨率TEM图像。例如可以使用日本电子株式会社(JEOL Ltd)制造的原子分辨率分析型电子显微镜JEM-ARM200F得到Cs校正高分辨率TEM图像。

[0499] 图41B示出图41A中的区域(1)的放大Cs校正高分辨率TEM图像。图41B显示在颗粒

中金属原子排列为层状。各金属原子层具有反映形成CAAC-OS膜的面(以下,将该表面称为形成面)或CAAC-OS膜的顶面的凸凹的配置,并以平行于CAAC-OS的形成面或顶面的方式被排列。

[0500] 如图41B所示,CAAC-OS具有特有的原子排列。在图41C中以辅助线示出特有的原子排列。由图41B和图41C可知,颗粒的尺寸大致为1nm至3nm,由各颗粒的倾斜产生的空隙的尺寸大致为0.8nm。因此,也可以将该颗粒称为纳米晶(nc:nanocrystal)。另外,也可以将CAAC-OS称为具有CANC(C-Axis Aligned nanocrystals:c轴取向纳米晶)的氧化物半导体。

[0501] 在此,根据Cs校正高分辨率TEM图像,将衬底5120上的CAAC-OS的颗粒5100的示意性的配置表示为堆积有砖块或块体的结构(参照图41D)。如图41C中观察到的那样颗粒倾斜的部分相当于图41D所示的区域5161。

[0502] 图42A示出从大致垂直于样品表面的方向进行观察而得到的CAAC-OS的平面的Cs校正高分辨率TEM图像。图42B、图42C和图42D分别是图42A中的区域(1)、(2)和(3)的放大Cs校正高分辨率TEM图像。图42B、图42C和图42D显示在颗粒中金属原子排列为三角形状、四角形状或六角形状。但是,在不同的颗粒之间金属原子的排列没有规律性。

[0503] 接着,说明利用X射线衍射(XRD:X-ray diffraction)进行分析的CAAC-OS。例如,当利用out-of-plane法(面外法)对包含 InGaZnO_4 结晶的CAAC-OS的结构进行分析时,如图43A所示,在衍射角(2θ)为31°附近出现峰值。该峰值来源于 InGaZnO_4 结晶的(009)面,由此可知CAAC-OS中的结晶具有c轴取向性,并且该c轴在大致垂直于CAAC-OS的形成面或顶面的方向上取向。

[0504] 注意,在利用out-of-plane法的CAAC-OS的结构分析中,除了 2θ 为31°附近的峰值以外,在 2θ 为36°附近有可能出现另一峰值。 2θ 为36°附近的峰值表示CAAC-OS的一部分中包含不具有c轴取向性的结晶。优选的是,在利用out-of-plane法分析的CAAC-OS中,在 2θ 为31°附近出现峰值而在 2θ 为36°附近不出现峰值。

[0505] 另一方面,在利用从大致垂直于c轴的方向使X射线入射到样品的in-plane法(面内法)的CAAC-OS的结构分析中,在 2θ 为56°附近时出现峰值。该峰值来源于 InGaZnO_4 结晶的(110)面。在CAAC-OS中,当将 2θ 固定为56°附近并在以样品表面的法线向量为轴(φ 轴)旋转样品的状态下进行分析(φ 扫描)时,如图43B所示的那样,观察不到明确的峰值。反之,在 InGaZnO_4 的单晶氧化物半导体中,当将 2θ 固定为56°附近进行 φ 扫描时,如图43C所示的那样,观察到来源于相等于(110)面的结晶面的六个峰值。因此,利用XRD的结构分析显示:在CAAC-OS中a轴和b轴的方向不同。

[0506] 接着,说明利用电子衍射进行分析的CAAC-OS。例如,当对包含 InGaZnO_4 结晶的CAAC-OS在平行于样品表面的方向上入射束径为300nm的电子束时,可能会获得图44A所示的衍射图案(也称为选区透射电子衍射图案)。在该衍射图案中包含起因于 InGaZnO_4 结晶的(009)面的斑点(spot)。因此,该电子衍射还显示:CAAC-OS所包含的颗粒具有c轴取向性,并且该c轴在大致垂直于CAAC-OS的形成面或顶面的方向取向。另一方面,图44B示出对相同的样品在垂直于样品表面的方向上入射束径为300nm的电子束而得到的衍射图案。如图44B所示,得到环状的衍射图案。因此,该电子衍射还显示:CAAC-OS所包含的颗粒的a轴和b轴不具有取向性。可以认为图44B中的第一环起因于 InGaZnO_4 结晶的(010)面和(100)面等。并且,可以认为图44B中的第二环起因于(110)面等。

[0507] 如上所述,CAAC-OS是结晶性高的氧化物半导体。氧化物半导体的结晶性有时会因为杂质的混入、缺陷的形成等而降低。这意味着CAAC-OS中的杂质及缺陷(氧缺陷等)少。

[0508] 此外,杂质是指氧化物半导体的主要成分以外的元素,诸如氢、碳、硅或过渡金属元素。例如,与氧的键合力比氧化物半导体所包含的金属元素强的元素(具体而言,硅等)夺取氧化物半导体中的氧,因此导致氧化物半导体的原子排列的杂乱以及结晶性的下降。铁或镍等重金属、氩、二氧化碳等具有较大的原子半径(或分子半径),因此打乱氧化物半导体的原子排列且降低结晶性。

[0509] 具有杂质或缺陷的氧化物半导体的特性有时因为光或热等而发生变动。例如,包含于氧化物半导体的杂质有时会成为载流子陷阱或载流子发生源。另外,氧化物半导体中的氧缺陷有时会成为载流子陷阱或在俘获氢时成为载流子发生源。

[0510] 杂质或氧缺陷少的CAAC-OS为载流子密度低的氧化物半导体(具体而言,低于 $8 \times 10^{11}/\text{cm}^3$,优选低于 $1 \times 10^{11}/\text{cm}^3$,更优选低于 $1 \times 10^{10}/\text{cm}^3$ 且为 $1 \times 10^{-9}/\text{cm}^3$ 以上)。将这种氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。CAAC-OS的杂质浓度和缺陷态密度低。因此,CAAC-OS可以说是具有稳定的特性的氧化物半导体。

[0511] <nc-OS>

[0512] 接着说明nc-OS。

[0513] 在nc-OS的高分辨率TEM图像中有能够观察到结晶部的区域和观察不到明确的结晶部的区域。在很多情况下,nc-OS所包含的结晶部的尺寸为1nm以上且10nm以下或1nm以上且3nm以下。注意,有时将其结晶部的尺寸大于10nm且为100nm以下的氧化物半导体称为微晶氧化物半导体。例如,在nc-OS的高分辨率TEM图像中,有时无法明确地观察到晶界。注意,纳米晶的来源有可能与CAAC-OS中的颗粒相同。因此,在下面的说明中有时将nc-OS的结晶部称为颗粒。

[0514] 在nc-OS中,微小的区域(例如,大于或等于1nm且小于或等于10nm的区域,特别是,大于或等于1nm且小于或等于3nm的区域)具有周期性的原子排列。在nc-OS中的不同颗粒之间没有结晶取向的规律性。因此,膜整体的取向不一致。所以,根据分析方法有时不能将nc-OS与a-like OS或非晶氧化物半导体区别。例如,当通过利用其直径比颗粒大的X射线的out-of-plane法对nc-OS进行分析时,不显出表示结晶面的峰值。另外,当使用其束径比颗粒大(例如,50nm或更大)的电子射线对nc-OS进行电子衍射时,观察到类似光晕图案的衍射图案。另一方面,当照射其束径近于或小于颗粒尺寸的电子射线时,斑点显示在nc-OS的纳米束电子衍射图案中。另外,在nc-OS的纳米束电子衍射图案中,有时显出圆圈(环状)的亮度高的区域。而且,在nc-OS的纳米束电子衍射图案中,有时多个斑点显示在环状区域内。

[0515] 由于如上所述在颗粒(纳米晶)之间没有结晶取向的规律性,所以也可以将nc-OS称为包含无规取向纳米晶(RANC:random aligned nanocrystals)的氧化物半导体或包含无取向纳米晶(NANC:non-aligned nanocrystals)的氧化物半导体。

[0516] nc-OS是其规律性比非晶氧化物半导体高的氧化物半导体。因此,nc-OS容易具有比a-like OS及非晶氧化物半导体低的缺陷态密度。注意,在nc-OS中的不同颗粒之间没有晶体取向的规律性。所以,nc-OS具有比CAAC-OS高的缺陷态密度。

[0517] <a-like OS>

[0518] a-like OS具有介于nc-OS与非晶氧化物半导体之间的结构。

[0519] 在a-like OS的高分辨率TEM图像中,有时观察到空洞(void)。另外,在高分辨率TEM图像中,有明确地观察到结晶部的区域和观察不到结晶部的区域。

[0520] 由于a-like OS包含空洞,所以为不稳定的结构。为了证明与CAAC-OS及nc-OS相比a-like OS具有不稳定的结构,下面示出由电子照射导致的结构变化。

[0521] 作为进行电子照射的样品,准备a-like OS(称为样品A)、nc-OS(称为样品B)和CAAC-OS(称为样品C)。这些样品都是In-Ga-Zn氧化物。

[0522] 首先,取得各样品的高分辨率截面TEM图像。该高分辨率截面TEM图像表明这些样品都具有结晶部。

[0523] 注意,将哪个部分视为结晶部是由如下方式决定的。已知 InGaZnO_4 结晶的单位晶格具有包括三个In-O层和六个Ga-Zn-O层的9个层在c轴方向上层叠的结构。这些彼此靠近的层之间的间隔与(009)面上的晶格间隔(也称为d值)相等。通过结晶结构分析求出其值为0.29nm。由此,可以将晶格条纹之间的晶格间隔大于或等于0.28nm且小于或等于0.30nm的部分视为 InGaZnO_4 结晶部。每个晶格条纹对应于 InGaZnO_4 结晶的a-b面。

[0524] 图45示出各样品的结晶部(22地点至45地点)的平均尺寸的变动。注意,结晶部的尺寸对应于上述晶格条纹的长度。图45表明a-like OS中的结晶部的尺寸随着电子的累积照射量的增加而变大。具体而言,如图45中的(1)所示,在TEM观察的开始时其尺寸为1.2nm左右的结晶部(也称为初始晶核)在累积照射量为 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 时生长到2.6nm左右的尺寸。另一方面,nc-OS和CAAC-OS中的结晶部尺寸在开始电子照射时到电子的累积照射量为 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 时的范围内几乎没有变化。具体而言,如图45中的(2)及(3)所示,无论累积电子照射量如何,nc-OS及CAAC-OS的平均结晶部尺寸都分别为1.4nm左右及2.1nm左右。

[0525] 如此,由于电子照射引起a-like OS中的结晶部的生长。另一方面,在nc-OS和CAAC-OS中,电子照射几乎没有引起结晶部的生长。由此,a-like OS与nc-OS及CAAC-OS相比具有不稳定的结构。

[0526] 由于a-like OS包含空洞,所以其密度比nc-OS及CAAC-OS低。具体地,a-like OS的密度为具有相同组成的单晶氧化物半导体的高于或等于78.6%且低于92.3%。nc-OS及CAAC-OS的密度为具有相同组成的单晶氧化物半导体的高于或等于92.3%且低于100%。注意,难以形成其密度比单晶氧化物半导体的密度的78%低的氧化物半导体。

[0527] 例如,在原子数比为 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半导体中,具有菱方晶系结构的单晶 InGaZnO_4 的密度为 6.357 g/cm^3 。因此,在原子数比为 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半导体中,a-like OS的密度高于或等于 5.0 g/cm^3 且低于 5.9 g/cm^3 。例如,在原子数比为 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半导体中,nc-OS和CAAC-OS的密度高于或等于 5.9 g/cm^3 且低于 6.3 g/cm^3 。

[0528] 注意,有可能在单晶中不存在一定组成的氧化物半导体。此时,以任意的比例组合组成不同的单晶氧化物半导体,来可以算出相当于所希望的组成的单晶氧化物半导体的密度。根据组成不同的单晶氧化物半导体的组合比例使用加权平均计算出所希望的组成的单晶氧化物半导体的密度。注意,优选使用尽可能少种类的单晶氧化物半导体来计算密度。

[0529] 如上所述,氧化物半导体具有各种结构及各种特性。注意,氧化物半导体例如可以是包括非晶氧化物半导体、a-like OS、nc-OS和CAAC-OS中的两种以上的叠层膜。

[0530] 本实施方式所示的结构、方法可以与其他实施方式所示的结构、方法适当地组合而使用。

[0531] 实施方式7

[0532] 在本实施方式中,使用图33A至图33C说明可以使用本发明的一个方式的半导体装置的显示装置。

[0533] 图33A所示的显示装置包括:具有显示元件的像素的区域(以下将该区域称为像素部542);设置在像素部542外侧并具有用来驱动像素的电路的电路部(以下将该区域称为驱动电路部544);具有保护元件的功能的电路(以下将该电路称为保护电路546);以及端子部547。注意,不一定需要设置保护电路546。

[0534] 驱动电路部544的一部分或全部优选与像素部542形成在同一衬底上,由此,可以减少构件的数量或端子的数量。当驱动电路部544的一部分或全部不与像素部542形成在同一衬底上时,驱动电路部544的一部分或全部可以通过COG(Chip On Glass,玻璃上覆晶)或TAB(Tape Automated Bonding,带式自动接合)安装。

[0535] 像素部542包括用来驱动配置为X行(X为2或更大的自然数)Y列(Y为2或更大的自然数)的显示元件的多个电路(以下将该电路称为像素电路541)。驱动电路部544包括输出选择像素的信号(扫描信号)的电路(以下将该电路称为栅极驱动器544a)、用来供应用来驱动像素的显示元件的信号(数据信号)的电路(以下将该电路称为源极驱动器544b)等驱动电路。

[0536] 栅极驱动器544a具有移位寄存器等。栅极驱动器544a通过端子部547接收用来驱动移位寄存器的信号并输出信号。例如,栅极驱动器544a接收起始脉冲信号、时钟信号等并输出脉冲信号。栅极驱动器544a具有控制被供应扫描信号的布线(以下将该布线称为扫描线GL_1至GL_X)的电位的功能。另外,也可以设置多个栅极驱动器544a,来分别控制扫描线GL_1至GL_X。或者,栅极驱动器544a具有供应初始化信号的功能。不局限于此,栅极驱动器544a也可以供应其他信号。

[0537] 源极驱动器544b具有移位寄存器等。除了用来驱动移位寄存器的信号之外,源极驱动器544b通过端子部547还接收从其中得出数据信号的信号(图像信号)。源极驱动器544b具有根据图像信号生成写入到像素电路541的数据信号的功能。另外,源极驱动器544b具有依照由起始脉冲信号、时钟信号等的输入而产生的脉冲信号来控制数据信号的输出的功能。另外,源极驱动器544b具有控制被供应数据信号的布线(以下将该布线称为信号线DL_1至DL_Y)的电位的功能。或者,源极驱动器544b具有供应初始化信号的功能。不局限于此,源极驱动器544b也可以供应其他信号。

[0538] 源极驱动器544b例如包括多个模拟开关等。通过依次开启多个模拟开关,源极驱动器544b可以输出对图像信号进行时间分割而成的信号作为数据信号。源极驱动器544b也可以包括移位寄存器等。

[0539] 脉冲信号及数据信号分别通过被供应扫描信号的多个扫描线GL之一以及被供应数据信号的多个信号线DL之一输入到多个像素电路541的每一个。通过利用栅极驱动器544a控制多个像素电路541的每一个中的数据信号的写入及保持。例如,对第m行第n列(m是小于或等于X的自然数,n是小于或等于Y的自然数)的像素电路541,通过扫描线GL_m从栅极驱动器544a输入脉冲信号,并根据扫描线GL_m的电位通过信号线DL_n从源极驱动器544b输入数据信号。

[0540] 图33A所示的保护电路546例如与栅极驱动器544a和像素电路541之间的扫描线GL

连接。或者，保护电路546与源极驱动器544b与像素电路541之间的信号线DL连接。或者，保护电路546可以与栅极驱动器544a和端子部547之间的布线连接。或者，保护电路546可以与源极驱动器544b和端子部547之间的布线连接。此外，端子部547是指具有用来从外部的电路对显示装置输入电源、控制信号及图像信号的端子的部分。

[0541] 保护电路546是当与该保护电路连接的布线被供应超过一定范围的电位时连接该布线与其他布线的电路。

[0542] 如图33A所示，对像素部542和驱动电路部544设置保护电路546，由此可以提高显示装置对因静电放电 (electro static discharge:ESD) 等而产生的过电流的耐性。注意，保护电路546的结构不局限于此，例如，也可以采用将保护电路546与栅极驱动器544a连接的结构或将保护电路546与源极驱动器544b连接的结构。或者，保护电路546也可以与端子部547连接。

[0543] 另外，虽然在图33A中示出驱动电路部544包括栅极驱动器544a和源极驱动器544b的例子，但是不局限于此结构。例如，也可以采用只形成栅极驱动器544a并安装形成有另外准备的源极驱动电路的衬底(例如，由单晶半导体膜、多晶半导体膜形成的驱动电路衬底)的结构。

[0544] 例如，图33A所示的多个像素电路541的每一个都可以采用图33B所示的结构。

[0545] 图33B所示的像素电路541包括液晶元件570、晶体管550以及电容元件560。

[0546] 作为晶体管550，例如可以适当地使用前面的实施方式所示的任何晶体管。

[0547] 根据像素电路541的规格适当地设定液晶元件570的一对电极中的一个电极的电位。根据被写入的数据设定液晶元件570的取向状态。此外，也可以对多个像素电路541的每一个所包括的液晶元件570的一对电极中的一个电极供应公共电位。此外，对一个行的像素电路541中的液晶元件570的一对电极中的一个电极供应的电位也可以不同于对另一个行的像素电路541中的液晶元件570的一对电极中的一个电极供应的电位。

[0548] 在第m行第n列的像素电路541中，晶体管550的源电极和漏电极中的一个与信号线DL_n电连接，源极和漏极中的另一个与液晶元件570的一对电极中的另一个电极电连接。晶体管550的栅电极与扫描线GL_m电连接。晶体管550具有通过开启或关闭来控制数据信号的写入的功能。

[0549] 电容元件560的一对电极中的一个电极与被供应电位的布线(以下，称为电位供应线VL)电连接，另一个电极与液晶元件570的一对电极中的另一个电极电连接。根据像素电路541的规格适当地设定电位供应线VL的电位。电容元件560具有储存被写入的数据的存储电容器的功能。

[0550] 例如，在包括图33B的像素电路541的显示装置中，通过图33A所示的栅极驱动器544a依次选择各行的像素电路541，由此使晶体管550开启而写入数据信号。

[0551] 当晶体管550被关闭时，被写入数据的像素电路541成为保持状态。通过按行依次进行该操作，可以显示图像。

[0552] 或者，图33A所示的多个像素电路541例如可以采用图33C所示的结构。

[0553] 图33C所示的像素电路541包括晶体管552及554、电容元件562以及发光元件572。在此，可以适当地将前面的实施方式所示的任何晶体管应用于晶体管552和晶体管554中的一个或两个。

[0554] 晶体管552的源电极和漏电极中的一个电连接于被供应数据信号的布线(信号线DL_n)。并且,晶体管552的栅电极电连接于被供应栅极信号的布线(扫描线GL_m)。

[0555] 晶体管552具有通过开启或关闭来控制数据信号的写入的功能。

[0556] 电容元件562的一对电极中的一个与被供应电位的布线(以下,称为电位供应线VL_a)电连接,另一个与晶体管552的源电极和漏电极中的另一个电连接。

[0557] 电容元件562具有储存被写入的数据的存储电容器的功能。

[0558] 晶体管554的源电极和漏电极中的一个与电位供应线VL_a电连接。并且,晶体管554的栅电极与晶体管552的源电极和漏电极中的另一个电连接。

[0559] 发光元件572的阳极和阴极中的一个与电位供应线VL_b电连接,另一个与晶体管554的源电极和漏电极中的另一个电连接。

[0560] 作为发光元件572,例如可以使用有机电致发光元件(也称为有机EL元件)等。注意,发光元件572并不局限于有机EL元件,也可以使用包含无机材料的无机EL元件。

[0561] 电位供应线VL_a和电位供应线VL_b中的一个被施加高电源电位VDD,电位供应线VL_a和电位供应线VL_b中的另一个被施加低电源电位VSS。

[0562] 例如,在具有图33C的像素电路541的显示装置中,通过图33A所示的栅极驱动器544a依次选择各行的像素电路541,由此使晶体管552开启而写入数据信号。

[0563] 当晶体管552被关闭时,被写入数据的像素电路541成为保持状态。并且,流在晶体管554的源电极与漏电极之间的电流量根据被写入的数据信号的电位被控制,发光元件572以对应于流动的电流量的亮度发光。通过按行依次进行该操作,可以显示图像。

[0564] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而使用。

[0565] 实施方式8

[0566] 在本实施方式中,使用图34至图36B说明使用在前面的实施方式中例示的晶体管的显示装置的一个例子。

[0567] 图34是显示装置的一个例子的俯视图。图34所示的显示装置700包括:设置在第一衬底701上的像素部702;设置在第一衬底701上的源极驱动电路部704及栅极驱动电路部706;以围绕像素部702、源极驱动电路部704及栅极驱动电路部706的方式设置的密封剂712;以及以与第一衬底701对置的方式设置的第二衬底705。由密封剂712密封第一衬底701及第二衬底705。也就是说,像素部702、源极驱动电路部704及栅极驱动电路部706被第一衬底701、密封剂712及第二衬底705密封。虽然在图34中未图示,但是在第一衬底701与第二衬底705之间设置有显示元件。

[0568] 在显示装置700中,在与第一衬底701上的由密封剂712围绕的区域不同的区域中设置有电连接于像素部702、源极驱动电路部704及栅极驱动电路部706的FPC(Flexible printed circuit:柔性印刷电路)端子部708。此外,FPC716连接于FPC端子部708,并且通过FPC716对像素部702、源极驱动电路部704及栅极驱动电路部706供应各种信号等。另外,信号线710与像素部702、源极驱动电路部704、栅极驱动电路部706以及FPC端子部708连接。由FPC716供应的各种信号等是通过信号线710供应到像素部702、源极驱动电路部704、栅极驱动电路部706以及FPC端子部708的。

[0569] 也可以在显示装置700中设置多个栅极驱动电路部706。作为显示装置700,虽然示出将源极驱动电路部704及栅极驱动电路部706形成在与像素部702相同的第一衬底701上

的例子,但是并不局限于该结构。例如,可以只将栅极驱动电路部706形成在第一衬底701上,或者可以只将源极驱动电路部704形成在第一衬底701上。此时,也可以将形成有源极驱动电路或栅极驱动电路等的衬底(例如,由单晶半导体膜、多晶半导体膜形成的驱动电路衬底)安装于第一衬底701。注意,对另行形成的驱动电路衬底的连接方法没有特别的限制,而可以采用COG方法、引线接合方法等。

[0570] 显示装置700所包括的像素部702、源极驱动电路部704及栅极驱动电路部706包括多个晶体管。作为多个晶体管可以适用本发明的一个方式的半导体装置的任何晶体管。

[0571] 显示装置700可以包括各种元件。该元件例如包括液晶元件、EL(电致发光)元件(包含有机和无机材料的EL元件、有机EL元件或无机EL元件)、LED(白色LED、红色LED、绿色LED、蓝色LED等)、晶体管(根据电流而发光的晶体管)、电子发射元件、电子墨水、电泳元件、光栅光阀(GLV)、等离子体显示器(PDP)、使用微电机系统(MEMS)的显示元件、数字微镜设备(DMD)、数字微快门(DMS)、MIRASOL(注册商标)、IMOD(干涉测量调节)元件、快门方式的MEMS显示元件、光干涉方式的MEMS显示元件、电润湿(electrowetting)元件、压电陶瓷显示器和使用碳纳米管的显示元件等中的至少一个。除此之外,还可以包括其对比度、亮度、反射率、透射率等因电或磁作用而变化的显示媒体。注意,作为具有EL元件的显示装置的一个例子,有EL显示器。作为使用电子发射元件的显示装置的例子,有场致发射显示器(FED)或SED方式平面型显示器(SED:Surface-conduction Electron-emitter Display:表面传导电子发射显示器)。作为使用液晶元件的显示装置的例子,有液晶显示器(透射式液晶显示器、半透射式液晶显示器、反射式液晶显示器、直观式液晶显示器、投射式液晶显示器)。作为使用电子墨水或电泳元件的显示装置的一个例子,有电子纸等。当实现半透射式液晶显示器或反射式液晶显示器时,像素电极的一部分或全部具有反射电极的功能。例如,使像素电极的一部分或全部包含铝、银等形式。此时也可以将SRAM等存储电路设置在反射电极下,由此可以进一步降低功耗。

[0572] 作为显示装置700中的显示方式,可以采用逐行扫描方式或隔行扫描方式等。此外,作为当进行彩色显示时在像素中控制的颜色要素,不局限于RGB(R表示红色,G表示绿色,B表示蓝色)这三种颜色。例如,也可以由R像素、G像素、B像素及W(白色)像素这四个像素构成。或者,如PenTile排列,也可以由RGB中的两个颜色构成一个颜色要素,并根据颜色要素选择不同的两个颜色来构成。或者可以对RGB追加黄色(yellow)、青色(cyan)、品红色(magenta)等中的一种以上的颜色。注意,各个颜色要素的点的显示区域的大小可以不同。但是,所公开的发明不局限于彩色显示的显示装置,也可以应用于黑白显示的显示装置。

[0573] 在本实施方式中,使用图35A和图35B及图36A和图36B说明作为显示元件使用液晶元件及EL元件的结构。注意,图35A和图35B是沿着图34所示的点划线Q-R的截面图,并且示出作为显示元件包括液晶元件的结构。另外,图36A和图36B是沿着图34所示的点划线Q-R的截面图,并且示出作为显示元件包括EL元件的结构。

[0574] 图35A及图36A是作为第一衬底701、第二衬底705使用玻璃等的机械强度高的显示装置700。图35B及图36B是作为第一衬底701、第二衬底705使用塑料等的柔性显示装置700a。由粘合剂720将第一衬底701固定到形成有晶体管750、752、电容元件790的绝缘膜719。由粘合剂740将第二衬底705固定到形成有着色膜736、遮光膜738等的绝缘膜739。

[0575] 下面,首先说明图35A和图35B与图36A和图36B所示的共同部分,接着说明不同的

部分。

[0576] <显示装置的共同部分>

[0577] 图35A和图35B、图36A和图36B所示的显示装置700、700a都包括：引绕布线部711；像素部702；源极驱动电路部704；以及FPC端子部708。注意，引绕布线部711包括信号线710。像素部702包括晶体管750及电容元件790。源极驱动电路部704包括晶体管752。

[0578] 晶体管750及晶体管752可以适当地使用前面的实施方式所示的晶体管的结构。

[0579] 在本实施方式中使用的晶体管包括高度纯化且氧缺陷的形成被抑制的氧化物半导体膜。在该晶体管中，可以降低关闭状态下的电流(关态电流)。因此，可以延长图像信号等电信号的保持时间，在开启电源的状态下也可以延长写入间隔。因此，可以降低刷新工作的频度，由此可以发挥抑制功耗的效果。

[0580] 另外，在本实施方式中使用的晶体管能够得到较高的场效应迁移率，因此能够进行高速驱动。例如，通过将这种能够进行高速驱动的晶体管用于液晶显示装置，可以在一个衬底上形成像素部的开关晶体管及用于驱动电路部的驱动晶体管。也就是说，因为作为驱动电路不需要另行使用由硅片等形成的半导体装置，所以可以缩减半导体装置的构件数。另外，在像素部中也可以通过使用能够进行高速驱动的晶体管提供高质量的图像。

[0581] 在图35A和图35B及图36A和图36B中，在晶体管750、晶体管752及电容元件790上设置有绝缘膜766及甲坦化绝缘膜770。

[0582] 作为绝缘膜766，可以使用与前面的实施方式所示的绝缘膜126同样的材料及制造方法形成。作为平坦化绝缘膜770，可以使用具有耐热性的有机材料如聚酰亚胺树脂、丙烯酸树脂、聚酰亚胺酰胺树脂、苯并环丁烯类树脂、聚酰胺树脂、环氧树脂等形成。注意，也可以通过层叠多个由这些材料形成的绝缘膜，形成平坦化绝缘膜770。或者，也可以采用没有平坦化绝缘膜770的结构。

[0583] 信号线710与具有晶体管750、752的源电极及漏电极的功能的导电膜在同一工序中形成。注意，信号线710也可以使用具有晶体管750、752的栅电极的功能的导电膜。当信号线710使用包含铜元素的材料形成时，起因于布线电阻的信号延迟等减少，这可以实现大屏幕的显示。

[0584] FPC端子部708包括连接电极760、各向异性导电膜780及FPC716。注意，连接电极760与具有晶体管750、752的源电极及漏电极的功能的导电膜在同一工序中形成。连接电极760与FPC716所包括的端子通过各向异性导电膜780电连接。

[0585] 作为第一衬底701及第二衬底705，例如可以使用玻璃衬底。作为第一衬底701及第二衬底705，也可以使用具有柔性的衬底。作为该具有柔性的衬底，例如可以举出塑料衬底。

[0586] 在第一衬底701与第二衬底705之间设置有结构体778。结构体778是通过选择性地对绝缘膜进行蚀刻而得到的柱状的间隔物，用来控制第一衬底701与第二衬底705之间的厚度(液晶盒厚(cell gap))。或者，作为结构体778，也可以使用球状的间隔物。

[0587] 另外，在第二衬底705一侧，设置有具有黑矩阵的功能的遮光膜738、具有滤色片的功能的着色膜736、与遮光膜738及着色膜736接触的绝缘膜734。

[0588] <作为显示元件使用液晶元件的显示装置的结构实例>

[0589] 图35A和图35B所示的显示装置700、700a都包括液晶元件775。液晶元件775包括导电膜772、导电膜774及液晶层776。导电膜774被设置在第二衬底705一侧，并具有对置电极

的功能。图35A和图35B所示的显示装置700、700a可以通过施加到导电膜772及导电膜774的电压改变液晶层776的取向状态,由此控制透过及非透过而显示图像。

[0590] 导电膜772与用作晶体管750所包括的源电极及漏电极的导电膜连接。导电膜772具有形成在平坦化绝缘膜770上的像素电极,即显示元件的一个电极的功能。导电膜772具有反射电极的功能。图35A和图35B所示的显示装置700、700a是将外光由导电膜772反射并通过着色膜736来进行显示的所谓反射式彩色液晶显示装置。

[0591] 作为导电膜772,可以使用使可见光透过的导电膜或反射可见光的导电膜。作为使可见光透过的导电膜,例如,优选使用包含选自铟(In)、锌(Zn)、锡(Sn)中的一种的材料。例如,作为反射可见光的导电膜,优选使用包含铝或银的材料。在本实施方式中,作为导电膜772使用反射可见光的导电膜。

[0592] 注意,在图35A和图35B所示的显示装置700、700a中,像素部702的平坦化绝缘膜770的一部分中设置有凹凸。该凹凸可以通过使用有机树脂膜等形成平坦化绝缘膜770并在该有机树脂膜的表面设置凹部或凸部而形成。具有反射电极的功能的导电膜772沿着上述凹凸形成。因此,当外光入射到导电膜772时,可以使光在导电膜772的表面漫反射,由此可以提高可见度。

[0593] 注意,虽然作为图35A和图35B所示的显示装置700、700a例示了反射式彩色液晶显示装置,但并不局限于此。例如,也可以将使可见光透过的导电膜用于导电膜772,由此制造透射式彩色液晶显示装置。当显示装置为透射式彩色液晶显示装置时,在平坦化绝缘膜770上也可以不设置凹凸。

[0594] 注意,虽然在图35A和图35B中未图示,但是也可以分别在导电膜772的与液晶层776接触的一侧以及导电膜774的与液晶层776接触的一侧设置取向膜。虽然在图35A和图35B中未图示,但是可以适当地设置偏振构件、相位差构件、抗反射构件等光学构件(光学衬底)等。例如,也可以使用利用偏振衬底以及相位差衬底的圆偏振。此外,作为光源,也可以使用背光、侧光等。

[0595] 当作为显示元件使用液晶元件时,可以使用热致液晶、低分子液晶、高分子液晶、高分子分散型液晶、铁电液晶、反铁电液晶等。这些液晶材料根据条件呈现出胆甾相、近晶相、立方相、手征向列相、各向同性相等。

[0596] 或者,在采用横向电场方式的情况下,也可以使用不需要取向膜的呈现蓝相的液晶。蓝相是液晶相的一种,当使胆甾相液晶的温度上升时,在即将从胆甾相转变到各向同性相之前出现。由于蓝相只出现在较窄的温度范围内,所以为了改善温度范围而将混合有几wt.%以上的手性试剂的液晶组成物用于液晶层。包含呈现蓝相的液晶和手征试剂的液晶组成物因为反应时间短且具有光学各向同性,所以不需要取向处理且视角依赖性小。因不需要设置取向膜而不需要摩擦处理,因此可以防止由于摩擦处理而引起的静电破坏,由此可以降低制造工序中的液晶显示装置的不良和破损。

[0597] 当作为显示元件使用液晶元件时,可以采用TN(Twisted Nematic:扭曲向列)模式、IPS(In-Plane-Switching:平面内转换)模式、FFS(Fringe Field Switching:边缘电场转换)模式、ASM(Axially Symmetric aligned Micro-cell:轴对称排列微单元)模式、OCB(Optical Compensated Birefringence:光学补偿弯曲)模式、FLC(Ferroelectric Liquid Crystal:铁电液晶)模式、AFLC(Anti Ferroelectric Liquid Crystal:反铁电液晶)模式

等。

[0598] 另外,也可以使用采用垂直取向(VA)模式的透射式液晶显示装置等常黑型液晶显示装置。作为垂直配向模式,可以举出几个例子,例如可以使用MVA(Multi-Domain Vertical Alignment:多畴垂直取向)模式、PVA(Patterned Vertical Alignment:垂直取向构型)模式、ASV(Advanced Super View:高级超视觉)模式等。

[0599] <作为显示元件使用发光元件的显示装置>

[0600] 图36A和图36B所示的显示装置700、700a都包括发光元件782。发光元件782包括导电膜784、EL层786及导电膜788。图36A和图36B所示的显示装置700、700a能够通过使发光元件782所包括的EL层786发光而显示图像。

[0601] 导电膜784与用作晶体管750所包括的源电极及漏电极的导电膜连接。导电膜784具有形成在平坦化绝缘膜770上的像素电极,即显示元件的一个电极的功能。作为导电膜784,可以使用使可见光透过的导电膜或反射可见光的导电膜。作为使可见光透过的导电膜,例如,优选使用包含选自铟(In)、锌(Zn)、锡(Sn)中的一种的材料。作为反射可见光的导电膜,例如,优选使用包含铝或银的材料。

[0602] 在图36A和图36B所示的显示装置700、700a中,在平坦化绝缘膜770及导电膜784上设置有绝缘膜730。绝缘膜730覆盖导电膜784的一部分。注意,发光元件782具有顶部发射结构。因此,导电膜788具有透光性,而使EL层786所发射的光透过。虽然在本实施方式中例示顶部发射结构,但是并不局限于此。还可以适用对导电膜784一侧发射光的底部发射结构或对导电膜784及导电膜788的双方发射光的双面发射结构。

[0603] 以与发光元件782重叠的方式设置有着色膜736,并且以与绝缘膜730重叠且被包括在引绕布线部711以及源极驱动电路部704中的方式设置有遮光膜738。着色膜736及遮光膜738被绝缘膜734覆盖。在发光元件782与绝缘膜734之间的空隙填充有密封膜732。虽然在图36A和图36B所示的显示装置700、700a中例示出具有着色膜736的结构,但是并不局限于此。在通过分别涂布来形成EL层786时,也可以不设置着色膜736。

[0604] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而实施。

[0605] 实施方式9

[0606] 在本实施方式中,说明使用本发明的一个方式的半导体装置的发光装置的一个方式。注意,在本实施方式中,使用图37说明发光装置的像素部的结构。

[0607] 在图37中,在第一衬底502上形成有多个FET500,并且各FET500与各发光元件(504R、504G、504B、504W)电连接。具体而言,各FET500与发光元件所包括的第一导电膜506电连接。注意,各发光元件(504R、504G、504B、504W)包括第一导电膜506、第二导电膜507、EL层510以及第三导电膜512。

[0608] 另外,在与各发光元件(504R、504G、504B、504W)相对的位置上分别设置有着色层(514R、514G、514B、514W)。注意,以与第二衬底516接触的方式设置有着色层(514R、514G、514B、514W)。另外,在第一衬底502与第二衬底516之间设置有密封膜518。作为密封膜518,例如可以使用玻璃粉等玻璃材料或者两液混合型树脂等在常温下固化的固化树脂、光固化树脂、热固化树脂等树脂材料。

[0609] 以覆盖相邻的第一导电膜506及第二导电膜507的端部的方式设置有分隔壁508。在分隔壁508上设置有结构体509。注意,第一导电膜506具有反射电极的功能和发光元件的

阳极的功能。第二导电膜507具有调整各发光元件的光程长的功能。在第二导电膜507上形成有EL层510，并在EL层510上形成有第三导电膜512。第三导电膜512具有半透射·半反射电极的功能和发光元件的阴极的功能。结构体509设置于发光元件与着色层之间且具有间隔物的功能。

[0610] EL层510可以被各发光元件(504R、504G、504B、504W)共同使用。注意，各发光元件(504R、504G、504B、504W)具有由第一导电膜506和第三导电膜512使来自EL层510的发光谐振的所谓光学微谐振腔(也称为微腔)结构，即便具有相同的EL层510也可以通过使不同波长的光的光谱变窄而提取。具体而言，在各发光元件(504R、504G、504B、504W)中，通过分别调整设置于EL层510下方的第二导电膜507的厚度使从EL层510得到的光谱成为所希望的发射光谱，而能够得到高色纯度的发光。因此，通过采用图37所示的结构，不需要EL层的分别涂布的工序，从而能够实现高清晰化。

[0611] 图37所示的发光装置包括着色层(滤色片)，因此可以使所希望的发射光谱的光发射。因此，通过组合微腔结构与滤色片，能够得到色纯度更高的发光。具体而言，调整发光元件504R的光程长以能够得到红色发光，而经由着色层514R向箭头方向发射出红色发光。另外，调整发光元件504G的光程长以能够得到绿色发光，而经由着色层514G向箭头方向发射出绿色发光。另外，调整发光元件504B的光程长以能够得到蓝色发光，而经由着色层514B向箭头方向发射出蓝色发光。调整发光元件504W的光程长以能够得到白色发光，而经过着色层514W向箭头方向发射出白色发光。

[0612] 注意，各发光元件的光程长的调整方法不局限于此。例如，在各发光元件中，也可以通过调整EL层510的厚度来调整光程长。

[0613] 着色层(514R、514G、514B)可以具有使特定的波长区的光透过的功能。例如，可以使用使红色的波长区的光透过的红色(R)滤色片、使绿色的波长区的光透过的绿色(G)滤色片以及使蓝色的波长区的光透过的蓝色(B)滤色片等。作为着色层514W例如可以使用不含有颜料等的丙烯酸类树脂材料等。作为着色层(514R、514G、514B、514W)可以使用各种材料并通过印刷法、喷墨法、使用光刻技术的蚀刻法等形式。

[0614] 作为第一导电膜506，例如可以使用反射率高(可见光的反射率为40%以上且100%以下，优选为70%以上且100%以下)的金属膜。作为第一导电膜506，可以使用铝、银或包含这些金属材料的合金(例如，铟与钯与铜的合金)的单层或叠层形成。

[0615] 作为第二导电膜507，例如可以使用导电金属氧化物来形成。作为导电金属氧化物，可以使用氧化铟、氧化锡、氧化锌、铟锡氧化物(Indium Tin Oxide，还称为ITO)、铟锌氧化物(Indium Zinc Oxide)或者在这些金属氧化物材料中含有氧化硅、氧化钨的材料。优选设置第二导电膜507，因为能够抑制在后面形成的EL层510与第一导电膜506之间形成绝缘膜。另外，也可以在第一导电膜506的下方形成用作第二导电膜507的导电金属氧化物。

[0616] 作为第三导电膜512，使用具有反射性的导电材料和具有透光性的导电材料来形成，对可见光的反射率优选为20%以上且80%以下，更优选为40%以上且70%以下。作为第三导电膜512，例如将银、镁或包含这些金属材料的合金等形成得薄(例如，10nm以下)，然后形成可用于第二导电膜507的导电金属氧化物即可。

[0617] 上面所说明的发光装置具有从第二衬底516一侧提取发光的结构(顶部发射结构)，但也可以具有从形成有FET500的第一衬底501一侧提取光的结构(底部发射结构)或从

第一衬底501一侧和第二衬底516一侧的双方提取光的结构(双面发射结构)。在采用底部发射结构的情况下,例如可以将着色层(514R、514G、514B、514W)形成于第一导电膜506的下方。注意,作为发射光的一侧的衬底可以使用具有透光性的衬底,作为不发射光的一侧的衬底可以使用具有透光性的衬底及具有遮光性的衬底。

[0618] 在图37中例示了发光元件为4种颜色(红色(R)、绿色(G)、蓝色(B)、白色(W))的结构。然而不局限于此。例如,也可以采用发光元件发射红色(R)、绿色(G)、蓝色(B)的结构。

[0619] 实施方式10

[0620] 在本实施方式中,参照图38以及图39A至图39G对可以使用本发明的一个方式的半导体装置的显示模块及电子设备进行说明。

[0621] 图38所示的显示模块8000在上盖8001与下盖8002之间包括连接于FPC8003的触摸面板8004、连接于FPC8005的显示面板8006、背光8007、框架8009、印刷衬底8010、电池8011。

[0622] 例如可以将本发明的一个方式的半导体装置用于显示面板8006。

[0623] 上盖8001及下盖8002可以根据触摸面板8004及显示面板8006的尺寸适当地改变形状或尺寸。

[0624] 触摸面板8004能够是电阻膜式触摸面板或静电容量式触摸面板,并且能够被形成为与显示面板8006重叠。也可以使显示面板8006的对置衬底(密封衬底)具有触摸面板的功能。还可以在显示面板8006的各像素内设置光传感器,而形成光学触摸面板。

[0625] 背光8007包括光源8008。注意,虽然在图38中例示出在背光8007上配置光源8008的结构,但是不局限于此。例如,可以在背光8007的端部设置光源8008,并使用光扩散板。注意,当使用有机EL元件等自发光型发光元件时,或者当使用反射式面板时,可以不设置背光8007。

[0626] 框架8009保护显示面板8006,还具有用来遮断因印刷衬底8010的工作而产生的电磁波的电磁屏蔽的功能。框架8009也可以具有散热板的功能。

[0627] 印刷衬底8010具有电源电路以及用来输出视频信号及时钟信号的信号处理电路。作为对电源电路供应电力的电源,既可以采用外部的商业电源,又可以采用另行设置的电池8011的电源。当使用商用电源时,可以省略电池8011。

[0628] 在显示模块8000中还可以设置偏振片、相位差板、棱镜片等构件。

[0629] 图39A至图39D示出电子设备。这些电子设备可以包括框体600、显示部601、扬声器603、LED灯604、操作键605(包括电源开关或操作开关)、连接端子606、传感器607(传感器具有测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)、麦克风608等。

[0630] 图39A示出移动计算机,该移动计算机除了上述以外还可以包括开关609、红外端口620等。图39B示出具备记录介质的便携式图像再现装置(例如DVD再现装置),该便携式图像再现装置除了上述以外还可以包括第二显示部602、记录介质读取部621等。图39C示出电视接收机,该电视接收机除了上述以外还可以包括调谐器、图像处理部等。图39D示出便携式电视接收机,该便携式电视接收机除了上述以外还可以包括能够收发信号的充电器627等。

[0631] 图39E至图39G示出能够折叠的便携式信息终端610。图39E示出展开状态的便携式

信息终端610。图39F示出展开中或折叠中的便携式信息终端610。图39G示出折叠状态的便携式信息终端610。便携式信息终端610在折叠状态下可携带性好。便携式信息终端610在展开状态下因为具有无缝拼接的较大的显示区域所以显示一览性强。

[0632] 显示部612由铰链613所连接的三个框体615来支撑。通过铰链613使两个框体615之间弯折,可以从便携式信息终端610的展开状态可逆性地变为折叠状态。可以将使用本发明的一个方式制造的显示装置用于显示部612。例如,可以使用能够以1mm以上且150mm以下的曲率半径弯曲的显示装置。

[0633] 图39A至图39G所示的电子设备可以具有各种功能,例如,可以具有如下功能:将各种数据(静态图像、动态图像、文字图像等)显示在显示部上;触控面板;显示日历、日期或时间等;通过利用各种软件(程序)控制处理;进行无线通信;通过利用无线通信功能来连接到各种计算机网络;通过利用无线通信功能,进行各种数据的发送或接收;读出储存在记录介质中的程序或数据来将该程序或数据显示在显示部上等。再者,包括多个显示部的电子设备可以具有如下功能:一个显示部主要显示图像信息,而另一个显示部主要显示文字信息;或者,在多个显示部上显示考虑到视差的图像来显示立体图像等。再者,包括图像接收部的电子设备可以具有如下功能:拍摄静态图像;拍摄动态图像;对所拍摄的图像进行自动或手动校正;将所拍摄的图像储存在记录介质(外部或内置于相机)中;将所拍摄的图像显示在显示部上等。注意,图39A至图39G所示的电子设备可具有的功能不局限于上述功能,而可以具有各种各样的功能。

[0634] 本实施方式所述的电子设备的特征在于具有用来显示某些数据的显示部。注意,本发明的一个方式的半导体装置也可以应用不具有显示部的电子设备。

[0635] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而实施。

[0636] 附图标记说明

[0637] 100a:晶体管;100b:晶体管;100c:晶体管;100d:晶体管;100e:晶体管;100f:晶体管;100o:晶体管;100p:晶体管;100q:晶体管;100r:晶体管;101:衬底;102:导电膜;104:绝缘膜;104a:绝缘膜;104b:绝缘膜;105:氧化物半导体膜;105a:沟道区域;105b:低电阻区域;105c:低电阻区域;106:氧化物半导体膜;106a:沟道区域;106b:低电阻区域;106c:低电阻区域;107:多层膜;107a:沟道区域;107b:低电阻区域;107c:低电阻区域;108:氧化物半导体膜;108a:沟道区域;108b:低电阻区域;108c:低电阻区域;108d:区域;108e:区域;108f:低电阻区域;108g:低电阻区域;108h:低电阻区域;108i:低电阻区域;109:氧化物半导体膜;109a:沟道区域;109b:低电阻区域;109c:低电阻区域;110:多层膜;110a:沟道区域;110b:低电阻区域;110c:低电阻区域;110d:区域;110e:区域;110f:低电阻区域;110g:低电阻区域;110h:低电阻区域;110i:低电阻区域;115:绝缘膜;116:绝缘膜;117:绝缘膜;117a:绝缘膜;117b:绝缘膜;119:导电膜;119a:导电膜;119b:导电膜;120:导电膜;120a:导电膜;120b:导电膜;122:掩模;123:掩模;125:杂质元素;126:绝缘膜;127:绝缘膜;134:导电膜;135:导电膜;136:导电膜;137:导电膜;141:绝缘膜;145:膜;146:氧;161:氮化物绝缘膜;162:氮化物绝缘膜;500:FET;501:衬底;502:衬底;504B:发光元件;504G:发光元件;504R:发光元件;504W:发光元件;506:导电膜;507:导电膜;508:分隔壁;509:结构体;510:EL层;512:导电膜;514B:着色层;514G:着色层;514R:着色层;514W:着色层;516:衬底;518:密封膜;541:像素电路;542:像素部;544:驱动电路部;544a:栅极驱动器;544b:源极驱动

器;546:保护电路;547:端子部;550:晶体管;552:晶体管;554:晶体管;560:电容元件;562:电容元件;570:液晶元件;572:发光元件;600:框体;601:显示部;602:显示部;603:扬声器;604:LRD灯;605:操作键;606:连接端子;607:传感器;608:麦克风;609:开关;610:便携式信息终端;612:显示部;613:铰链部;615:框体;620:红外端口;621:记录介质读取部;627:充电器;700:显示装置;700a:显示装置;701:衬底;702:像素部;704:源极驱动电路部;705:衬底;706:栅极驱动电路部;708:FPC端子部;710:信号线;711:布线部;712:密封剂;716:FPC;719:绝缘膜;720:粘合剂;730:绝缘膜;732:密封膜;734:绝缘膜;736:着色膜;738:遮光膜;739:绝缘膜;740:粘合剂;750:晶体管;752:晶体管;760:连接电极;766:绝缘膜;770:平坦化绝缘膜;772:导电膜;774:导电膜;775:液晶元件;776:液晶层;778:结构体;780:各向异性导电膜;782:发光元件;784:导电膜;786:EL层;788:导电膜;790:电容元件;5100:颗粒;5120:衬底;5161:区域;8000:显示模块;8001:上盖;8002:下盖;8003:FPC;8004:触摸面板;8005:FPC;8006:显示面板;8007:背光;8008:光源;8009:框架;8010:印刷电路板;8011:电池

[0638] 本申请基于2014年2月7日提交到日本专利局的日本专利申请No.2014-022864、2014年2月7日提交到日本专利局的日本专利申请No.2014-022865、2014年3月14日提交到日本专利局的日本专利申请No.2014-051134、2014年3月14日提交到日本专利局的日本专利申请No.2014-051138，通过引用将其完整内容并入于此。

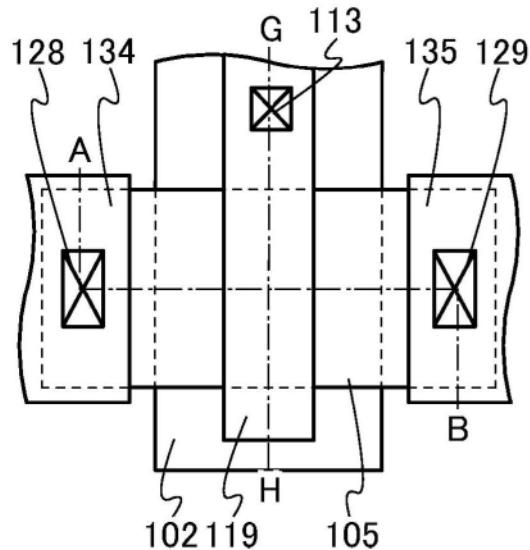
100a

图1A

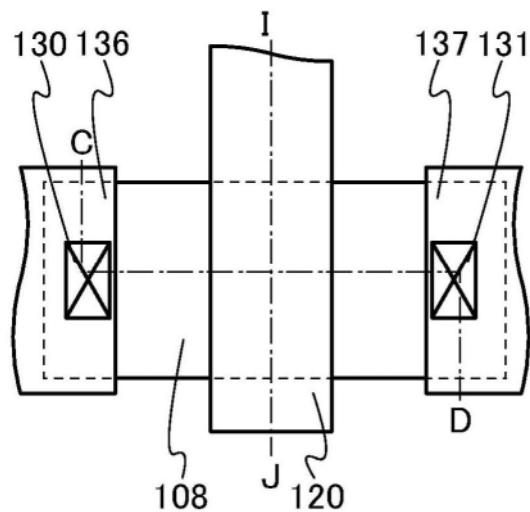
100b

图1B

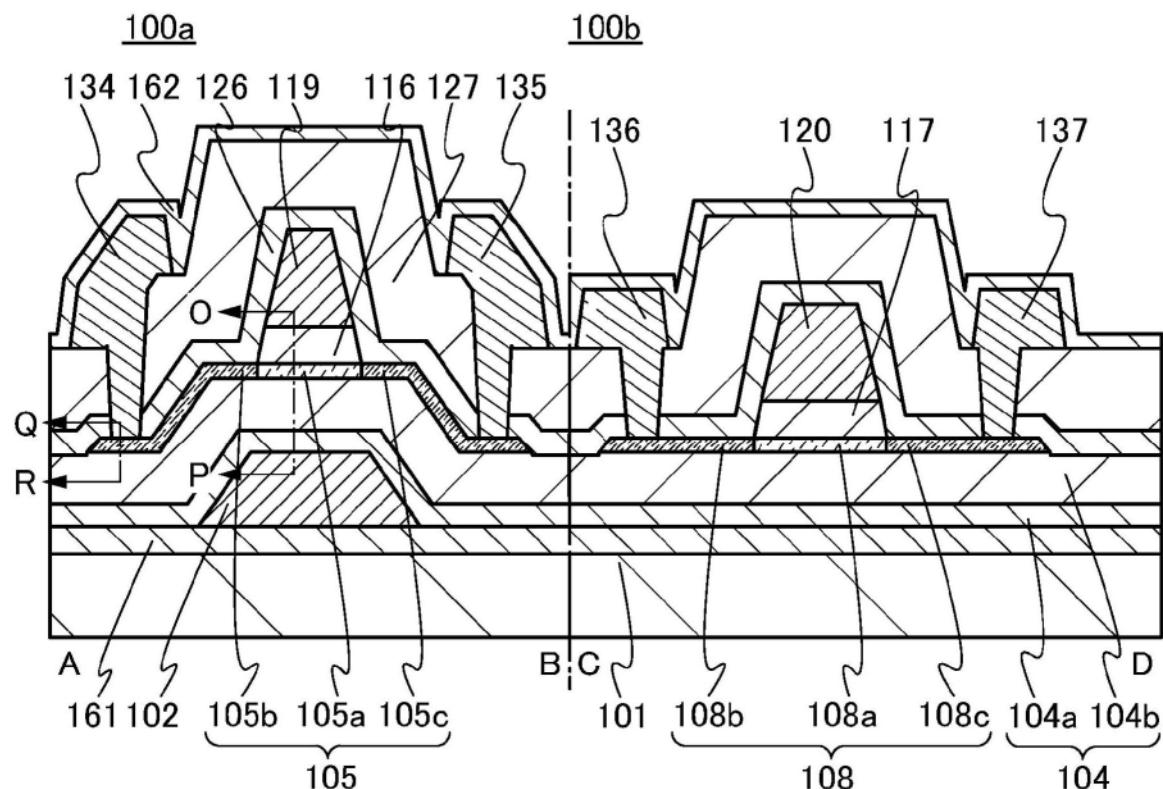


图2A

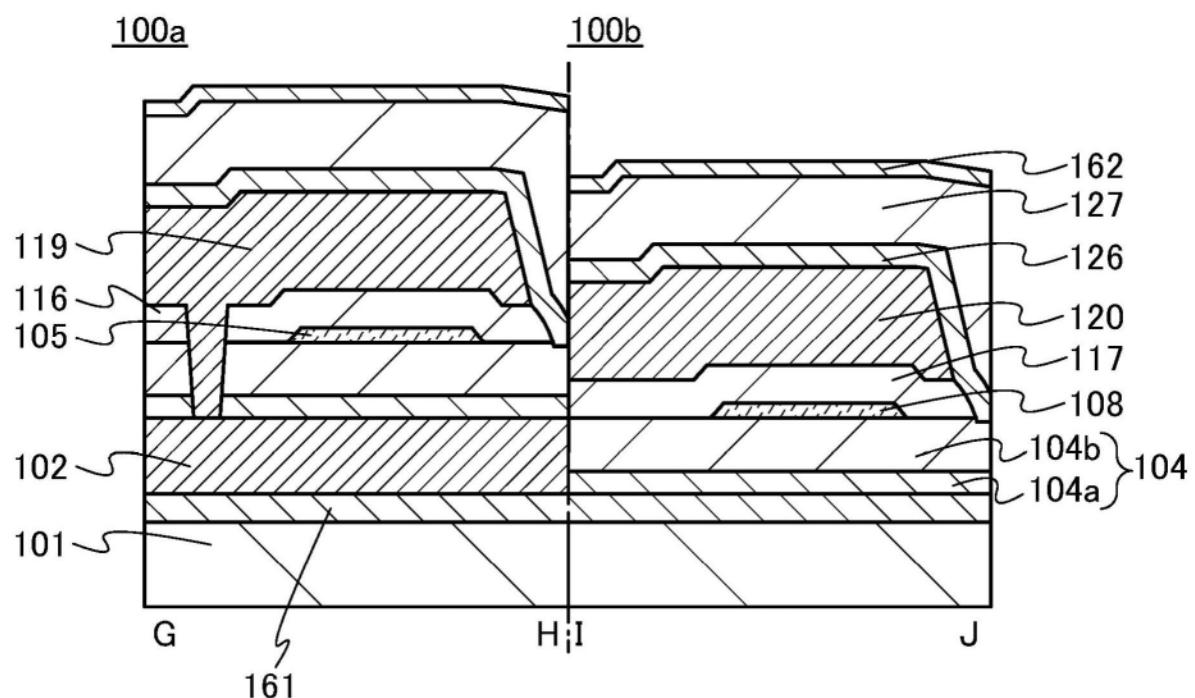


图2B

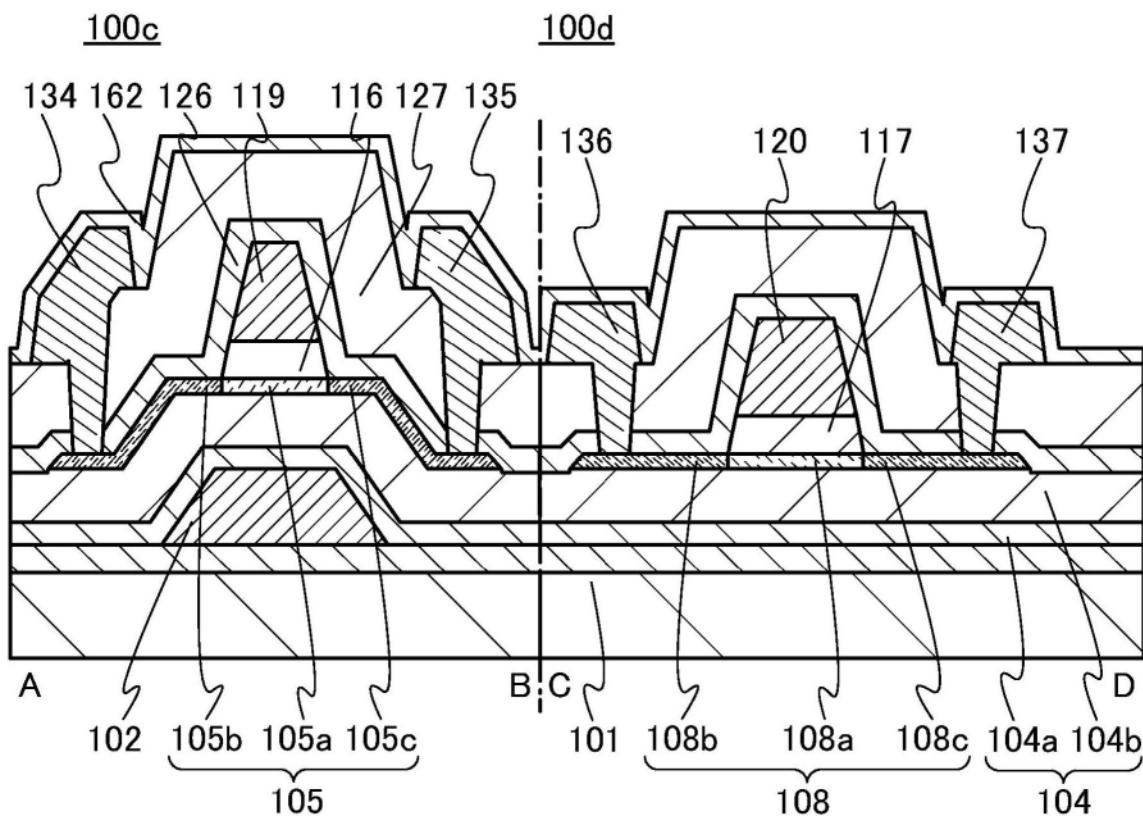


图3A

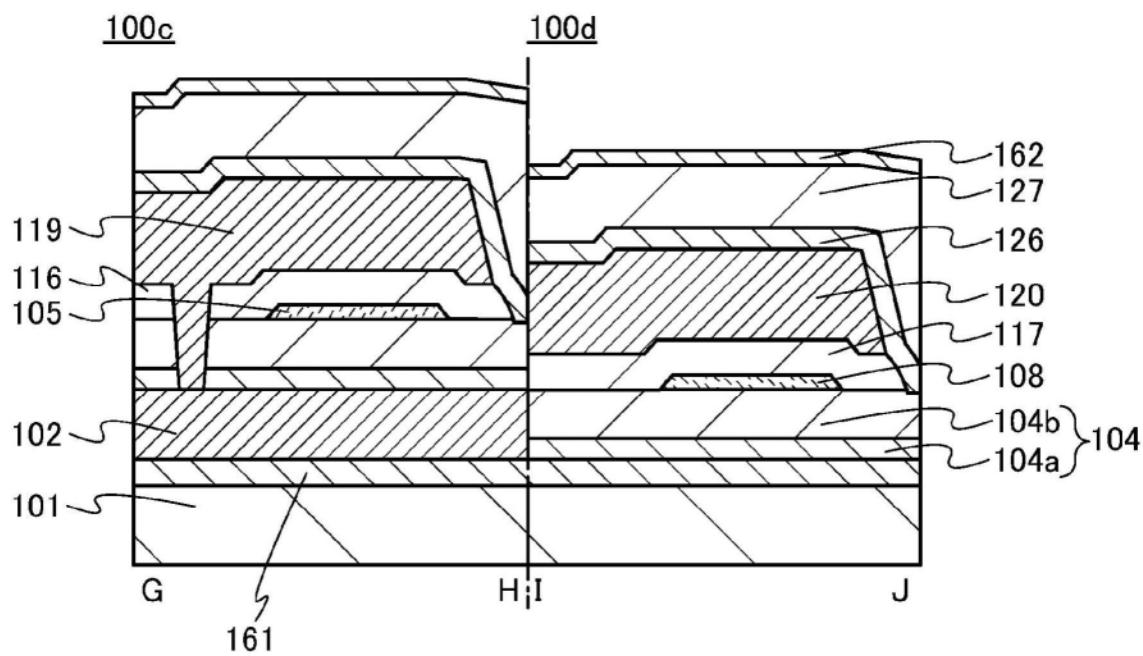


图3B

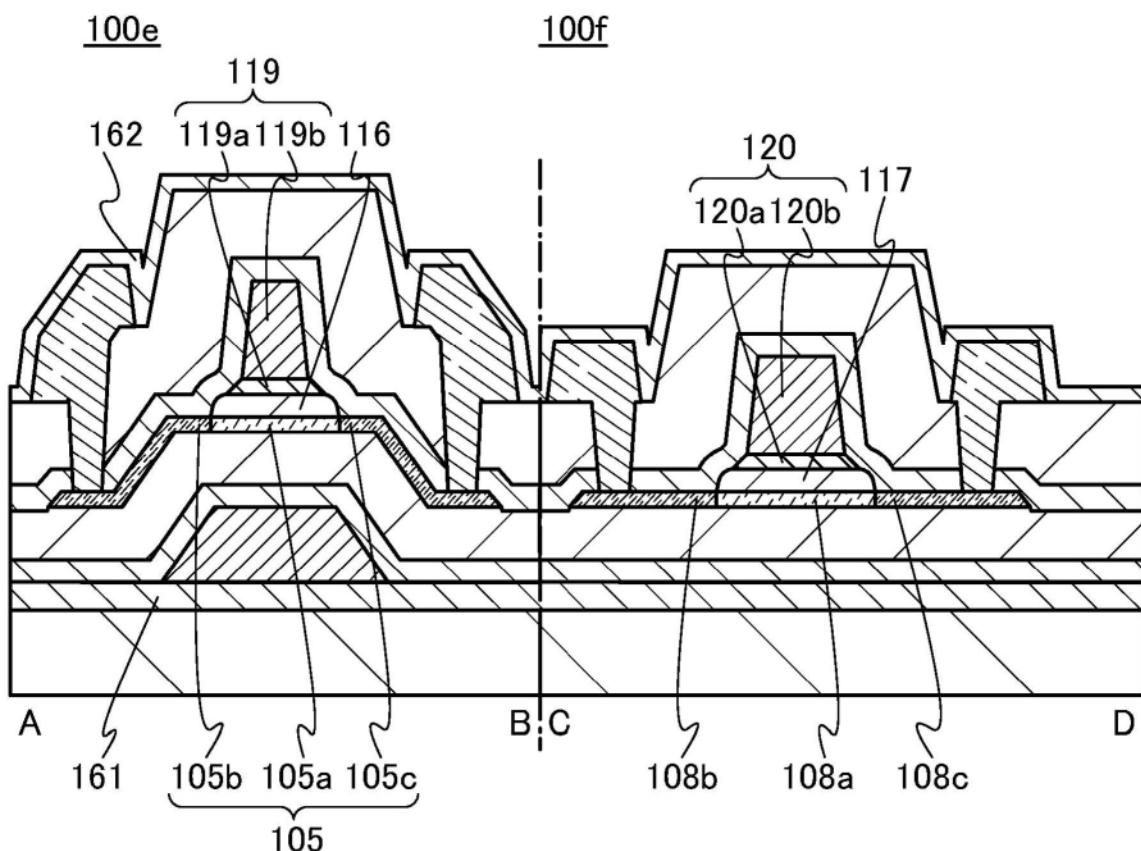


图4A

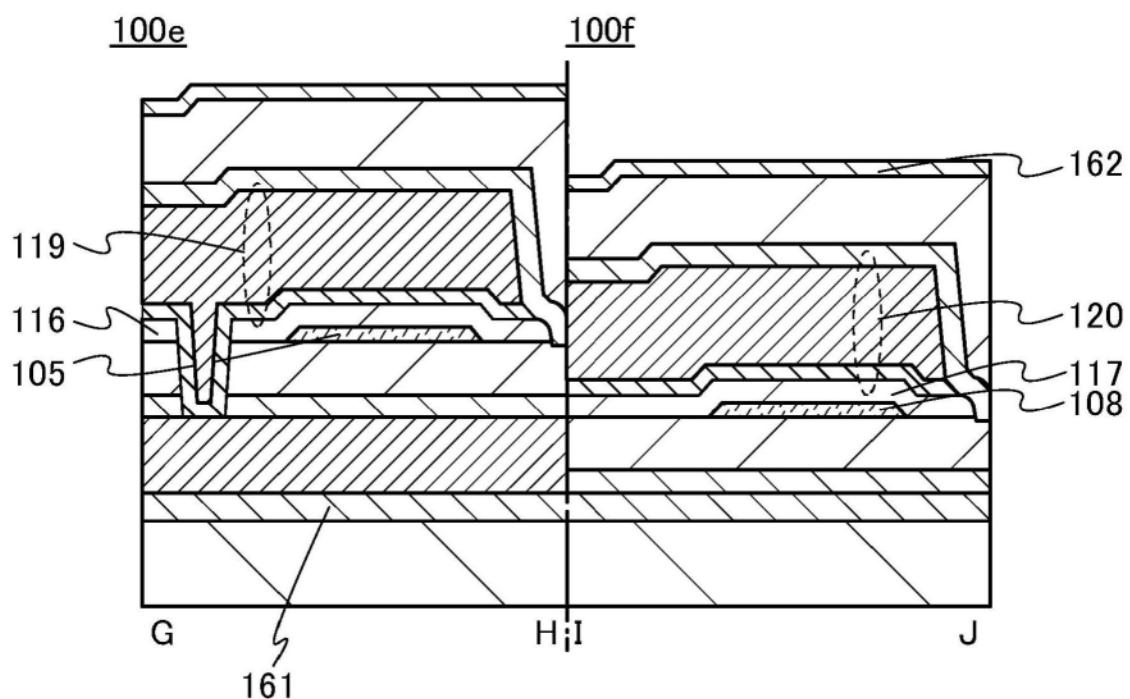


图4B

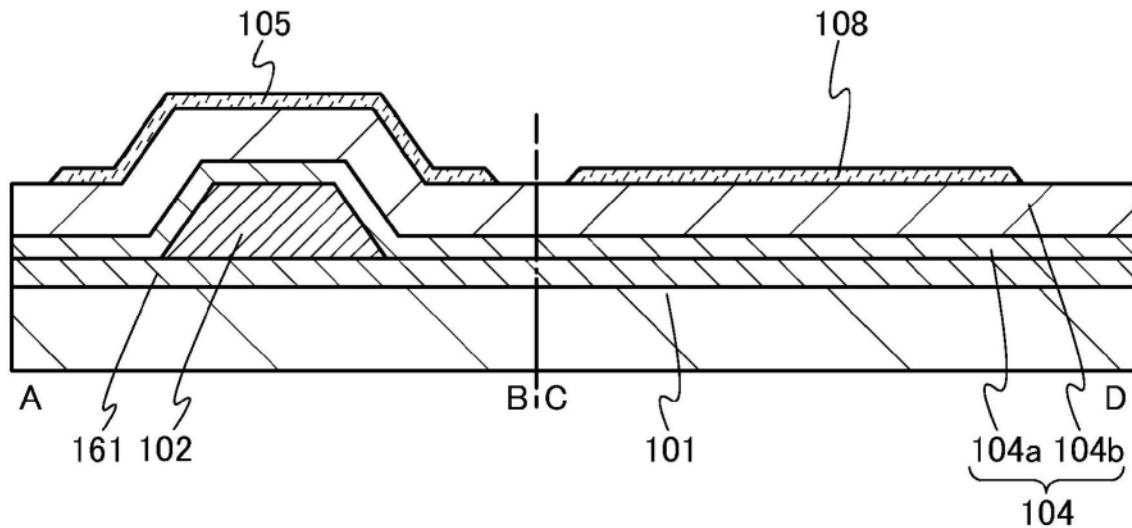


图5A

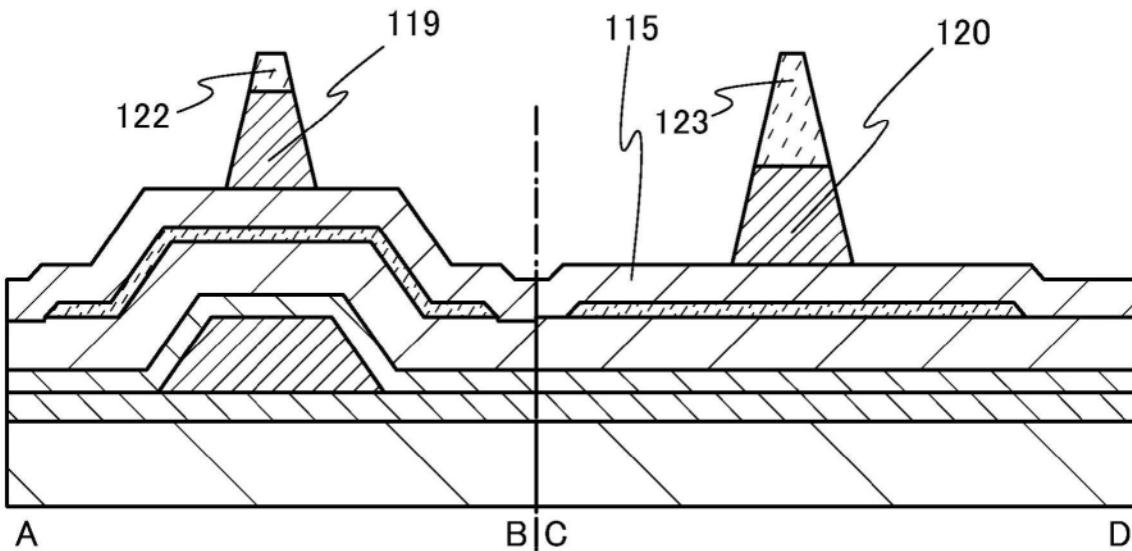
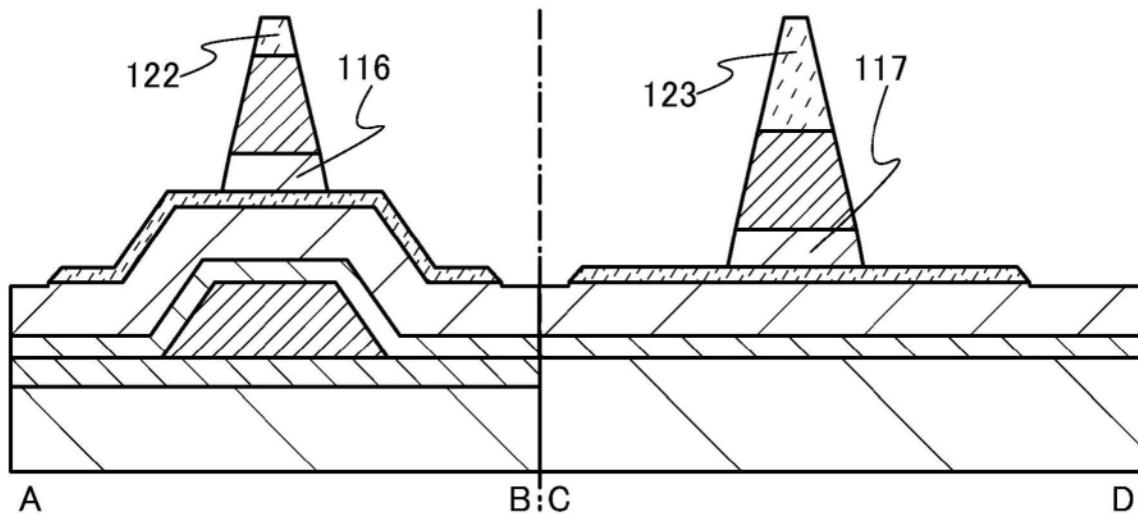
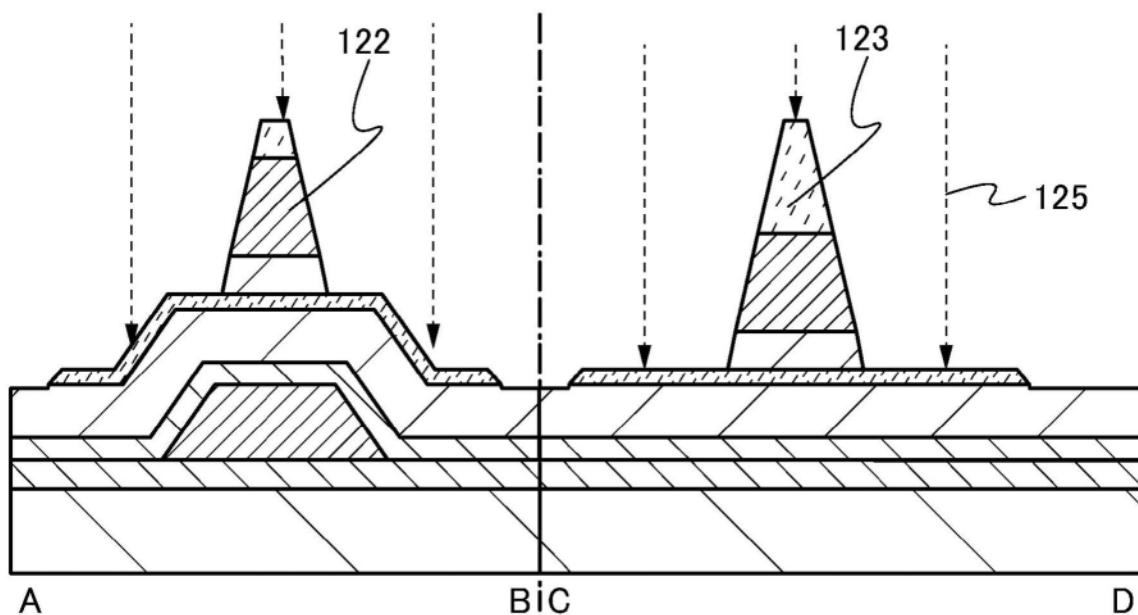


图5B



B:C

图6A



B:C

图6B

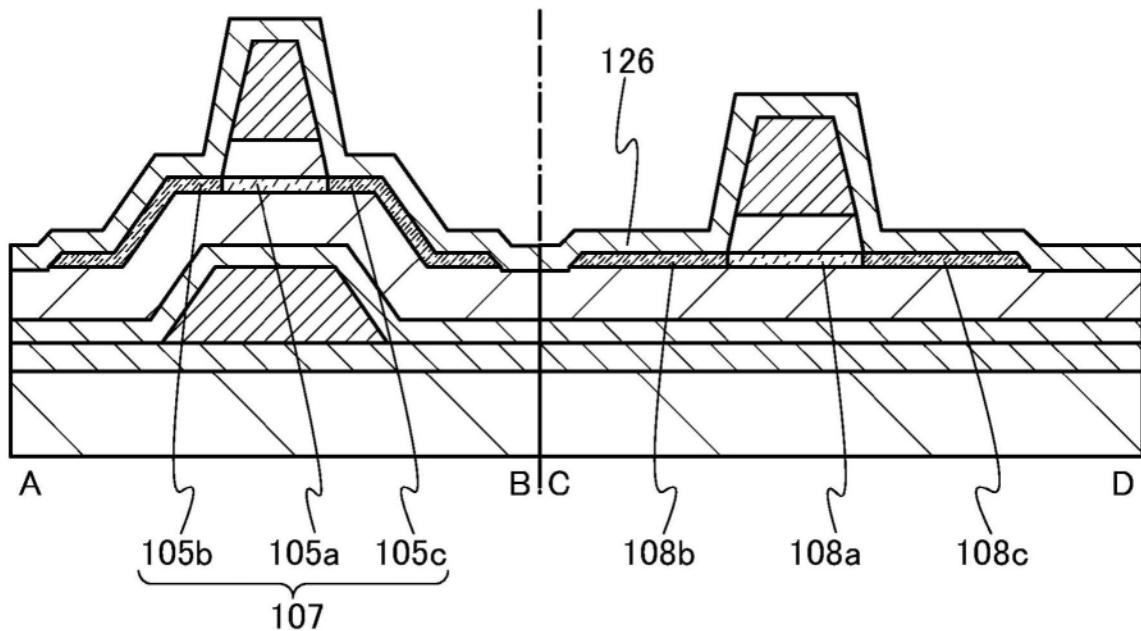


图6C

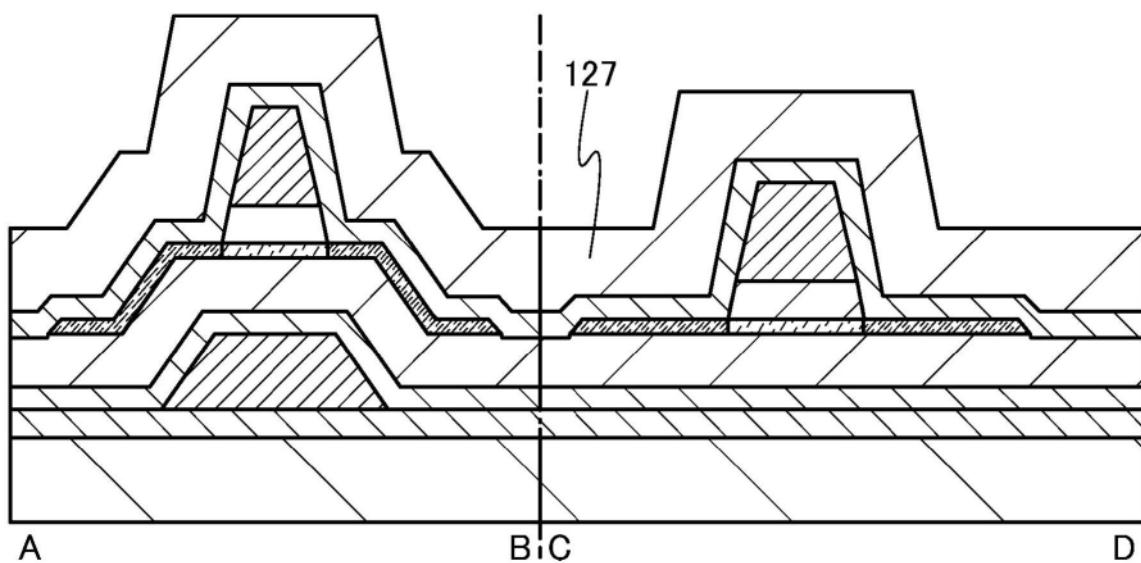


图7A

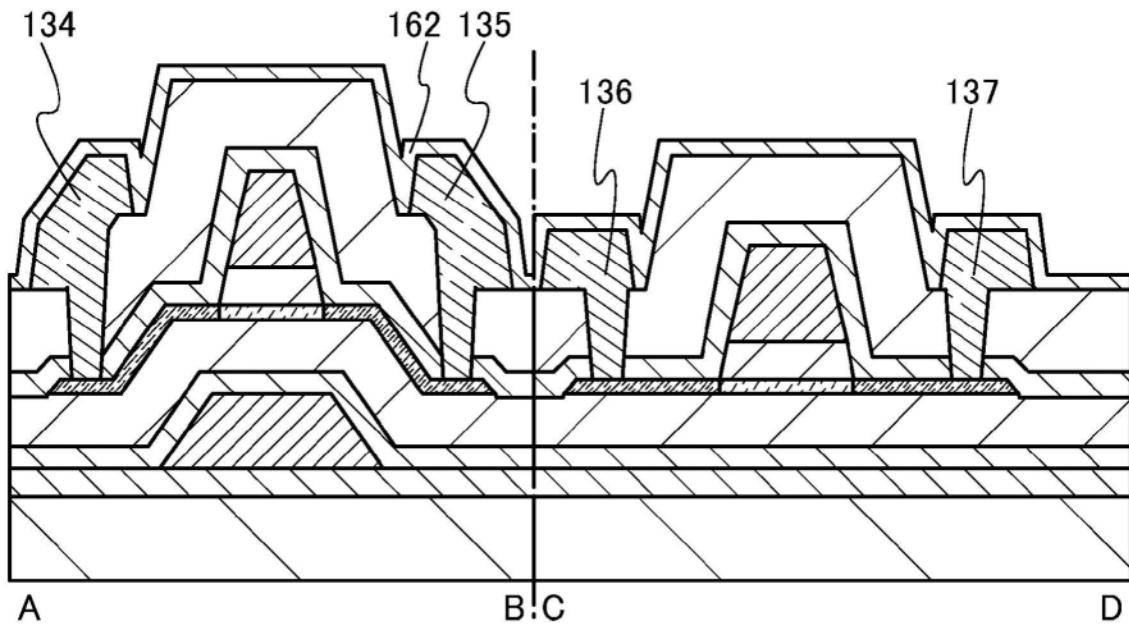


图7B

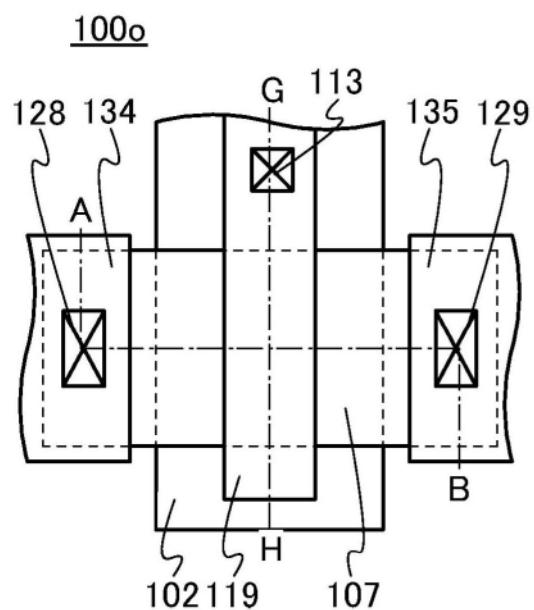


图8A

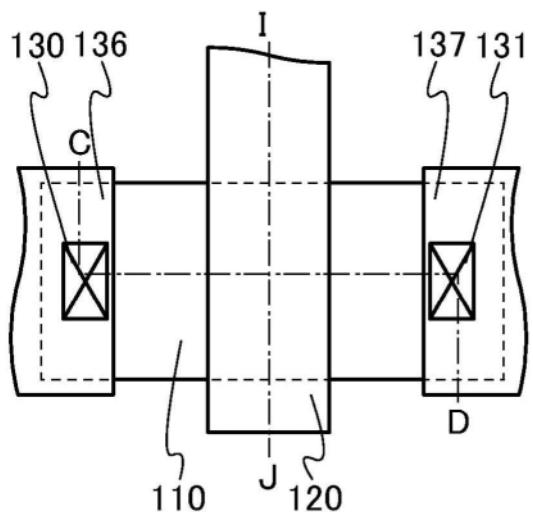
100p

图8B

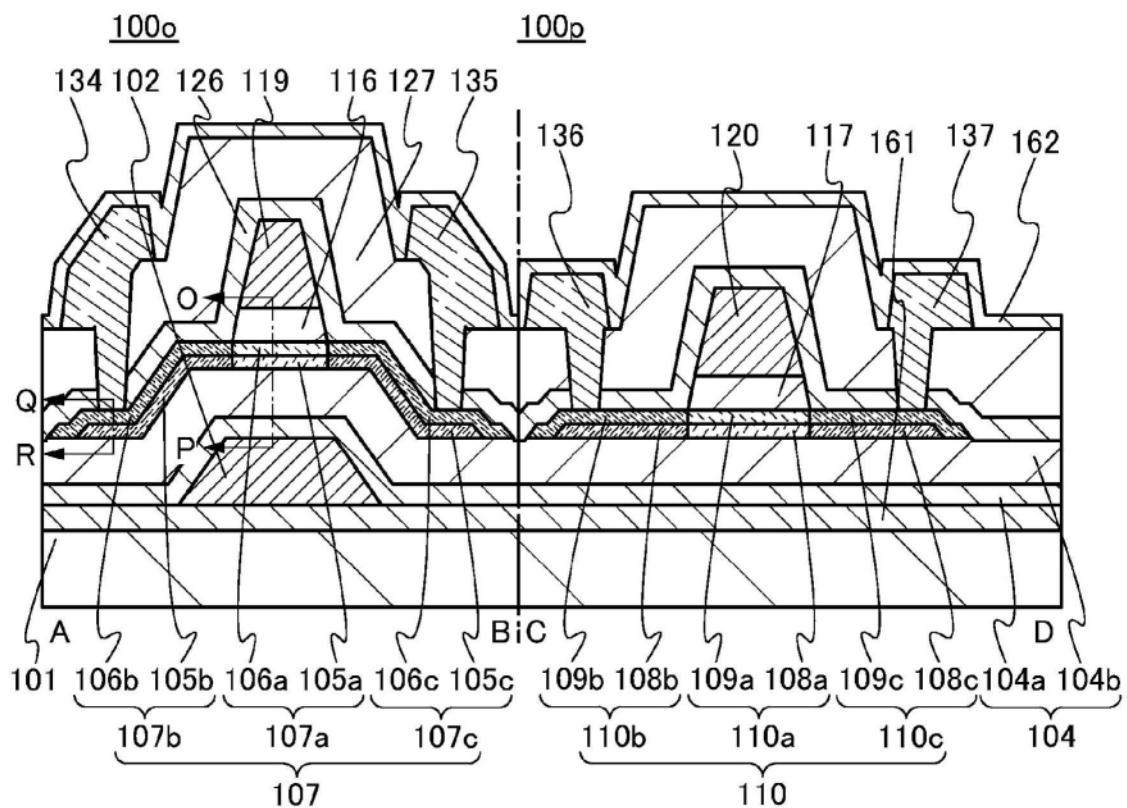
100o100p

图9A

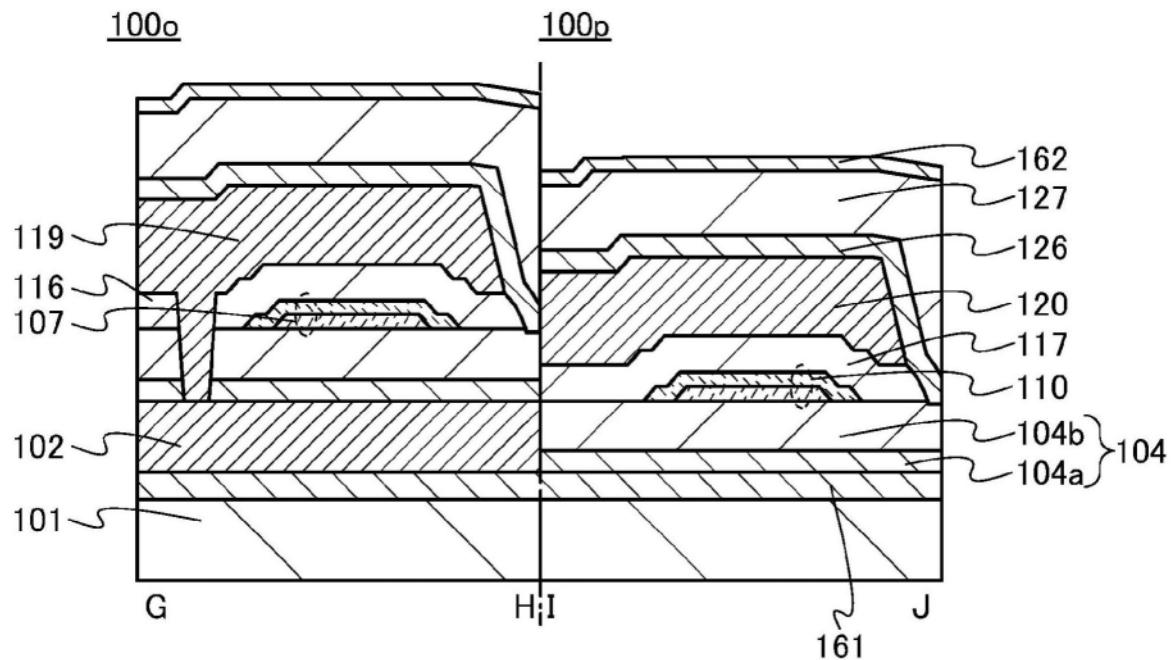


图9B

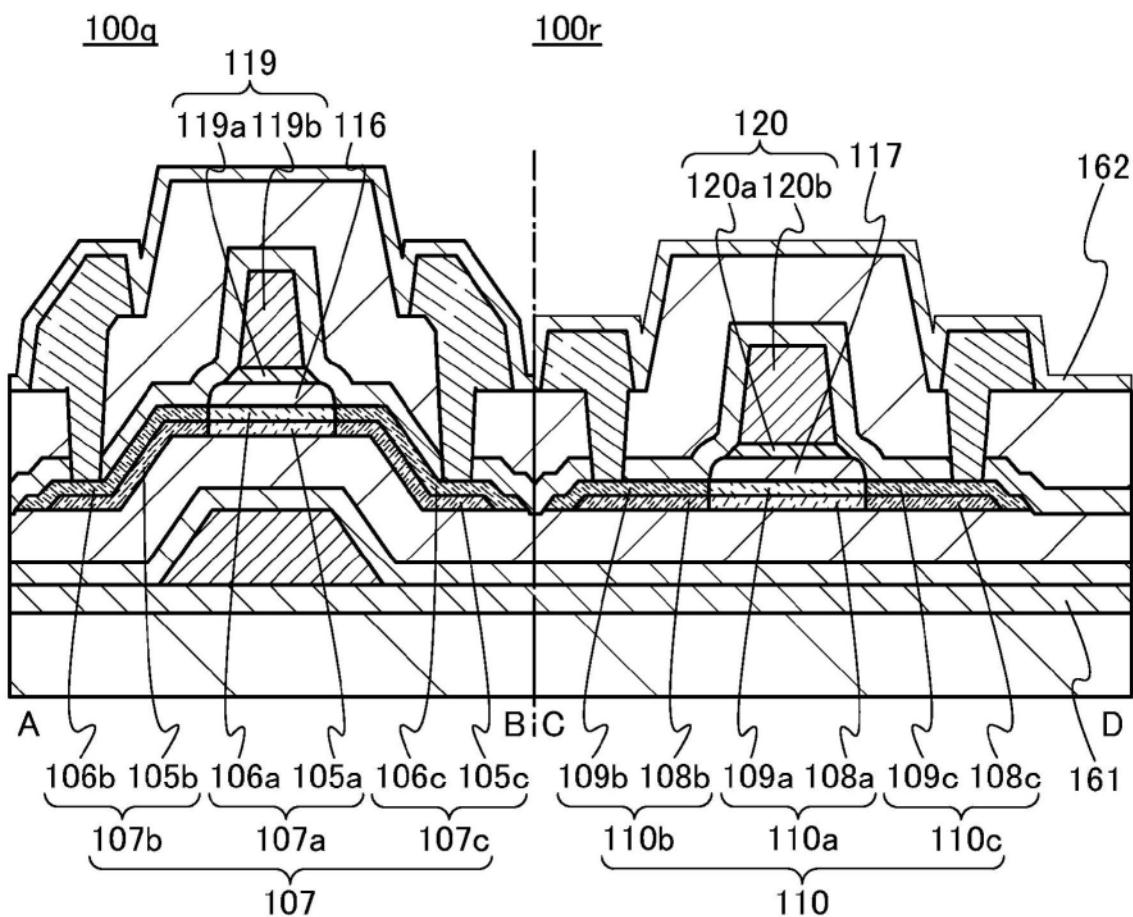


图10A

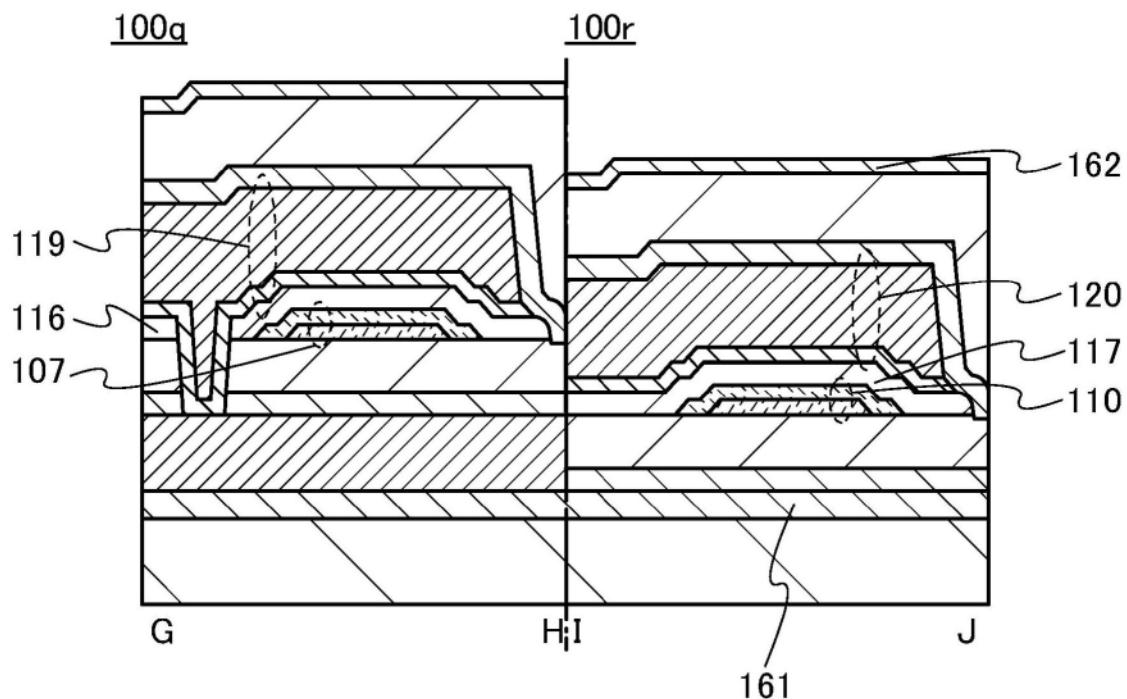


图10B

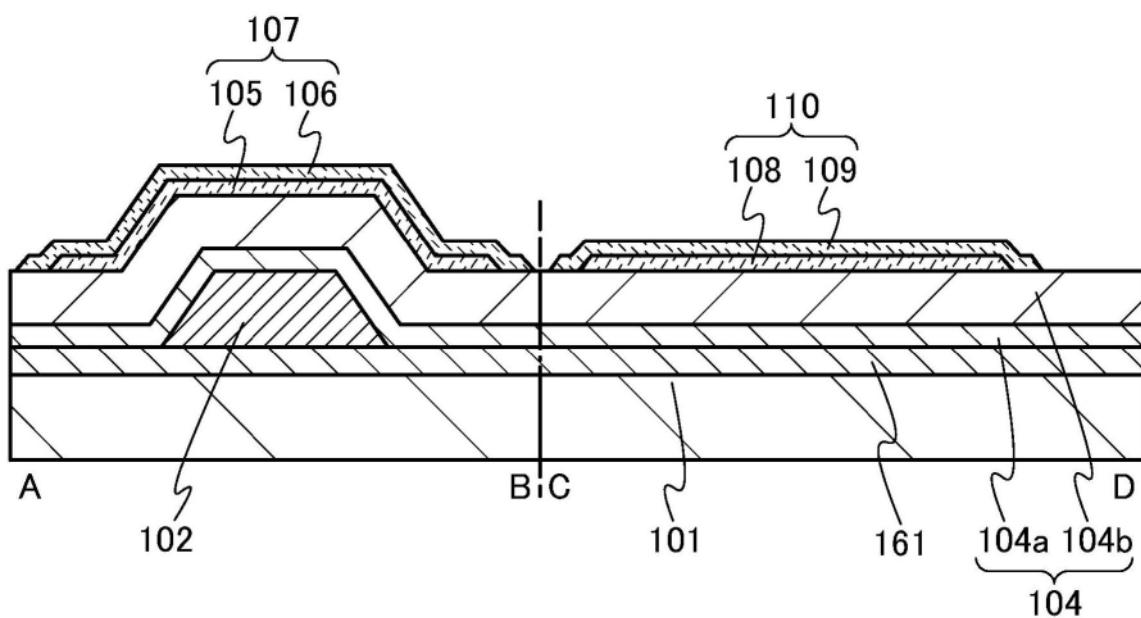


图11A

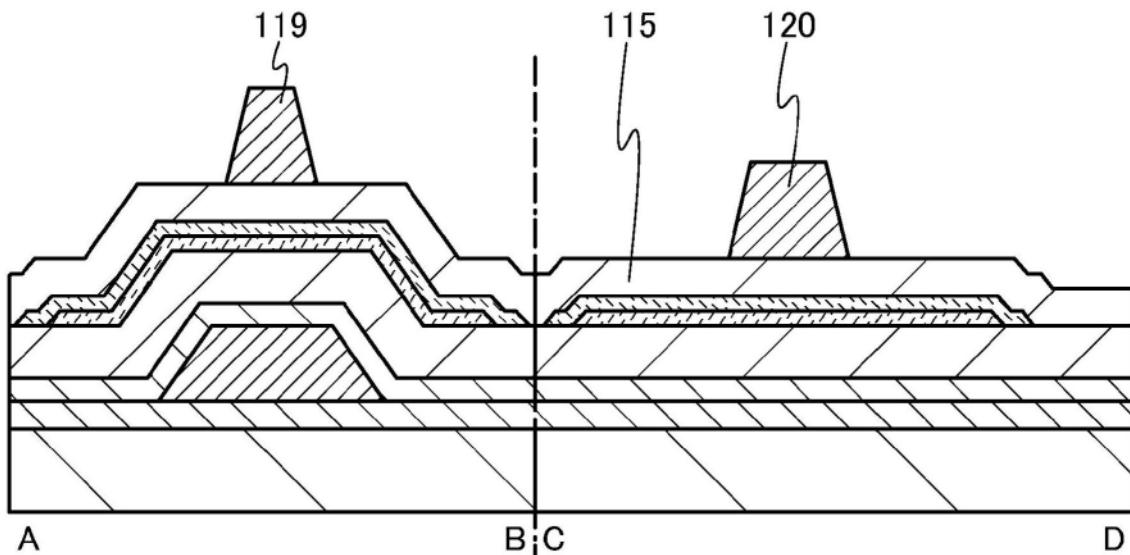


图11B

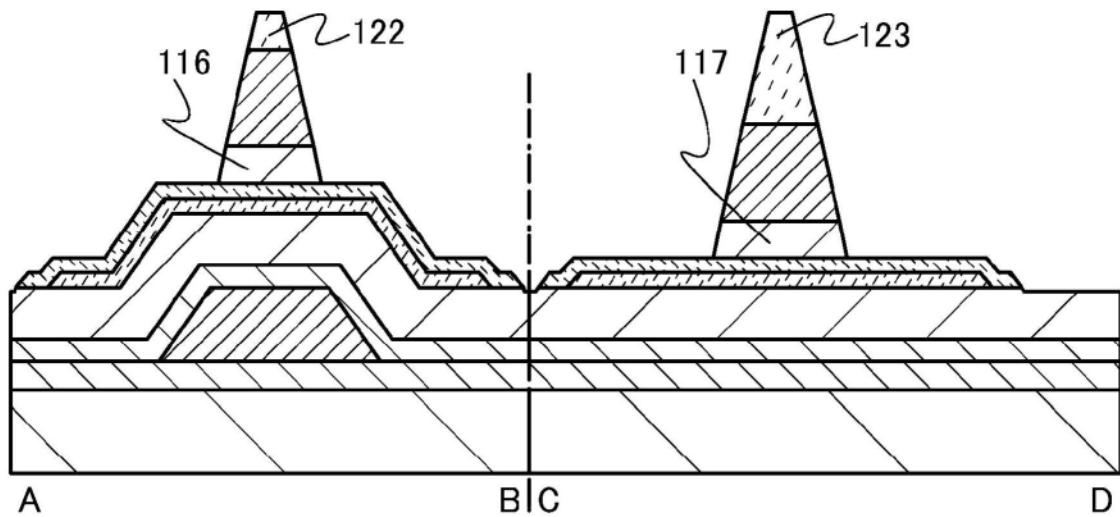


图12A

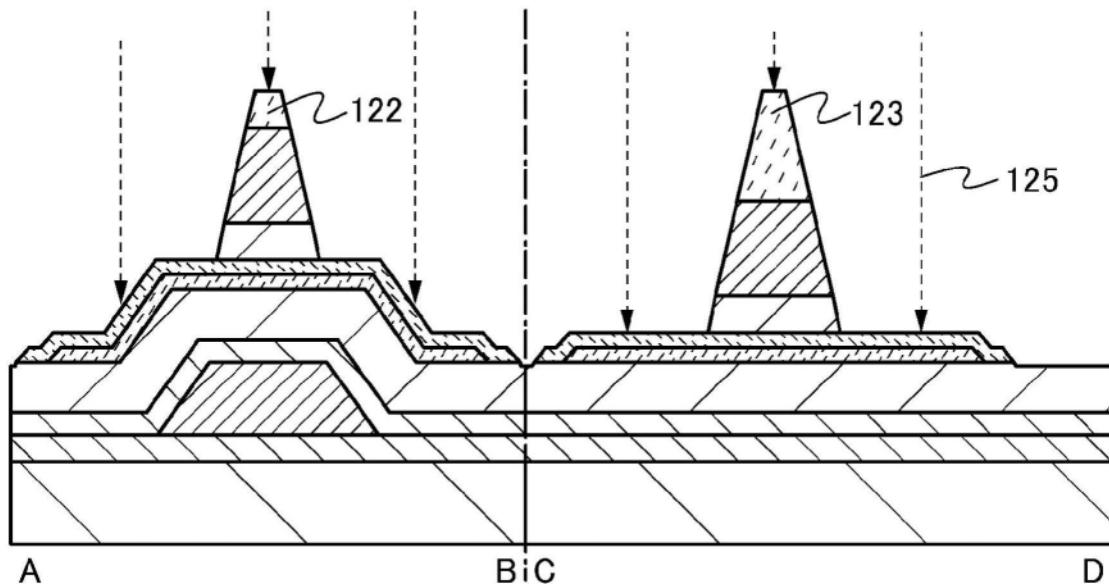


图12B

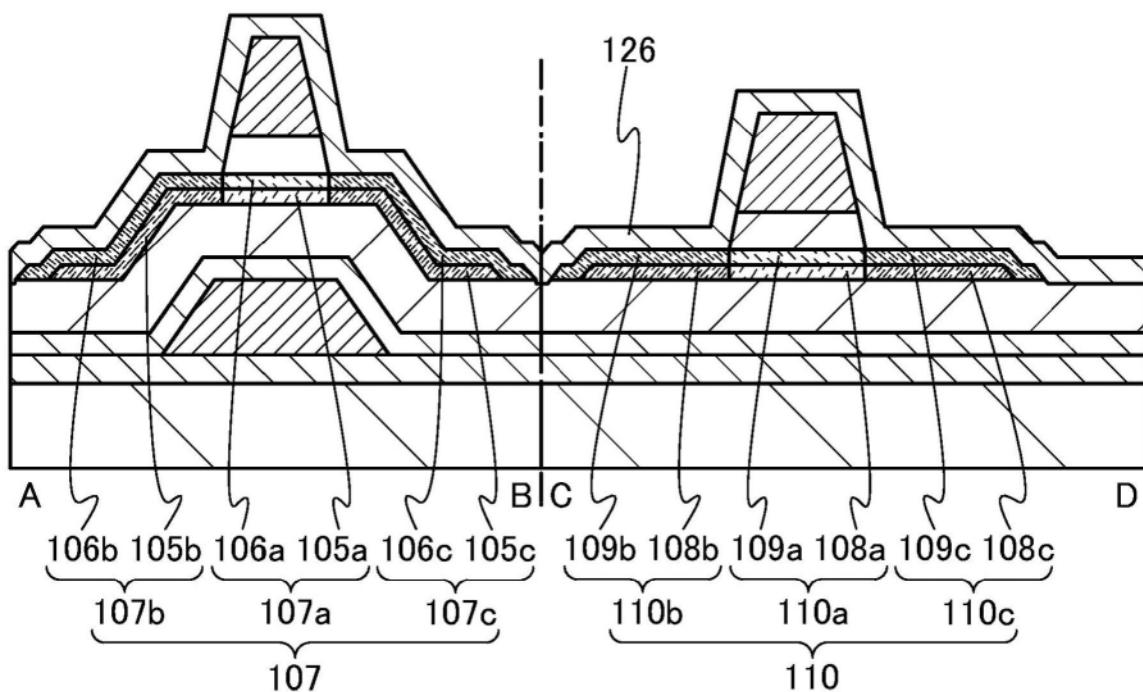


图12C

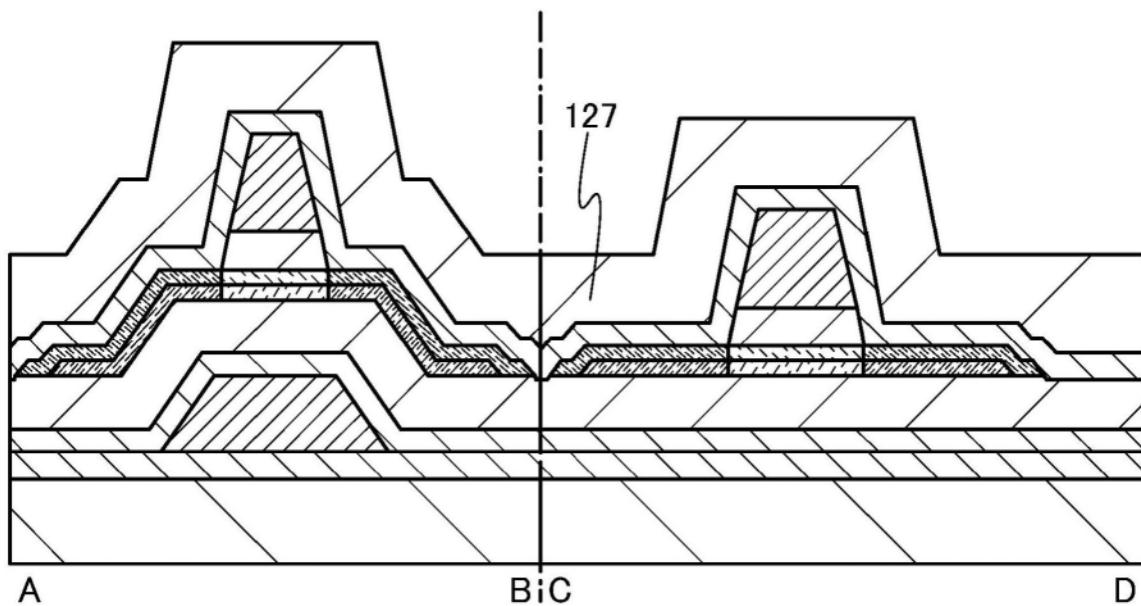


图13A

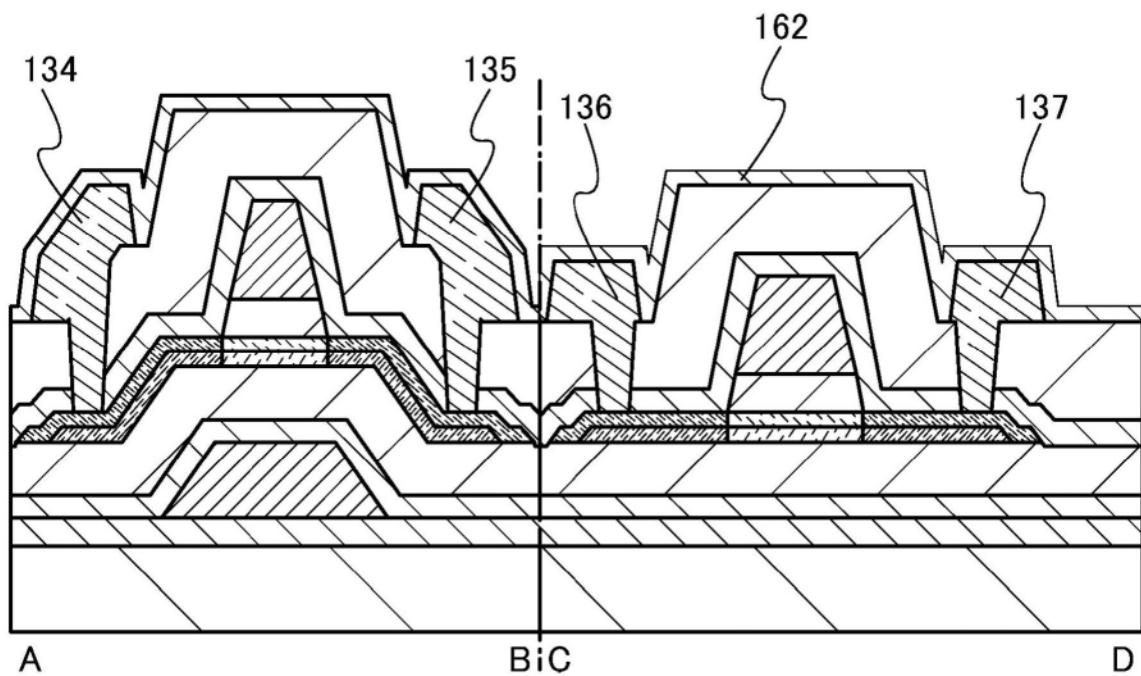


图13B

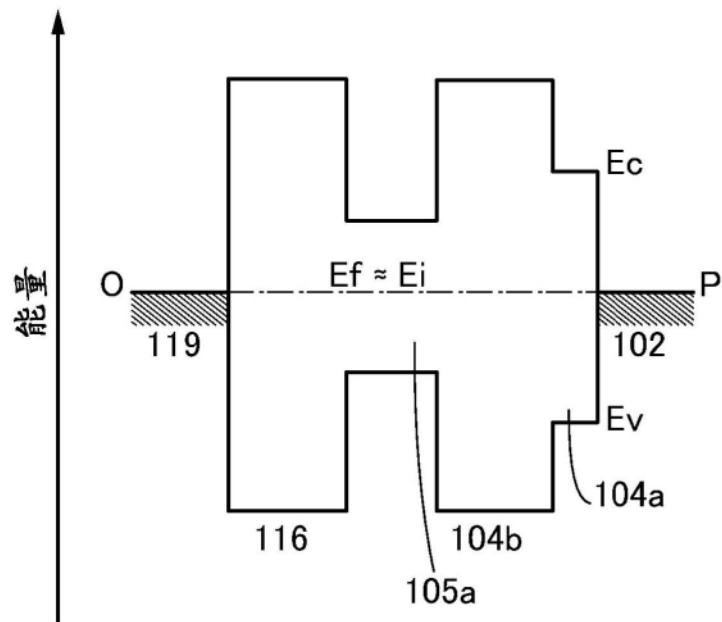


图14A

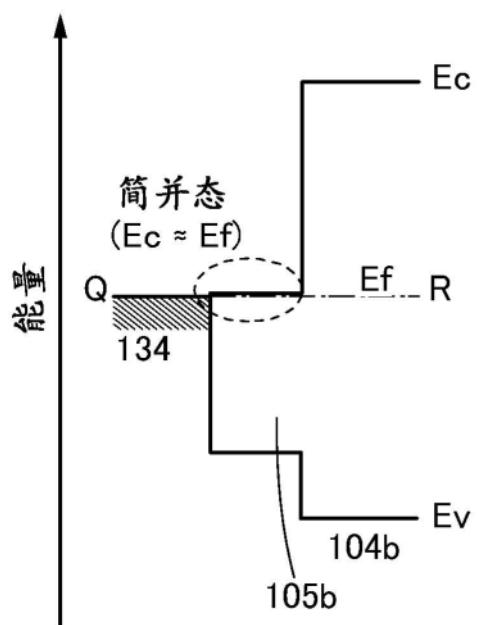


图14B

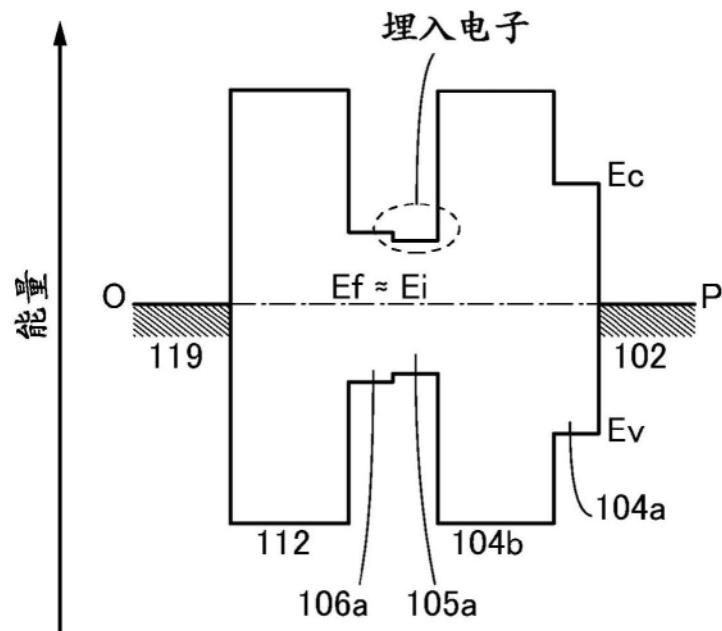


图15A

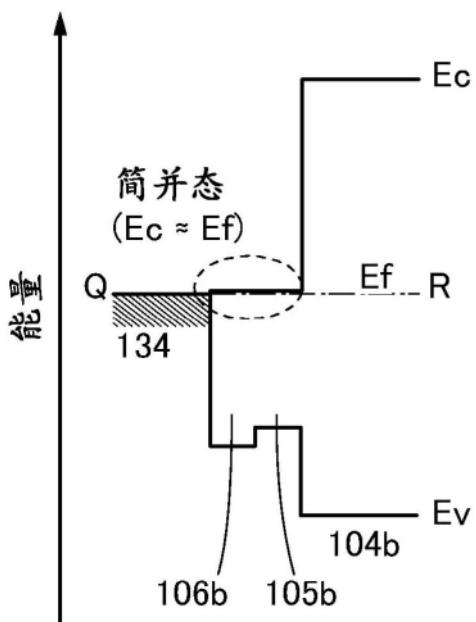


图15B

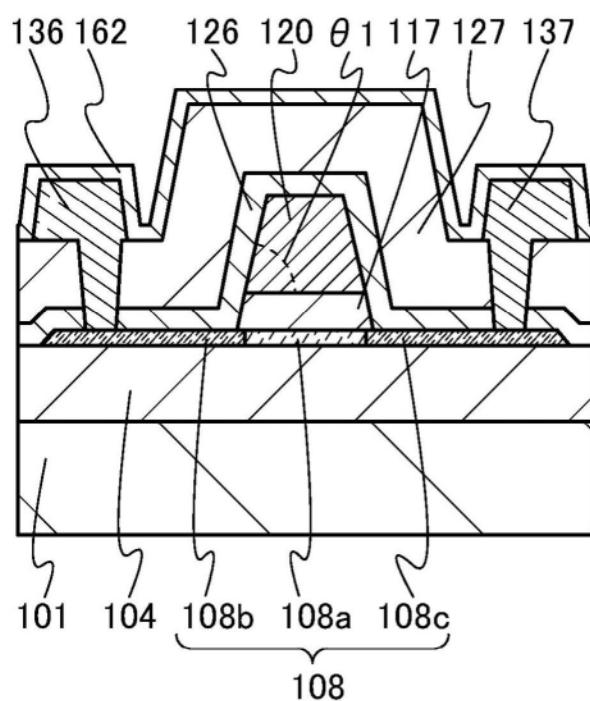


图16A

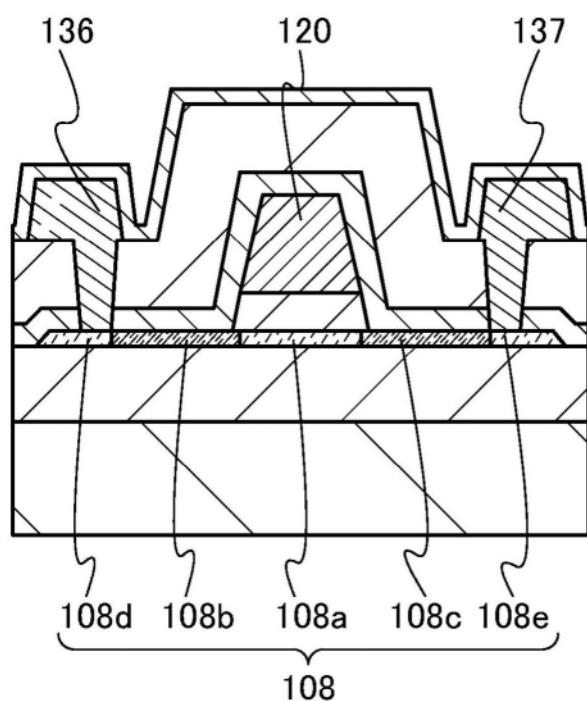


图16B

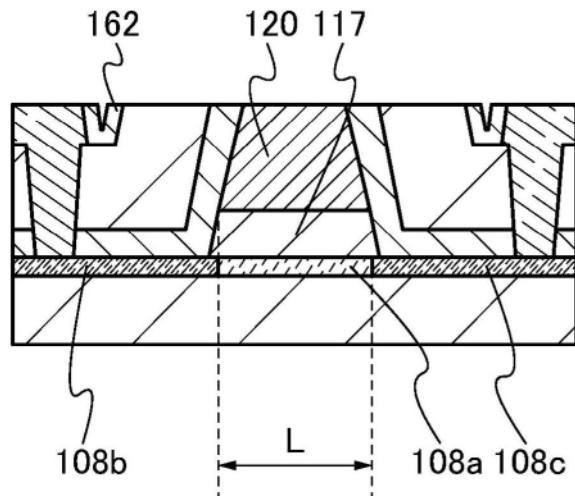


图16C

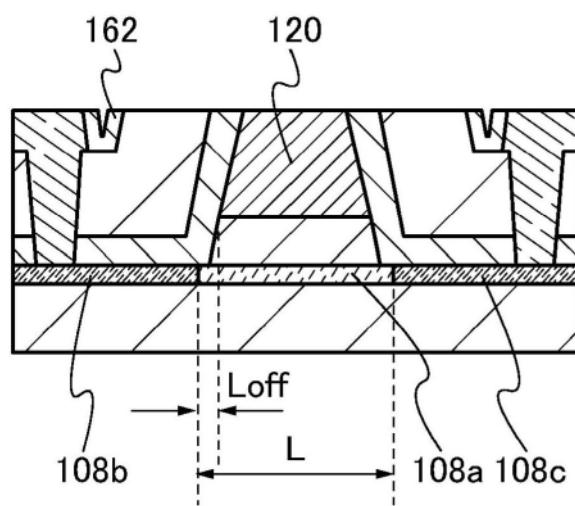


图16D

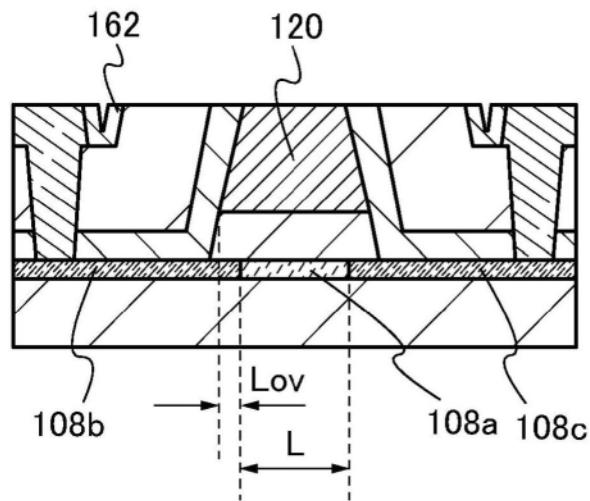


图16E

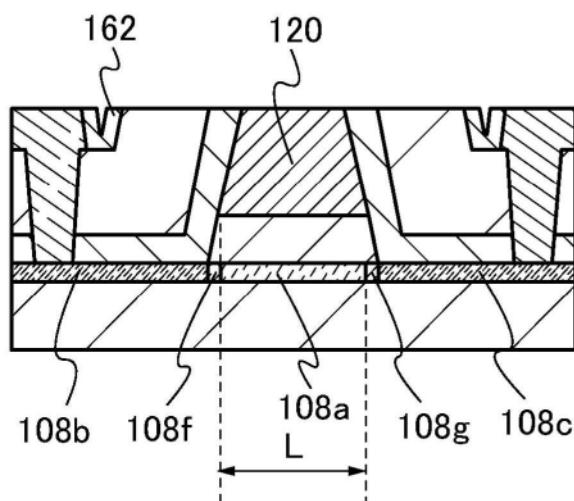


图16F

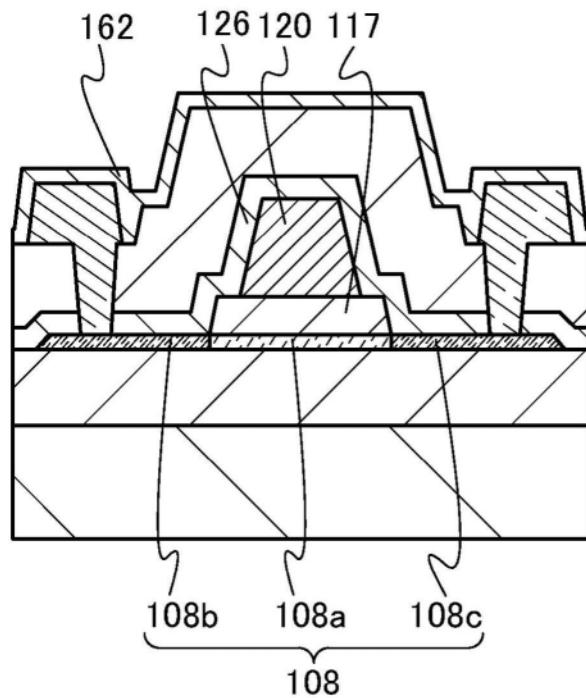


图17A

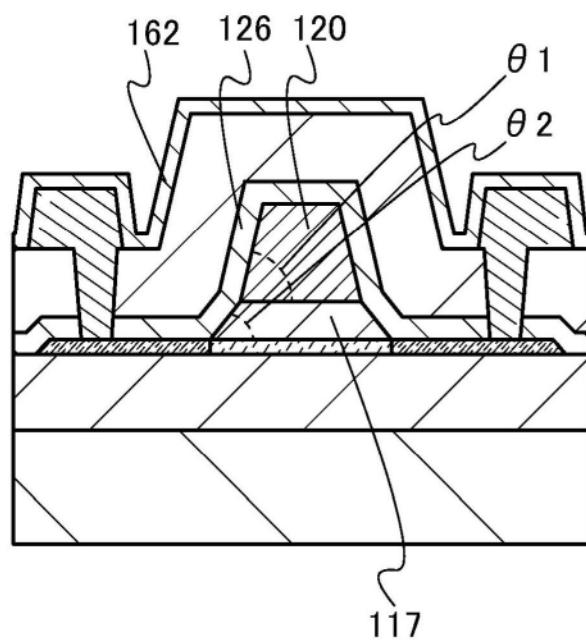


图17B

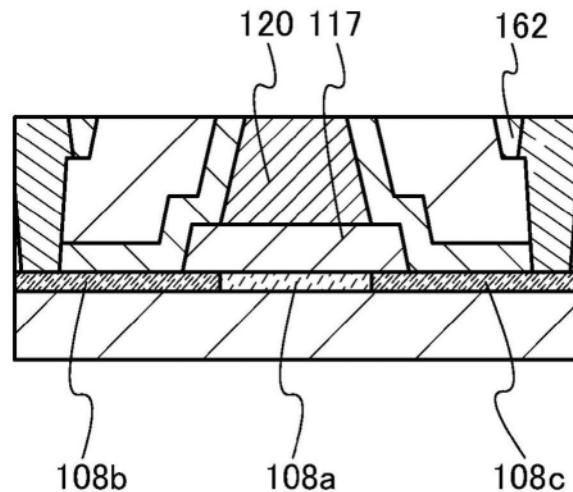


图17C

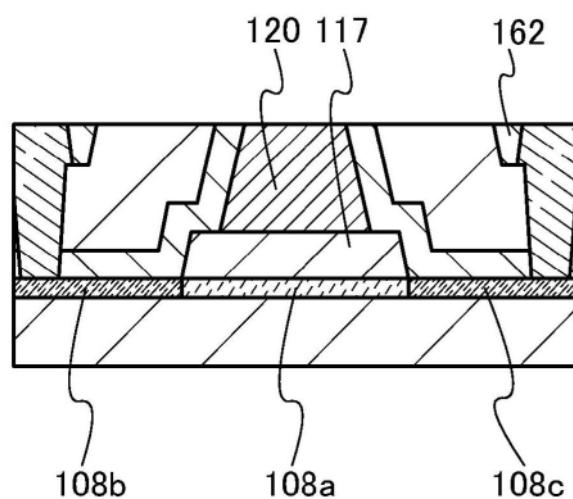


图17D

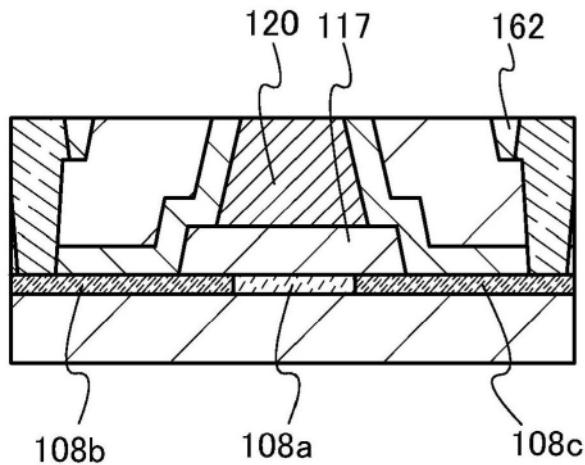


图17E

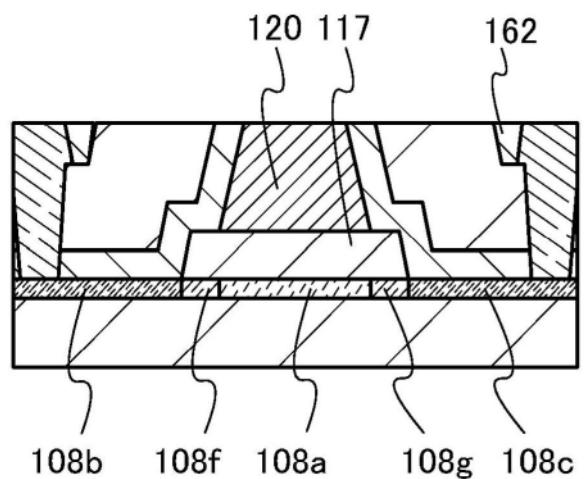


图17F

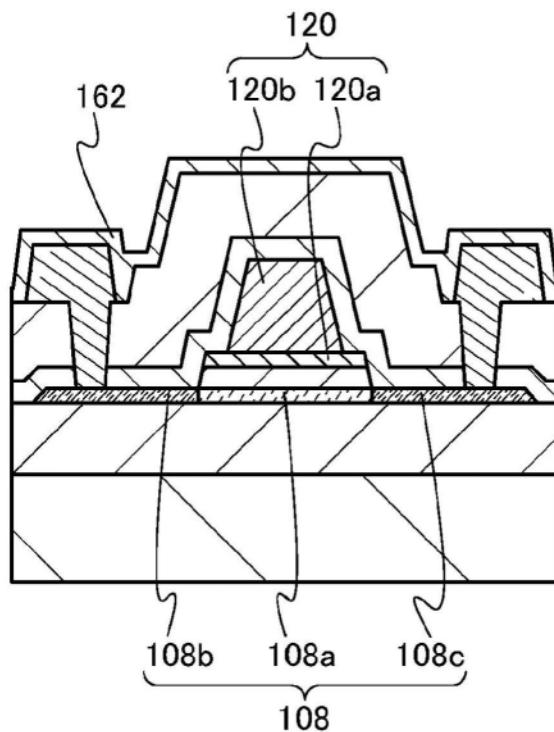


图18A

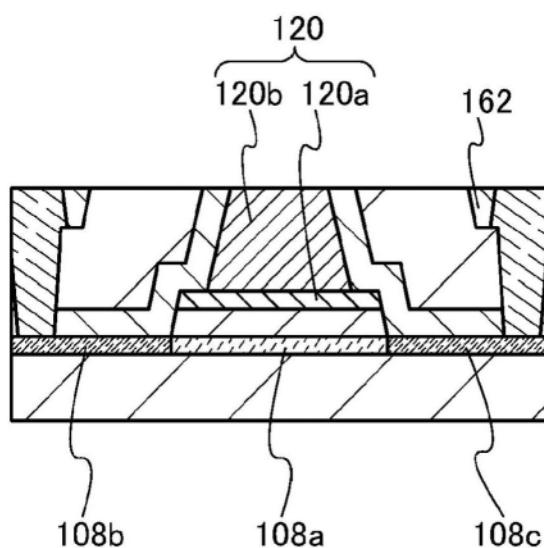


图18B

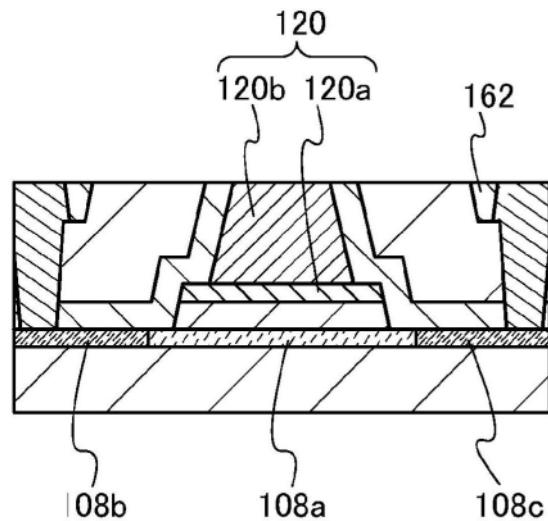


图18C

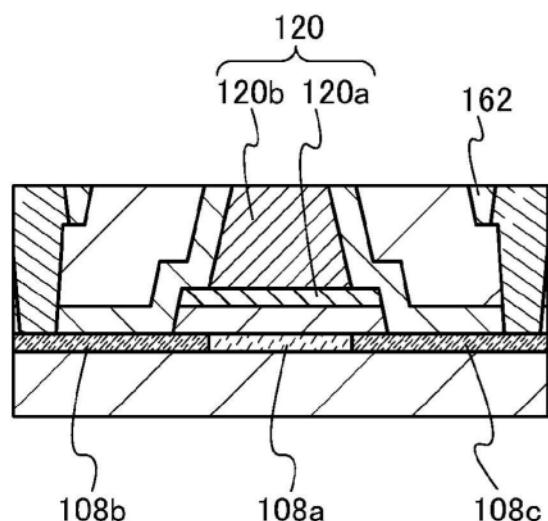


图18D

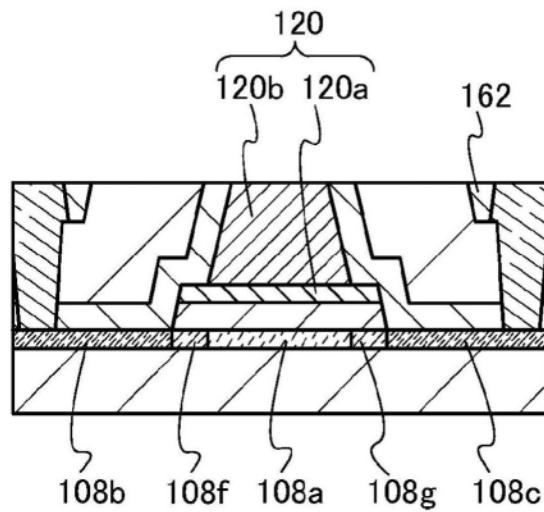


图18E

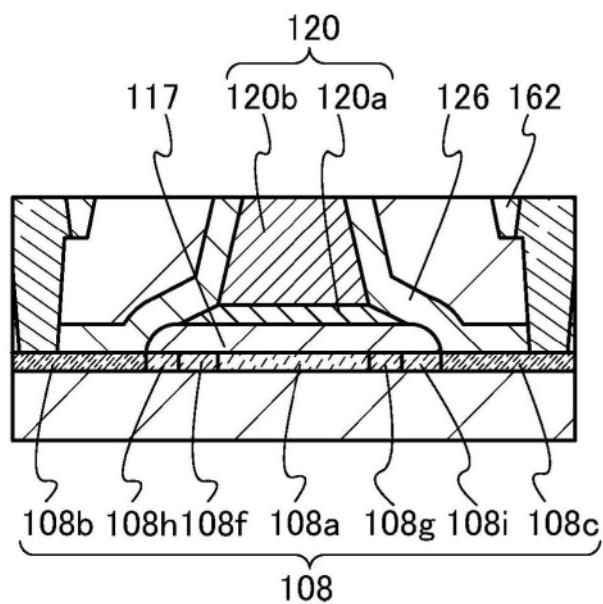


图19A

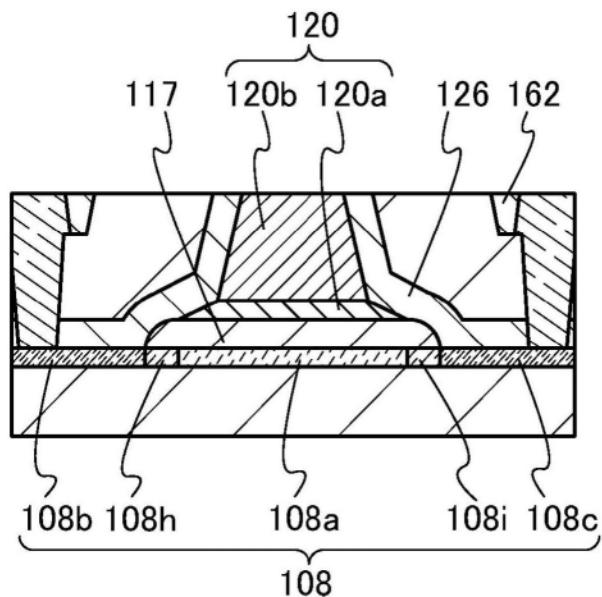


图19B

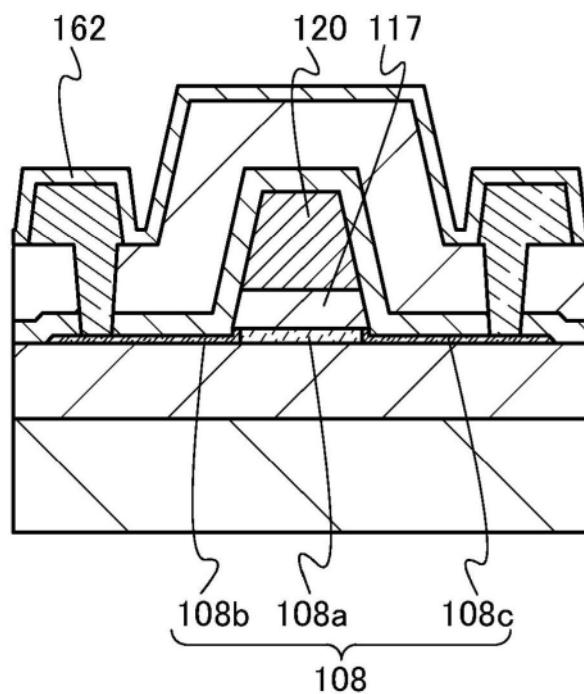


图20A

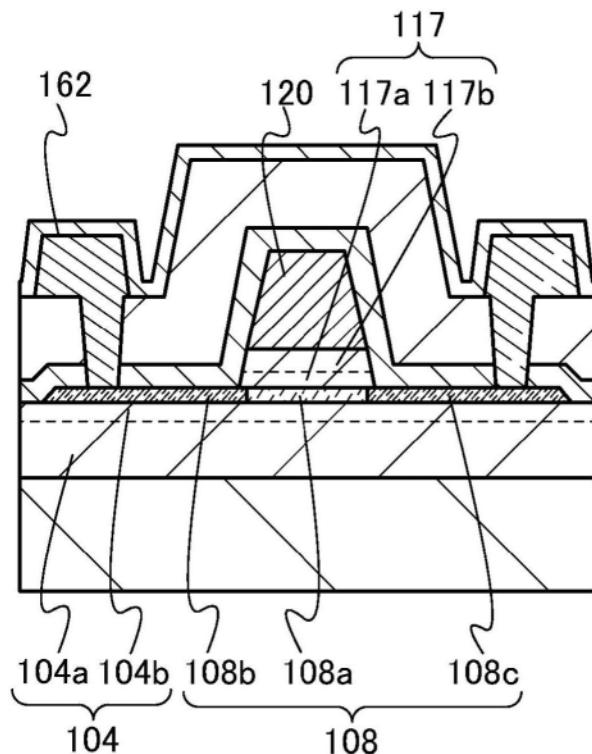


图20B

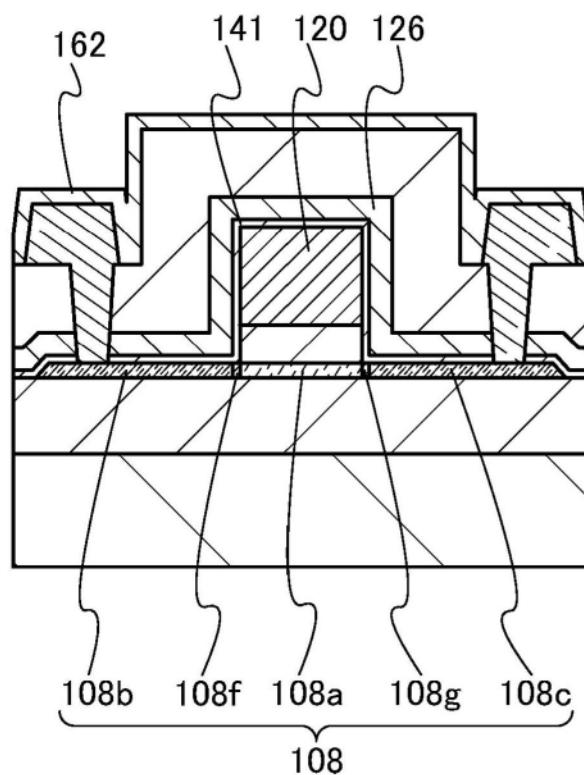


图20C

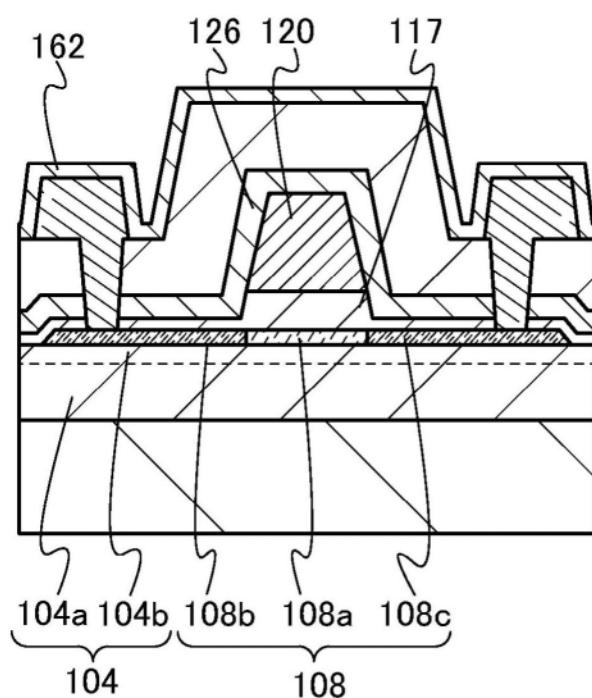


图20D

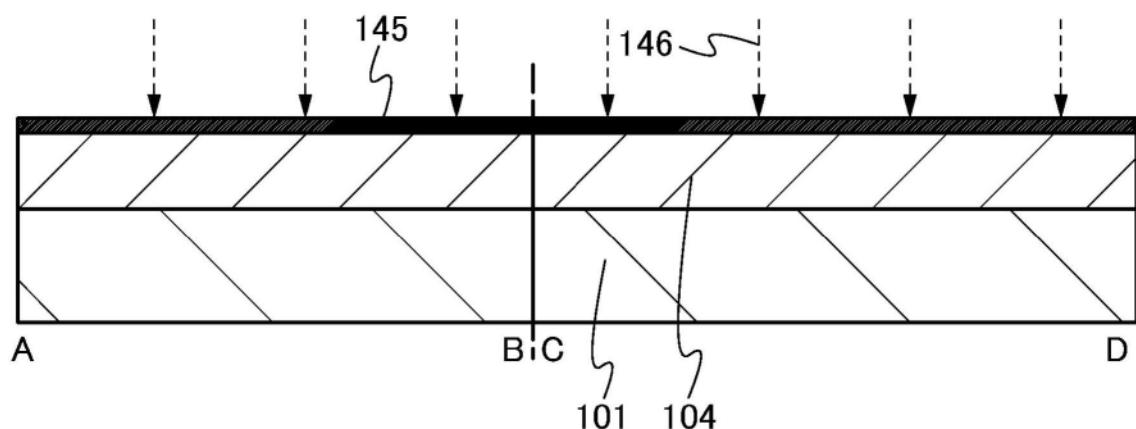


图21A

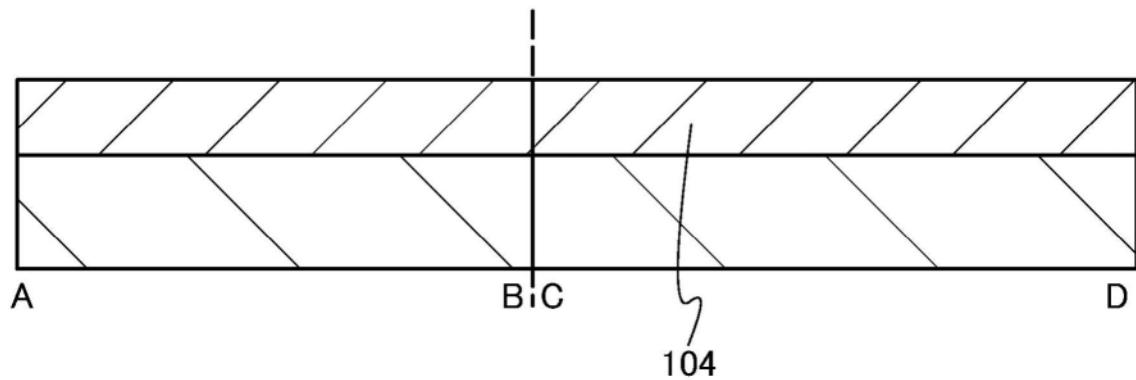


图21B

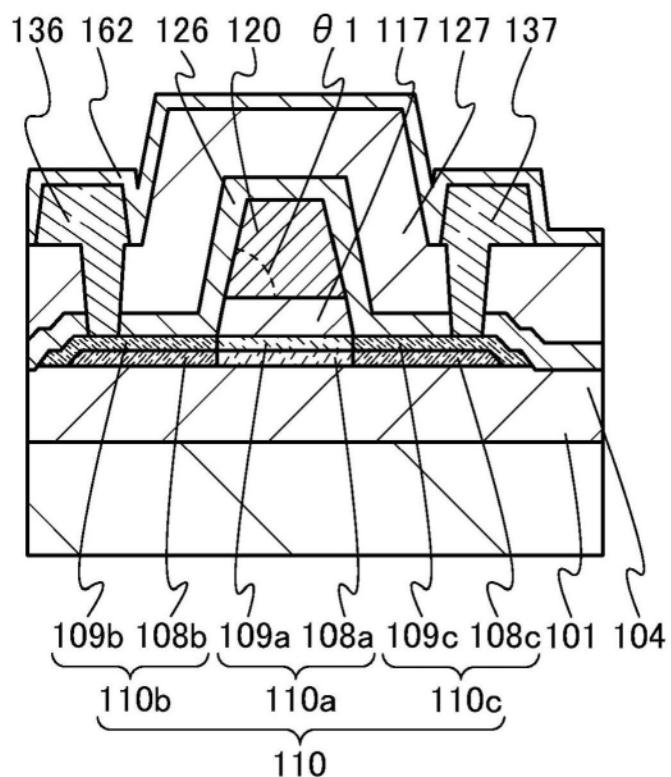


图22A

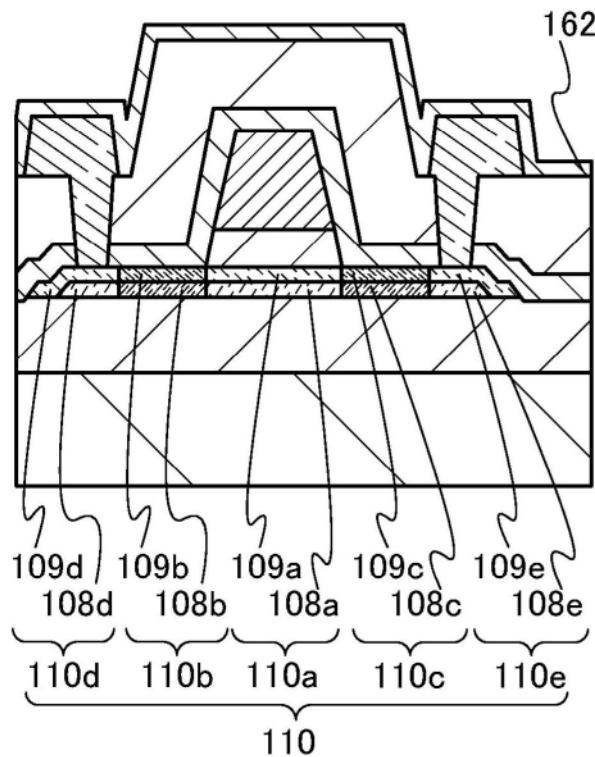


图22B

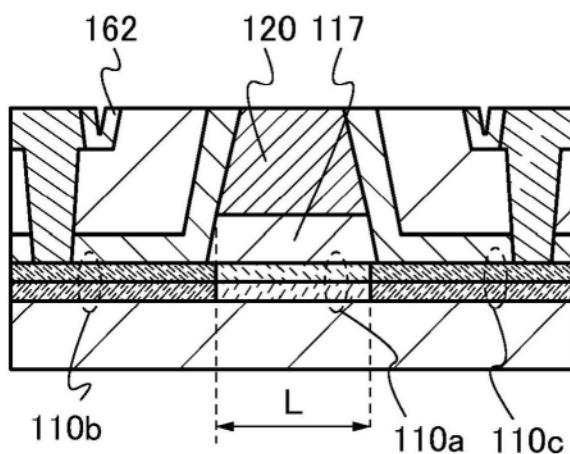


图22C

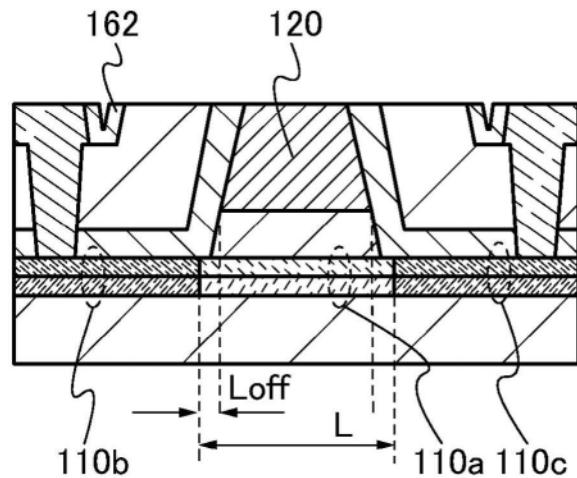


图22D

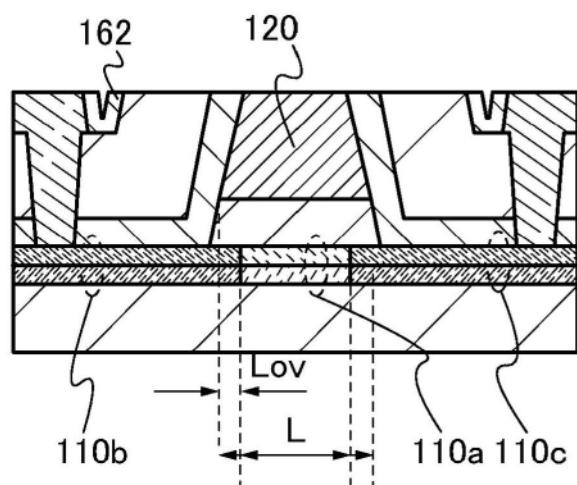


图22E

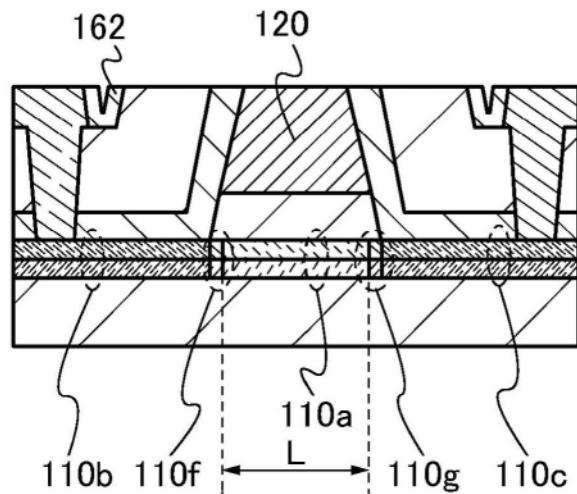


图22F

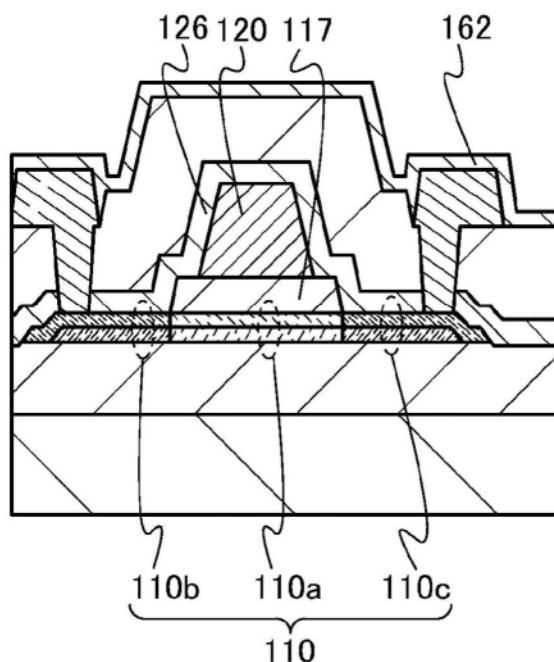


图23A

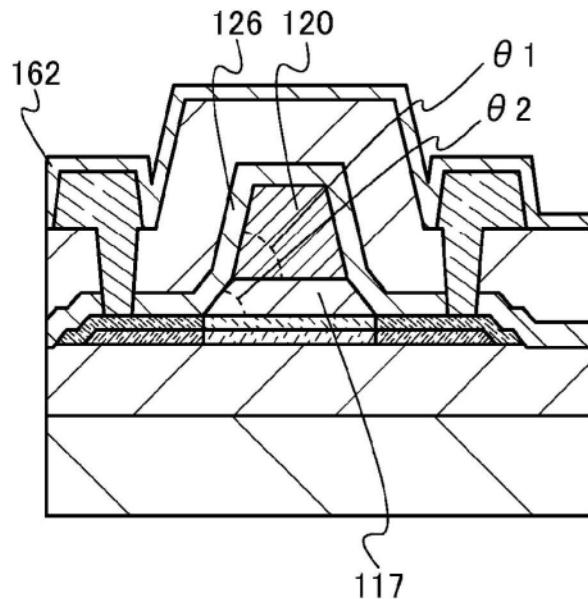


图23B

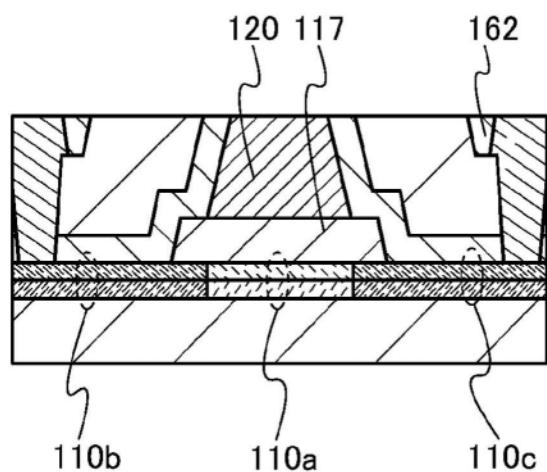


图23C

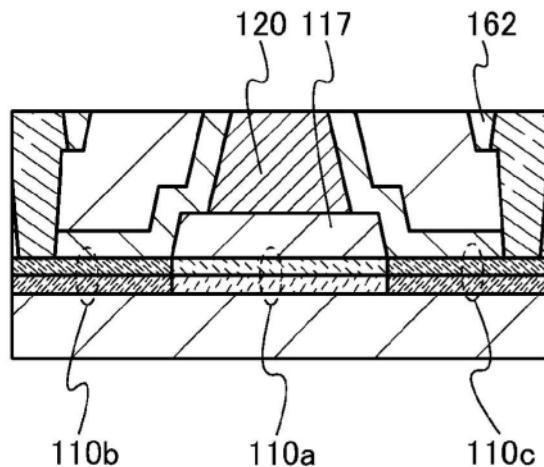


图23D

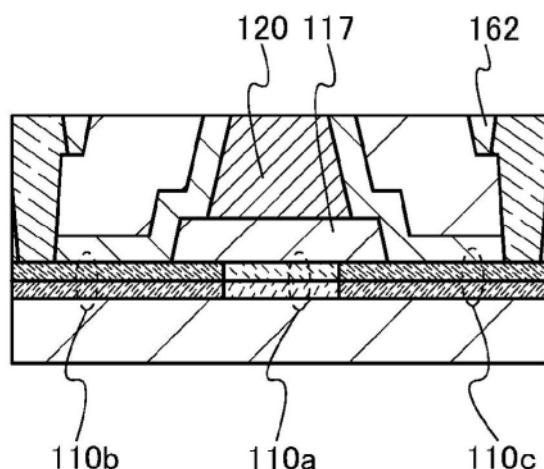


图23E

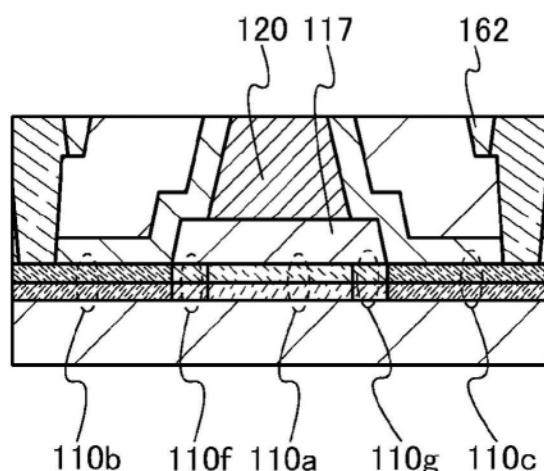


图23F

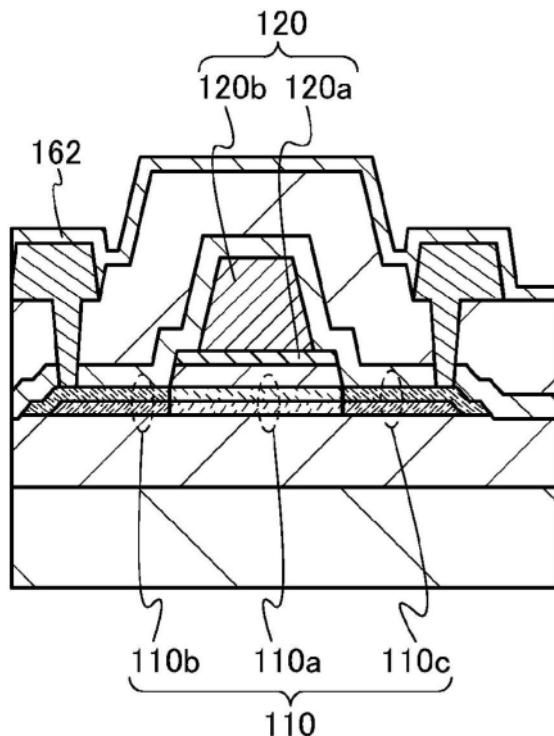


图24A

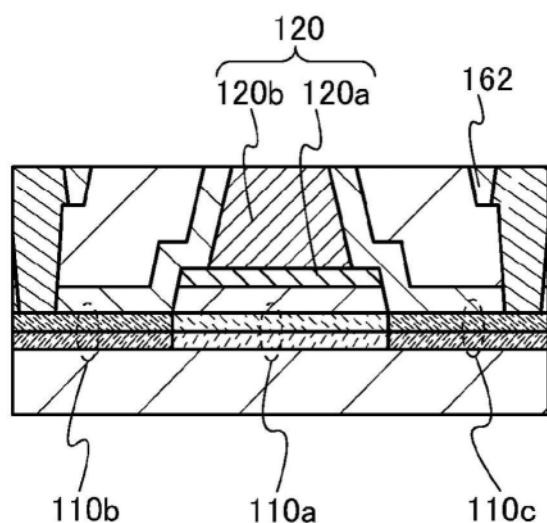


图24B

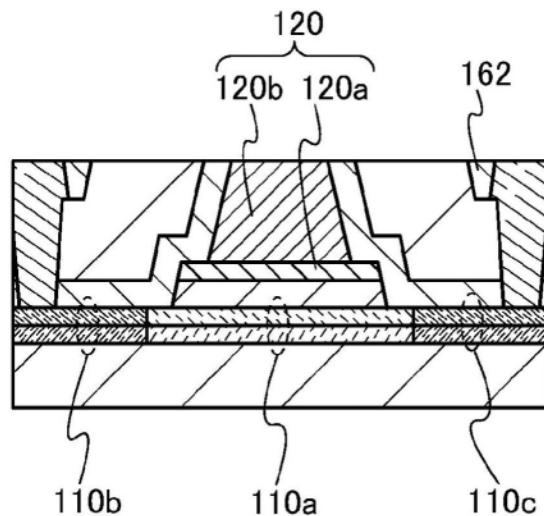


图24C

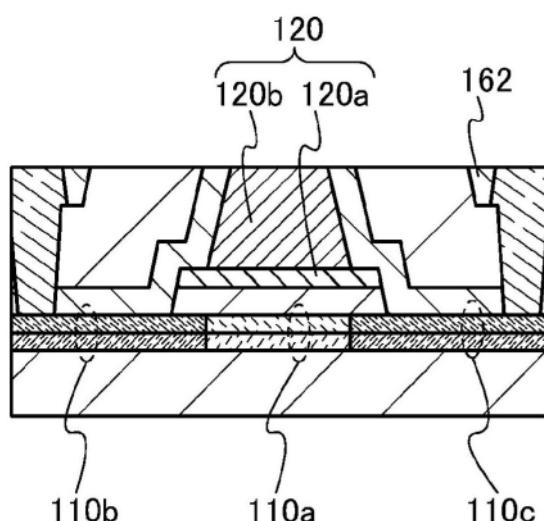


图24D

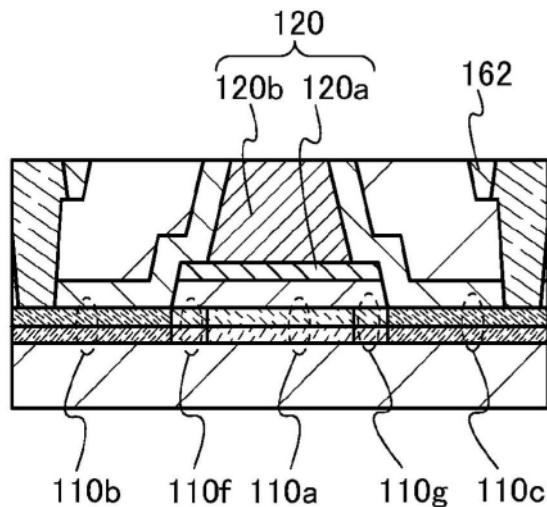


图24E

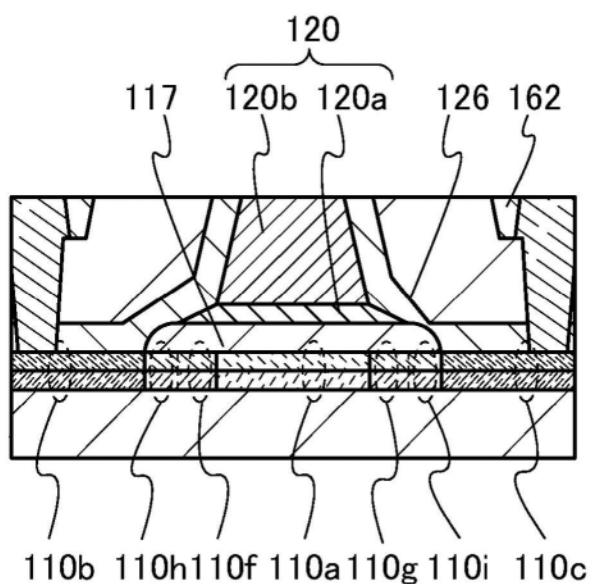


图25A

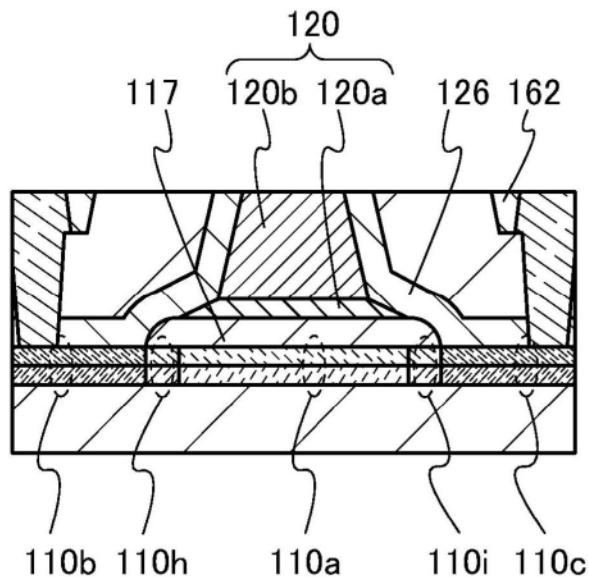


图25B

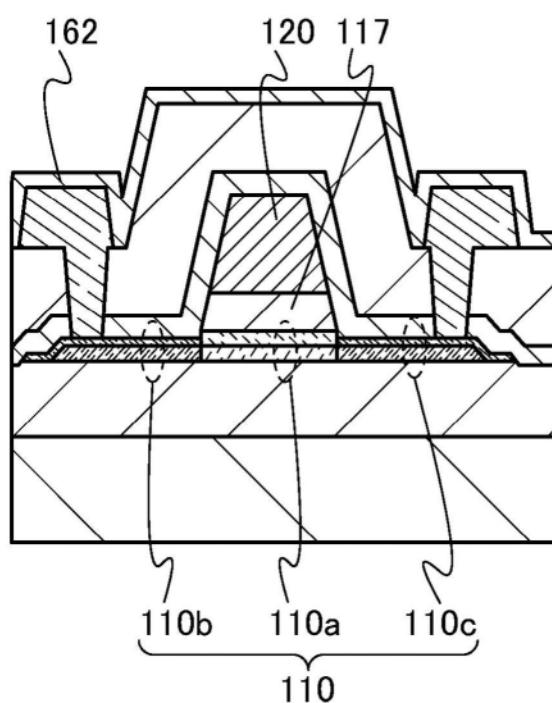


图26A

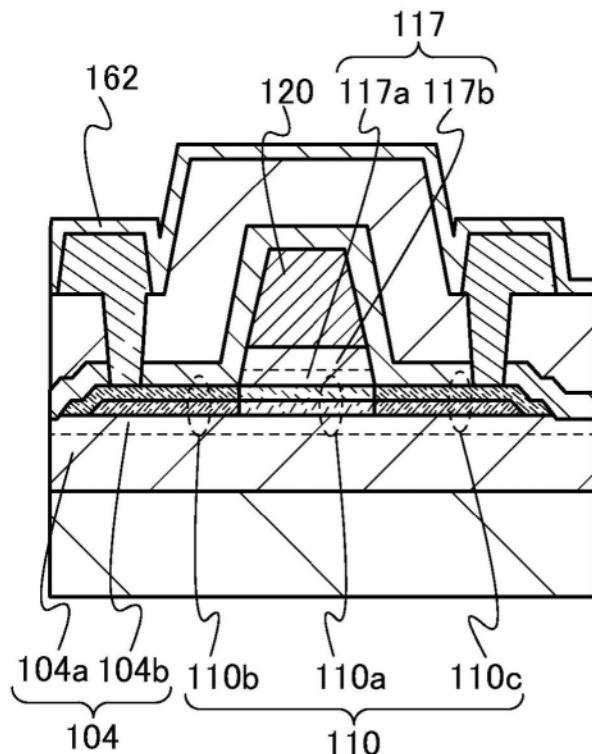


图26B

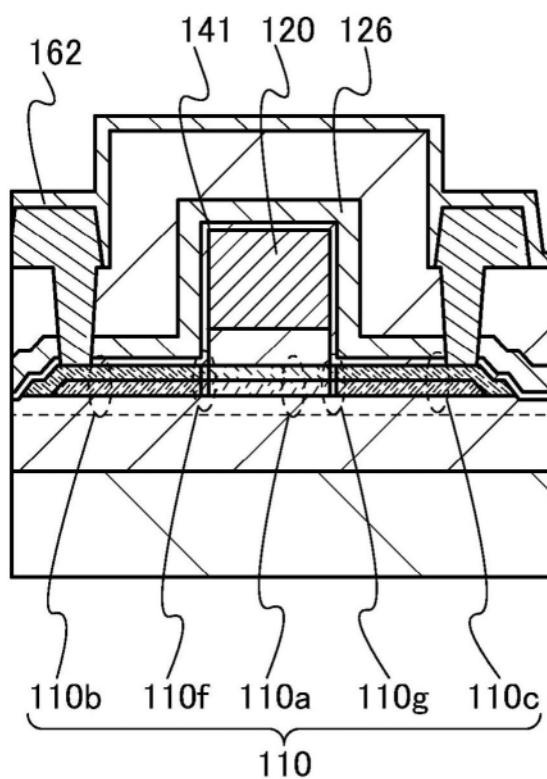


图26C

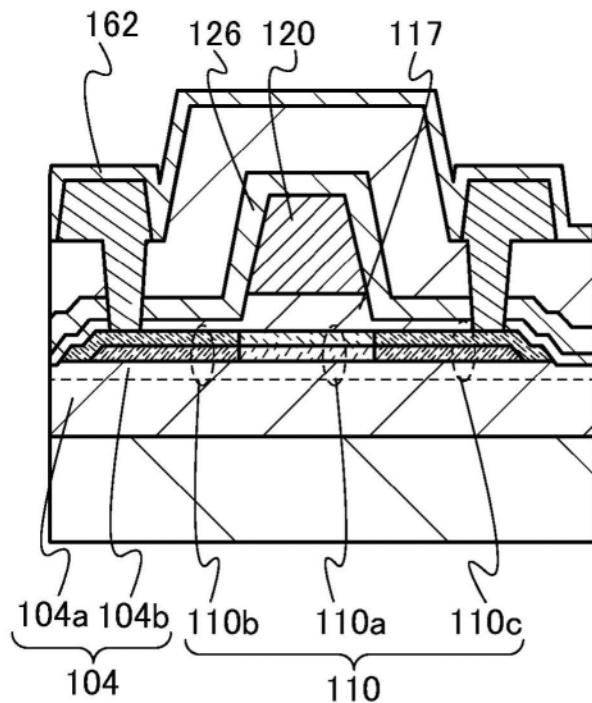


图26D

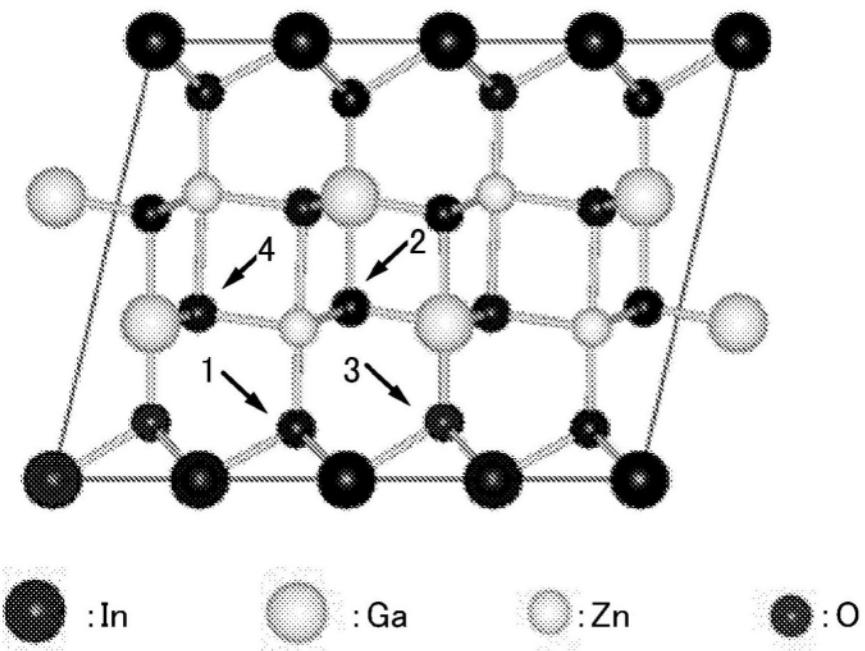


图27

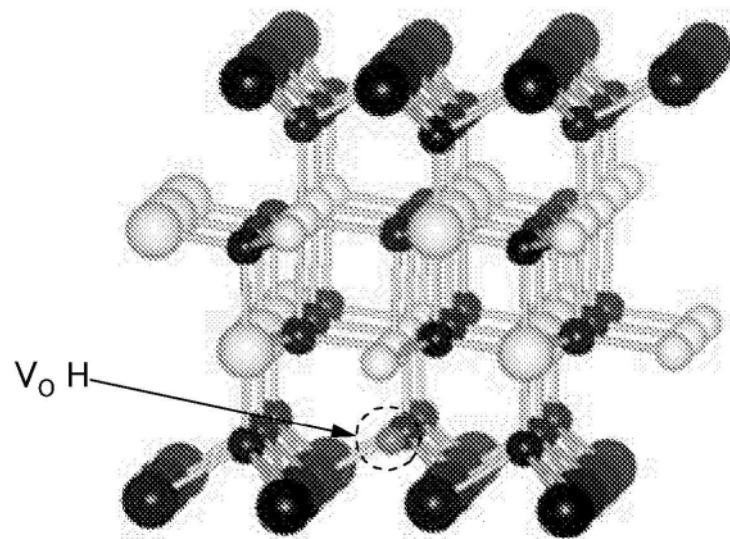
初期状态 ($V_O H$)

图28A

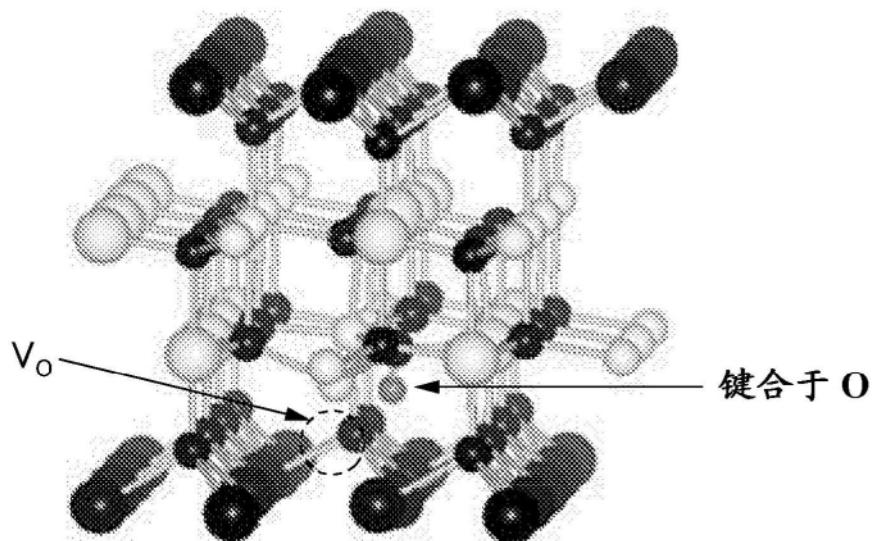
最终状态 ($V_O, H-O$)

图28B

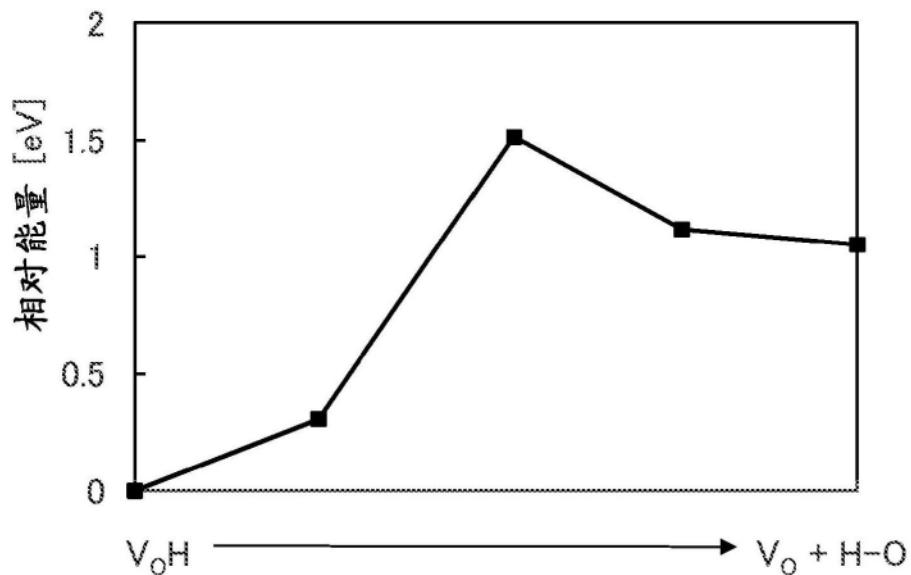


图29

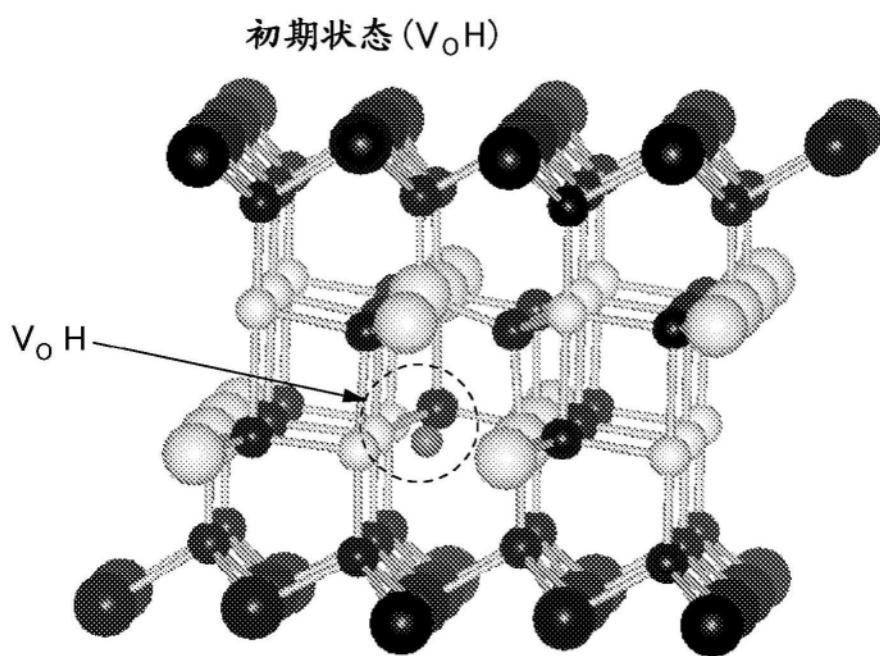


图30A

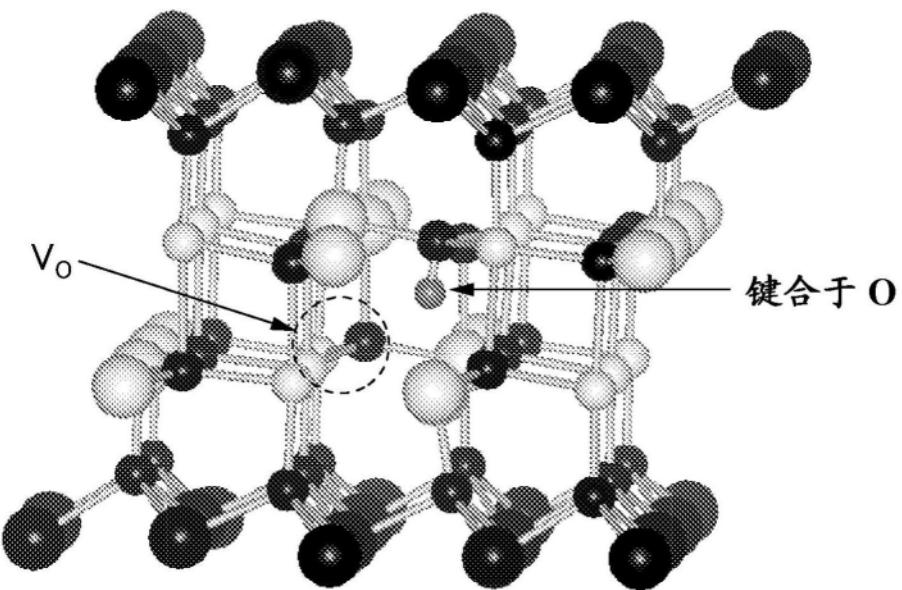
最终状态 (V_O , H-O)

图30B

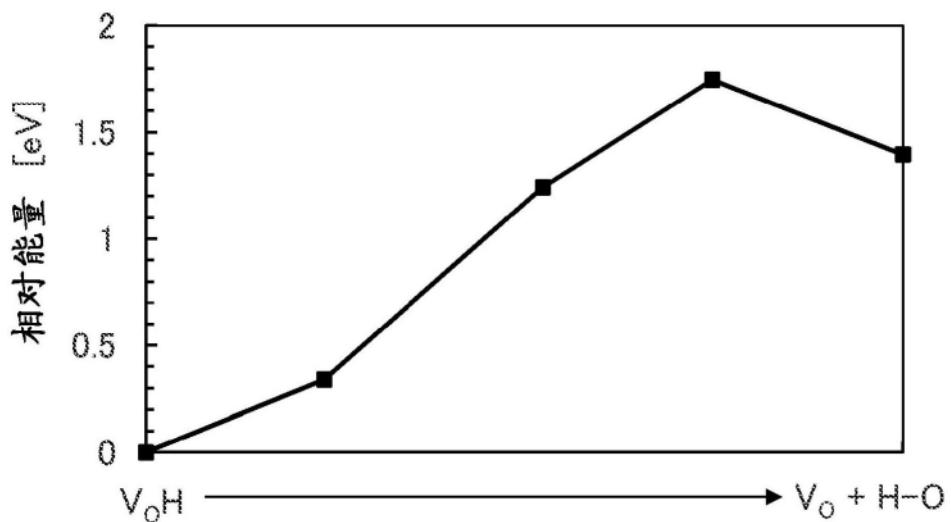


图31

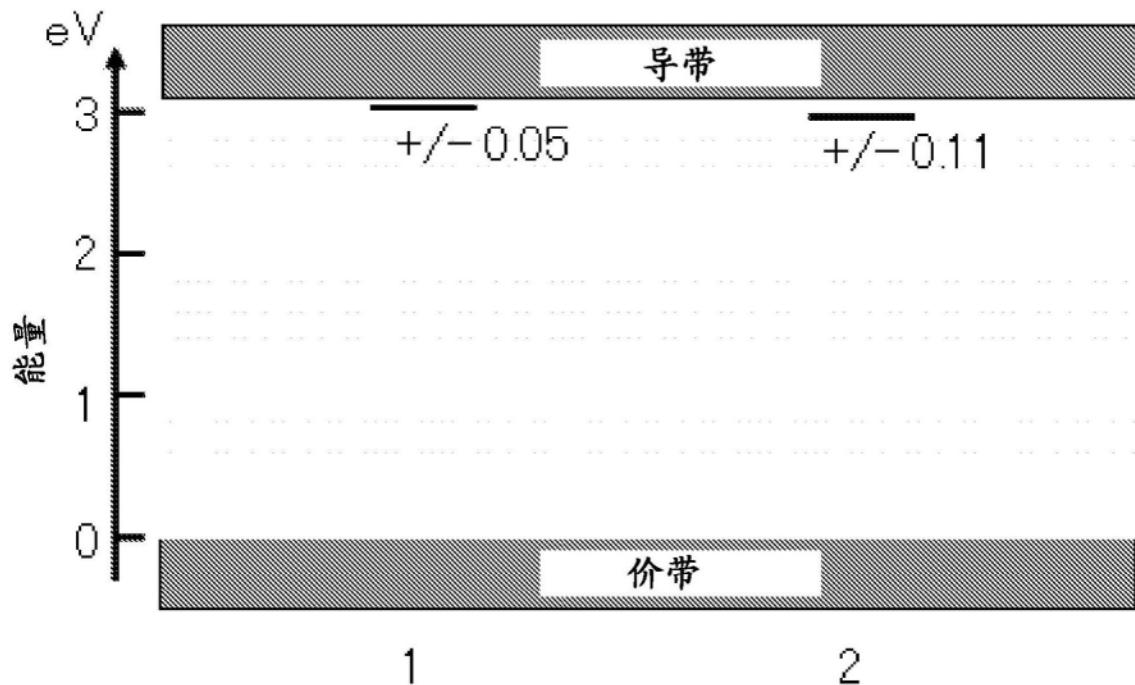


图32

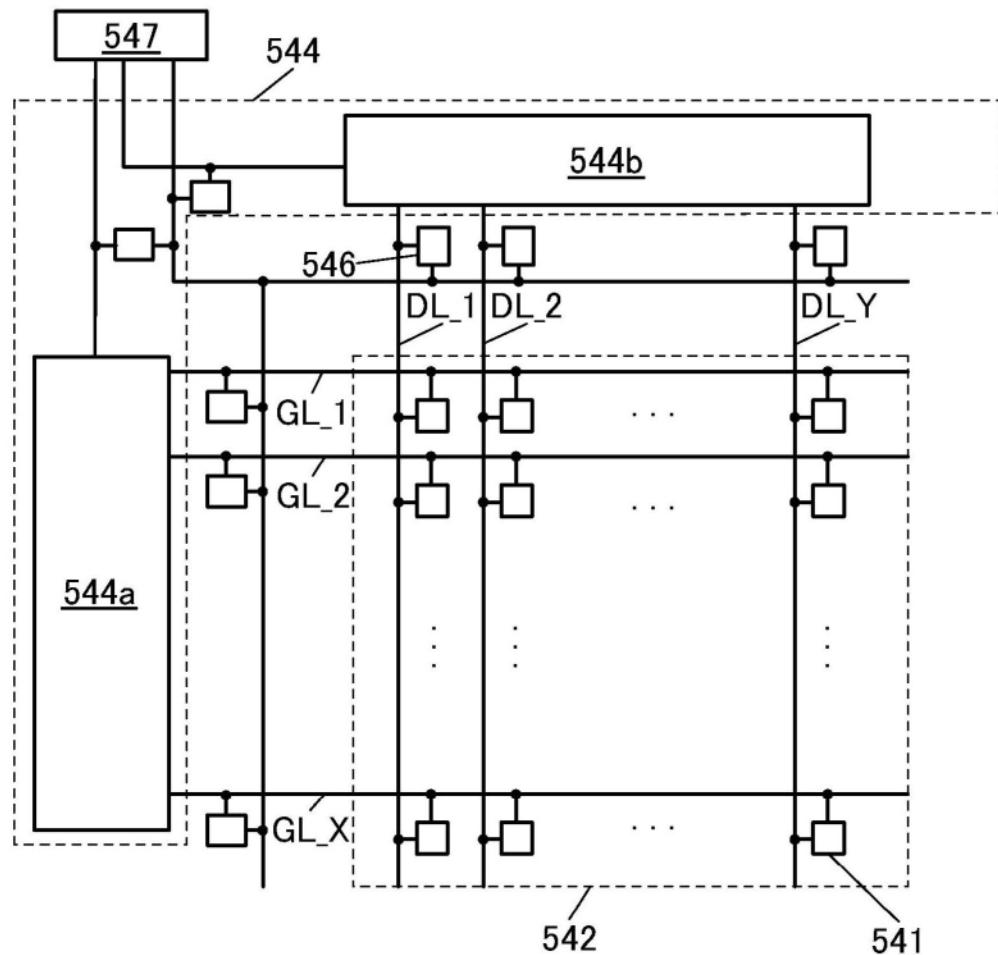


图33A

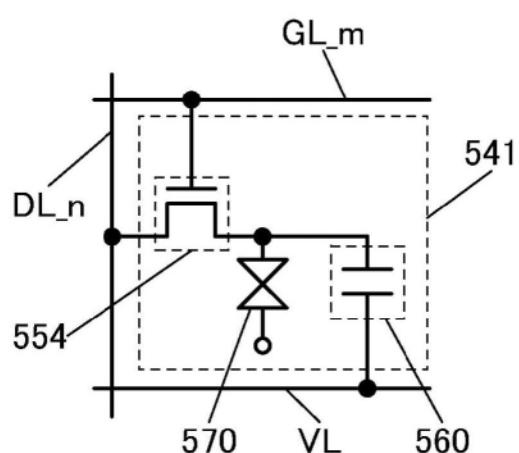


图33B

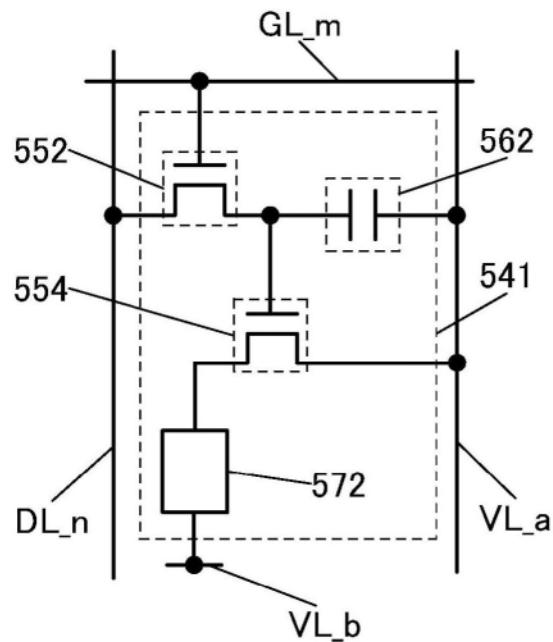


图33C

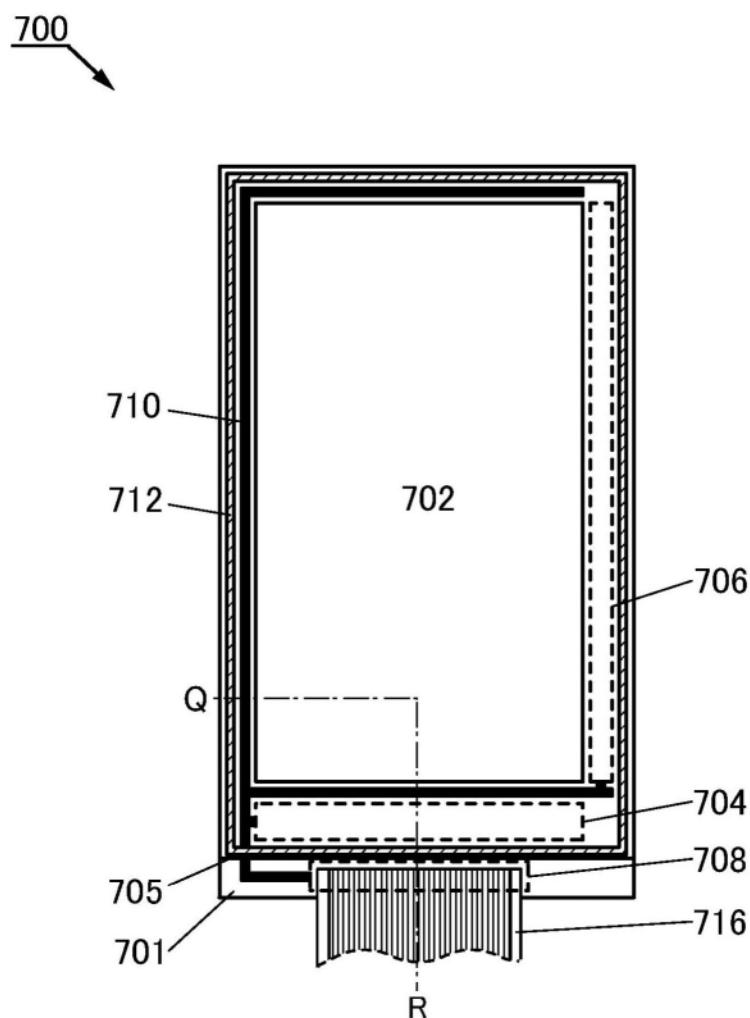


图34

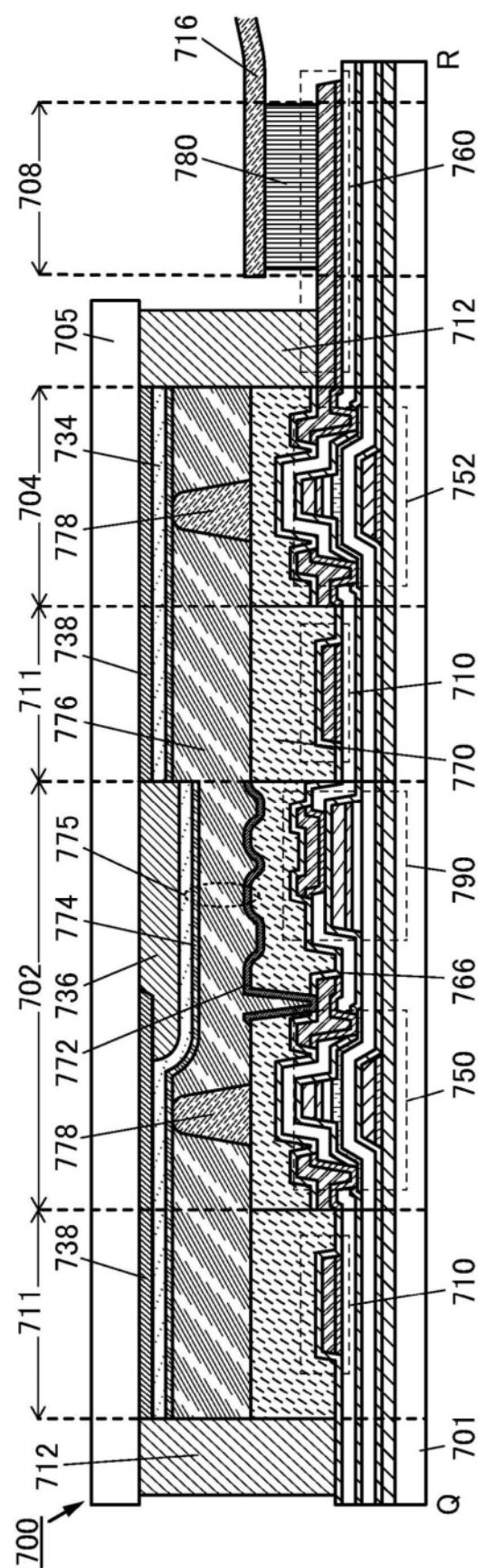


图35A

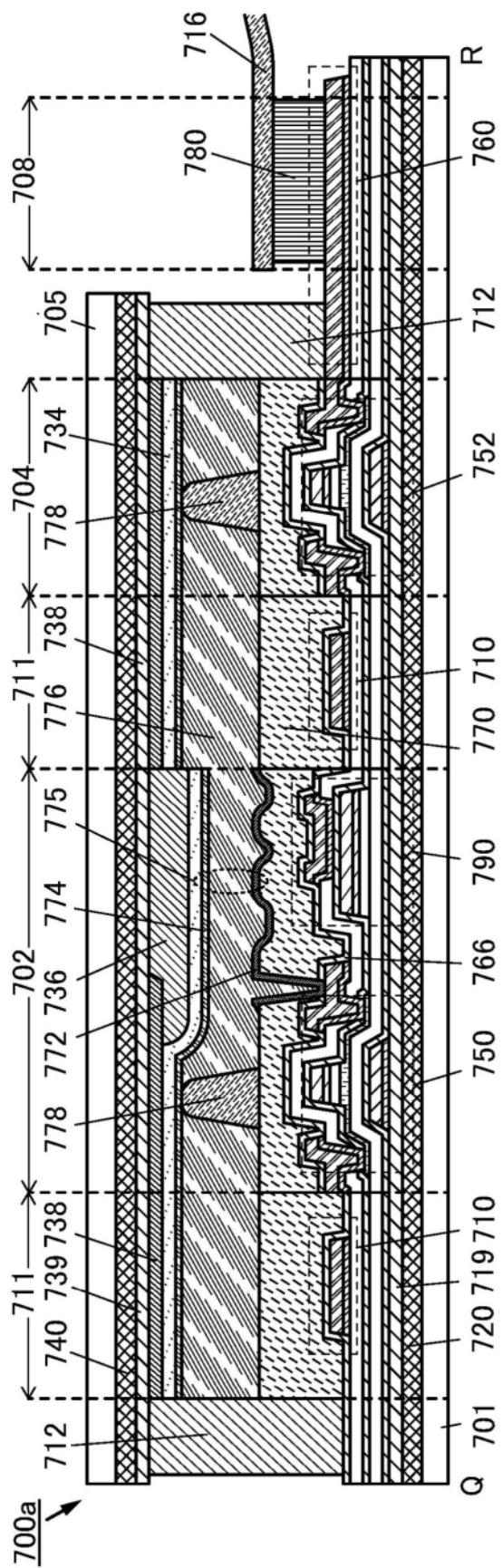


图35B

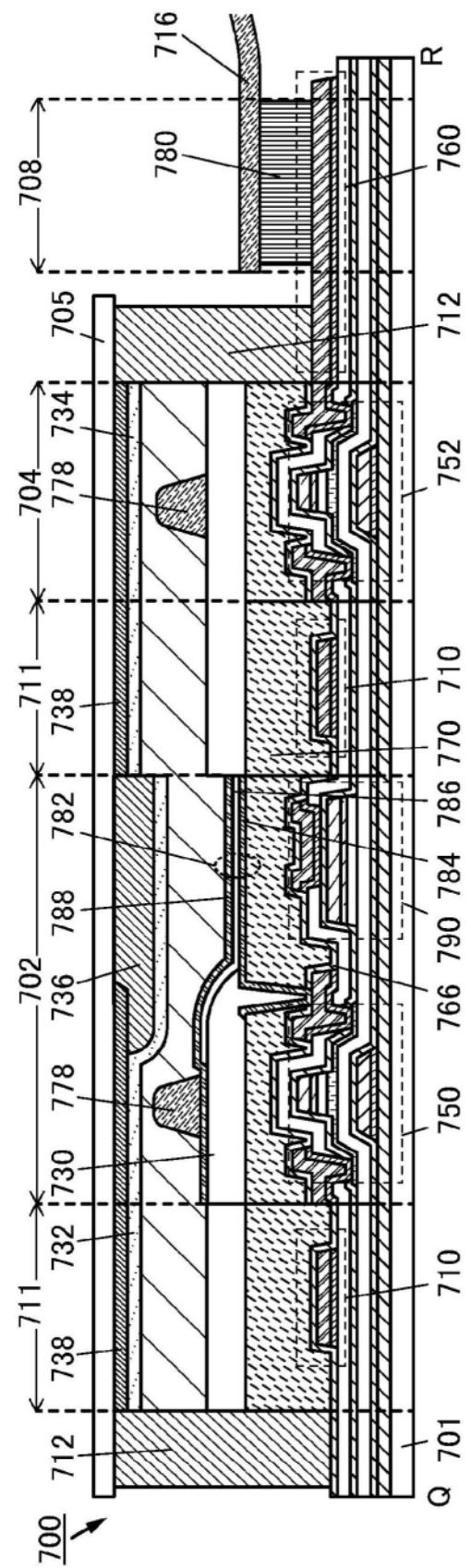


图36A

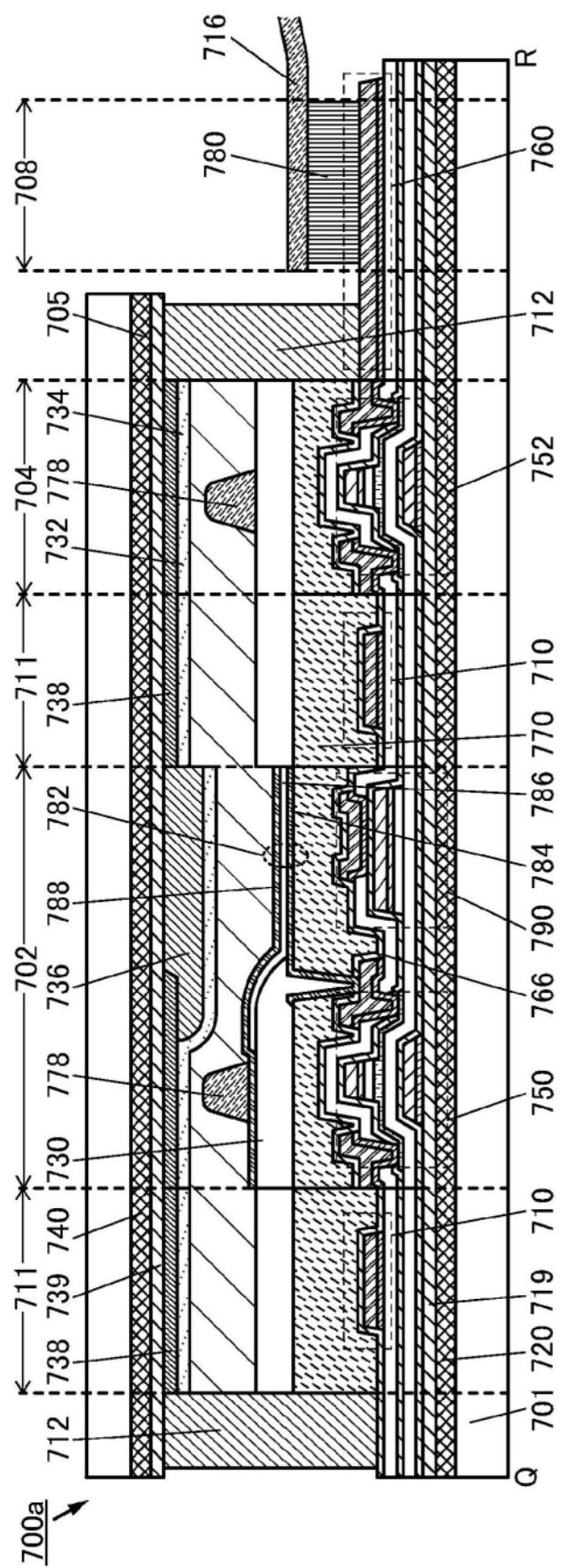


图36B

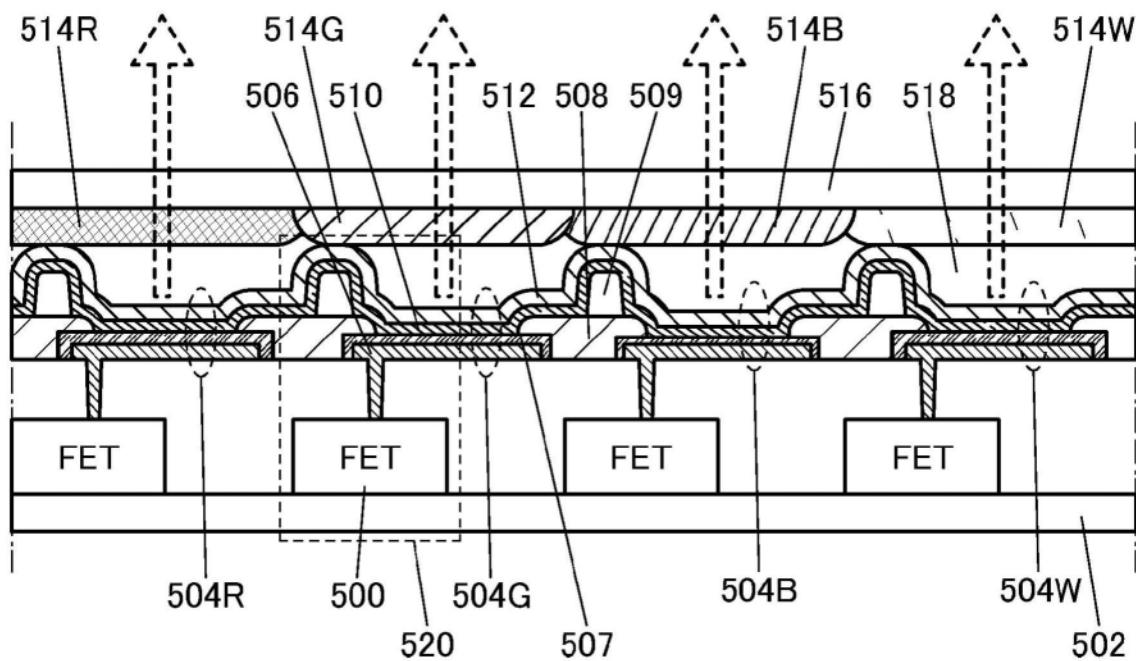


图37

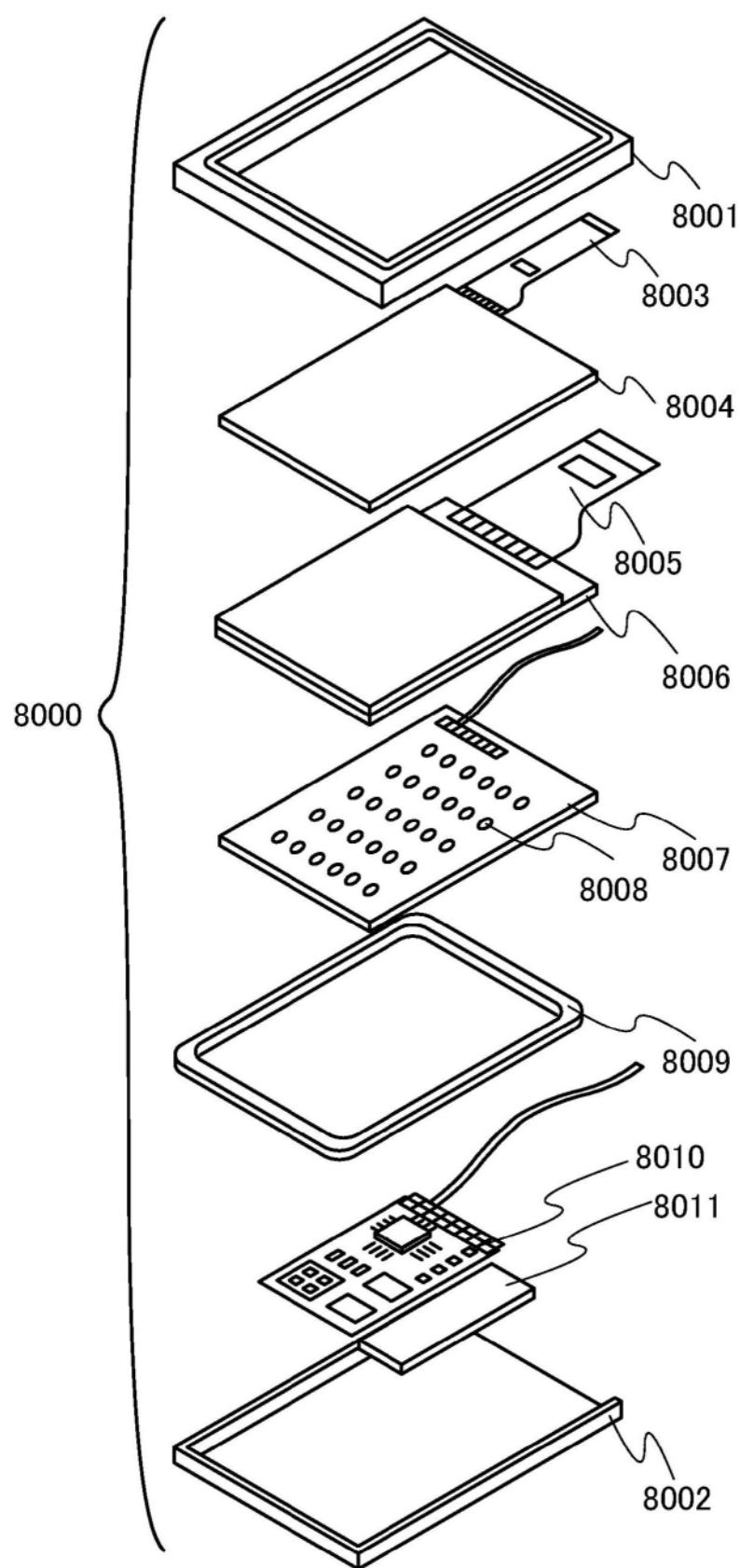


图38

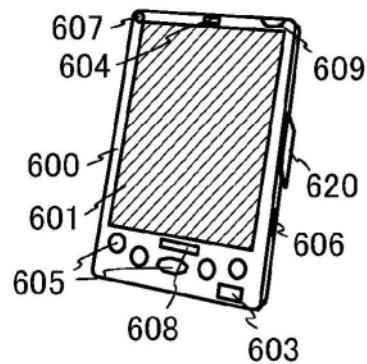


图39A

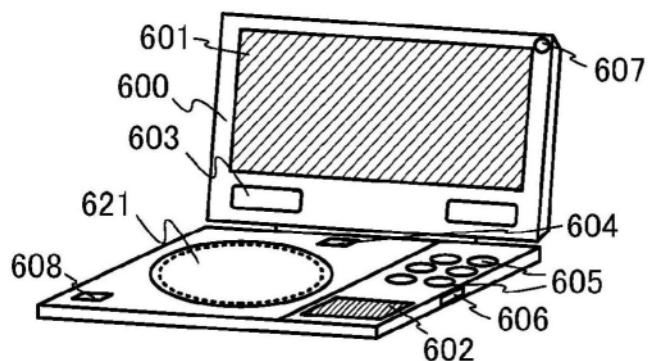


图39B

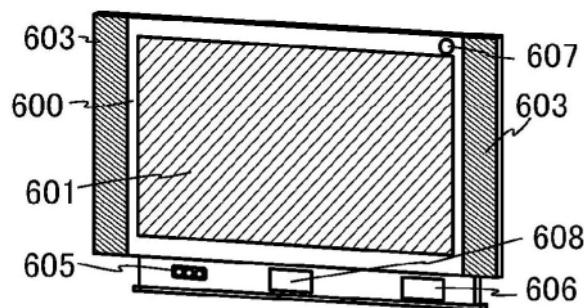


图39C

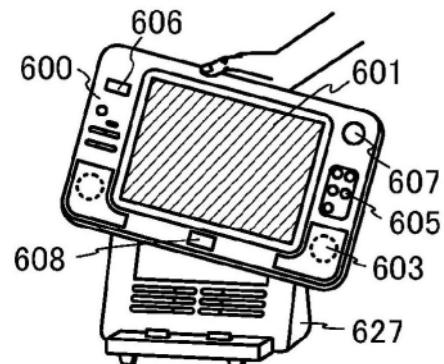


图39D

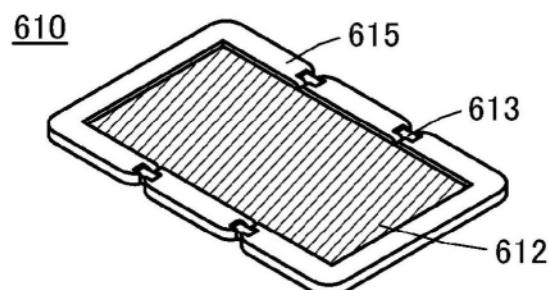


图39E

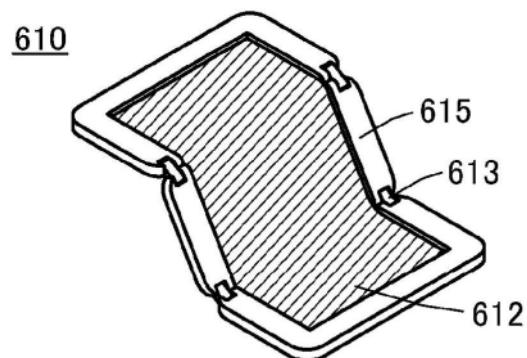


图39F

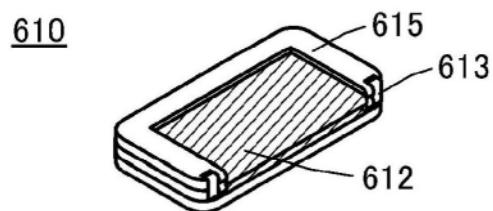


图39G

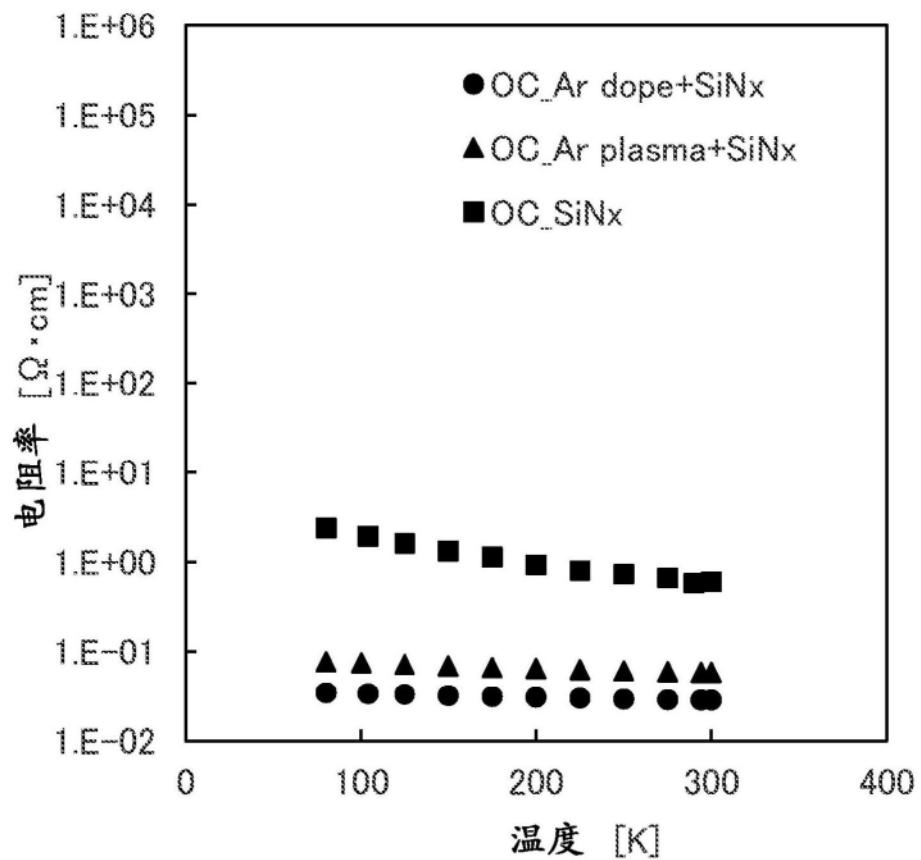


图40

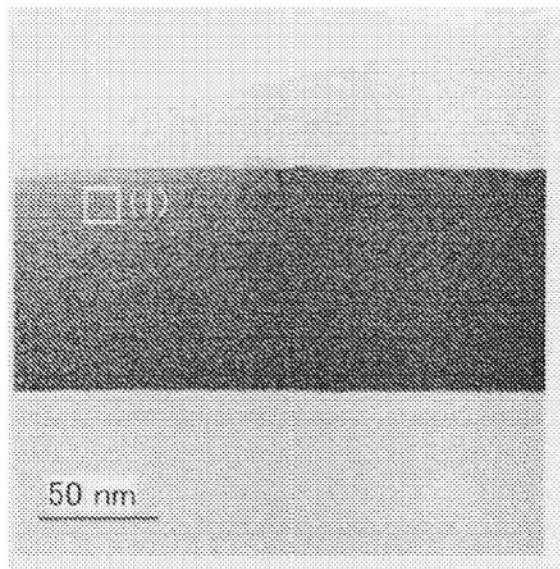


图41A

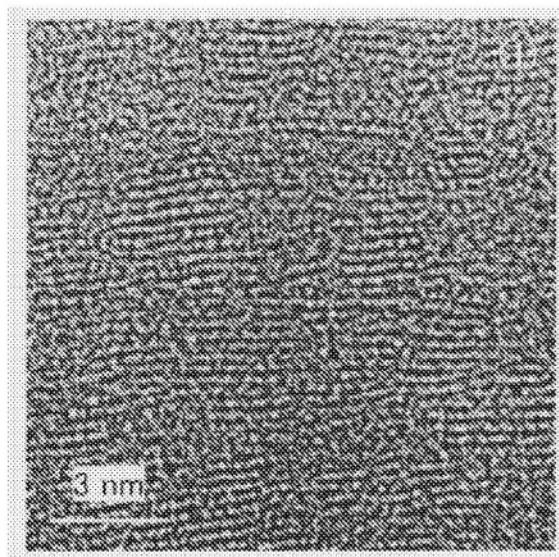


图41B

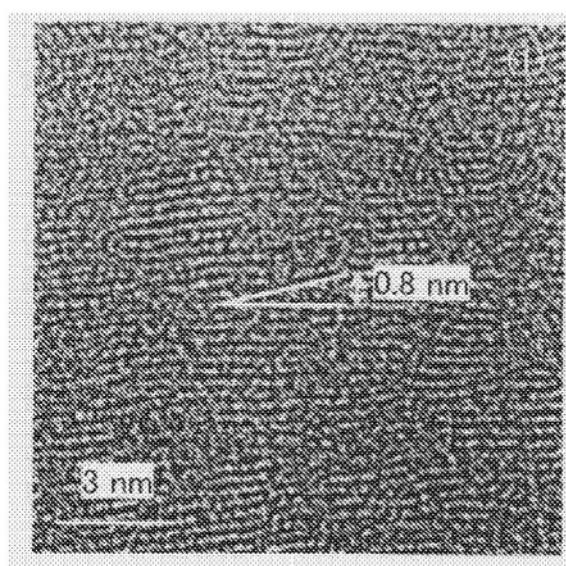


图41C

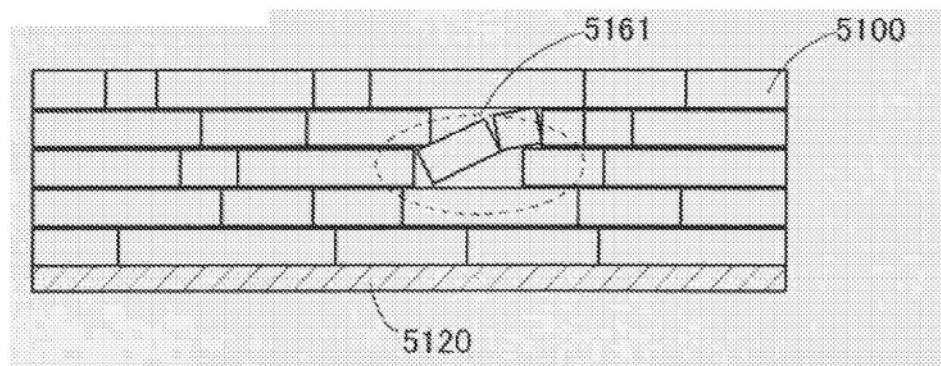


图41D

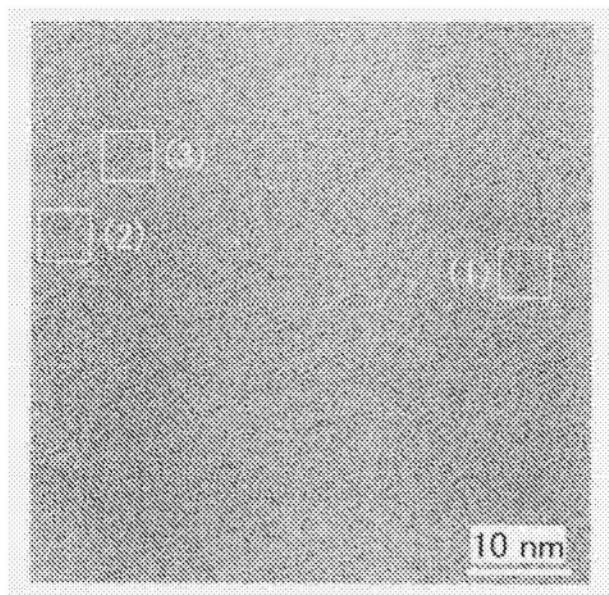


图42A

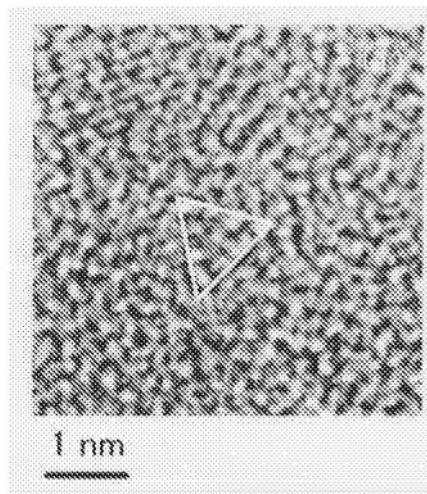


图42B

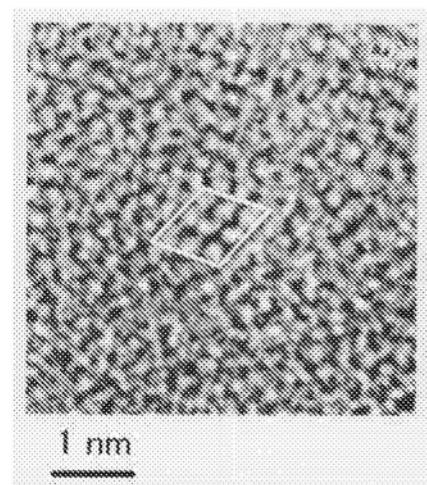


图42C

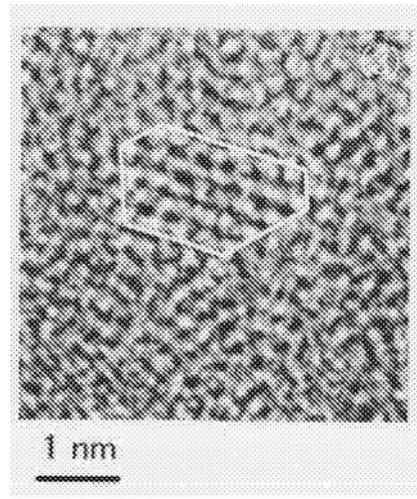


图42D

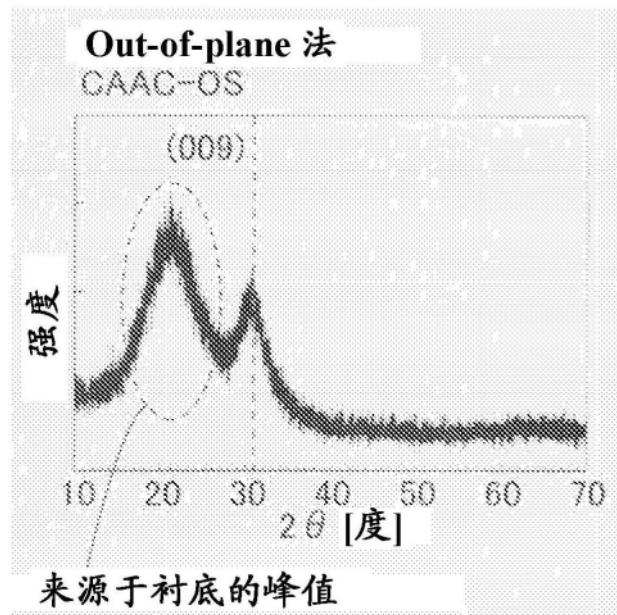


图43A

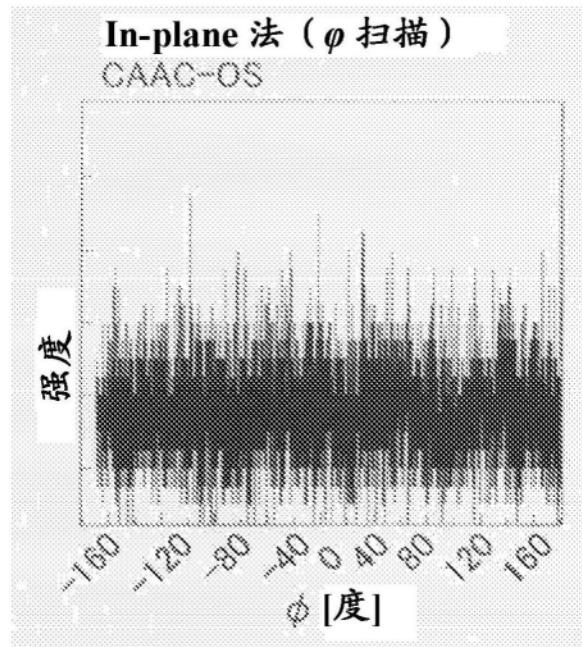


图43B

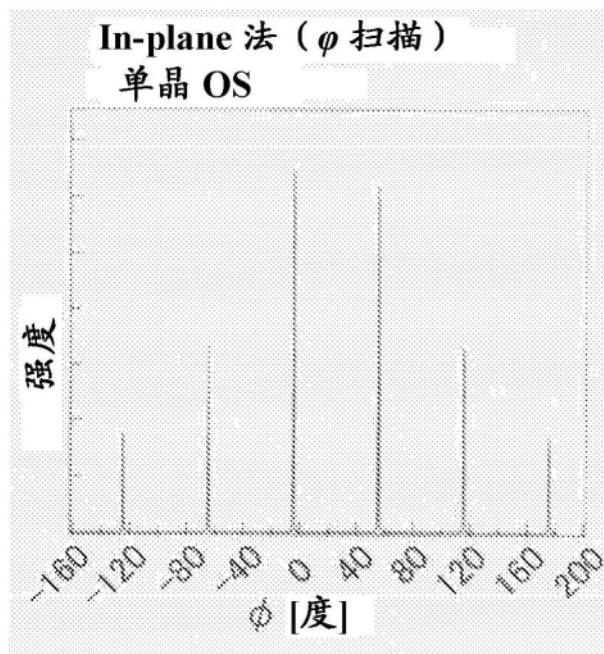
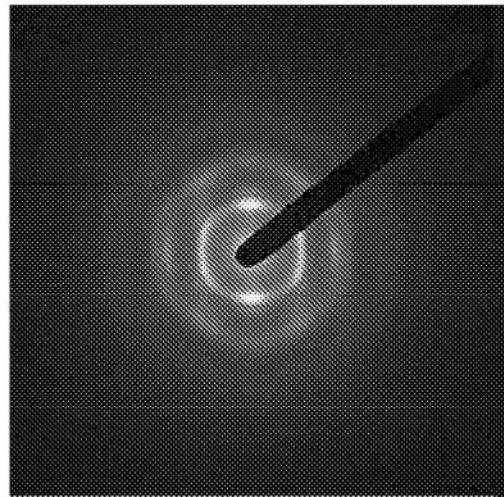
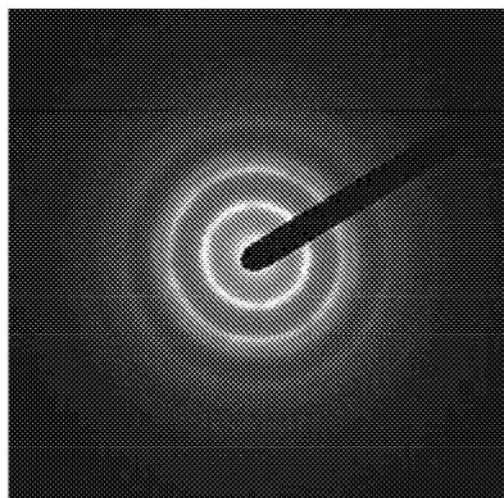


图43C



利用平行于样品表面
的电子束照射的样品

图44A



利用垂直于样品表面的
电子束照射的样品

图44B

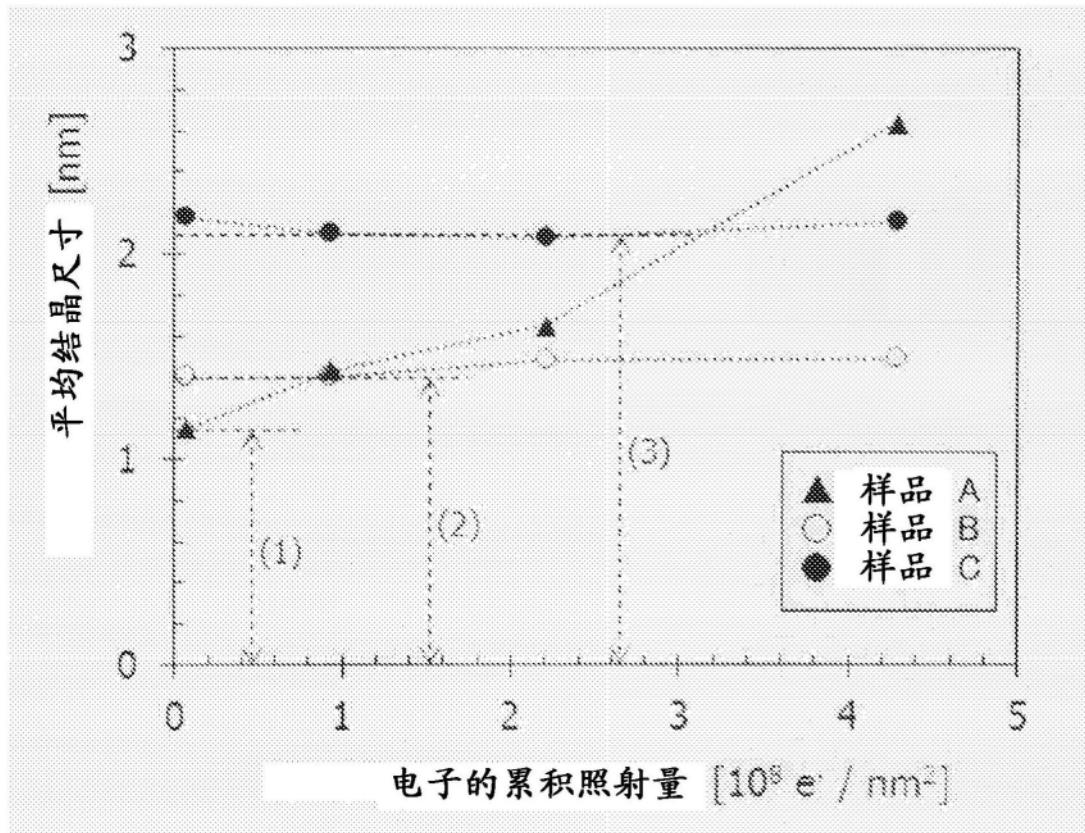


图45