

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-149086

(P2023-149086A)

(43)公開日 令和5年10月13日(2023.10.13)

(51)国際特許分類	F I	テーマコード (参考)
H 0 1 L 29/786(2006.01)	H 0 1 L 29/78	6 1 8 B 5 F 1 1 0
H 0 1 L 21/336(2006.01)	H 0 1 L 29/78	6 2 7 F
H 0 1 L 21/265(2006.01)	H 0 1 L 29/78	6 1 8 A
H 0 1 L 21/477(2006.01)	H 0 1 L 29/78	6 1 8 Z
	H 0 1 L 21/265	W
審査請求 未請求 請求項の数 16	O L	(全30頁) 最終頁に続く

(21)出願番号	特願2022-57454(P2022-57454)	(71)出願人	502356528
(22)出願日	令和4年3月30日(2022.3.30)		株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号
		(74)代理人	110000408 弁理士法人高橋・林アンドパートナーズ
		(72)発明者	渡壁 創 東京都港区西新橋三丁目7番1号 株式 会社ジャパンディスプレイ内
		(72)発明者	津吹 将志 東京都港区西新橋三丁目7番1号 株式 会社ジャパンディスプレイ内
		(72)発明者	佐々木 俊成 東京都港区西新橋三丁目7番1号 株式 会社ジャパンディスプレイ内
		(72)発明者	田丸 尊也 最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】高移動度かつ信頼性が高い半導体装置を実現すること。

【解決手段】半導体装置の製造方法は、基板の上にアルミニウムを主成分とする第1酸化金属層を形成し、前記第1酸化金属層の上に酸化物半導体層を形成し、前記酸化物半導体層の上にゲート絶縁層を形成し、前記ゲート絶縁層の上にアルミニウムを主成分とする第2酸化金属層を形成し、前記ゲート絶縁層の上に前記第2酸化金属層が形成された状態で熱処理を行い、前記熱処理の後に、前記第2酸化金属層を除去し、前記ゲート絶縁層の上にゲート電極を形成する。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

基板の上にアルミニウムを主成分とする第 1 酸化金属層を形成し、
前記第 1 酸化金属層の上に酸化物半導体層を形成し、
前記酸化物半導体層の上にゲート絶縁層を形成し、
前記ゲート絶縁層の上にアルミニウムを主成分とする第 2 酸化金属層を形成し、
前記ゲート絶縁層の上に前記第 2 酸化金属層が形成された状態で熱処理を行い、
前記熱処理の後に、前記第 2 酸化金属層を除去し、
前記ゲート絶縁層の上にゲート電極を形成する半導体装置の製造方法。

【請求項 2】

前記ゲート電極は、前記第 2 酸化金属層が除去されることで露出した前記ゲート絶縁層と接するように形成される、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記基板の上に第 1 絶縁層を形成し、
前記第 1 絶縁層の上に前記第 1 酸化金属層を形成する、請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】

基板の上にゲート電極を形成し、
前記ゲート電極の上にゲート絶縁層を形成し、
前記ゲート絶縁層の上にアルミニウムを主成分とする第 1 酸化金属層を形成し、
前記第 1 酸化金属層の上に酸化物半導体層を形成し、
前記酸化物半導体層の上に第 1 絶縁層を形成し、
前記第 1 絶縁層の上にアルミニウムを主成分とする第 2 酸化金属層を形成し、
前記第 1 絶縁層の上に前記第 2 酸化金属層が形成された状態で熱処理を行い、
前記熱処理の後に、前記第 2 酸化金属層を除去する半導体装置の製造方法。

【請求項 5】

前記酸化物半導体層は、前記第 1 酸化金属層に接するように形成される、請求項 1 乃至 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】

前記第 2 酸化金属層の除去は、マスクを用いずに行われる、請求項 1 乃至 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】

前記第 1 酸化金属層をスパッタリング法で形成する、請求項 1 乃至 6 のいずれかに記載の半導体装置の製造方法。

【請求項 8】

前記第 2 酸化金属層をスパッタリング法で形成する、請求項 1 乃至 7 のいずれかに記載の半導体装置の製造方法。

【請求項 9】

前記基板を冷却しながら前記酸化物半導体層をスパッタリング法で形成する、請求項 1 乃至 8 のいずれかに記載の半導体装置の製造方法。

【請求項 10】

前記基板の表面の温度が 50℃以下になるように前記基板を冷却しながら前記酸化物半導体層をスパッタリング法で形成する、請求項 1 乃至 8 のいずれかに記載の半導体装置の製造方法。

【請求項 11】

前記第 1 酸化金属層の上に形成された前記酸化物半導体層をパターニングし、
前記第 1 酸化金属層及びパターニングされた前記酸化物半導体層に対して熱処理を行う、請求項 1 乃至 10 のいずれかに記載の半導体装置の製造方法。

【請求項 12】

前記酸化物半導体層及び前記第 1 酸化金属層をパターニングし、

10

20

30

40

50

パターンニングされた前記酸化物半導体層及び前記第 1 酸化金属層に対して熱処理を行う、請求項 1 乃至 10 のいずれかに記載の半導体装置の製造方法。

【請求項 13】

前記酸化物半導体層をパターンニングし、

パターンニングされた前記酸化物半導体層をマスクとして前記第 1 酸化金属層をパターンニングし、

パターンニングされた前記酸化物半導体層及び前記第 1 酸化金属層に対して熱処理を行う、請求項 1 乃至 10 のいずれかに記載の半導体装置の製造方法。

【請求項 14】

前記酸化物半導体層を成膜する前に、前記第 1 酸化金属層をパターンニングし、

前記第 1 酸化金属層がパターンニングされた後に、前記酸化物半導体層を成膜し、

前記酸化物半導体層をパターンニングし、

パターンニングされた前記酸化物半導体層及び前記第 1 酸化金属層に対して熱処理を行う、請求項 1 乃至 10 のいずれかに記載の半導体装置の製造方法。

【請求項 15】

1 つの独立した前記酸化物半導体層のパターンにおいて、少なくとも平面視で前記酸化物半導体層と重なる全ての前記第 2 酸化金属層が除去される、請求項 11 乃至 14 のいずれかに記載の半導体装置の製造方法。

【請求項 16】

請求項 1 乃至 15 のいずれかに記載の製造方法によって、移動度が $50 \text{ [cm}^2/\text{V} \cdot \text{s}]$ 以上である半導体装置を製造する方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態の一つは、半導体装置の製造方法に関する。特に、本発明の実施形態の一つは、チャンネルとして酸化物半導体が用いられた半導体装置の製造方法に関する。

【背景技術】

【0002】

近年、アモルファスシリコン、低温ポリシリコン、及び単結晶シリコンに替わり、酸化物半導体がチャンネルに用いられた半導体装置の開発が進められている（例えば、特許文献 1～6）。酸化物半導体がチャンネルに用いられた半導体装置は、アモルファスシリコンがチャンネルに用いられた半導体装置と同様に、単純な構造かつ低温プロセスで形成することができる。酸化物半導体がチャンネルに用いられた半導体装置は、アモルファスシリコンがチャンネルに用いられた半導体装置よりも高い移動度を有することが知られている。

【0003】

酸化物半導体がチャンネルに用いられた半導体装置が安定した動作をするために、その製造工程において酸化物半導体層に酸素を供給し、酸化物半導体層に形成された酸素欠損を低減することが重要である。酸化物半導体層に酸素を供給する方法の一つとして、例えば、酸化物半導体層を覆う絶縁層を、当該絶縁層が酸素をより多く含む条件で形成する技術が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】 特開 2021-141338 号公報

【特許文献 2】 特開 2014-099601 号公報

【特許文献 3】 特開 2021-153196 号公報

【特許文献 4】 特開 2018-006730 号公報

【特許文献 5】 特開 2016-184771 号公報

【特許文献 6】 特開 2021-108405 号公報

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】

【0005】

しかしながら、酸素をより多く含む条件で形成された絶縁層は欠陥を多く含む。その影響で、その欠陥に電子がトラップされることが原因と考えられる半導体装置の特性異常又は信頼性試験における特性変動が発生する。一方、欠陥の少ない絶縁層を用いると、絶縁層に含まれる酸素を多くすることができない。したがって、絶縁層から酸化物半導体層に十分に酸素を供給することができない。このように、半導体装置の特性変動の原因となる絶縁層中の欠陥を低減しつつ、酸化物半導体層に形成された酸素欠損を修復することができる構造を実現することが要求されている。

【0006】

さらに、酸化物半導体層に含まれるインジウムを相対的に高くすることで、高い移動度を有する半導体装置が得られることが知られているが、酸化物半導体層に酸素欠損が形成されやすい。したがって、高い信頼性を維持したまま高い移動度を実現するためには、酸化物半導体層の周囲の絶縁層の構成を工夫する必要がある。

【0007】

本発明の実施形態の一つは、信頼性及び移動度が高い半導体装置を実現することを課題の一つとする。

【課題を解決するための手段】

【0008】

本発明の一実施形態に係る半導体装置の製造方法は、基板の上にアルミニウムを主成分とする第1酸化金属層を形成し、前記第1酸化金属層の上に酸化物半導体層を形成し、前記酸化物半導体層の上にゲート絶縁層を形成し、前記ゲート絶縁層の上にアルミニウムを主成分とする第2酸化金属層を形成し、前記ゲート絶縁層の上に前記第2酸化金属層が形成された状態で熱処理を行い、前記熱処理の後に、前記第2酸化金属層を除去し、前記ゲート絶縁層の上にゲート電極を形成する。

【図面の簡単な説明】

【0009】

【図1】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図2】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図3】本発明の一実施形態に係る半導体装置の製造方法を示すシーケンス図である。

【図4】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図5】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図6】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図7】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図8】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図9】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図10】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図11】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図12】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図13】本発明の一実施形態の変形例に係る半導体装置の製造方法を示すシーケンス図である。

【図14】本発明の一実施形態の変形例に係る半導体装置の製造方法を示す断面図である。

【図15】本発明の一実施形態の変形例に係る半導体装置の製造方法を示す断面図である。

【図16】本発明の一実施形態の変形例に係る半導体装置の概要を示す断面図である。

【図17】本発明の一実施形態の変形例に係る半導体装置の製造方法を示すシーケンス図である。

【図18】本発明の一実施形態の変形例に係る半導体装置の概要を示す断面図である。

【図19】本発明の一実施形態の変形例に係る半導体装置の概要を示す平面図である。

10

20

30

40

50

【図 2 0】本発明の一実施形態の変形例に係る半導体装置の製造方法を示すシーケンス図である。

【図 2 1】本発明の一実施形態の変形例に係る半導体装置の製造方法を示す断面図である。

【図 2 2】本発明の一実施形態の変形例に係る半導体装置の製造方法を示す断面図である。

【図 2 3】本発明の一実施形態に係る表示装置の概要を示す平面図である。

【図 2 4】本発明の一実施形態に係る表示装置の回路構成を示すブロック図である。

【図 2 5】本発明の一実施形態に係る表示装置の画素回路を示す回路図である。

【図 2 6】本発明の一実施形態に係る表示装置の概要を示す断面図である。

【図 2 7】本発明の一実施形態に係る表示装置の画素電極及び共通電極の平面図である。

【図 2 8】本発明の一実施形態に係る表示装置の画素回路を示す回路図である。

【図 2 9】本発明の一実施形態に係る表示装置の概要を示す断面図である。

【図 3 0】本発明の一実施形態に係る半導体装置の電気特性を示す図である。

【図 3 1】本発明の一実施形態に係る半導体装置の電気特性を示す図である。

【図 3 2】本発明の一実施形態に係る半導体装置の信頼性試験結果を示す図である。

【図 3 3】本発明の一実施形態に係る半導体装置の電気特性を示す図である。

【発明を実施するための形態】

【0010】

以下に、本発明の各実施の形態について、図面を参照しつつ説明する。以下の開示はあくまで一例にすぎない。当業者が、発明の主旨を保ちつつ、実施形態の構成を適宜変更することによって容易に想到し得る構成は、当然に本発明の範囲に含有される。図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合がある。しかし、図示された形状はあくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0011】

本発明の各実施の形態において、基板から酸化物半導体層に向かう方向を上又は上方という。逆に、酸化物半導体層から基板に向かう方向を下又は下方という。このように、説明の便宜上、上方又は下方という語句を用いて説明するが、例えば、基板と酸化物半導体層との上下関係が図示と逆になるように配置されてもよい。以下の説明で、例えば基板上の酸化物半導体層という表現は、上記のように基板と酸化物半導体層との上下関係を説明しているに過ぎず、基板と酸化物半導体層との間に他の部材が配置されていてもよい。上方又は下方は、複数の層が積層された構造における積層順を意味するものであり、トランジスタの上方の画素電極と表現する場合、平面視において、トランジスタと画素電極とが重ならない位置関係であってもよい。一方、トランジスタの鉛直上方の画素電極と表現する場合は、平面視において、トランジスタと画素電極とが重なる位置関係を意味する。

【0012】

「表示装置」とは、電気光学層を用いて映像を表示する構造体を指す。例えば、表示装置という用語は、電気光学層を含む表示パネルを指す場合もあり、又は表示セルに対して他の光学部材（例えば、偏光部材、バックライト、タッチパネル等）を装着した構造体を指す場合もある。「電気光学層」には、技術的な矛盾が生じない限り、液晶層、エレクトロルミネセンス（EL）層、エレクトロクロミック（EC）層、電気泳動層が含まれ得る。したがって、後述する実施形態について、表示装置として、液晶層を含む液晶表示装置、及び有機EL層を含む有機EL表示装置を例示して説明するが、本実施形態における構造は、上述した他の電気光学層を含む表示装置へ適用することができる。

【0013】

本明細書において「 α はA、B又はCを含む」、「 α はA、B及びCのいずれかを含む」、「 α はA、B及びCからなる群から選択される一つを含む」、といった表現は、特に明示が無い限り、 α がA～Cの複数の組み合わせを含む場合を排除しない。さらに、これ

10

20

30

40

50

らの表現は、 α が他の要素を含む場合も排除しない。

【0014】

なお、以下の各実施形態は、技術的な矛盾を生じない限り、互いに組み合わせることができる。

【0015】

〈第1実施形態〉

図1～図12を用いて、本発明の一実施形態に係る半導体装置について説明する。以下に示す実施形態の半導体装置は、表示装置に用いられるトランジスタの他に、例えば、マイクロプロセッサ(Micro-Processing Unit: MPU)などの集積回路(Integrated Circuit: IC)、又はメモリ回路に用いられてもよい。

【0016】

[半導体装置10の構成]

図1及び図2を用いて、本発明の一実施形態に係る半導体装置10の構成について説明する。図1は、本発明の一実施形態に係る半導体装置の概要を示す断面図である。図2は、本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【0017】

図1に示すように、半導体装置10は基板100の上方に設けられている。半導体装置10は、ゲート電極105、ゲート絶縁層110、120、酸化金属層130、酸化物半導体層140、ゲート絶縁層150、ゲート電極160、絶縁層170、180、ソース電極201、及びドレイン電極203を含む。ソース電極201及びドレイン電極203を特に区別しない場合、これらを併せてソース・ドレイン電極200という場合がある。

【0018】

ゲート電極105は基板100の上に設けられている。ゲート絶縁層110及びゲート絶縁層120は基板100及びゲート電極105の上に設けられている。酸化金属層130はゲート絶縁層120の上に設けられている。酸化金属層130はゲート絶縁層120に接している。酸化物半導体層140は酸化金属層130の上に設けられている。酸化物半導体層140は酸化金属層130に接している。酸化物半導体層140の主面のうち、酸化金属層130に接する面を下面142という。酸化金属層130の端部と酸化物半導体層140の端部は略一致している。

【0019】

本実施形態では、酸化金属層130と基板100との間に、半導体層又は酸化物半導体層は設けられていない。

【0020】

本実施形態では、酸化金属層130がゲート絶縁層120に接し、酸化物半導体層140が酸化金属層130に接している構成が例示されているが、この構成に限定されない。ゲート絶縁層120と酸化金属層130との間に他の層が設けられていてもよい。酸化金属層130と酸化物半導体層140との間に他の層が設けられていてもよい。

【0021】

図1では、酸化金属層130の側壁と酸化物半導体層140の側壁とが直線上に並んでいるが、この構成に限定されない。基板100の主面に対する酸化金属層130の側壁の角度が酸化物半導体層140の側壁の角度と異なってもよい。酸化金属層130及び酸化物半導体層140の少なくともいずれか一方の側壁の断面形状が湾曲していてもよい。

【0022】

ゲート電極160は酸化物半導体層140に対向している。ゲート絶縁層150は、酸化物半導体層140とゲート電極160との間に設けられている。ゲート絶縁層150は酸化物半導体層140に接している。酸化物半導体層140の主面のうち、ゲート絶縁層150に接する面を上面141という。上面141と下面142との間の面を側面143という。絶縁層170、180はゲート絶縁層150及びゲート電極160の上に設けら

10

20

30

40

50

れている。絶縁層 170、180 には、酸化物半導体層 140 に達する開口 171、173 が設けられている。ソース電極 201 は開口 171 の内部に設けられている。ソース電極 201 は開口 171 の底部で酸化物半導体層 140 に接している。ドレイン電極 203 は開口 173 の内部に設けられている。ドレイン電極 203 は開口 173 の底部で酸化物半導体層 140 に接している。

【0023】

ゲート電極 105 は、半導体装置 10 のボトムゲートとしての機能及び酸化物半導体層 140 に対する遮光膜としての機能を備える。ゲート絶縁層 110 は、基板 100 から酸化物半導体層 140 に向かって拡散する不純物を遮蔽するバリア膜としての機能を備える。ゲート絶縁層 110、120 は、ボトムゲートに対するゲート絶縁層としての機能を備える。酸化金属層 130 は、アルミニウムを主成分とする酸化金属を含む層であり、酸素や水素などのガスを遮蔽するガスバリア膜としての機能を備える。

【0024】

酸化物半導体層 140 は、ソース領域 S、ドレイン領域 D、及びチャネル領域 CH に区分される。チャネル領域 CH は、酸化物半導体層 140 のうちゲート電極 160 の鉛直下方の領域である。ソース領域 S は、酸化物半導体層 140 のうちゲート電極 160 と重ならない領域であって、チャネル領域 CH よりもソース電極 201 に近い側の領域である。ドレイン領域 D は、酸化物半導体層 140 のうちゲート電極 160 と重ならない領域であって、チャネル領域 CH よりもドレイン電極 203 に近い側の領域である。チャネル領域 CH における酸化物半導体層 140 は、半導体としての物性を備えている。ソース領域 S 及びドレイン領域 D における酸化物半導体層 140 は、導電体としての物性を備えている。

【0025】

ゲート電極 160 は半導体装置 10 のトップゲート及び酸化物半導体層 140 に対する遮光膜としての機能を備える。ゲート絶縁層 150 はトップゲートに対するゲート絶縁層としての機能を備え、製造プロセスにおける熱処理によって酸素を放出する機能を備える。絶縁層 170、180 はゲート電極 160 とソース・ドレイン電極 200 とを絶縁し、両者間の寄生容量を低減する機能を備える。半導体装置 10 の動作は、主にゲート電極 160 に供給される電圧によって制御される。ゲート電極 105 には補助的な電圧が供給される。ただし、ゲート電極 105 を単に遮光膜として用いる場合、ゲート電極 105 に特定の電圧が供給されず、フローティングであってもよい。つまり、ゲート電極 105 は単に「遮光膜」と呼ばれてもよい。

【0026】

本実施形態では、半導体装置 10 として、ゲート電極が酸化物半導体層の上方及び下方の両方に設けられたデュアルゲート型トランジスタが用いられた構成を例示するが、この構成に限定されない。例えば、半導体装置 10 として、ゲート電極が酸化物半導体層の下方のみに設けられたボトムゲート型トランジスタ、又はゲート電極が酸化物半導体層の上方のみに設けられたトップゲート型トランジスタが用いられてもよい。上記の構成はあくまで一実施形態に過ぎず、本発明は上記の構成に限定されない。

【0027】

図 2 に示すように、平面視において、酸化金属層 130 の平面パターンは、酸化物半導体層 140 の平面パターンと略同一である。図 1 及び図 2 を参照すると、酸化物半導体層 140 の下面 142 は酸化金属層 130 によって覆われている。特に、本実施形態では、酸化物半導体層 140 の下面 142 の全てが、酸化金属層 130 によって覆われている。D1 方向において、ゲート電極 105 の幅はゲート電極 160 の幅より大きい。D1 方向は、ソース電極 201 とドレイン電極 203 とを結ぶ方向であり、半導体装置 10 のチャネル長 L を示す方向である。具体的には、酸化物半導体層 140 とゲート電極 160 とが重なる領域（チャネル領域 CH）の D1 方向の長さがチャネル長 L であり、当該チャネル領域 CH の D2 方向の幅がチャネル幅 W である。

【0028】

本実施形態では、酸化物半導体層 140 の下面 142 の全てが酸化金属層 130 によって覆われた構成を例示したが、この構成に限定されない。例えば、酸化物半導体層 140 の下面 142 の一部が酸化金属層 130 と接していなくてもよい。例えば、チャンネル領域 CH における酸化物半導体層 140 の下面 142 の全てが酸化金属層 130 によって覆われ、ソース領域 S 及びドレイン領域 D における酸化物半導体層 140 の下面 142 の全て又は一部が酸化金属層 130 によって覆われていなくてもよい。つまり、ソース領域 S 及びドレイン領域 D における酸化物半導体層 140 の下面 142 の全て又は一部が酸化金属層 130 と接していなくてもよい。ただし、上記の構成において、チャンネル領域 CH における酸化物半導体層 140 の下面 142 の一部が酸化金属層 130 によって覆われておらず、当該下面 142 のその他の部分が酸化金属層 130 と接していてもよい。

10

【0029】

本実施形態では、ゲート絶縁層 150 が全面に形成され、ゲート絶縁層 150 に開口 171、173 が設けられた構成を例示したが、この構成に限定されない。ゲート絶縁層 150 が、開口 171、173 が設けられた形状とは異なる形状にパターニングされていてもよい。例えば、ソース領域 S 及びドレイン領域 D の全部又は一部の酸化物半導体層 140 を露出するようにゲート絶縁層 150 がパターニングされていてもよい。つまり、ソース領域 S 及びドレイン領域 D のゲート絶縁層 150 が除去され、これらの領域で酸化物半導体層 140 と絶縁層 170 とが接していてもよい。

【0030】

図 2 では、平面視において、ソース・ドレイン電極 200 がゲート電極 105 及びゲート電極 160 と重ならない構成が例示されているが、この構成に限定されない。例えば、平面視において、ソース・ドレイン電極 200 がゲート電極 105 及びゲート電極 160 の少なくともいずれか一方と重なっていてもよい。上記の構成はあくまで一実施形態に過ぎず、本発明は上記の構成に限定されない。

20

【0031】

〔半導体装置 10 の各部材の材質〕

基板 100 として、ガラス基板、石英基板、及びサファイア基板など、透光性を有する剛性基板が用いられる。基板 100 が可撓性を備える必要がある場合、基板 100 として、ポリイミド基板、アクリル基板、シロキサン基板、フッ素樹脂基板など、樹脂を含む基板が用いられる。基板 100 として樹脂を含む基板が用いられる場合、基板 100 の耐熱性を向上させるために、上記の樹脂に不純物が導入されてもよい。特に、半導体装置 10 がトップエミッション型のディスプレイである場合、基板 100 が透明である必要はないため、基板 100 の透明度を悪化させる不純物が用いられてもよい。表示装置ではない集積回路に半導体装置 10 が用いられる場合は、基板 100 としてシリコン基板、炭化シリコン基板、化合物半導体基板などの半導体基板、又は、ステンレス基板などの導電性基板など、透光性を備えない基板が用いられる。

30

【0032】

ゲート電極 105、ゲート電極 160、及びソース・ドレイン電極 200 として、一般的な金属材料が用いられる。例えば、これらの部材として、例えば、アルミニウム (Al)、チタン (Ti)、クロム (Cr)、コバルト (Co)、ニッケル (Ni)、モリブデン (Mo)、ハフニウム (Hf)、タンタル (Ta)、タングステン (W)、ビスマス (Bi)、銀 (Ag)、銅 (Cu)、及びこれらの合金又は化合物が用いられる。ゲート電極 105、ゲート電極 160、及びソース・ドレイン電極 200 として、上記の材料が単層で用いられてもよく積層で用いられてもよい。

40

【0033】

ゲート絶縁層 110、120 及び絶縁層 170、180 として、一般的な絶縁性材料が用いられる。例えば、これらの絶縁層として、酸化シリコン (SiO_x)、酸化窒化シリコン (SiO_xN_y)、窒化シリコン (SiN_x)、窒化酸化シリコン (SiN_xO_y)、酸化アルミニウム (AlO_x)、酸化窒化アルミニウム (AlO_xN_y)、窒化酸化アルミニウム (AlN_xO_y)、窒化アルミニウム (AlN_x) などの無機絶縁層が用いら

50

れる。

【0034】

ゲート絶縁層150として、上記の絶縁層のうち酸素を含む絶縁層が用いられる。例えば、ゲート絶縁層150として、酸化シリコン(SiO_x)、酸化窒化シリコン(SiO_xN_y)、酸化アルミニウム(AlO_x)、酸化窒化アルミニウム(AlO_xN_y)などの無機絶縁層が用いられる。

【0035】

ゲート絶縁層120として、熱処理によって酸素を放出する機能を備える絶縁層が用いられる。ゲート絶縁層120が酸素を放出する熱処理の温度は、例えば、600℃以下、500℃以下、450℃以下、又は400℃以下である。つまり、ゲート絶縁層120は、例えば、基板100としてガラス基板が用いられた場合の半導体装置10の製造工程で行われる熱処理温度で酸素を放出する。

【0036】

ゲート絶縁層150として、欠陥が少ない絶縁層が用いられる。例えば、ゲート絶縁層150における酸素の組成比と、ゲート絶縁層150と同様の組成の絶縁層（以下、「他の絶縁層」という）における酸素の組成比と、を比較した場合、ゲート絶縁層150における酸素の組成比の方が当該他の絶縁層における酸素の組成比よりも当該絶縁層に対する化学量論比に近い。具体的には、ゲート絶縁層150及び絶縁層180の各々に酸化シリコン(SiO_x)が用いられる場合、ゲート絶縁層150として用いられる酸化シリコンにおける酸素の組成比は、絶縁層180として用いられる酸化シリコンにおける酸素の組成比に比べて、酸化シリコンの化学量論比に近い。例えば、ゲート絶縁層150として、電子スピン共鳴法(ESR)で評価したときに欠陥が観測されない層が用いられてもよい。

【0037】

上記の SiO_xN_y 及び AlO_xN_y は、酸素(O)よりも少ない比率($x > y$)の窒素(N)を含有するシリコン化合物及びアルミニウム化合物である。 SiN_xO_y 及び AlN_xO_y は、窒素よりも少ない比率($x > y$)の酸素を含有するシリコン化合物及びアルミニウム化合物である。

【0038】

酸化金属層130及び後述するように製造工程で用いられる酸化金属層190として、アルミニウムを主成分とする酸化金属が用いられる。例えば、酸化金属層130（又は酸化金属層190）として、酸化アルミニウム(AlO_x)、酸化窒化アルミニウム(AlO_xN_y)、窒化酸化アルミニウム(AlN_xO_y)、窒化アルミニウム(AlN_x)などの無機絶縁層が用いられる。「アルミニウムを主成分とする酸化金属層」とは、酸化金属層130（又は酸化金属層190）に含まれるアルミニウムの比率が、酸化金属層130（又は酸化金属層190）全体の1%以上であることを意味する。酸化金属層130（又は酸化金属層190）に含まれるアルミニウムの比率は、酸化金属層130全体の5%以上70%以下、10%以上60%以下、又は30%以上50%以下であってもよい。上記の比率は、質量比であってもよく、重量比であってもよい。

【0039】

酸化物半導体層140として、半導体の特性を有する酸化金属を用いることができる。例えば、酸化物半導体層140として、インジウム(In)を含む2以上の金属を含む酸化物半導体が用いられる。酸化物半導体層140の全体に対するインジウムの比率は50%以上である。酸化物半導体層140として、インジウムに加えて、ガリウム(Ga)、亜鉛(Zn)、アルミニウム(Al)、ハフニウム(Hf)、イットリウム(Y)、ジルコニア(Zr)、ランタノイドが用いられる。酸化物半導体層140として、上記以外の元素が用いられてもよい。

【0040】

酸化物半導体層140はアモルファスであってもよく、結晶性であってもよい。また、酸化物半導体層140はアモルファスと結晶の混相であってもよい。下記のように、イン

10

20

30

40

50

ジウムの比率が50%以上である酸化物半導体層140では、酸素欠損が形成されやすい。結晶性の酸化物半導体は、アモルファスの酸化物半導体に比べて酸素欠損が形成されにくい。したがって、上記のような酸化物半導体層140は結晶性であることが好ましい。

【0041】

[本発明に至る過程で新たに認識された課題]

酸化物半導体層140におけるインジウムの比率が50%以上であることで、高移動度の半導体装置10を実現することができる。一方、このような酸化物半導体層140では、酸化物半導体層140に含まれる酸素が還元されやすく、酸化物半導体層140に酸素欠損が形成されやすい。

【0042】

半導体装置10では、製造プロセスの熱処理工程において、酸化物半導体層140よりも基板100側に設けられる層（例えば、ゲート絶縁層110、120）から水素が放出され、その水素が酸化物半導体層140に到達することで、酸化物半導体層140に酸素欠損が発生する。この酸素欠損の発生は、酸化物半導体層140のパターンサイズが大きいほど顕著である。このような酸素欠損の発生を抑制するために、酸化物半導体層140の下面142への水素の到達を抑制する必要がある。上記の内容が一つ目の課題である。

【0043】

上記の課題とは別に、以下に示す二つ目の課題がある。酸化物半導体層140の上面141は、酸化物半導体層140が形成された後の工程（例えば、パターンニング工程又はエッチング工程）の影響を受ける。一方、酸化物半導体層140の下面142（酸化物半導体層140の基板100側の面）は、上記のような影響を受けない。

【0044】

したがって、酸化物半導体層140の上面141に形成される酸素欠損は、酸化物半導体層140の下面142に形成される酸素欠損より多い。つまり、酸化物半導体層140中の酸素欠損は、酸化物半導体層140の厚さ方向に一様に存在しているのではなく、酸化物半導体層140の厚さ方向に不均一な分布で存在している。具体的には、酸化物半導体層140中の酸素欠損は、酸化物半導体層140の下面142側ほど少なく、酸化物半導体層140の上面141側ほど多い。

【0045】

上記のような酸素欠損分布を有する酸化物半導体層140に対して、一様に酸素供給処理を行う場合、酸化物半導体層140の上面141側に形成された酸素欠損を修復するために必要な量の酸素を供給すると、酸化物半導体層140の下面142側には酸素が過剰に供給される。その結果、下面142側では、過剰酸素によって酸素欠損とは異なる欠陥準位が形成されてしまい、信頼性試験における特性変動、又は電界効果移動度の低下などの現象が発生する。したがって、このような現象を抑制するためには、酸化物半導体層140の下面142側への酸素供給を抑制しつつ、酸化物半導体層140の上面141側へ酸素を供給する必要がある。

【0046】

上記の課題は、本発明に至る過程で新たに認識された課題であり、従来から認識されていた課題ではない。従来の構成及び製造方法では、酸化物半導体層への酸素供給処理によって、半導体装置の初期特性が改善されても、信頼性試験による特性変動が発生するという、初期特性と信頼性試験との間にトレードオフの関係があった。しかし、本実施形態に係る構成によって、上記の課題が解決され、半導体装置10の良好な初期特性及び信頼性試験結果を得ることができる。

【0047】

[半導体装置10の製造方法]

図3～図12を用いて、本発明の一実施形態に係る半導体装置の製造方法について説明する。図3は、本発明の一実施形態に係る半導体装置の製造方法を示すシーケンス図である。図4～図12は、本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。以下の製造方法の説明では、酸化金属層130、190として酸化アルミニウムが用

10

20

30

40

50

いられた半導体装置 10 の製造方法について説明する。

【0048】

図 3 及び図 4 に示すように、基板 100 の上にボトムゲートとしてゲート電極 105 が形成され、ゲート電極 105 の上にゲート絶縁層 110、120 が形成される（図 3 のステップ S2001 の「Bottom GI/GE 形成」）。ゲート絶縁層 110 として、例えば、窒化シリコンが形成される。ゲート絶縁層 120 として、例えば、酸化シリコンが形成される。ゲート絶縁層 110、120 は CVD (Chemical Vapor Deposition) 法によって成膜される。ゲート絶縁層 110、120 の一方又は両方を「第 1 絶縁層」という場合がある。

【0049】

ゲート絶縁層 110 として窒化シリコンが用いられることで、ゲート絶縁層 110 は、例えば基板 100 側から酸化物半導体層 140 に向かって拡散する不純物をブロックすることができる。ゲート絶縁層 120 として用いられる酸化シリコンは、熱処理によって酸素を放出する物性の酸化シリコンである。

【0050】

図 3 及び図 5 に示すように、ゲート絶縁層 120 の上に酸化金属層 130 及び酸化物半導体層 140 を形成する（図 3 のステップ S2002 の「OS/AlO_x 成膜」）。この工程について、基板 100 の上にゲート絶縁層 110、120 を形成し、ゲート絶縁層 110、120 の上に酸化金属層 130 を形成する、という場合がある。又は、基板 100 の上に酸化金属層 130 を形成し、酸化金属層 130 の上に酸化物半導体層 140 を形成する、という場合がある。具体的には、酸化物半導体層 140 は酸化金属層 130 に接するように形成される。酸化金属層 130 及び酸化物半導体層 140 は、スパッタリング法又は原子層堆積法 (ALD: Atomic Layer Deposition) によって成膜される。

【0051】

酸化金属層 130 の厚さは、例えば、1 nm 以上 100 nm 以下、1 nm 以上 50 nm 以下、1 nm 以上 30 nm 以下、又は 1 nm 以上 10 nm 以下である。本実施形態では、酸化金属層 130 として酸化アルミニウムが用いられる。酸化アルミニウムはガスに対する高いバリア性を備えている。本実施形態において、酸化金属層 130 として用いられた酸化アルミニウムは、ゲート絶縁層 120 から放出された水素及び酸素をブロックし、放出された水素及び酸素が酸化物半導体層 140 に到達することを抑制する。

【0052】

酸化物半導体層 140 の厚さは、例えば、10 nm 以上 100 nm 以下、15 nm 以上 70 nm 以下、又は 20 nm 以上 40 nm 以下である。後述する熱処理 (OS アニール) 前の酸化物半導体層 140 はアモルファスである。

【0053】

後述する OS アニールによって、酸化物半導体層 140 を結晶化する場合、成膜後かつ OS アニール前の酸化物半導体層 140 はアモルファス（酸化物半導体の結晶成分が少ない状態）であることが好ましい。つまり、酸化物半導体層 140 の成膜条件は、成膜直後の酸化物半導体層 140 ができるだけ結晶化しない条件であることが好ましい。例えば、スパッタリング法によって酸化物半導体層 140 が成膜される場合、被成膜対象物（基板 100 及びその上に形成された構造物）の温度を制御しながら酸化物半導体層 140 が成膜される。

【0054】

スパッタリング法によって被成膜対象物に対して成膜を行うと、プラズマ中で発生したイオン及びスパッタリングターゲットによって反跳した原子が被成膜対象物に衝突するため、成膜処理に伴い被成膜対象物の温度が上昇する。成膜処理中の被成膜対象物の温度が上昇すると、成膜直後の状態で酸化物半導体層 140 に微結晶が含まれ、その後の OS アニールによる結晶化が阻害される。上記のように被成膜対象物の温度を制御するために、例えば、被成膜対象物を冷却しながら成膜を行うことができる。例えば、被成膜対象物の

10

20

30

40

50

被成膜面（表面）の温度（以下、「成膜温度」という。）が 100°C 以下、 70°C 以下、 50°C 以下、又は 30°C 以下になるように、被成膜対象物を当該被成膜面の反対側の面から冷却することができる。上記のように、被成膜対象物を冷却しながら酸化物半導体層140の成膜を行うことで、成膜直後の状態で結晶成分が少ない酸化物半導体層140を成膜することができる。

【0055】

図3及び図6に示すように、酸化物半導体層140のパターンを形成する（図3のステップS2003の「OSパターン形成」）。図示しないが、酸化物半導体層140の上にレジストマスクを形成し、当該レジストマスクを用いて酸化物半導体層140をエッチングする。酸化物半導体層140のエッチングとして、ウェットエッチングが用いられてもよく、ドライエッチングが用いられてもよい。ウェットエッチングとして、酸性のエッチャントを用いてエッチングを行うことができる。エッチャントとして、例えば、シュウ酸又はフッ酸を用いることができる。

10

【0056】

酸化物半導体層140のパターン形成の後に酸化物半導体層140に対して熱処理（OSアニール）が行われる（図3のステップS2004の「OSアニール」）。本実施形態では、このOSアニールによって、酸化物半導体層140が結晶化する。

【0057】

図3及び図7に示すように、酸化金属層130のパターンを形成する（図3のステップS2005の「 AlO_x パターン形成」）。酸化金属層130は、上記の工程でパターンニングされた酸化物半導体層140をマスクとしてエッチングされる。酸化金属層130のエッチングとして、ウェットエッチングが用いられてもよく、ドライエッチングが用いられてもよい。ウェットエッチングとして、例えば希釈フッ酸（DHF）が用いられる。上記のように、酸化物半導体層140をマスクとして酸化金属層130をエッチングすることで、フォトリソグラフィ工程を省略することができる。

20

【0058】

図3及び図8に示すように、酸化物半導体層140の上にゲート絶縁層150を成膜する（図3のステップS2006の「GI形成」）。ゲート絶縁層150として、例えば、酸化シリコンが形成される。ゲート絶縁層150はCVD法によって形成される。例えば、ゲート絶縁層150として上記のように欠陥が少ない絶縁層を形成するために、 350°C 以上の成膜温度でゲート絶縁層150を成膜してもよい。ゲート絶縁層150の厚さは、例えば、 50nm 以上 300nm 以下、 60nm 以上 200nm 以下、又は 70nm 以上 150nm 以下である。ゲート絶縁層150を成膜した後に、ゲート絶縁層150の一部に酸素を打ち込む処理を行ってもよい。ゲート絶縁層150を「第2絶縁層」という場合がある。ゲート絶縁層150の上に酸化金属層190を成膜する（図22のステップS2007の「 AlO_x 成膜」）。酸化金属層190は、スパッタリング法によって成膜される。酸化金属層190の成膜によって、ゲート絶縁層150に酸素が打ち込まれる。

30

【0059】

酸化金属層190の厚さは、例えば、 5nm 以上 100nm 以下、 5nm 以上 50nm 以下、 5nm 以上 30nm 以下、又は 7nm 以上 15nm 以下である。本実施形態では、酸化金属層190として酸化アルミニウムが用いられる。酸化アルミニウムはガスに対する高いバリア性を備えている。本実施形態において、酸化金属層190として用いられた酸化アルミニウムは、酸化金属層190の成膜時にゲート絶縁層150に打ち込まれた酸素が外方拡散することを抑制する。

40

【0060】

例えば、酸化金属層190をスパッタリング法で形成した場合、酸化金属層190の膜中にはスパッタリングで用いられたプロセスガスが残存する。例えば、スパッタリングのプロセスガスとしてArが用いられた場合、酸化金属層190の膜中にはArが残存することがある。残存したArは酸化金属層190に対するSIMS（Secondary Ion Mass Spectrometry）分析で検出することができる。

50

【0061】

酸化物半導体層140の上にゲート絶縁層150が成膜され、ゲート絶縁層150の上に酸化金属層190が成膜された状態で、酸化物半導体層140へ酸素を供給するための熱処理（酸化アニール）が行われる（図3のステップS2008の「酸化アニール」）。換言すると、上記のようにパターニングされた酸化金属層130及び酸化物半導体層140に対して熱処理（酸化アニール）が行われる。酸化物半導体層140が成膜されてから酸化物半導体層140の上にゲート絶縁層150が成膜されるまでの間の工程で、酸化物半導体層140の上面141及び側面143には多くの酸素欠損が発生する。上記の酸化アニールによって、ゲート絶縁層120、150から放出された酸素が酸化物半導体層140に供給され、酸素欠損が修復される。

10

【0062】

酸化アニールによって、ゲート絶縁層120から放出された酸素は、酸化金属層130によってブロックされるため、酸化物半導体層140の下面142には酸素が供給されにくい。ゲート絶縁層120から放出された酸素は、酸化金属層130が形成されていない領域からゲート絶縁層120の上に設けられたゲート絶縁層150に拡散し、ゲート絶縁層150を介して酸化物半導体層140に到達する。その結果、ゲート絶縁層120から放出された酸素は、酸化物半導体層140の下面142には供給されにくく、主に酸化物半導体層140の側面143及び上面141に供給される。さらに、酸化アニールによって、ゲート絶縁層150から放出された酸素が酸化物半導体層140の上面141及び側面143に供給される。上記の酸化アニールによって、ゲート絶縁層110、120から水素が放出される場合があるが、当該水素は酸化金属層130によってブロックされる。

20

【0063】

上記のように、酸化アニールの工程によって、酸素欠損の量が少ない酸化物半導体層140の下面142への酸素の供給を抑制しつつ、酸素欠損の量が多い酸化物半導体層140の上面141及び側面143への酸素供給を行うことができる。

【0064】

同様に、上記の酸化アニールにおいて、ゲート絶縁層150に打ち込まれた酸素は、酸化金属層190によってブロックされるため、大気中に放出されることが抑制される。したがって、当該酸化アニールによって、当該酸素が効率よく酸化物半導体層140に供給され、酸素欠損が修復される。

30

【0065】

図3及び図9に示すように、酸化アニールの後に、酸化金属層190はエッチング（除去）される（図3のステップS2009の「ALOX除去」）。酸化金属層190のエッチングとして、ウェットエッチングが用いられてもよく、ドライエッチングが用いられてもよい。ウェットエッチングとして、例えば希釈フッ酸（DHF）が用いられる。当該エッチングによって、全面に形成された酸化金属層190が除去される。換言すると、酸化金属層190の除去はマスクを用いずに行われる。さらに換言すると、当該エッチングによって、少なくとも平面視において、ある1つのパターンに形成された酸化物半導体層140と重なる領域の全ての酸化金属層190が除去される。

【0066】

図3及び図10に示すように、ゲート絶縁層150の上にゲート電極160を成膜する（図3のステップS2010の「GE形成」）。ゲート電極160は、スパッタリング法又は原子層堆積法によって成膜され、フォトリソグラフィ工程を経てパターニングされる。上記のように、ゲート電極160は、酸化金属層190が除去されることで露出したゲート絶縁層150と接するように形成される。

40

【0067】

ゲート電極160がパターニングされた状態で、酸化物半導体層140のソース領域S及びドレイン領域Dの低抵抗化が行われる（図3のステップS2011の「SD低抵抗化」）。具体的には、イオン注入によって、ゲート電極160側からゲート絶縁層150を介して酸化物半導体層140に不純物が注入される。イオン注入によって、例えば、アル

50

ゴン（Ar）、リン（P）、ボロン（B）が酸化物半導体層140に注入される。イオン注入によって酸化物半導体層140に酸素欠損が形成されることで、酸化物半導体層140が低抵抗化する。半導体装置10のチャネル領域CHとして機能する酸化物半導体層140の上方にはゲート電極160が設けられているため、チャネル領域CHの酸化物半導体層140には不純物は注入されない。

【0068】

図3及び図11に示すように、ゲート絶縁層150及びゲート電極160の上に層間膜として絶縁層170、180を成膜する（図3のステップS2012の「層間膜成膜」）。絶縁層170、180はCVD法によって成膜される。例えば、絶縁層170として窒化シリコンが形成され、絶縁層180として酸化シリコンが形成される。絶縁層170、180として用いられる材料は上記に限定されない。絶縁層170の厚さは、50nm以上500nm以下である。絶縁層180の厚さは、50nm以上500nm以下である。

【0069】

図3及び図12に示すように、ゲート絶縁層150及び絶縁層170、180に開口171、173を形成する（図3のステップS2013の「コンタクト開孔」）。開口171によってソース領域Sの酸化物半導体層140が露出されている。開口173によってドレイン領域Dの酸化物半導体層140が露出されている。開口171、173によって露出された酸化物半導体層140の上及び絶縁層180の上にソース・ドレイン電極200を形成することで（図3のステップS2014の「SD形成」）、図1に示す半導体装置10が完成する。

【0070】

上記の製造方法で作成した半導体装置10では、チャネル領域CHのチャネル長Lが2 μ m以上4 μ m以下、かつ、チャネル領域CHのチャネル幅が2 μ m以上25 μ m以下の範囲において、移動度が50[cm²/Vs]以上、55[cm²/Vs]以上、又は60[cm²/Vs]以上の電気特性を得ることができる。本実施形態における移動度とは半導体装置10の飽和領域における電界効果移動度であって、ソース電極とドレイン電極との間の電位差（Vd）が、ゲート電極に供給される電圧（Vg）から半導体装置10の閾値電圧（Vth）を引いた値（Vg - Vth）より大きい領域における電界効果移動度の最大値を意味する。

【0071】

〈第1実施形態の変形例1〉

図13～図15を用いて、本実施形態の変形例1について説明する。変形例1に係る半導体装置10の構造は図1と同様だが、その製造方法が図3～図12と相違する。以下の説明において、図3～図12に示す製造方法と共通する工程については、その説明を省略し、主に相違点に係る製造方法について説明する。

【0072】

図13は、本発明の一実施形態の変形例に係る半導体装置の製造方法を示すシーケンス図である。図14及び図15は、本発明の一実施形態の変形例に係る半導体装置の製造方法を示す断面図である。図13に示すように、変形例1では、酸化金属層130及び酸化物半導体層140のパターンを一括で形成している（ステップS2020の「OS/AlOxパターン形成」）。つまり、パターニングされた酸化金属層130及び酸化物半導体層140に対して熱処理（OSアニール及び酸化アニール）が行われる。

【0073】

図14に示すように、酸化金属層130及び酸化物半導体層140を成膜した後に、酸化物半導体層140の上にレジストマスク220を形成する。そして、図15に示すように、レジストマスク220を用いて酸化金属層130及び酸化物半導体層140のパターンを形成する。酸化金属層130及び酸化物半導体層140のエッチングとして、ウェットエッチングが用いられてもよく、ドライエッチングが用いられてもよい。酸化金属層130及び酸化物半導体層140がウェットエッチングによってエッチングされる場合、上記と同様のエッチャントを用いることができる。変形例1では、酸化金属層130及び酸

化物半導体層 140 のパターンが形成された状態で O S アニールが行われる（ステップ S 2004）。その後のステップ S 2006～S 2014 は、図 3 と同様なので、詳細な説明を省略する。

【0074】

〈第 1 実施形態の変形例 2〉

図 16 及び図 17 を用いて、本実施形態の変形例 2 について説明する。変形例 2 に係る半導体装置 10 の構造及び製造方法は図 1 及び図 3～図 12 と相違する。以下の説明において、図 1 及び図 3～図 12 に示す製造方法と共通する工程については、その説明を省略し、主に相違点に係る製造方法について説明する。

【0075】

図 16 は、本発明の一実施形態の変形例に係る半導体装置の概要を示す断面図である。図 17 は、本発明の一実施形態の変形例に係る半導体装置の製造方法を示すシーケンス図である。

【0076】

図 16 に示すように、変形例 2 に係る半導体装置 10 の構造は、図 1 に示された半導体装置 10 の構造と類似しているが、酸化金属層 130 のパターンが形成されていない点において、図 1 に示す半導体装置 10 の構造と相違する。つまり、変形例 2 において、酸化金属層 130 は、酸化物半導体層 140 のパターンよりも外側に延びている。酸化金属層 130 は、酸化物半導体層 140 のパターンの外側でゲート絶縁層 150 に接している。

【0077】

図 17 に示すように、変形例 2 に係る半導体装置 10 の製造方法は、図 3 に示す半導体装置 10 の製造方法と類似しているが、酸化金属層 130 のパターン形成（図 3 のステップ S 2005）が設けられていない点において、図 3 に示す半導体装置 10 の製造方法と相違する。換言すると、変形例 2 では、酸化金属層 130 の上に形成された酸化物半導体層 140 がパターニングされ、酸化金属層 130 及びパターニングされた酸化物半導体層 140 に対して熱処理（O S アニール及び酸化アニール）が行われる。その後のステップ S 2006～S 2014 は、図 3 と同様なので、詳細な説明を省略する。

【0078】

〈第 1 実施形態の変形例 3〉

図 18～図 22 を用いて、本実施形態の変形例 3 について説明する。変形例 3 に係る半導体装置 10 の構造及び製造方法は図 1～図 12 と相違する。以下の説明において、図 1～図 12 に示す製造方法と共通する工程については、その説明を省略し、主に相違点に係る製造方法について説明する。

【0079】

図 18 は、本発明の一実施形態に係る半導体装置の概要を示す断面図である。図 19 は、本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【0080】

図 18 及び図 19 に示すように、変形例 3 に係る半導体装置 10 の構造は、図 1 及び図 2 に示された半導体装置 10 の構造と類似しているが、酸化金属層 130 のパターンが酸化物半導体層 140 のパターンと異なる点において、図 1 に示す半導体装置 10 の構造と相違する。具体的には、図 18 の断面視において、酸化物半導体層 140 のパターンは、酸化金属層 130 のパターンよりも外側に延びている。つまり、酸化物半導体層 140 は酸化金属層 130 のパターンを乗り越えている。酸化物半導体層 140 は酸化金属層 130 のパターンの外側でゲート絶縁層 120 に接している。ゲート絶縁層 120 を「第 1 絶縁層」という場合がある。

【0081】

ソース・ドレイン電極 200 は、酸化金属層 130 が設けられていない領域で、酸化物半導体層 140 に接している。図 19 の平面視において、酸化金属層 130 のパターンは酸化物半導体層 140 のパターンの内側に位置している。酸化金属層 130 のパターンと重ならない領域に開口 171、173 が設けられている。

10

20

30

40

50

【0082】

図20は、本発明の一実施形態に係る半導体装置の製造方法を示すシーケンス図である。図21及び図22は、本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。図20に示すように、変形例3では、酸化金属層130のパターンを形成（ステップS2030の「ALOX成膜」及びS2031の「ALOXパターン形成」）した後に酸化物半導体層140のパターンを形成している（ステップS2032の「OS成膜」及びS2033の「OSパターン形成」）。図3とは異なり、OSアニール（ステップS2034の「OSアニール」）はゲート絶縁層150を形成した後に行われる。上記の構成を換言すると、酸化金属層130がパターンニングされた後に酸化物半導体層140が成膜され、当該酸化物半導体層140がパターンニングされる。そして、パターンニングされた酸化物半導体層140及び酸化金属層130に対して熱処理（OSアニール及び酸化アニール）が行われる。

10

【0083】

図21に示すように、ゲート絶縁層120の上に酸化金属層130を成膜し（ステップS2030）、酸化金属層130のパターンを形成する（ステップS2031）。酸化金属層130のパターン形成（エッチング）は上記と同様の方法で行われる。

【0084】

図22に示すように、パターンニングされた酸化金属層130の上に酸化物半導体層140を成膜し（ステップS2032）、酸化物半導体層140のパターンを形成する（ステップS2033）。酸化物半導体層140のパターン形成（エッチング）は上記と同様の方法で行われる。そして、図22に示す状態で、OSアニールが行われる（ステップS2034）。その後のステップS2006～S2012は、図3と同様なので、詳細な説明を省略する。

20

【0085】

以上のように、本実施形態の変形例1～3に係る半導体装置10によると、本実施形態と同様の効果を得ることができる。

【0086】

〈第2実施形態〉

図23～図27を用いて、本発明の一実施形態に係る半導体装置を用いた表示装置について説明する。以下に示す実施形態では、上記の第1実施形態で説明した半導体装置10が液晶表示装置の回路に適用された構成について説明する。

30

【0087】

〔表示装置20の概要〕

図23は、本発明の一実施形態に係る表示装置の概要を示す平面図である。図23に示すように、表示装置20は、アレイ基板300、シール部310、対向基板320、フレキシブルプリント回路基板330（FPC330）、及びICチップ340を有する。アレイ基板300及び対向基板320はシール部310によって貼り合わせられている。シール部310に囲まれた液晶領域22には、複数の画素回路301がマトリクス状に配置されている。液晶領域22は、後述する液晶素子311と平面視において重なる領域である。

40

【0088】

シール部310が設けられたシール領域24は、液晶領域22の周囲の領域である。FPC330は端子領域26に設けられている。端子領域26はアレイ基板300が対向基板320から露出された領域であり、シール領域24の外側に設けられている。シール領域24の外側とは、シール部310が設けられた領域及びシール部310によって囲まれた領域の外側を意味する。ICチップ340はFPC330上に設けられている。ICチップ340は各画素回路301を駆動させるための信号を供給する。

【0089】

〔表示装置20の回路構成〕

図24は、本発明の一実施形態に係る表示装置の回路構成を示すブロック図である。図

50

24に示すように、画素回路301が配置された液晶領域22に対してD1方向（列方向）に隣接する位置にはソースドライバ回路302が設けられており、液晶領域22に対してD2方向（行方向）に隣接する位置にはゲートドライバ回路303が設けられている。ソースドライバ回路302及びゲートドライバ回路303は、上記のシール領域24に設けられている。ただし、ソースドライバ回路302及びゲートドライバ回路303が設けられる領域はシール領域24に限定されず、画素回路301が設けられた領域の外側であれば、どの領域でもよい。

【0090】

ソースドライバ回路302からソース配線304がD1方向に延びており、D1方向に配列された複数の画素回路301に接続されている。ゲートドライバ回路303からゲート配線305がD2方向に延びており、D2方向に配列された複数の画素回路301に接続されている。

10

【0091】

端子領域26には端子部306が設けられている。端子部306とソースドライバ回路302とは接続配線307で接続されている。同様に、端子部306とゲートドライバ回路303とは接続配線307で接続されている。FPC330が端子部306に接続されることで、FPC330が接続された外部機器と表示装置20とが接続され、外部機器からの信号によって表示装置20に設けられた各画素回路301が駆動する。

【0092】

第1実施形態に示す半導体装置10は、画素回路301、ソースドライバ回路302、及びゲートドライバ回路303に含まれるトランジスタとして用いられる。

20

【0093】

〔表示装置20の画素回路301〕

図25は、本発明の一実施形態に係る表示装置の画素回路を示す回路図である。図25に示すように、画素回路301は半導体装置10、保持容量350、及び液晶素子311などの素子を含む。半導体装置10はゲート電極160、ソース電極201、及びドレイン電極203を有する。ゲート電極160はゲート配線305に接続されている。ソース電極201はソース配線304に接続されている。ドレイン電極203は保持容量350及び液晶素子311に接続されている。本実施形態では、説明の便宜上、符号「201」で示された電極をソース電極といい、符号「203」で示された電極をドレイン電極というが、符号「201」で示された電極がドレイン電極として機能し、符号「203」で示された電極がソース電極として機能してもよい。

30

【0094】

〔表示装置20の断面構造〕

図26は、本発明の一実施形態に係る表示装置の断面図である。図26に示すように、表示装置20は、半導体装置10が用いられた表示装置である。本実施形態では、半導体装置10が画素回路301に用いられた構成を例示するが、半導体装置10がソースドライバ回路302及びゲートドライバ回路303を含む周辺回路に用いられてもよい。以下の説明において、半導体装置10の構成は図1に示す半導体装置10と同様なので、説明を省略する。

40

【0095】

ソース電極201及びドレイン電極203の上に絶縁層360が設けられている。絶縁層360の上に、複数の画素に共通して設けられる共通電極370が設けられている。共通電極370の上に絶縁層380が設けられている。絶縁層360、380には開口381が設けられている。絶縁層380の上及び開口381の内部に画素電極390が設けられている。画素電極390はドレイン電極203に接続されている。

【0096】

図27は、本発明の一実施形態に係る表示装置の画素電極及び共通電極の平面図である。図27に示すように、共通電極370は、平面視で画素電極390と重なる重畳領域と、画素電極390と重ならない非重畳領域とを有する。画素電極390と共通電極370

50

との間に電圧を供給すると、重畳領域の画素電極 390 から非重畳領域の共通電極 370 に向かって横電界が形成される。この横電界によって液晶素子 311 に含まれる液晶分子が動作することで、画素の階調が決定される。

【0097】

〈第3実施形態〉

図28及び図29を用いて、本発明の一実施形態に係る半導体装置を用いた表示装置について説明する。本実施形態では、上記の第1実施形態で説明した半導体装置10が有機EL表示装置の回路に適用された構成について説明する。表示装置20の概要及び回路構成は図23及び図24に示すものと同様なので、説明を省略する。

【0098】

〔表示装置20の画素回路301〕

図28は、本発明の一実施形態に係る表示装置の画素回路を示す回路図である。図28に示すように、画素回路301は駆動トランジスタ11、選択トランジスタ12、保持容量210、及び発光素子DOなどの素子を含む。駆動トランジスタ11及び選択トランジスタ12は半導体装置10と同様の構成を備えている。選択トランジスタ12のソース電極は信号線211に接続され、選択トランジスタ12のゲート電極はゲート線212に接続されている。駆動トランジスタ11のソース電極はアノード電源線213に接続され、駆動トランジスタ11のドレイン電極は発光素子DOの一端に接続されている。発光素子DOの他端はカソード電源線214に接続されている。駆動トランジスタ11のゲート電極は選択トランジスタ12のドレイン電極に接続されている。保持容量210は駆動トランジスタ11のゲート電極及びドレイン電極に接続されている。信号線211には、発光素子DOの発光強度を決める階調信号が供給される。ゲート線212には、上記の階調信号を書き込む画素行を選択する信号が供給される。

【0099】

〔表示装置20の断面構造〕

図29は、本発明の一実施形態に係る表示装置の断面図である。図29に示す表示装置20の構成は、図26に示す表示装置20と類似しているが、図29の表示装置20の絶縁層360よりも上方の構造が図26の表示装置20の絶縁層360よりも上方の構造と相違する。以下、図29の表示装置20の構成のうち、図26の表示装置20と同様の構成については説明を省略し、両者の相違点について説明する。

【0100】

図29に示すように、表示装置20は、絶縁層360の上方に画素電極390、発光層392、及び共通電極394（発光素子DO）を有する。画素電極390は絶縁層360の上及び開口381の内部に設けられている。画素電極390の上に絶縁層362が設けられている。絶縁層362には開口363が設けられている。開口363は発光領域に対応する。つまり、絶縁層362は画素を画定する。開口363によって露出した画素電極390の上に発光層392及び共通電極394が設けられている。画素電極390及び発光層392は、各画素に対して個別に設けられている。一方、共通電極394は、複数の画素に共通して設けられている。発光層392は、画素の表示色に応じて異なる材料が用いられる。

【0101】

第2実施形態及び第3実施形態では、第1実施形態で説明した半導体装置を液晶表示装置及び有機EL表示装置に適用した構成について例示したが、これらの表示装置以外の表示装置（例えば、有機EL表示装置以外の自発光型表示装置又は電子ペーパー型表示装置）に当該半導体装置を適用してもよい。また、中小型の表示装置から大型の表示装置まで、特に限定することなく上記半導体装置の適用が可能である。

【実施例】

【0102】

〔半導体装置10の電気特性〕

図30及び図31を用いて、上記実施形態に係る半導体装置10の電気特性を説明する

10

20

30

40

50

。図 30 及び図 31 に示す電気特性は、第 1 実施形態に示す半導体装置 10 の電気特性である。

【0103】

[初期特性]

図 30 及び図 31 に示す電気特性の測定条件は以下の通りである。

- ・チャネル領域 CH のサイズ： $W/L = 3.0 \mu\text{m} / 3.0 \mu\text{m}$
- ・ソース・ドレイン間電圧： 0.1 V （点線）、 10 V （実線）
- ・ゲート電圧： $-15 \text{ V} \sim +15 \text{ V}$
- ・測定環境：室温、暗室

【0104】

図 30 及び図 31 では、半導体装置 10 の電気特性（ $I_d - V_g$ 特性）及び移動度が示されている。図 30 及び図 31 のグラフ中に矢印で示されているように、ドレイン電流（ I_d ）に対する縦軸はグラフの左側に示されており、当該ドレイン電流から計算された移動度に対する縦軸はグラフの右側に示されている。

【0105】

図 30 に示すように、第 1 実施形態に係る半導体装置 10 の電気特性は、ゲート電圧 V_g が 0 V よりも高い電圧でドレイン電流 I_d が流れ始める、いわゆるノーマリオフの特性を示す。当該電気特性から計算された移動度は約 $59 [\text{cm}^2 / \text{Vs}]$ である。

【0106】

図 31 は、第 1 実施形態に係る半導体装置 10 の電気特性におけるチャネル長 L 及びチャネル幅 W 依存性を示す。図 31 では、チャネル長が $2 \mu\text{m} \sim 4 \mu\text{m}$ かつチャネル幅が $2 \mu\text{m} \sim 25 \mu\text{m}$ の電気特性が示されている。図 31 に示すように、チャネル長が $2 \mu\text{m}$ かつチャネル幅が $2 \mu\text{m}$ の電気特性であっても、チャネル長が $4 \mu\text{m}$ かつチャネル幅が $25 \mu\text{m}$ の電気特性であっても、良好な電気特性が得られることが確認された。図 31 の各グラフにおいて、移動度が $40 [\text{cm}^2 / \text{Vs}]$ 及び $60 [\text{cm}^2 / \text{Vs}]$ の値に水平な点線が描かれている。図 31 に示す全てのサイズの半導体装置 10 で、 $40 [\text{cm}^2 / \text{Vs}]$ 以上の移動度が実現されており、一部のサイズの半導体装置 10 で $60 [\text{cm}^2 / \text{Vs}]$ 以上の移動度が実現されている。

【0107】

[信頼性試験]

図 32 は、本発明の一実施形態に係る半導体装置の信頼性試験結果を示す図である。図 32 では、Positive Bias Temperature Stress (PBT S) による信頼性の評価結果と Negative Bias Temperature Illumination Stress (NB T I S) による信頼性の評価結果とを示す。図 32 に示す信頼性試験結果は第 1 実施形態に示す半導体装置 10 の結果である。

【0108】

PBT S 信頼性試験の条件は以下の通りである。

- ・チャネル領域 CH のサイズ： $W/L = 3.0 \mu\text{m} / 3.0 \mu\text{m}$
- ・光照射条件：照射無し（暗室）
- ・ゲート電圧： $+30 \text{ V}$
- ・ソース及びドレイン電圧： 0 V
- ・ストレス印加時のステージ温度： 60°C

【0109】

NB T I S 信頼性試験の条件は以下の通りである。

- ・チャネル領域 CH のサイズ： $W/L = 3.0 \mu\text{m} / 3.0 \mu\text{m}$
- ・光照射条件：照射有り（ $8000 \text{ cd} / \text{m}^2$ ）
- ・ゲート電圧： -30 V
- ・ソース及びドレイン電圧： 0 V
- ・ストレス印加時のステージ温度： 60°C

【0110】

図 3 2 に示すように、ストレス印加前 (0 s e c) 及びストレス印加後 (3 6 0 0 s e c) に、それぞれの半導体装置の電気特性を評価した結果が重ねて表示されている。図 3 2 において、ストレス印加前 (0 s e c) の電気特性は点線で表示されており、ストレス印加後 (3 6 0 0 s e c) の電気特性は実線で表示されている。

【 0 1 1 1 】

ストレス印加前及びストレス印加後の半導体装置 1 0 の電気特性の測定条件は以下の通りである。

- ・ソース・ドレイン間電圧： 0 . 1 V 、 1 0 V
- ・ゲート電圧： - 1 5 V ~ + 1 5 V
- ・測定環境： 6 0 ° C 、 暗室

【 0 1 1 2 】

図 3 2 に示すように、第 1 実施形態に係る半導体装置 1 0 では、N B T I S 試験及び P B T S 試験の両方において電気特性はほとんど変化していない。

【 0 1 1 3 】

〔スパッタリング法による半導体装置 1 0 の電気特性への影響〕

図 3 3 を用いて、第 1 実施形態に係る半導体装置 1 0 の電気特性における、酸化物半導体層 1 4 0 の成膜条件に対する依存性を示す。図 3 3 は、本発明の一実施形態に係る半導体装置の電気特性を示す図である。図 3 3 に示す電気特性を測定した半導体装置 1 0 の製造方法は、酸化物半導体層 1 4 0 の成膜温度以外の条件は全て同じである。図 3 3 に示すように、酸化物半導体層 1 4 0 の成膜温度が低いほど、半導体装置 1 0 の電気特性が改善されている。被成膜対象物を冷却しながら酸化物半導体層 1 4 0 の成膜を行うことで、結晶成分が少ない状態の酸化物半導体層 1 4 0 を成膜することができたと考えられ、その後の O S アニールによって酸化物半導体層 1 4 0 の良好な結晶状態が得られたと考えられる。

【 0 1 1 4 】

本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜組み合わせて実施することができる。また、各実施形態の半導体装置及び表示装置を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

【 0 1 1 5 】

上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

【符号の説明】

【 0 1 1 6 】

1 0 : 半導体装置、 1 1 : 駆動トランジスタ、 1 2 : 選択トランジスタ、 2 0 : 表示装置、 2 2 : 液晶領域、 2 4 : シール領域、 2 6 : 端子領域、 1 0 0 : 基板、 1 0 5 、 1 6 0 : ゲート電極、 1 1 0 、 1 2 0 、 1 5 0 : ゲート絶縁層、 1 3 0 、 1 9 0 : 酸化金属層、 1 4 0 : 酸化物半導体層、 1 4 1 : 上面、 1 4 2 : 下面、 1 4 3 : 側面、 1 7 0 、 1 8 0 : 絶縁層、 1 7 1 、 1 7 3 : 開口、 2 0 0 : ソース・ドレイン電極、 2 0 1 : ソース電極、 2 0 3 : ドレイン電極、 2 1 0 : 保持容量、 2 1 1 : 信号線、 2 1 2 : ゲート線、 2 1 3 : アノード電源線、 2 1 4 : カソード電源線、 2 2 0 : レジストマスク、 3 0 0 : アレイ基板、 3 0 1 : 画素回路、 3 0 2 : ソースドライバ回路、 3 0 3 : ゲートドライバ回路、 3 0 4 : ソース配線、 3 0 5 : ゲート配線、 3 0 6 : 端子部、 3 0 7 : 接続配線、 3 1 0 : シール部、 3 1 1 : 液晶素子、 3 2 0 : 対向基板、 3 3 0 : フレキシブルプリント回路基板 (F P C) 、 3 4 0 : I C チップ、 3 5 0 : 保持容量、 3 6 0 、 3 6 2 : 絶縁層、 3 6 3 、 3 8 1 : 開口、 3 7 0 : 共通電極、 3 8 0 : 絶縁層、 3 9 0 : 画素電極、 3 9 2 : 発光層、 3 9 4 : 共通電極

10

20

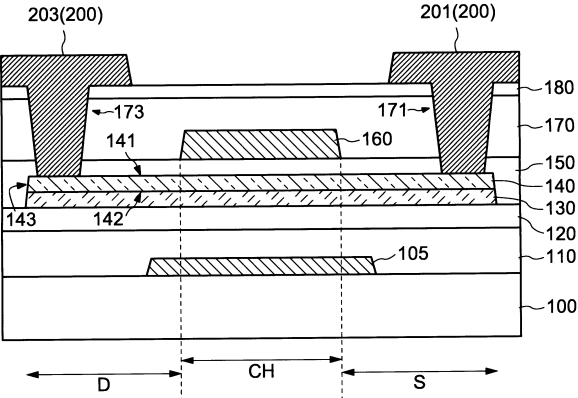
30

40

50

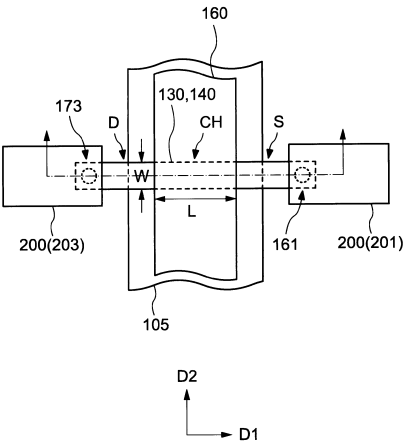
【図面】
【図 1】

10



【図 2】

10



10

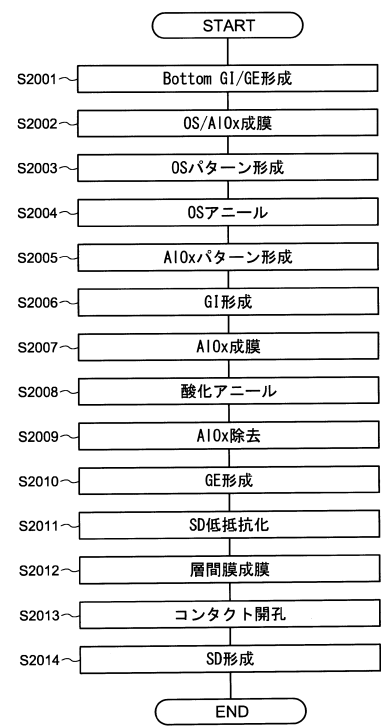
20

30

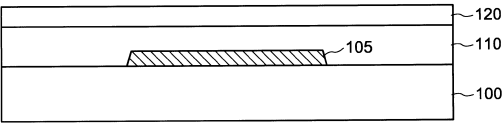
40

50

【図 3】



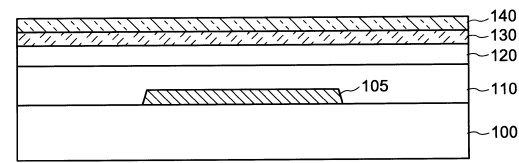
【図 4】



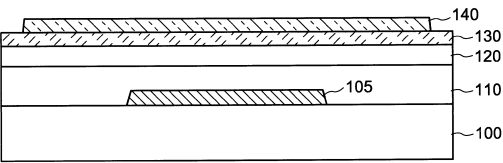
10

20

【図 5】



【図 6】

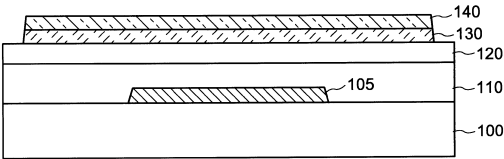


30

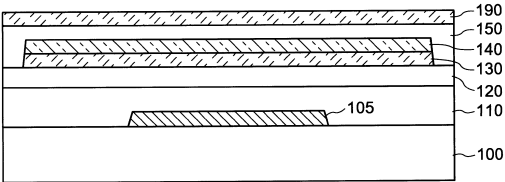
40

50

【図 7】



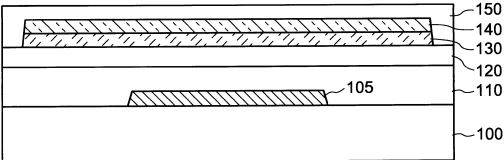
【図 8】



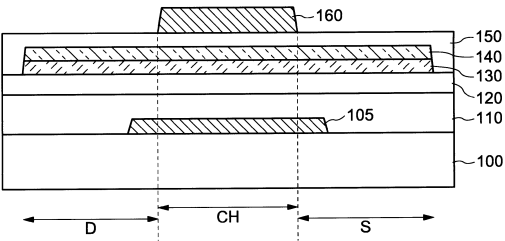
10

20

【図 9】



【図 10】

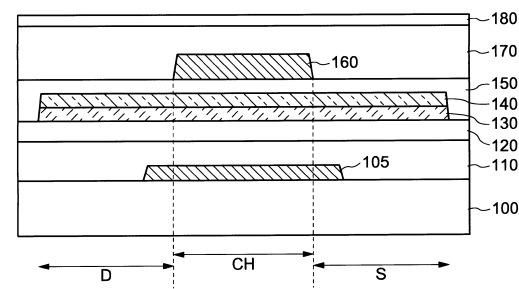


30

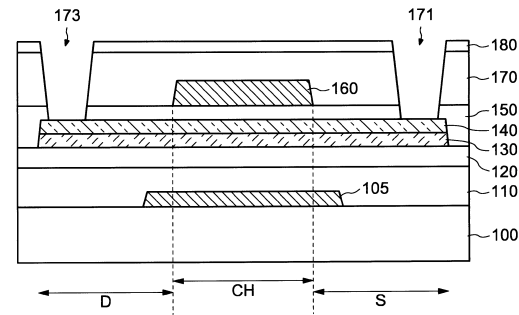
40

50

【図 1 1】



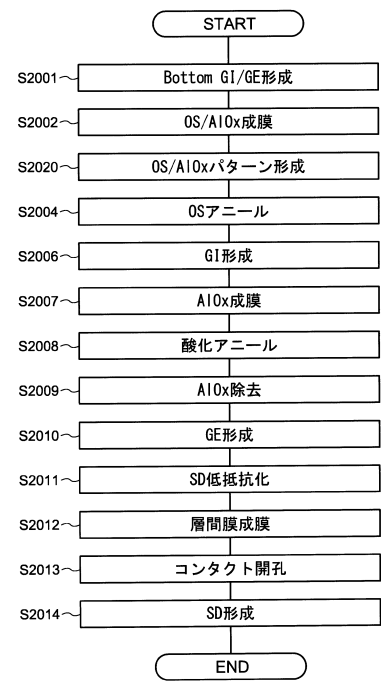
【図 1 2】



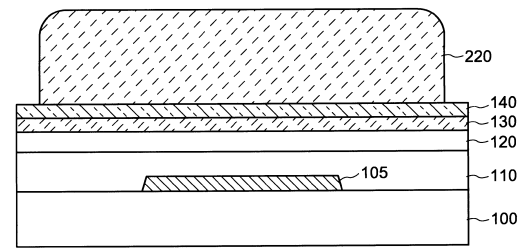
10

20

【図 1 3】



【図 1 4】

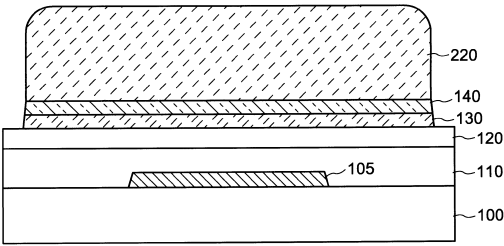


30

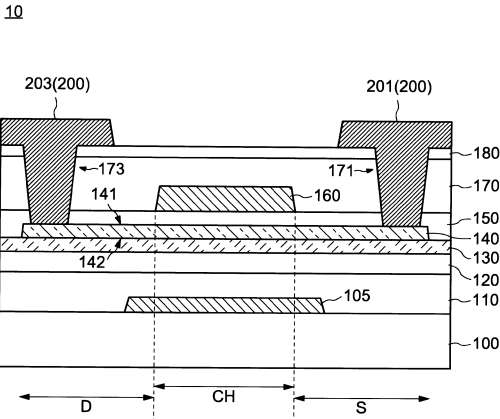
40

50

【図 1 5】



【図 1 6】



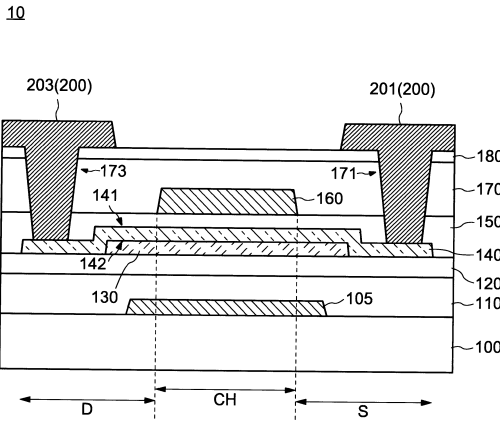
10

20

【図 1 7】



【図 1 8】



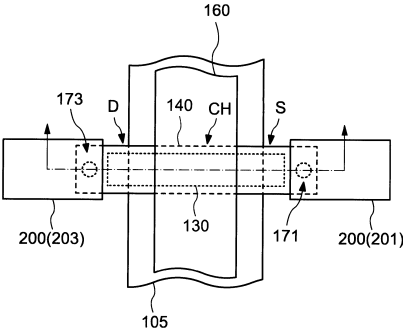
30

40

50

【図 1 9】

10



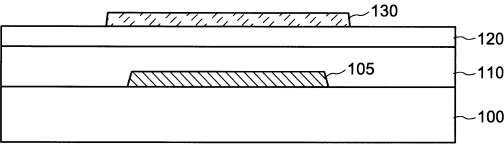
【図 2 0】



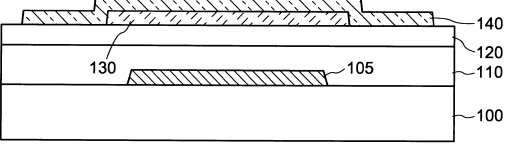
10

20

【図 2 1】



【図 2 2】

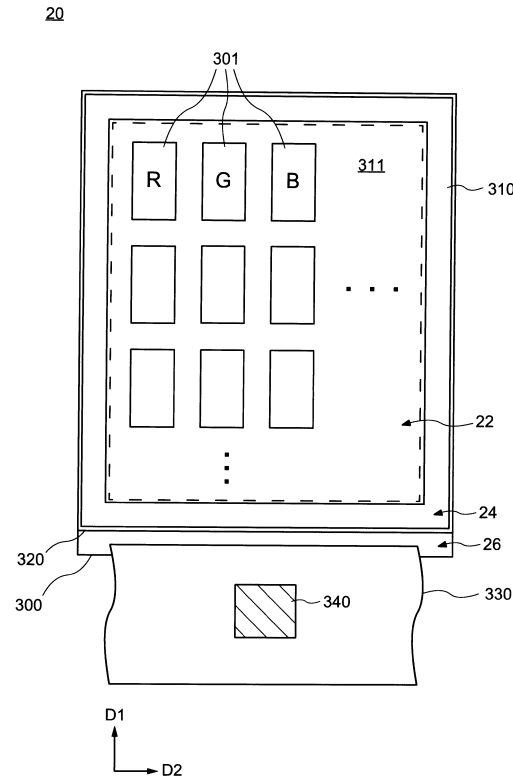


30

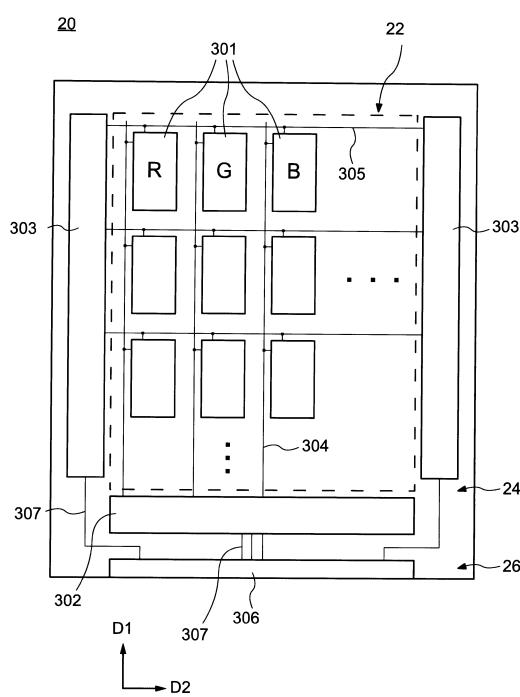
40

50

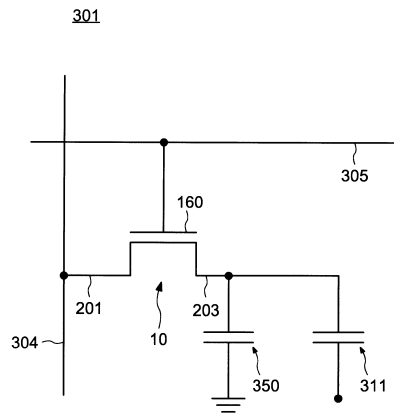
【図 2 3】



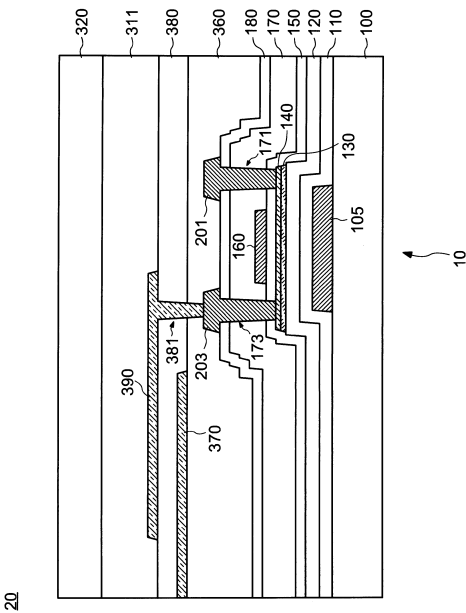
【図 2 4】



【図 2 5】



【図 2 6】



10

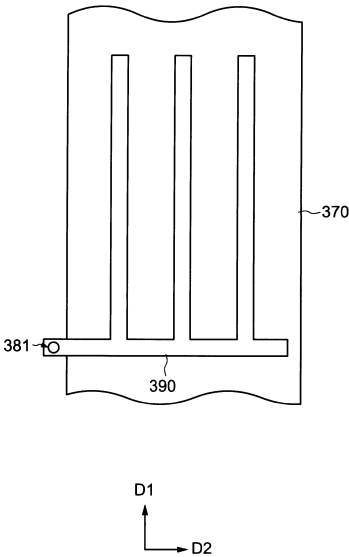
20

30

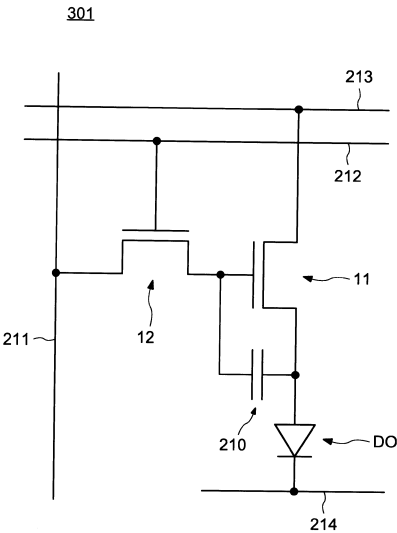
40

50

【図 2 7】



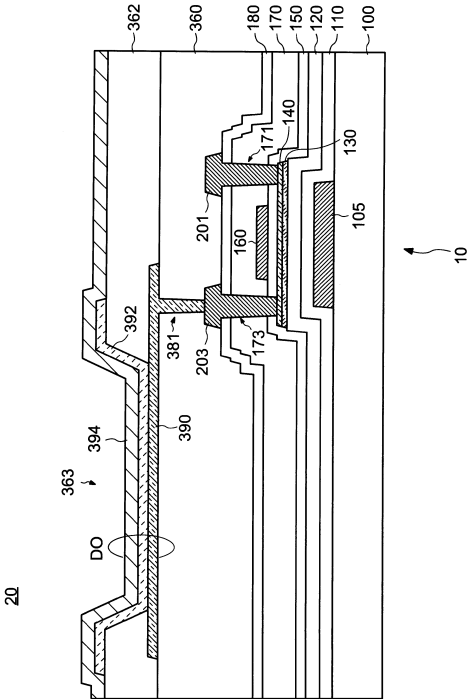
【図 2 8】



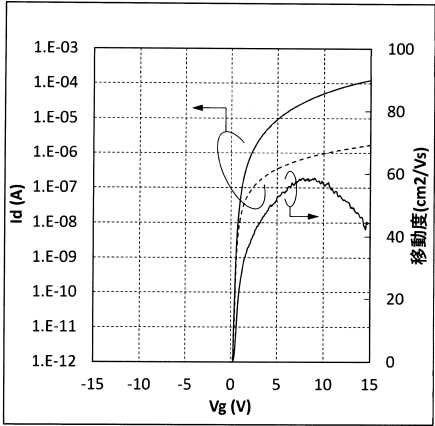
10

20

【図 2 9】



【図 3 0】

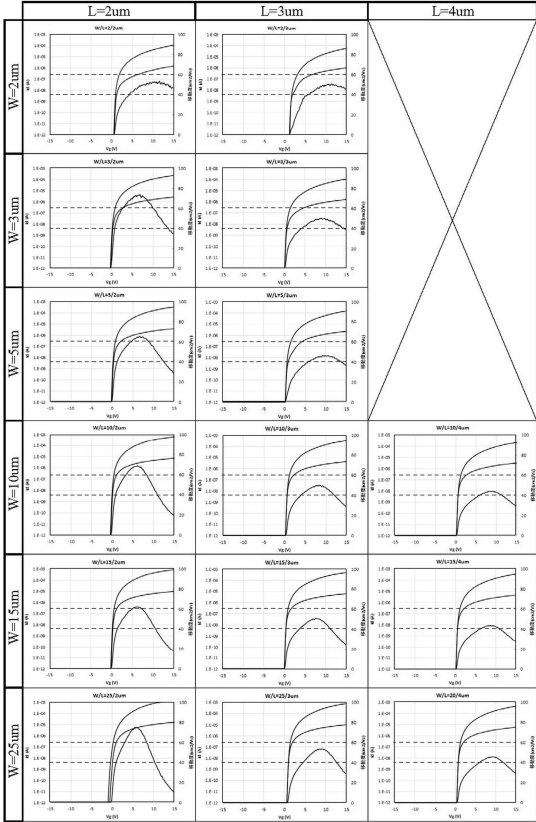


30

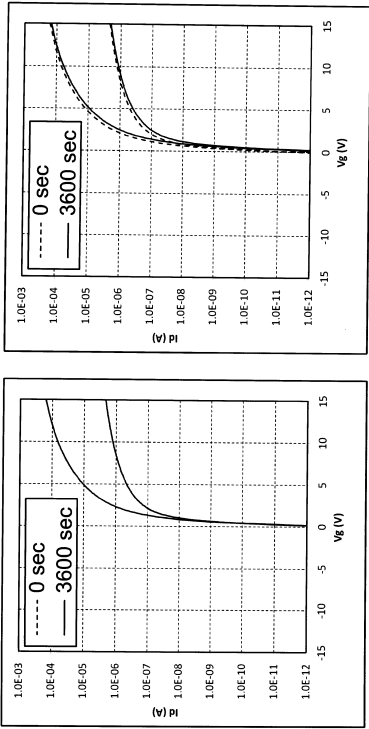
40

50

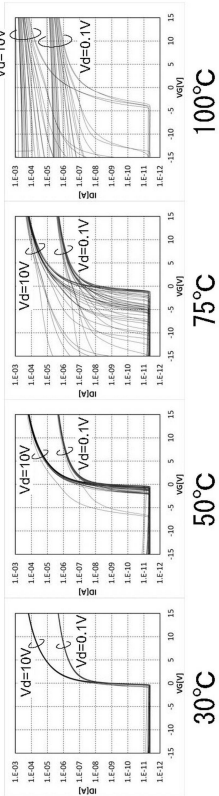
【図 3 1】



【図 3 2】



【図 3 3】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I H O 1 L 21/477	テーマコード (参考)
------------	----------------------------	-------------

東京都港区西新橋三丁目 7 番 1 号 株式会社ジャパンディスプレイ内

F ターム (参考)	5F110	AA01 AA14 BB02 BB05 CC01 CC02 CC07 DD01 DD02 DD03 DD04 DD05 EE02 EE03 EE04 EE06 EE14 EE25 EE30 EE42 EE44 FF01 FF02 FF03 FF04 FF09 FF10 FF27 FF28 FF29 FF36 GG01 GG06 GG13 GG15 GG22 GG25 GG28 GG29 GG42 GG43 GG58 HJ01 HJ13 HJ30 HL02 HL03 HL04 HL06 HL11 NN03 NN04 NN22 NN23 NN24 NN35 NN44 NN73 PP01 QQ05 QQ11
------------	-------	---