



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년07월13일
(11) 등록번호 10-1157438
(24) 등록일자 2012년06월12일

- (51) 국제특허분류(Int. C1.) *H04B 1/16* (2006.01) *H03D 7/00* (2006.01)
(21) 출원번호 10-2010-7023345
(22) 출원일자(국제) 2009년03월20일
 심사청구일자 2010년10월19일
(85) 번역문제출일자 2010년10월19일
(65) 공개번호 10-2010-0124828
(43) 공개일자 2010년11월29일
(86) 국제출원번호 PCT/US2009/037884
(87) 국제공개번호 WO 2009/117707
 국제공개일자 2009년09월24일
(30) 우선권주장
 12/052,657 2008년03월20일 미국(US)
(56) 선행기술조사문헌
 EP0276130 A2*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 24 항

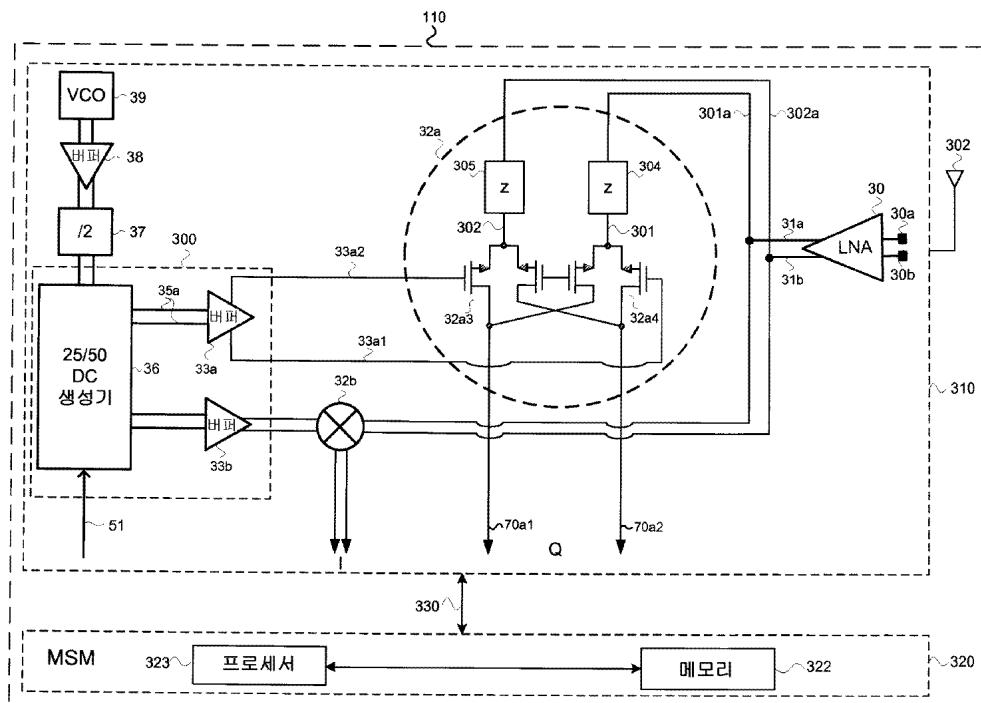
심사관 : 이선택

(54) 발명의 명칭 저감된 전력-소모 수신기

(57) 요약

개시된 일 예시적인 실시형태는 복수의 입력 리드를 갖는 믹서; 믹서의 제 1 입력 리드에 커플링된 제 1 디제너레이티브 임피던스 엘리먼트; 믹서의 제 2 입력 리드에 커플링된 제 2 디제너레이티브 임피던스 엘리먼트; 및 믹서를 위한 LO 신호를 생성하기 위해 복수의 듀티 사이클 모드를 포함하는 국부 발진기 (LO) 시스템을 포함하며, 국부 발진기 시스템은 믹서의 제 1 이득 상태에 기초하여 제 1 듀티 사이클에서 동작하고, 믹서의 제 2 이득 상태에 기초하여 제 2 듀티 사이클에서 동작한다.

대 표 도



(72) 발명자

타지크 알렉산다르 웬

미국 92121 캘리포니아주 샌디에고 모어하우스 드
라이브 5775

보쑤 프레드리꼬

미국 92121 캘리포니아주 샌디에고 모어하우스 드
라이브 5775

특허청구의 범위

청구항 1

복수의 입력 리드를 갖는 믹서;

상기 믹서의 제 1 입력 리드에 커플링된 제 1 디제너레이티브 (degenerative) 임피던스 엘리먼트;

상기 믹서의 제 2 입력 리드에 커플링된 제 2 디제너레이티브 임피던스 엘리먼트; 및

상기 믹서를 위한 LO 신호를 생성하기 위해 복수의 듀티 사이클 모드를 포함하는 국부 발진기 (LO) 시스템을 포함하며,

상기 국부 발진기 시스템은 상기 믹서의 제 1 이득 상태에 기초하여 제 1 듀티 사이클에서 동작하고, 상기 믹서의 제 2 이득 상태에 기초하여 제 2 듀티 사이클에서 동작하고,

상기 믹서는 각 입력 리드가 상이한 디제너레이티브 임피던스 엘리먼트에 커플링되는 복수의 입력 리드를 각각 갖는 복수의 믹서를 포함하며,

상기 국부 발진기 시스템은 상기 복수의 믹서를 위한 상기 LO 신호를 생성하며,

상기 국부 발진기 시스템은 상기 복수의 믹서의 상기 제 1 이득 상태에 기초하여 상기 제 1 듀티 사이클에서 동작하고, 상기 복수의 믹서의 상기 제 2 이득 상태에 기초하여 상기 제 2 듀티 사이클에서 동작하는, 전력 소모를 저감시키는 장치.

청구항 2

제 1 항에 있어서,

상기 믹서의 상기 제 1 이득 상태는 하이 이득 상태를 포함하고, 상기 믹서의 상기 제 2 이득 상태는 로우 이득 상태를 포함하는, 전력 소모를 저감시키는 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 듀티 사이클은 상기 제 2 듀티 사이클의 듀티 사이클 레이트보다 낮은 듀티 사이클 레이트를 포함하는, 전력 소모를 저감시키는 장치.

청구항 4

제 1 항에 있어서,

상기 제 1 디제너레이티브 임피던스 엘리먼트 및 상기 제 2 디제너레이티브 임피던스 엘리먼트 각각은 저항기, 커패시터, 트랜지스터, 직렬로 커플링된 저항기와 커패시터, 직렬로 커플링된 저항기와 트랜지스터, 직렬로 커플링된 커패시터와 트랜지스터, 및 직렬로 커플링된 저항기와 커패시터와 트랜지스터 중 적어도 하나를 포함하는, 전력 소모를 저감시키는 장치.

청구항 5

삭제

청구항 6

복수의 듀티 사이클 모드를 갖는 국부 발진기 (LO) 시스템에 커플링된 믹서의 이득 상태를 결정하는 단계로서, 상기 결정된 이득 상태는 상기 믹서의 제 1 이득 및 제 2 이득 중 적어도 하나의 이득에 대응하는, 상기 이득 상태를 결정하는 단계;

상기 믹서의 상기 결정된 이득 상태에 기초하여 상기 국부 발진기 시스템의 상기 복수의 듀티 사이클 모드로부터 일 듀티 사이클 모드를 선택하는 단계;

상기 국부 발진기 시스템에, 상기 믹서의 결정된 제 1 이득 상태에 기초하여 선택된 제 1 듀티 사이클 모드에

서 동작할 것을 명령하는 단계; 및

상기 국부 발진기 시스템에, 상기 믹서의 결정된 제 2 이득 상태에 기초하여 선택된 제 2 듀티 사이클 모드에서 동작할 것을 명령하는 단계를 포함하고,

상기 믹서는 각 입력 리드가 상이한 디제너레이티브 임피던스 엘리먼트에 커플링되는 복수의 입력 리드를 각각 갖는 복수의 믹서를 포함하고,

상기 국부 발진기 시스템은 상기 복수의 믹서를 위한 상기 LO 신호를 생성하며,

상기 국부 발진기 시스템은 상기 복수의 믹서의 상기 제 1 이득 상태에 기초하여 상기 제 1 듀티 사이클에서 동작하고, 상기 복수의 믹서의 상기 제 2 이득 상태에 기초하여 상기 제 2 듀티 사이클에서 동작하는, 전력 소모를 저감시키는 방법.

청구항 7

컴퓨터로 하여금, 복수의 듀티 사이클 모드를 갖는 국부 발진기 (LO) 시스템에 커플링된 믹서의 이득 상태를 결정하도록 하기 위한 코드로서, 상기 결정된 이득 상태는 상기 믹서의 제 1 이득 및 제 2 이득 중 적어도 하나의 이득에 대응하는, 상기 이득 상태를 결정하도록 하기 위한 코드;

상기 컴퓨터로 하여금, 상기 믹서의 상기 결정된 이득 상태에 기초하여 상기 국부 발진기 시스템의 상기 복수의 듀티 사이클 모드로부터 일 듀티 사이클 모드를 선택하도록 하기 위한 코드;

상기 컴퓨터로 하여금, 상기 국부 발진기 시스템에, 상기 믹서의 결정된 제 1 이득 상태에 기초하여 선택된 제 1 듀티 사이클 모드에서 동작할 것을 명령하도록 하기 위한 코드; 및

상기 컴퓨터로 하여금, 상기 국부 발진기 시스템에, 상기 믹서의 결정된 제 2 이득 상태에 기초하여 선택된 제 2 듀티 사이클 모드에서 동작할 것을 명령하도록 하기 위한 코드를 포함하고,

상기 믹서는 각 입력 리드가 상이한 디제너레이티브 임피던스 엘리먼트에 커플링되는 복수의 입력 리드를 각각 갖는 복수의 믹서를 포함하고,

상기 국부 발진기 시스템은 상기 복수의 믹서를 위한 상기 LO 신호를 생성하며,

상기 국부 발진기 시스템은 상기 복수의 믹서의 상기 제 1 이득 상태에 기초하여 상기 제 1 듀티 사이클에서 동작하고, 상기 복수의 믹서의 상기 제 2 이득 상태에 기초하여 상기 제 2 듀티 사이클에서 동작하는, 컴퓨터 관독가능 매체.

청구항 8

복수의 듀티 사이클 모드를 갖는 국부 발진기 (LO) 시스템에 커플링된 믹서의 이득 상태를 결정하는 수단으로서, 상기 결정된 이득 상태는 상기 믹서의 제 1 이득 및 제 2 이득 중 적어도 하나의 이득에 대응하는, 상기 이득 상태를 결정하는 수단;

상기 믹서의 상기 결정된 이득 상태에 기초하여 상기 국부 발진기 시스템의 상기 복수의 듀티 사이클 모드로부터 일 듀티 사이클 모드를 선택하는 수단; 및

상기 국부 발진기 시스템에, 상기 믹서의 결정된 제 1 이득 상태에 기초하여 선택된 제 1 듀티 사이클 모드에서 동작하고, 상기 믹서의 결정된 제 2 이득 상태에 기초하여 선택된 제 2 듀티 사이클 모드에서 동작할 것을 명령하는 수단을 포함하고,

상기 믹서는 각 입력 리드가 상이한 디제너레이티브 임피던스 엘리먼트에 커플링되는 복수의 입력 리드를 각각 갖는 복수의 믹서를 포함하고,

상기 국부 발진기 시스템은 상기 복수의 믹서를 위한 상기 LO 신호를 생성하며,

상기 국부 발진기 시스템은 상기 복수의 믹서의 상기 제 1 이득 상태에 기초하여 상기 제 1 듀티 사이클에서 동작하고, 상기 복수의 믹서의 상기 제 2 이득 상태에 기초하여 상기 제 2 듀티 사이클에서 동작하는, 전력 소모를 저감시키는 장치.

청구항 9

복수의 믹서 코어를 포함하는 믹서;

상기 믹서에 제공되는 LO 신호를 생성하기 위해 복수의 듀티 사이클 모드를 포함하는 국부 발진기 (LO) 시스템; 및

(a) 상기 복수의 믹서 코어로부터의 제 1 믹서 코어 및 상기 국부 발진기 시스템을 상기 믹서의 제 1 이득에 기초하여 제 1 듀티 사이클 모드에서 동작시키고, (b) 상기 믹서와 상기 복수의 믹서 코어로부터의 제 2 믹서 코어 중 적어도 하나, 및 상기 국부 발진기 시스템을 상기 믹서의 제 2 이득에 기초하여 상기 제 1 듀티 사이클 모드에서 동작시키며, (c) 상기 제 1 믹서 코어 및 상기 국부 발진기 시스템을 상기 믹서의 제 3 이득에 기초하여 제 2 듀티 사이클 모드에서 동작시키는 제어기를 포함하는, 전력 소모를 저감시키는 장치.

청구항 10

제 9 항에 있어서,

상기 복수의 믹서 코어 중에서의 적어도 하나의 믹서 코어는 상기 복수의 믹서 코어 중에서의 다른 믹서 코어와는 상이한 임피던스 값을 포함하는, 전력 소모를 저감시키는 장치.

청구항 11

제 10 항에 있어서,

상기 제 1 믹서 코어는 상기 제 2 믹서 코어보다 작은 임피던스 값을 갖는, 전력 소모를 저감시키는 장치.

청구항 12

제 9 항에 있어서,

상기 믹서 코어 각각은 복수의 입력 리드를 가지며,

제 1 디제너레이티브 임피던스 엘리먼트가 제 1 믹서 코어의 제 1 입력 리드에 커플링되고, 제 2 디제너레이티브 임피던스 엘리먼트가 상기 제 1 믹서 코어의 제 2 입력 리드에 커플링되며; 제 3 디제너레이티브 임피던스 엘리먼트가 제 2 믹서 코어의 제 1 입력 리드에 커플링되고; 제 4 디제너레이티브 임피던스 엘리먼트가 상기 제 2 믹서 코어의 제 2 입력 리드에 커플링되는, 전력 소모를 저감시키는 장치.

청구항 13

제 12 항에 있어서,

상기 제 1 디제너레이티브 임피던스 엘리먼트, 상기 제 2 디제너레이티브 임피던스 엘리먼트, 상기 제 3 디제너레이티브 임피던스 엘리먼트 및 상기 제 4 디제너레이티브 임피던스 엘리먼트 각각은 저항기, 커패시터, 트랜지스터, 직렬로 커플링된 저항기와 커패시터, 직렬로 커플링된 저항기와 트랜지스터, 직렬로 커플링된 커패시터와 트랜지스터, 및 직렬로 커플링된 저항기와 커패시터와 트랜지스터 중 적어도 하나를 포함하는, 전력 소모를 저감시키는 장치.

청구항 14

제 12 항에 있어서,

상기 믹서는 제 1 입력 및 제 2 입력을 포함하며, 상기 믹서의 상기 제 1 입력은 상기 믹서 코어의 상기 제 1 입력 리드를 포함하고, 상기 믹서의 상기 제 2 입력은 상기 믹서 코어의 상기 제 2 입력 리드를 포함하는, 전력 소모를 저감시키는 장치.

청구항 15

제 12 항에 있어서,

상기 믹서는 제 1 출력 및 제 2 출력을 포함하며,

상기 복수의 믹서 코어는 제 1 출력 및 제 2 출력을 각각 포함하며,

상기 믹서의 상기 제 1 출력은 상기 믹서 코어의 상기 제 1 출력을 포함하고, 상기 믹서의 상기 제 2 출력은

상기 막서 코어의 상기 제 2 출력을 포함하는, 전력 소모를 저감시키는 장치.

청구항 16

제 9 항에 있어서,

상기 막서의 대응하는 입력 리드에 각각 커플링된 복수의 출력 리드를 갖는 저잡음 증폭기 (LNA)를 더 포함하는, 전력 소모를 저감시키는 장치.

청구항 17

제 16 항에 있어서,

상기 LNA는 가변 이득 LNA를 포함하는, 전력 소모를 저감시키는 장치.

청구항 18

제 9 항에 있어서,

상기 복수의 막서 코어 각각은 액티브 (active) 코어 및 패시브 (passive) 코어 중 적어도 하나를 포함하는, 전력 소모를 저감시키는 장치.

청구항 19

제 9 항에 있어서,

상기 국부 발진기 (LO) 시스템은 상기 제 1 듀티 사이클 모드 및 상기 제 2 듀티 사이클 모드에 대응하는 듀티 사이클을 생성하기 위해 듀티 사이클 생성기 시스템을 더 포함하는, 전력 소모를 저감시키는 장치.

청구항 20

제 19 항에 있어서,

상기 국부 발진기 (LO) 시스템은 버퍼 시스템을 더 포함하며;

상기 버퍼 시스템은,

상기 듀티 사이클 생성기 시스템의 복수의 출력 리드 중에서 대응하는 출력 리드에 각각 커플링된 복수의 입력 리드;

상기 제어기로부터 수신되는 제어 신호에 기초하여 상기 제 1 듀티 사이클 및 상기 제 2 듀티 사이클 중 적어도 하나의 듀티 사이클에 대응하는 신호를 상기 막서에 제공하기 위해 상기 막서의 상기 제 1 막서 코어의 대응하는 제 1 복수의 입력 리드에 커플링된 제 1 복수의 출력 리드; 및

상기 제어기로부터 수신되는 제어 신호에 기초하여 상기 제 1 듀티 사이클 및 상기 제 2 듀티 사이클 중 적어도 하나의 듀티 사이클에 대응하는 신호를 상기 막서에 제공하기 위해 상기 막서의 상기 제 2 막서 코어의 대응하는 제 2 복수의 입력 리드에 커플링된 제 2 복수의 출력 리드를 포함하는, 전력 소모를 저감시키는 장치.

청구항 21

제 9 항에 있어서,

상기 막서의 상기 제 1 이득 상태는 하이 이득 상태를 포함하고, 상기 막서의 상기 제 2 이득은 로우 이득 상태를 포함하며, 상기 제 3 이득 상태는 상기 막서의 상기 제 2 이득보다 낮은 로우 이득 상태를 포함하는, 전력 소모를 저감시키는 장치.

청구항 22

제 9 항에 있어서,

복수의 막서 코어를 각각 포함하는 복수의 막서를 더 포함하며;

상기 국부 발진기 (LO) 시스템은 상기 복수의 막서에 제공되는 LO 신호를 생성하고,

상기 제어기는 (a) 상기 복수의 막서 각각 내의 상기 복수의 막서 코어로부터의 상기 제 1 막서 코어, 및 상

기 국부 발진기 시스템을 상기 복수의 믹서의 제 1 이득에 기초하여 제 1 듀티 사이를 모드에서 동작시키고, (b) 상기 복수의 믹서와 상기 복수의 믹서 각각 내의 상기 복수의 믹서 코어로부터의 상기 제 2 믹서 코어 중 적어도 하나, 및 상기 국부 발진기 시스템을 상기 복수의 믹서의 제 2 이득에 기초하여 상기 제 1 듀티 사이를 모드에서 동작시키며, (c) 상기 복수의 믹서 코어로부터의 상기 제 1 믹서 코어 및 상기 국부 발진기 시스템을 상기 복수의 믹서의 제 3 이득에 기초하여 제 2 듀티 사이를 모드에서 동작시키는, 전력 소모를 저감시키는 장치.

청구항 23

복수의 믹서 코어를 갖고 복수의 듀티 사이를 모드를 갖는 국부 발진기 (LO) 시스템에 커플링되는 믹서의 이득 상태를 결정하는 단계로서, 상기 결정된 이득 상태는 상기 믹서의 제 1 이득, 제 2 이득 및 제 3 이득 중 적어도 하나의 이득에 대응하는, 상기 이득 상태를 결정하는 단계;

상기 믹서의 상기 결정된 이득 상태에 기초하여 상기 복수의 믹서 코어로부터 일 믹서 코어, 및 상기 국부 발진기 시스템의 상기 복수의 듀티 사이를 모드로부터 일 듀티 사이를 모드를 선택하는 단계;

상기 믹서가 상기 제 1 이득 상태에 있는 것으로 결정되는 경우, 상기 국부 발진기 시스템에, 선택된 제 1 듀티 사이를 모드에서 동작하고, 선택된 제 1 믹서 코어에 LO 신호를 제공할 것을 명령하는 단계;

상기 믹서가 상기 제 2 이득 상태에 있는 것으로 결정되는 경우, 상기 국부 발진기 시스템에, 상기 선택된 제 1 듀티 사이를 모드에서 동작하고, 상기 믹서와 선택된 제 2 믹서 코어 중 적어도 하나에 LO 신호를 제공할 것을 명령하는 단계; 및

상기 믹서가 상기 제 3 이득 상태에 있는 것으로 결정되는 경우, 상기 국부 발진기 시스템에, 선택된 제 2 듀티 사이를 모드에서 동작하고, 상기 선택된 제 1 믹서 코어에 LO 신호를 제공할 것을 명령하는 단계를 포함하는, 전력 소모를 저감시키는 방법.

청구항 24

컴퓨터로 하여금, 복수의 믹서 코어를 갖고 복수의 듀티 사이를 모드를 갖는 국부 발진기 (LO) 시스템에 커플링되는 믹서의 이득 상태를 결정하도록 하기 위한 코드로서, 상기 결정된 이득 상태는 상기 믹서의 제 1 이득, 제 2 이득 및 제 3 이득 중 적어도 하나의 이득에 대응하는, 상기 이득 상태를 결정하도록 하기 위한 코드;

상기 컴퓨터로 하여금, 상기 믹서의 상기 결정된 이득 상태에 기초하여 상기 복수의 믹서 코어로부터 일 믹서 코어, 및 상기 국부 발진기 시스템의 상기 복수의 듀티 사이를 모드로부터 일 듀티 사이를 모드를 선택하도록 하기 위한 코드;

상기 컴퓨터로 하여금, 상기 믹서가 상기 제 1 이득 상태에 있는 것으로 결정되는 경우, 상기 국부 발진기 시스템에, 선택된 제 1 듀티 사이를 모드에서 동작하고, 선택된 제 1 믹서 코어에 LO 신호를 제공할 것을 명령하도록 하기 위한 코드;

상기 컴퓨터로 하여금, 상기 믹서가 상기 제 2 이득 상태에 있는 것으로 결정되는 경우, 상기 국부 발진기 시스템에, 상기 선택된 제 1 듀티 사이를 모드에서 동작하고, 상기 믹서와 선택된 제 2 믹서 코어 중 적어도 하나에 LO 신호를 제공할 것을 명령하도록 하기 위한 코드; 및

상기 컴퓨터로 하여금, 상기 믹서가 상기 제 3 이득 상태에 있는 것으로 결정되는 경우, 상기 국부 발진기 시스템에, 선택된 제 2 듀티 사이를 모드에서 동작하고, 상기 선택된 제 1 믹서 코어에 LO 신호를 제공할 것을 명령하도록 하기 위한 코드를 포함하는, 컴퓨터 판독가능 매체.

청구항 25

복수의 믹서 코어를 갖고 복수의 듀티 사이를 모드를 갖는 국부 발진기 (LO) 시스템에 커플링되는 믹서의 이득 상태를 결정하는 수단으로서, 상기 결정된 이득 상태는 상기 믹서의 제 1 이득, 제 2 이득 및 제 3 이득 중 적어도 하나의 이득에 대응하는, 상기 이득 상태를 결정하는 수단;

상기 믹서의 상기 결정된 이득 상태에 기초하여 상기 복수의 믹서 코어로부터 일 믹서 코어, 및 상기 국부 발진기 시스템의 상기 복수의 듀티 사이를 모드로부터 일 듀티 사이를 모드를 선택하는 수단; 및

상기 국부 발진기 시스템에, 상기 믹서가 상기 제 1 이득 상태에 있는 것으로 결정되는 경우, 선택된 제 1 듀

티 사이클 모드에서 동작하고, 선택된 제 1 믹서 코어에 LO 신호를 제공하고; 상기 믹서가 상기 제 2 이득 상태에 있는 것으로 결정되는 경우, 상기 선택된 제 1 듀티 사이클 모드에서 동작하고, 상기 믹서와 선택된 제 2 믹서 코어 중 적어도 하나에 LO 신호를 제공하며; 상기 믹서가 상기 제 3 이득 상태에 있는 것으로 결정되는 경우, 선택된 제 2 듀티 사이클 모드에서 동작하고, 상기 선택된 제 1 믹서 코어에 LO 신호를 제공할 것을 명령하는 수단을 포함하는, 전력 소모를 저감시키는 장치.

명세서

기술분야

[0001]

본 개시물은 일반적으로 수신기에 관한 것으로, 더 상세하게는 무선 주파수 (RF) 수신기에서의 전력 소모를 저감시키는 기술에 관한 것이다.

배경기술

[0002]

통신 시스템에서, 수신기는 송신기로부터 무선 주파수 (RF) 신호를 수신하며, 그 RF로부터의 수신된 신호를 하나 이상의 믹서를 이용하여 기저대역으로 다운변환한다. 각각의 믹서는 수신된 신호를 국부 발진기 (LO) 신호와 혼합한다. 믹서 앞에는 LO 신호를 베퍼링하기 위해 통상적으로 LO 베퍼가 제공된다.

발명의 내용

해결하려는 과제

[0003]

무선 디바이스 수신기를 실현하기 위해 여러 상이한 회로 토플로지가 존재한다. 일부 토플로지는 저잡음 증폭기 (LNA) 와 믹서 사이의 인입 RF 신호 경로에 배치되는 SAW (Surface Acoustic-Wave) 필터를 수반한다. 다소 고가이고 큰 SAW 디바이스를 이용하지 않고 충분한 성능의 무선 디바이스 수신기를 실현할 수 있는 것이 바람직하다. SAW-less 수신기에서 양호한 선형성을 달성하기 위하여, 순수 패시브 다운변환 믹서가 때때로 사용된다. 패시브 믹서는 믹서의 스위칭 코어 앞에 이득 스테이지와 같은 액티브 gm-cell 을 갖지 않는다. 그러나, 종종 이 토플로지는 양호한 선형성 (예를 들어, 트리플 비트 (triple beat)) 성능을 여전히 달성하면서 부담이 큰 잡음 지수 (NF) 요건을 충족하기가 어렵다.

과제의 해결 수단

[0004]

양호한 NF 성능을 달성하기 위한 하나의 현재의 접근법은 더 나은 이득을 위해 RF 수신기에서 25 듀티 사이클 (25DC) LO 를 이용하는 것이다. 다른 접근법은 25DC 와 비교하여 전력 소모를 저감시키지만 저감된 이득의 희생이 뒤따르게 되는 50DC LO 와 같은 더 높은 듀티 사이클 LO 의 이용이다.

발명의 효과

[0005]

따라서, 당업계에는 허용가능한 NF 를 유지하면서 무선 디바이스의 수신기에서의 전력 소모를 저감시킬 필요가 있다.

도면의 간단한 설명

[0006]

도 1 은 본 개시물의 예시적인 실시형태가 실시될 수 있는 일 예시적인 무선 통신 환경을 나타낸 도면이다.

도 2 는 종래 기술을 이용하는 일 예시적인 무선 디바이스를 나타낸 도면이다.

도 3 은 본 개시물의 일 예시적인 실시형태를 나타낸 도면이다.

도 4a 내지 도 4g 는 본 개시물의 예시적인 실시형태와 함께 이용되는 디제너레이티브 임피던스 엘리먼트의 예시적인 회로 다이어그램이다.

도 5 는 본 개시물의 일 예시적인 방법을 나타낸 플로우차트이다.

도 6 은 본 개시물의 다른 예시적인 실시형태를 나타낸 도면이다.

도 7 은 본 개시물의 다른 예시적인 방법을 나타낸 플로우차트이다.

발명을 실시하기 위한 구체적인 내용

- [0007] 본원에 설명된 기술은 무선 주파수 수신이 요망되는 임의의 전기 또는 전자 환경에서 임의의 전자 세팅 (electronic setting)에 적용가능하며 그 임의의 전자 세팅을 위해 이용될 수도 있다. 단지 예시를 위해, 본원에 설명된 예시적인 실시형태는 무선 통신 환경의 맥락에서 제시되지만, 그 실시형태은 셀폰, 기지국은 물론 케이블 셋-톱 박스 등과 같이 무선 주파수 송신 및 수신을 이용하는 임의의 유선 또는 무선 통신 세팅에 제한되는 것으로 의도되지 않고 그러한 임의의 유선 또는 무선 통신 세팅에 적용가능하다.
- [0008] 본원에 설명된 기술은 다양한 무선 네트워크, 이를 테면 CDMA, TDMA, FDMA, OFDMA 및 SC-FDMA 네트워크와 같은 무선 통신 네트워크용으로 이용될 수도 있다. "네트워크" 및 "시스템" 이란 용어는 종종 상호교환가능하게 사용된다. CDMA 네트워크는 UTRA (Universal Terrestrial Radio Access), CDMA2000 등과 같은 무선 테크놀로지를 구현할 수도 있다. UTRA는 광대역-CDMA (W-CDMA), LCR (Low Chip Rate), HCR (High Chip Rate) 등을 포함한다. CDMA2000은 IS-2000, IS-95 및 IS-856 표준을 커버한다. TDMA 네트워크는 GSM (Global System for Mobile communications)와 같은 무선 테크놀로지를 구현할 수도 있다. OFDMA 네트워크는 E-UTRA (Evolved UTRA), UMB (Ultra Mobile Broadband), IEEE 802.11 (Wi-Fi), IEEE 802.16 (WiMAX), IEEE 802.20, Flash-OFDM® 등과 같은 무선 테크놀로지를 구현할 수도 있다. 이들 다양한 무선 테크놀로지 및 표준은 당업계에 공지되어 있다. UTRA, E-UTRA 및 GSM은 "3 세대 파트너쉽 프로젝트" (3GPP)로 명명된 조직으로부터의 문서에 설명되어 있다. CDMA2000은 "3 세대 파트너쉽 프로젝트 2" (3GPP2)로 명명된 조직으로부터의 문서에 설명되어 있다. 3GPP 및 3GPP2 문서는 공개적으로 입수가능하다. 명료함을 위해, 상기 기술의 소정양태는 3GPP 네트워크에 대해 후술된다.
- [0009] "예시적인" 이란 단어는 "예, 경우 또는 실례로서 기능하는 것"을 의미하기 위해 본원에 사용된다. "예시적인" 것으로 본원에 설명된 임의의 실시형태가 반드시 다른 실시형태들에 비해 선호되거나 바람직한 것처럼 해석되는 것은 아니다.
- [0010] 도 1은 통신 시스템 (120 및 122) 및 무선 디바이스 (110), 이를 테면 다수의 무선 통신 시스템 (120 및 122)과 통신할 수 있는 멀티-안테나 무선 디바이스를 포함하는 일 예시적인 무선 통신 환경 (1)을 도시한다. 무선 통신 시스템 (120)은 예를 들어, IS-2000 (CDMA 1x로 통칭됨), IS-856 (CDMA 1x EV-DO로 통칭됨), IS-95, W-CDMA 등과 같은 하나 이상의 CDMA 표준을 구현할 수도 있는 CDMA 시스템일 수도 있다. 무선 통신 시스템 (120)은 베이스 트랜시버 시스템 (BTS; 130) 및 모바일 스위칭 센터 (MSC; 140)를 포함한다. BTS (130)는 그 커버리지 영역 하에서 무선 디바이스에 대해 OTA (over-the-air) 통신을 제공한다. MSC (140)는 무선 통신 시스템 (120)에서 BTS에 커플링되며 이들 BTS에 대해 조정 및 제어를 제공한다. 무선 통신 시스템 (122)은 예를 들어 GSM과 같은 하나 이상의 TDMA 표준을 구현할 수도 있는 TDMA 시스템일 수도 있다. 무선 통신 시스템 (122)은 노드 B (132) 및 무선 네트워크 제어기 (RNC; 142)를 포함한다. 노드 B (132)는 그 커버리지 영역 하에서 무선 디바이스에 대해 OTA 통신을 제공한다. RNC (142)는 무선 통신 시스템 (122)에서 노드 B에 커플링되며 이들 노드 B에 대해 조정 및 제어를 제공한다. 일반적으로, BTS (130) 및 노드 B (132)는 무선 디바이스에 대해 통신 커버리지를 제공하는 고정국들이며, 기지국 또는 일부 다른 용어로도 지칭될 수도 있다. MSC (140) 및 RNC (142)는 기지국에 대해 조정 및 제어를 제공하는 네트워크 엔티티들이며 다른 용어로도 지칭될 수도 있다.
- [0011] 무선 디바이스 (110)는 셀룰러폰, 개인 휴대 정보 단말기 (PDA), 무선-가능 컴퓨터, 또는 일부 다른 무선 통신 유닛 또는 디바이스일 수도 있다. 무선 디바이스 (110)는 이동국 (3GPP2 용어), 사용자 장비 (UE) (3GPP 용어), 액세스 단말기, 또는 일부 다른 용어로도 지칭될 수도 있다. 무선 디바이스 (110)는 다중 안테나, 예를 들어, 하나의 외부 안테나 및 하나 이상의 내부 안테나를 갖추고 있다. 다중 안테나는 페이딩, 다중경로, 간섭 등과 같은 해로운 경로 효과에 대해 다이버시티를 제공하는데 이용될 수도 있다. 송신 엔티티에서의 안테나로부터 송신된 RF 변조된 신호는 가시선 경로 (line-of-sight path) 및/또는 반사 경로 (reflected path)를 통해 무선 디바이스 (110)의 다중 안테나에 도달할 수도 있다. 적어도 하나의 전파 경로는 통상적으로 무선 디바이스 (110)에서 각 수신 안테나와 송신 안테나 사이에 존재한다. 상이한 수신 안테나에 대한 전파 경로가 독립적인 경우 (이는 일반적으로 적어도 소정 범위에 대해 참이다), 다중 안테나가 RF 변조된 신호를 수신하는데 이용되는 경우에 다이버시티가 증가되고 수신된 신호 품질이 향상된다.
- [0012] 무선 디바이스 (110)는 위성 (150)으로부터의 신호를 수신하는 것이 가능할 수도 있고 또는 가능하지 않을 수도 있다. 위성 (150)은 널리 공지된 GPS (Global Positioning System), 유럽의 갈릴레오 시스템, 또는

일부 다른 시스템과 같은 위성 포지셔닝 시스템에 속할 수도 있다. 각 GPS 위성은 지구 상의 GPS 수신기가 GPS 신호의 도달 시간 (TOA) 을 측정하는 것을 허용하는 정보로 인코딩된 GPS 신호를 송신한다. 충분한 수의 GPS 위성에 대한 측정은 GPS 수신기에 대한 정확한 3 차원 포지션 추정을 획득하는데 이용될 수도 있다. 일반적으로, 무선 디바이스 (110) 는 상이한 무선 테크놀로지 (예를 들어, CDMA, GSM, GPS 등) 의 임의의 수의 무선 통신 시스템과 통신이 가능할 수도 있다.

[0013] 도 2 는 일 예시적인 무선 디바이스 (110) 를 나타낸 블록 다이어그램이다. 무선 디바이스 (110) 는 일 단에서, 외부 안테나일 수도 있는 안테나 (202), 이를 테면 메인 안테나에 커플링되고, 타단에서 이동국 모뎀 (MSM; 220) 과 이를 테면 경로 (240) 를 통해 통신하고 있는 트랜시버 시스템 (210), 이를 테면 SAW-less 트랜시버를 포함한다. MSM (220) 은 메모리 (222) 와 통신하고 있는 프로세서 (224) 를 포함한다.

[0014] 도 2 에 도시한 바와 같이, 안테나 (202) 에서 수신된 인입 RF 신호는 저잡음 증폭기 (LNA; 20) 의 차동 입력 단자 (20a 및 20b) 로 수신된다. LNA (20) 는 RF 신호를 증폭시키고 출력 리드 (21a 및 21b) 로부터 차동 신호를 드라이빙한다. LNA (20) 의 출력 리드 (21a 및 21b) 는 RF 신호를 이를 테면 기저 대역 신호 (I 및 Q) 로 다운변환하기 위해 믹서 (22a 및 22b) 의 입력에 커플링된다. 출력 리드 (21a) 는 믹서 (22a) 의 제 1 차동 입력 리드 (22a2) 에 커플링되고, 출력 리드 (21b) 는 믹서 (22a) 의 제 2 차동 입력 리드 (22a1) 에 커플링된다. 일 예시적인 실시형태에서, 믹서 (22a) 는 믹서의 스위칭 코어 앞에 이득 스테이지와 같은 액티브 gm-cell 을 갖지 않는 패시브 믹서를 포함한다. 도 2 에 도시된 예시적인 실시형태에서, 믹서 (22a) 는 전계 효과 트랜지스터 (FET) 와 같이 2 개의 크로스-커플링된 스위칭 엘리먼트 (22a3 및 22a4) 를 포함하고 구성 및 동작이 당업계에 널리 공지되어 있는 길버트 믹서이다. 유사하게, 출력 리드 (21a) 는 믹서 (22b) 의 제 1 차동 입력 리드 (22b1) 에 커플링되고, 출력 리드 (21b) 는 믹서 (22b) 의 제 2 차동 입력 리드 (22b2) 에 커플링된다. 일 예시적인 실시형태에서, 믹서 (22b) 는 믹서의 스위칭 코어 앞에 이득 스테이지와 같은 액티브 gm-cell 을 갖지 않는 패시브 믹서를 포함하며, 믹서 (22a) 처럼, 2 개의 크로스-커플링된 스위칭 엘리먼트를 갖는 길버트 믹서를 포함한다.

[0015] 또한, 트랜시버 시스템 (210) 은 다운변환 전압 신호를 생성하기 위해 전압 제어된 발진기 (29) 를 포함하며, 그 다운변환 전압 신호는 먼저 베퍼 (28) 에 베퍼링된 후, 주파수 분주기 (27) 에 의해 주파수 분주, 이를 테면 2 분주된다. 주파수 분주기 (27) 의 출력은 그 후 25 뉴터 사이클 (DC) 생성기 (26) 로 공급되며, 이 25DC 생성기 (26) 는 25DC 신호 (25a 및 25b) 를 각각 베퍼 (24a 및 24b) 에 출력한다. 베퍼 (24a 및 24b) 는 그 후 베퍼링된 신호 (23a1, 23a2 및 23b1, 23b2) 를 각각 믹서 (22a 및 22b) 에 출력한다. 믹서 (22a 및 22b) 는 그 후 그 입력 (22a1, 22a2 및 22b1, 22b2) 에서 수신된 RF 신호와 신호 (23a1, 23a2 및 23b1, 23b2) 를 각각 혼합하여, 다운변환된 쿼드러쳐 (Q) 신호 (50a1, 50a2) 및 인-페이즈 (I) 신호 (50b1, 50b2) 를 각각 생성한다. 다운변환된 I 및 Q 신호는 그 후 MSM (220) 에 이를 테면 경로 (240) 를 통해 제공된다.

[0016] 상기 설명한 바와 같이, 상기의 트랜시버 시스템 (210) 의 결점은 25DC LO 가 비교적 높은 전류를 소모하여 더 높은 전력 소모를 초래한다는 것이다. 그러나, 50DC LO 와 같은 더 높은 뉴터 사이클 LO 의 이용은 전력 소모를 저감시킬 수 있지만 저감된 이득의 희생이 뒤따르게 되어, 잡음 지수 성능의 열화를 초래한다.

[0017] 도 3 은 단지 예시를 위해 SAW-less GSM 트랜시버 시스템 (310) 의 맥락에서 설명되지만 다른 통신 시스템에도 물론 이용될 수 있는 본 개시물의 일 예시적인 실시형태를 도시한다. 도 3 에 도시한 바와 같이, 트랜시버 시스템 (310) 은 외부 안테나일 수도 있는 안테나 (302), 이를 테면 메인 안테나에 커플링되며, 이동국 모뎀 (MSM; 320) 과 이를 테면 경로 (330) 를 통해 통신하고 있다. MSM (320) 은 도시한 바와 같이 MSM (320) 에 대해 내부에 있을 수도 있고 또는 MSM (320) 에 대해 외부 (미도시) 에 있을 수도 있는 메모리 (322) 와 통신하고 있는 프로세서 (323) 를 포함한다.

[0018] 도 3 에 도시한 바와 같이, 트랜시버 시스템 (310) 은, 먼저 안테나 (302) 를 통해 수신된 후, 출력 리드 (31a 및 31b) 가 그 후에 믹서 (32a) 에 커플링되는 저잡음 증폭기 (LNA; 30) 의 차동 입력 단자 (30a 및 30b) 로 수신되는 RF 신호, 이를 테면 쿼드러쳐 (Q) 신호를 다운변환하기 위해 믹서 (32a), 이를 테면 액티브 또는 패시브 믹서를 포함한다. 일 예시적인 실시형태에서, LNA (30) 는 가변 이득 증폭기이다. 일 예시적인 실시형태에서, 믹서 (32a) 는 믹서의 스위칭 코어 앞에 이득 스테이지와 같은 액티브 gm-cell 을 갖지 않는 패시브 믹서를 포함한다. 도 3 에 도시된 예시적인 실시형태에서, 믹서 (32a) 는 각각이 복수의 트랜지스터, 이를 테면 전계 효과 트랜지스터 (FET) 를 갖는 2 개의 크로스-커플링된 스위칭 엘리먼트 (32a3 및 32a4) 를 포함하는 길버트 믹서이다. 믹서 (32a) 는 입력 리드 (301 및 302) 를 포함하는데, 도면부호 304 및 305 와 같은 디제너레이티브 임피던스 엘리먼트가 그 입력 리드 (301 및 302) 에 각각 커플링된다.

일 예시적인 실시형태에서, 디제너레이티브 임피던스 엘리먼트 (304 및 305)는 20옴 보다 큰 저항 값을 갖는 저항기이다. 디제너레이티브 임피던스 엘리먼트 (304 및 305)는 도시한 바와 같이 내부적으로는 믹서 (32a)에 대해, 또는 외부적으로는 (미도시) 입력 경로 (301a 및 302a) 각각을 따라 입력 리드 (301 및 302)에 커플링될 수도 있다.

[0019] 트랜시버 시스템 (310)은 믹서 (32a)를 위한 LO 신호를 생성하기 위해 복수의 듀티 사이클 모드를 갖는 국부 발진기 (LO) 시스템 (300)을 더 포함한다. 국부 발진기 시스템 (300)은 LO 신호 (35a)를 버퍼 (33a)에 출력하는 멀티-모드 듀티 사이클 (DC) 생성기 (36), 이를 테면 프로그램가능한 25/50DC 생성기를 포함한다. 그 후, 버퍼링된 신호 (33a1 및 33a2)가 입력 리드 (301 및 302)에서 수신된 RF 신호를 각각 출력 경로 (70a2 및 70a1)로부터 출력되는 다운변환된 신호로 다운변환하기 위해 믹서 (32a)의 스위칭 엘리먼트 (32a4 및 32a3)에 각각 제공된다.

[0020] 도 5 와 함께 이하 더 상세하게 설명되는 바와 같이, 국부 발진기 시스템 (300)은 믹서 (32a)의 제 1 이득 상태에 기초하여 제 1 듀티 사이클에서, 및 믹서 (32a)의 제 2 이득 상태에 기초하여 제 2 듀티 사이클에서 동작한다. 일 예시적인 실시형태에서, 제어 신호 (51)가 어느 듀티 사이클에서 동작할지에 관하여 듀티 사이클 생성기 (36)에 명령을 제공하기 위해, 국부 발진기 시스템 (300)에서 이를 테면 프로세서 (322)로부터 수신된다. 일 예시적인 실시형태에서, 듀티 사이클 생성기 (36)는 프로그램가능한 듀티 사이클 생성기이다. 트랜시버 시스템 (310)은 또한 다운변환 전압 신호를 생성하기 위해 전압 제어된 발진기 (39)를 포함하며, 그 다운변환 전압 신호는 국부 발진기 시스템 (300)으로 공급되기 전에 먼저 버퍼 (38)에 버퍼링된 후, 주파수 분주기 (37)에 의해 주파수 분주, 이를 테면 2 분주된다.

[0021] 도 3 에 도시한 바와 같이, 트랜시버 시스템 (310)은 추가적인 신호, 이를 테면 인-페이즈 (I) 신호를 다운변환하기 위해 추가적인 믹서, 이를 테면 믹서 (32b)를 포함할 수도 있다. 일 예시적인 실시형태에서, 믹서 (32b)와 같은 각각의 추가적인 믹서는 또한 그 입력에 커플링되는 디제너레이티브 임피던스 엘리먼트를 가지며, 또한 후에 믹서, 이를 테면 양자의 믹서 (32a 및 32b)의 이득 상태에 기초하여 동작하는 버퍼 (33b)와 같은 추가적인 버퍼를 갖는 국부 발진기 시스템 (300)으로부터 LO 신호를 수신한다. 단순화를 위해, 트랜시버 시스템 (310)의 동작은 본원에 단지 믹서 (32a)의 맥락에서만 상세하게 설명되지만, 믹서 (32a 및 32b)와 같은 2 개 이상의 믹서를 갖는 구성에 쉽게 적용될 수 있다.

[0022] 도 4a 내지 도 4g 는 본 개시물의 예시적인 실시형태에서, 도면부호 304 및 305 와 같은 디제너레이티브 임피던스 엘리먼트로서 이용될 수도 있는, 입력 리드 (41)를 가진 디제너레이티브 임피던스 엘리먼트 (61)의 예시적인 회로 다이어그램이다. 일 예시적인 실시형태에서, 디제너레이티브 임피던스 엘리먼트 (61)는 도 4a에 도시한 바와 같이 저항기를 포함할 수도 있고, 도 4b에 도시한 바와 같이 커패시터를 포함할 수도 있고, 도 4c에 도시한 바와 같이 트랜지스터를 포함할 수도 있고, 도 4d에 도시한 바와 같이 직렬로 커플링된 저항기와 커패시터를 포함할 수도 있고, 도 4e에 도시한 바와 같이 직렬로 커플링된 저항기와 트랜지스터를 포함할 수도 있으며, 도 4f에 도시한 바와 같이 직렬로 커플링된 저항기와 커패시터와 트랜지스터를 포함할 수도 있다.

[0023] 도 5 는 도 3 과 함께, 본 개시물의 일 예시적인 방법을 나타내는 플로우차트이다. 프로세스는 블록 500에서 시작되며, 블록 500에서, 믹서, 이를 테면 믹서 (32a)의 이득 상태가 이를 테면 프로세서 (323)에 의해 결정된다. 믹서 (32a)는 복수의 듀티 사이클 (DC) 모드, 이를 테면 25DC 모드 및 50DC 모드를 갖는 국부 발진기 (LO) 시스템 (300)에 커플링된다. 다음에, 블록 510에서, 믹서 (32a)의 결정된 이득 상태에 기초하여, 듀티 사이클 모드가 이를 테면 프로세서 (323)에 의해 선택된다. 트랜시버 시스템 (310)이 2 개 이상의 믹서, 이를 테면 믹서 (32a 및 32b)를 포함하는 구성에서, 듀티 사이클 모드는 믹서, 이를 테면 믹서 (32a 및 32b)의 결정된 이득 상태에 기초하여 선택된다. 일 예시적인 실시형태에서, 선택된 믹서(들)의 제 1 이득 상태는 하이 이득 상태를 포함하고 선택된 믹서(들)의 제 2 이득 상태는 로우 이득 상태를 포함한다.

[0024] 다음에, 블록 520에서, 이를 테면 프로세서 (323)가 국부 발진기 시스템 (300)에, 믹서 (32a)의 결정된 제 1 이득 상태에 기초하여 선택된 제 1 듀티 사이클 모드에서 동작할 것을 명령한다. 다음에, 블록 530에서, 이를 테면 프로세서 (323)가 국부 발진기 시스템 (300)에, 믹서의 결정된 제 2 이득 상태에 기초하여 선택된 제 2 듀티 사이클 모드에서 동작할 것을 명령한다. 일 예시적인 실시형태에서, 각각 25DC 및 50DC와 같이, 제 1 듀티 사이클은 제 2 듀티 사이클의 듀티 사이클 레이트보다 낮은 듀티 사이클 레이트를 포함한다. 전체 플로우가 그 후 끝난다.

- [0025] 도 6 은 단지 예시를 위해 SAW-less CDMA 트랜시버 시스템 (609) 의 맥락에서 설명되지만 다른 통신 시스템에도 물론 이용될 수 있는 본 개시물의 일 예시적인 실시형태를 도시한다. 도 6 에 도시한 바와 같이, 트랜시버 시스템 (609) 은 외부 안테나일 수도 있는 안테나 (602), 이를 테면 메인 안테나에 커플링되며, 이동국 모뎀 (MSM; 620) 과 이를 테면 경로 (640) 를 통해 통신하고 있다. MSM (620) 은 MSM (620) 에 대해 내부에 있을 수도 있고 또는 외부에 있을 수도 있는 메모리 (622) 와 통신하고 있는 프로세서 (623) 를 포함한다.
- [0026] 도 6 에 도시한 바와 같이, 트랜시버 시스템 (609) 은 RF 신호, 이를 테면 쿼드러쳐 (Q) 신호를 다운변환하기 위해, 2 개 이상의 믹서 코어, 이를 테면 믹서 코어 (610 및 611) 를 가진 믹서 (62a), 이를 테면 액티브 또는 패시브 믹서를 포함한다. RF 신호는 먼저 안테나 (602) 에서 수신된 후, 출력 리드 (61a 및 61b) 가 그 후에 믹서 (62a) 의 입력 리드 (613 및 612) 에 각각 커플링되는 저잡음 증폭기 (LNA; 60) 의 차동 입력 단자 (60a 및 60b) 로 수신된다. 일 예시적인 실시형태에서, LNA (60) 는 가변 이득 증폭기이다. 일 예시적인 실시형태에서, 믹서 코어 (610 및 611) 중 하나 이상은 스위칭 코어와 같이 액티브 코어 또는 패시브 코어일 수도 있다. 도 6 에 도시된 예시적인 실시형태에서, 믹서 (62a) 는 스위칭 코어 (610 및 611) 앞에 이득 스테이지를 갖지 않는 패시브 믹서를 포함하며, 여기서, 믹서 코어 (610 및 611) 각각은 도 3 과 함께 설명된 것과 같은 2 개의 크로스-커플링된 스위칭 엘리먼트를 갖는 길버트 믹서를 포함한다.
- [0027] 도 6 에 도시한 바와 같이, 믹서 코어 (610 및 611) 각각은 복수의 입력 리드, 이를 테면 믹서 코어 (610) 용의 입력 리드 (601 및 602) 및 믹서 코어 (611) 용의 입력 리드 (603 및 604) 를 갖는다. 일 예시적인 실시형태에서, 믹서 (62a) 의 입력 (612) 은 각각 믹서 코어 (610 및 611) 의 입력 리드 (602 및 604) 에 커플링되고, 믹서 (62a) 의 입력 (613) 은 각각 믹서 코어 (610 및 611) 의 입력 리드 (601 및 603) 에 커플링된다. 또한, 믹서 (62a) 는 출력 (620a 및 620b) 을 포함하며, 믹서 코어 (610 및 611) 각각은 한 쌍의 출력, 이를 테면 믹서 코어 (610) 용의 출력 (601b 및 602b) 및 믹서 코어 (611) 용의 출력 (603b 및 604b) 을 갖는다. 일 예시적인 실시형태에서, 믹서 (62a) 의 출력 (620b) 은 각각 믹서 코어 (610 및 611) 의 출력 리드 (602b 및 604b) 에 커플링되고, 믹서 (62a) 의 출력 (620a) 은 각각 믹서 코어 (610 및 611) 의 출력 리드 (601b 및 603b) 에 커플링된다.
- [0028] 다음에, 믹서 코어 (610 및 611) 각각의 입력 리드에는 디제너레이티브 임피던스 엘리먼트가 커플링되며, 이를 테면 믹서 코어 (610) 의 입력 리드 (601 및 602) 각각에는 디제너레이티브 임피던스 엘리먼트 (605 및 606) 가 커플링되고 믹서 코어 (611) 의 입력 리드 (603 및 604) 각각에는 디제너레이티브 임피던스 엘리먼트 (607 및 608) 가 커플링된다. 디제너레이티브 임피던스 엘리먼트 (605, 606, 607 및 608) 는 도시한 바와 같이 내부적으로는 믹서 코어 (610 및 611) 에 대해, 또는 외부적으로는 (미도시) 그 입력 경로 (601a, 602a, 603a 및 604a) 각각을 따라 입력 리드 (601, 602, 603 및 604) 에 각각 커플링될 수도 있다.
- [0029] 믹서 (62a) 내의 믹서 코어의 수는 설명의 단순화를 위해 2 개로 선택되었지만, 믹서 (62a) 는 3 개 이상의 믹서 코어를 가질 수 있다는 것을 알아야 한다. 일 예시적인 실시형태에서, 믹서 코어 중 하나는 미리 결정된 임피던스비에 의해서와 같이, 믹서 (62a) 내의 다른 믹서 코어와는 상이한 임피던스 값을 갖는다. 일 예시적인 실시형태에서, 하나의 믹서 코어의 디제너레이티브 임피던스 엘리먼트는 미리 결정된 임피던스비에 의해서와 같이, 다른 믹서 코어의 디제너레이티브 임피던스 엘리먼트와는 상이하다.
- [0030] 도 6 에 도시된 예시적인 실시형태에서, 믹서 코어 (610) 는 믹서 코어 (610) 대 믹서 코어 (611) 의 미리 결정된 임피던스비에 의해서와 같이 믹서 코어 (611) 와는 상이한 임피던스 값을 가지며, 여기서, 믹서 코어 (610) 의 디제너레이티브 임피던스 엘리먼트 (605 및 606) 는 미리 결정된 임피던스비에 의해서와 같이, 믹서 코어 (611) 의 디제너레이티브 임피던스 엘리먼트 (607 및 608) 와는 상이한 임피던스 값을 갖는다. 일 예시적인 실시형태에서, 믹서 코어 (610) 는 믹서 코어 (610) 대 믹서 코어 (611) 의 미리 결정된 사이즈비에 의해서와 같이, 믹서 코어 (611) 보다 큰 물리적 사이즈를 가짐으로써 믹서 코어 (611) 보다 작은 임피던스 값을 갖는다.
- [0031] 일 예시적인 실시형태에서, 디제너레이티브 임피던스 엘리먼트 (605, 606, 607 및 608) 각각은 도 4a 내지 도 4g 와 함께 상기 설명에 나타낸 바와 같이, 저항기, 커패시터, 트랜지스터, 직렬로 커플링된 저항기와 커패시터, 직렬로 커플링된 저항기와 트랜지스터, 직렬로 커플링된 커패시터와 트랜지스터, 및 직렬로 커플링된 저항기와 커패시터와 트랜지스터로 구성될 수도 있다.
- [0032] 도 6 에 도시한 바와 같이, 트랜시버 시스템 (609) 은 또한 다운변환 전압 신호를 생성하기 위해 전압 제어된 발진기 (69) 를 포함하며, 그 다운변환 전압 신호는 국부 발진기 (L0) 시스템 (600) 으로 공급되기 전에 먼저 버퍼 (68) 에 버퍼링된 후, 주파수 분주기 (67) 에 의해 주파수 분주, 이를 테면 2 분주된다. 국부 발진

기 (LO) 시스템 (600) 은 믹서 (62a) 에 제공되는 LO 신호를 생성하기 위해 복수의 듀티 사이클 모드를 갖는다. 국부 발진기 시스템 (600) 은 LO 신호를 이를 테면 커플링 라인 (75) 을 통해 믹서 (62a) 에 베퍼링된 신호를 제공하는 베퍼 시스템 (66a) 에 출력하는 멀티-모드 듀티 사이클 (DC) 생성기 (66), 이를 테면 프로그램 가능한 25/50DC 생성기를 포함한다. 일 예시적인 실시형태에서, 듀티 사이클 생성기 (66) 는 프로그램 가능한 듀티 사이클 생성기이다.

[0033] 도 7 과 함께 더 상세하게 설명되는 바와 같이, 이를 테면 프로세서 (623) 는 그 후 (a) 제 1 믹서 코어, 이를 테면 믹서 코어 (611) 및 국부 발진기 시스템 (600) 을 믹서 (62a) 의 제 1 이득에 기초하여 25DC 와 같은 제 1 듀티 사이클 모드에서 동작시키고, (b) 믹서 (62a) 나 제 2 믹서 코어, 이를 테면 믹서 코어 (610) 중 어느 하나, 및 국부 발진기 시스템 (600) 을 믹서 (62a) 의 제 2 이득에 기초하여 25DC 와 같은 제 1 듀티 사이클 모드에서 동작시키며, (c) 제 1 믹서 코어, 이를 테면 믹서 코어 (611) 및 국부 발진기 시스템 (600) 을 믹서 (62a) 의 제 3 이득에 기초하여 50DC 와 같은 제 2 듀티 사이클 모드에서 동작시키도록 이용된다. 제어기, 이를 테면 프로세서 (623) 로부터의 명령은 멀티-모드 듀티 사이클 (DC) 생성기 (66) 에서 수신되며, 그 멀티-모드 듀티 사이클 생성기 (66) 는 후에 명령받은 듀티 사이클 모드에서 동작할 것이다.

[0034] 일 예시적인 실시형태에서, 베퍼 시스템 (66a) 은 이를 테면 커플링 라인 (75) 을 통해, 듀티 사이클 생성기 시스템 (66) 의 대응하는 출력 리드에 커플링된 입력 리드를 포함한다. 베퍼 시스템 (66a) 은 또한 믹서 (62a) 에 멀티-모드 듀티 사이클 (DC) 생성기 (66) 의 듀티 사이클 중 하나의 듀티 사이클에 대응하는 LO 신호를 제공하기 위해 믹서 코어 (611) 의 대응하는 입력 리드 (630a 및 630b) 에 커플링된 제 1 세트의 출력 리드 (63a1 및 63a2) 를 포함한다. 베퍼 시스템 (66a) 은 또한 믹서 (62a) 에 멀티-모드 듀티 사이클 (DC) 생성기 (66) 의 듀티 사이클 중 하나의 듀티 사이클에 대응하는 신호를 제공하기 위해 믹서 코어 (610) 의 입력 리드에 커플링된 제 2 세트의 출력 리드 (64a1 및 64a2) 를 포함한다. 베퍼링된 신호는 그 후 입력 리드 (612 및 613) 에서 수신된 RF 신호들을 각각 출력 (620b 및 620a) 으로부터 출력되는 다운변환된 신호로 다운변환하기 위해, 각각 믹서 코어 (611 및 610) 의 스위칭 엘리먼트에 쌍 (63a1, 63a2 및 64a1, 64a2) 으로 제공된다.

[0035] 일 예시적인 실시형태에서, 베퍼 시스템 (66a) 은 2 개의 서브-베퍼 (미도시) 를 포함하며, 각 서브-베퍼는 베퍼 시스템 (66a) 의 상이한 쌍의 출력 리드, 이를 테면 출력 리드 (63a1, 63a2 및 64a1, 64a2) 로부터 출력된다. 일 예시적인 실시형태에서, 서브-베퍼는 상이한 사이즈의 믹서 코어 (610 및 611) 에 대응하는 상이한 사이즈를 가지며, 제어기, 이를 테면 프로세서 (623) 로부터 제어 라인 (65a) 을 통해 수신되는 제어 신호에 기초하여 선택된다. 제어 라인 (65a) 을 통한 서브-베퍼의 선택은 선택된 서브-베퍼로 하여금 그 대응하는 믹서 코어에 멀티-모드 듀티 사이클 (DC) 생성기 (66) 의 듀티 사이클 중 하나에 대응하는 LO 신호를 제공할 수 있게 하는 반면, 다른 믹서 코어에는 그 대응하는 서브-베퍼로부터 LO 신호가 제공되지 않는다. 예를 들어, 믹서 코어 (610) 에 대응하는 서브 베퍼가 선택되는 경우, 선택된 서브-베퍼는 출력 리드 (64a1 및 64a2) 를 통해 믹서 코어 (610) 에 LO 신호를 제공하지만, 선택된 서브-베퍼가 아닌 다른 서브-베퍼에 의해는 출력 리드 (63a1 및 63a2) 를 통해 믹서 코어 (611) 에 LO 신호가 제공되지 않는다.

[0036] 도 6 에 도시한 바와 같이, 트랜시버 시스템 (609) 은 추가적인 신호, 이를 테면 인-페이즈 (I) 신호를 다운변환하기 위해, 추가적인 믹서, 이를 테면 믹서 (62b) 를 포함할 수도 있다. 일 예시적인 실시형태에서, 각 추가적인 믹서, 이를 테면 믹서 (62b) 는 또한 그 입력에 커플링되고, 후에 믹서, 이를 테면 양자의 믹서 (62a 및 62b) 의 이득 상태에 기초하여 동작하는 국부 발진기 시스템 (600) 으로부터 LO 신호를 수신하는 디제너레이티브 임피던스 엘리먼트를 각각 가진, 상기 설명한 바와 같이 믹서 (62a) 처럼 복수의 믹서 코어를 갖는다. 국부 발진기 시스템 (600) 은 또한 추가적인 믹서용의 추가적인 베퍼 시스템, 이를 테면 믹서 (62b) 용의 베퍼 시스템 (66b) 을 가질 것이다. 단순화를 위해, 트랜시버 시스템 (609) 의 동작이 본원에는 믹서 (62a) 의 맥락에서만 상세하게 설명되지만 2 개 이상의 믹서를 갖는 구성에 쉽게 적용될 수 있다.

[0037] 또한, 각 믹서, 이를 테면 믹서 (62a 및 62b) 는 각각 3 개 이상의 믹서 코어 및 그 베퍼 시스템 (66a 및 66b) 내의 상이한 사이즈의 대응하는 수의 서브 베퍼를 포함할 수도 있다. 믹서 구성 마다 일 멀티-믹서 및 멀티-믹서 코어를 갖는 일 예시적인 실시형태에서, 국부 발진기 (LO) 시스템 (600) 은 믹서에 제공되는 LO 신호를 생성한다. 이하에, 도 7 과 함께 더 상세하게 설명되는 바와 같이, 제어기, 이를 테면 프로세서 (623) 는 그 후, (a) 믹서 각각 내의 대응하는 제 1 믹서 코어, 및 국부 발진기 시스템 (600) 을 믹서의 제 1 이득에 기초하여 제 1 듀티 사이클 모드에서 동작시키고, (b) 믹서 또는 믹서 각각 내의 대응하는 제 2 믹서 코어, 및 국부 발진기 시스템 (600) 을 믹서의 제 2 이득에 기초하여 제 1 듀티 사이클 모드에서 동작시키며, (c) 믹서 각각 내의 대응하는 제 1 믹서 코어 및 국부 발진기 시스템 (600) 을 믹서의 제 3 이득에 기초하여

제 2 듀티 사이클 모드에서 동작시킨다.

[0038] 도 7 은 도 6 과 함께 본 개시물의 다른 예시적인 방법을 나타내는 플로우차트이다. 프로세스는 블록 700에서 시작되며, 블록 700에서, 복수의 맵서 코어, 이를 테면 맵서 코어 (610 및 611) 를 갖고 복수의 듀티 사이클 (DC) 모드, 이를 테면 25DC 모드 및 50DC 모드를 갖는 국부 발진기 (LO; 600) 에 커플링되는 맵서, 이를 테면 맵서 (62a) 의 이득 상태가 결정된다. 결정된 이득 상태는 맵서의 제 1 이득, 제 2 이득 또는 제 3 이득에 대응한다.

[0039] 일 예시적인 실시형태에서, 맵서의 제 1 이득 상태는 CDMA 1x 수신기에서 하이 이득 상태, 이를 테면 하이 이득 로우-선형 (high gain low-linearly) (GOLL) 상태를 포함하고, 맵서의 제 2 이득 상태는 CDMA 1x 수신기에서 로우 이득 상태, 이를 테면 로우 이득 하이-선형 (GOHL) 상태를 포함하며, 제 3 이득 상태는 CDMA 1x 수신기에서 맵서의 제 2 이득 상태보다 낮은 로우 이득 상태, 이를 테면 로우 이득 상태 G1, G2 또는 G3 을 포함한다.

[0040] 다음에, 블록 710에서, 맵서, 이를 테면 맵서 (62a) 의 결정된 이득 상태에 기초하여, 국부 발진기 시스템 (600) 의 듀티 사이클 모드, 이를 테면 25DC 모드 또는 50DC 모드는 물론, 맵서 내의 맵서 코어, 이를 테면 맵서 코어 (610 또는 611) 가 선택된다. 일 예시적인 실시형태에서, 맵서 코어 및 듀티 사이클의 선택은 제어기, 이를 테면 프로세서 (623) 에 의해 수행된다.

[0041] 다음에, 블록 720에서, 맵서, 이를 테면 맵서 (62a) 가 CDMA 1x 수신기에서 제 1 이득 상태, 이를 테면 하이 이득 로우-선형 (GOLL) 상태에 있는 것으로 결정되는 경우, 제어기, 이를 테면 프로세서 (623) 는, 국부 발진기 시스템 (600) 에, 로우 듀티 사이클 모드, 이를 테면 25DC 에서 동작하고 맵서의 선택된 맵서 코어, 이를 테면 맵서 코어 (611) 에 LO 신호를 제공할 것을 명령한다. 일 예시적인 실시형태에서, 선택된 맵서 코어, 이를 테면 맵서 코어 (611) 는 비-선택된 맵서 코어, 이를 테면 맵서 코어 (610) 보다 큰 임피던스 값을 포함한다. 제어기, 이를 테면 프로세서 (623) 는 듀티 사이클 생성기 (66) 에, 제어 라인 (65) 을 통해 듀티 사이클 생성기 (66) 에서 수신되는 제어 신호에 기초하여 더 낮은 듀티 사이클 모드, 이를 테면 25DC 모드에서 동작할 것을 명령한다. 또한, 제어기, 이를 테면 프로세서 (623) 는 베퍼 시스템 (66a) 에, 제어 라인 (65a) 을 통해 베퍼 시스템 (66a) 에서 수신되는 제어 신호에 기초하여, 어느 맵서 코어가 선택되는지에 의존하여, 출력 리드 (64a1, 64a2) 나 출력 리드 (63a1, 63a2) 중 어느 하나를 통해 선택된 맵서 코어에 LO 신호를 제공할 것을 명령한다. 다른 예시적인 실시형태에서는, 제어기, 이를 테면 프로세서 (623) 로부터의 명령에 기초하여, 하나 이상의 맵서 코어의 하나 이상의 입력으로의 경로를 따라, 이를 테면 맵서 코어 (610) 의 입력 (601a, 602a, 630c 및 630d) 으로의 경로를 따라 배치된 하나 이상의 멀티플렉서 (미도시) 를 통해 선택된 맵서 코어에 LO 신호가 제공된다.

[0042] 다음에, 블록 730에서, 맵서, 이를 테면 맵서 (62a) 가 CDMA 1x 수신기에서 제 2 이득 상태, 이를 테면 로우 이득 하이-선형 (GOHL) 상태에 있는 것으로 결정되는 경우, 제어기, 이를 테면 프로세서 (623) 는 국부 발진기 시스템 (600) 에, 로우 듀티 사이클 모드, 이를 테면 25DC 에서 동작하고 LO 신호를 양자의 맵서 코어 (610 및 611) 를 선택함으로써 맵서 (62a) 에 제공하거나, 또는 단지 선택된 맵서 코어에만 제공하거나 할 것을 명령한다. 일 예시적인 실시형태에서, 선택된 맵서 코어, 이를 테면 맵서 코어 (610) 는 비-선택된 맵서 코어, 이를 테면 맵서 코어 (611) 보다 작은 임피던스 값을 포함한다. 제어기, 이를 테면 프로세서 (623) 는 듀티 사이클 생성기 (66) 에, 제어 라인 (65) 을 통해 듀티 사이클 생성기 (66) 에서 수신되는 제어 신호에 기초하여 더 낮은 듀티 사이클 모드, 이를 테면 25DC 모드에서 동작할 것을 명령한다. 또한, 제어기, 이를 테면 프로세서 (623) 는 베퍼 시스템 (66a) 에, 제어 라인 (65a) 을 통해 베퍼 시스템 (66a) 에서 수신되는 제어 신호에 기초하여 LO 신호를, 어느 맵서 코어가 선택되는지에 의존하여 출력 리드 (64a1, 64a2) 나 출력 리드 (63a1, 63a2) 중 어느 하나를 통해 선택된 맵서 코어에, 또는 양자의 맵서 코어가 선택된다면 양자의 맵서 코어에 제공할 것을 명령한다. 다른 예시적인 실시형태에서는, 제어기, 이를 테면 프로세서 (623) 로부터의 명령에 기초하여, 하나 이상의 맵서 코어의 하나 이상의 입력으로의 경로를 따라, 이를 테면 맵서 코어 (610) 의 입력 (601a, 602a, 630c 및 630d) 으로의 경로를 따라 배치된 하나 이상의 멀티플렉서 (미도시) 를 통해 선택된 맵서 또는 맵서 코어에 LO 신호가 제공된다.

[0043] 다음에, 블록 730에서, 맵서, 이를 테면 맵서 (62a) 가 CDMA 1x 수신기에서 제 3 이득 상태, 이를 테면 로우 이득 상태 G1, G2 또는 G3 에 있는 것으로 결정되는 경우, 제어기, 이를 테면 프로세서 (623) 는 국부 발진기 시스템 (600) 에, 더 높은 듀티 사이클 모드, 이를 테면 50DC 에서 동작하고 LO 신호를 선택된 맵서 코어에 제공할 것을 명령한다. 일 예시적인 실시형태에서, 선택된 맵서 코어, 이를 테면 맵서 코어 (611) 는 비-선택된 맵서 코어, 이를 테면 맵서 코어 (610) 보다 큰 임피던스 값을 포함한다. 제어기, 이를 테면 프로

세서 (623)는 뉴티 사이클 생성기 (66)에, 제어 라인 (65)을 통해 뉴티 사이클 생성기 (66)에서 수신되는 제어 신호에 기초하여 더 높은 뉴티 사이클 모드, 이를 테면 50DC 모드에서 동작할 것을 명령한다. 또한, 제어기, 이를 테면 프로세서 (623)는 베퍼 시스템 (66a)에, 제어 라인 (65a)을 통해 베퍼 시스템 (66a)에서 수신되는 제어 신호에 기초하여 어느 맵서 코어가 선택되는지에 의존하여, 출력 리드 (64a1, 64a2)나 출력 리드 (63a1, 63a2) 중 어느 하나를 통해 LO 신호를 선택된 맵서 코어에 제공할 것을 명령한다. 다른 예시적인 실시형태에서는, 제어기, 이를 테면 프로세서 (623)로부터의 명령에 기초하여, 하나 이상의 맵서 코어의 하나 이상의 입력으로의 경로를 따라, 이를 테면 맵서 코어 (610)의 입력 (601a, 602a, 630c 및 630d)으로의 경로를 따라 배치된 하나 이상의 멀티플렉서 (미도시)를 통해 선택된 맵서 또는 맵서 코어에 LO 신호가 제공된다. 전체 플로우가 그 후 끝난다.

[0044] 50DC 국부 발진기와 비교하여, 25DC 국부 발진기를 가진 RF 수신기는 LNA가 동일한 전류를 소모하는 경우에 더 높은 이득을 달성한다. RF 수신기, 특히 맵서의 스위칭 코어 앞에 이득 스테이지와 같은 gm-cell을 갖지 않는 SAW-less 수신기에서 더 나은 잡음 지수 (NF)를 위해 수신기 전단에서의 더 높은 이득이 매우 요구된다. 대부분의 무선 통신 시스템에서는, 높은 이득 모드에서만 가장 도전적인 NF가 요구된다. 한편, 낮은 이득 모드는 가장 전력 지배적인 모드이다. 낮은 이득 모드에서 전력 소모를 저감시키고 여전히 완화된 NF를 충족시키기 위해, 본 명세서는 RF 수신기를 가장 전력 효율적이게 만들 것이다. 종래 기술에 비해 본 발명의 실시형태의 한가지 이점은 높은 이득 모드에서 25DC LO를 이용하고 낮은 이득 모드에서 50DC LO를 이용함으로써 높은 이득 모드를 위해 더 나은 NF는 물론 더 큰 전력 효율을 달성한다는 것이다.

[0045] 다양한 예시적인 실시형태가 예시를 위해 개별적으로 언급되었지만, 그 실시형태는 개별적으로 나타내진 실시 형태들의 특징 중 일부 또는 전부를 갖는 하나의 실시형태로 결합될 수도 있다는 것을 알아야 한다.

[0046] 당업자는 정보 및 신호가 다양한 상이한 테크놀로지 및 기술 중 임의의 것을 이용하여 표현될 수도 있다는 것을 이해할 것이다. 예를 들어, 상기 설명의 전반에 걸쳐 참조될 수도 있는 데이터, 명령, 커맨드, 정보, 신호, 비트, 심볼 및 칩이 전압, 전류, 전자기파, 자계 또는 자기 입자, 또는 광학계 또는 광학 입자 또는 이들의 임의의 조합으로 표현될 수도 있다. 당업자는 또한, 본원의 개시물과 관련하여 설명된 다양한 예시적인 로직 블록, 모듈, 회로 및 알고리즘 단계가 전자 하드웨어, 컴퓨터 소프트웨어, 또는 양자의 조합으로 구현될 수도 있다는 것을 알 것이다. 하드웨어와 소프트웨어의 이런 상호교환가능성을 명확하게 설명하기 위해, 다양한 예시적인 컴포넌트, 블록, 모듈, 회로 및 단계가 그들의 기능성의 관점에서 일반적으로 상술되었다. 이러한 기능성이 하드웨어로서 구현되는지 또는 소프트웨어로서 구현되는지 여부는 전체 시스템에 부과된 특정 애플리케이션 및 설계 제약에 의존한다. 당업자는 상기 설명된 기능성을 각 특정 애플리케이션에 대해 다양한 방식으로 구현할 수도 있지만, 이러한 구현 결정은 본 개시물의 범위로부터의 일탈을 야기하는 것처럼 해석되어서는 안된다.

[0047] 본원의 개시물과 함께 설명된 다양한 예시적인 로직 블록, 모듈 및 회로는 본원에 설명된 기능들을 수행하도록 설계된 범용 프로세서, 디지털 신호 프로세서 (DSP), 주문형 집적 회로 (ASIC), 필드 프로그램가능한 게이트 어레이 (FPGA) 또는 다른 프로그램가능한 로직 디바이스, 별개의 게이트 또는 트랜지스터 로직, 별개의 하드웨어 컴포넌트 또는 이들의 임의의 조합으로 구현 또는 수행될 수도 있다. 범용 프로세서는 마이크로프로세서일 수도 있지만, 대안에서, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기 또는 상태 머신일 수도 있다. 프로세서는 또한 컴퓨팅 디바이스의 조합, 예를 들어, DSP와 마이크로프로세서, 복수의 마이크로프로세서, DSP 코어와 관련한 하나 이상의 마이크로프로세서, 또는 임의의 다른 이러한 구성의 조합으로 구현될 수도 있다.

[0048] 본원의 개시물과 함께 설명된 방법 또는 알고리즘의 단계는 직접 하드웨어에, 프로세서에 의해 실행된 소프트웨어 모듈에, 또는 이들의 조합에 구현될 수도 있다. 소프트웨어 모듈은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터, 하드 디스크, 착탈식 디스크, CD-ROM 또는 당업계에 공지된 임의의 다른 형태의 저장 매체에 상주할 수도 있다. 프로세서가 저장 매체로부터 정보를 판독하고 그 저장 매체에 정보를 기입할 수 있도록 프로세서에는 일 예시적인 저장 매체가 커플링된다. 대안으로, 저장 매체는 프로세서와 일체형일 수도 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수도 있다. ASIC은 사용자 단말기에 상주할 수도 있다. 대안으로, 프로세서 및 저장 매체는 사용자 단말기 내에 별개의 컴포넌트로서 상주할 수도 있다.

[0049] 상기 설명된 방법은 컴퓨터로 하여금 상기 설명된 프로세스를 수행하도록 하기 위한 코드를 가진 컴퓨터 판독 가능 매체를 갖는 컴퓨터 프로그램 제품에 구현될 수 있다는 것을 알아야 한다. 하나 이상의 예시적인 실시형태에서, 상기 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어 또는 이들의 임의의 조합에 구현될 수도 있

다. 소프트웨어에 구현한 경우, 기능들은 컴퓨터 판독가능 매체 상에 하나 이상의 명령들 또는 코드로서 저장 또는 송신될 수도 있다. 컴퓨터 판독가능 매체는 일 장소로부터 타 장소로의 컴퓨터 프로그램의 전송을 용이하게 하는 임의의 매체를 포함하는 컴퓨터 매체 및 컴퓨터 저장 매체 양자를 포함한다. 저장 매체는 범용 컴퓨터 또는 특수 목적 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체일 수도 있다. 제한이 아닌 일 예로, 이러한 컴퓨터 판독가능 매체는 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장 디바이스, 자기 디스크 저장 디바이스 또는 다른 자기 저장 디바이스, 또는 명령들 또는 데이터 구조의 형태의 원하는 프로그램 코드 수단을 운반 또는 저장하는데 이용될 수 있고 범용 컴퓨터 또는 특수 목적 컴퓨터, 또는 범용 프로세서 또는 특수 목적 프로세서에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다.

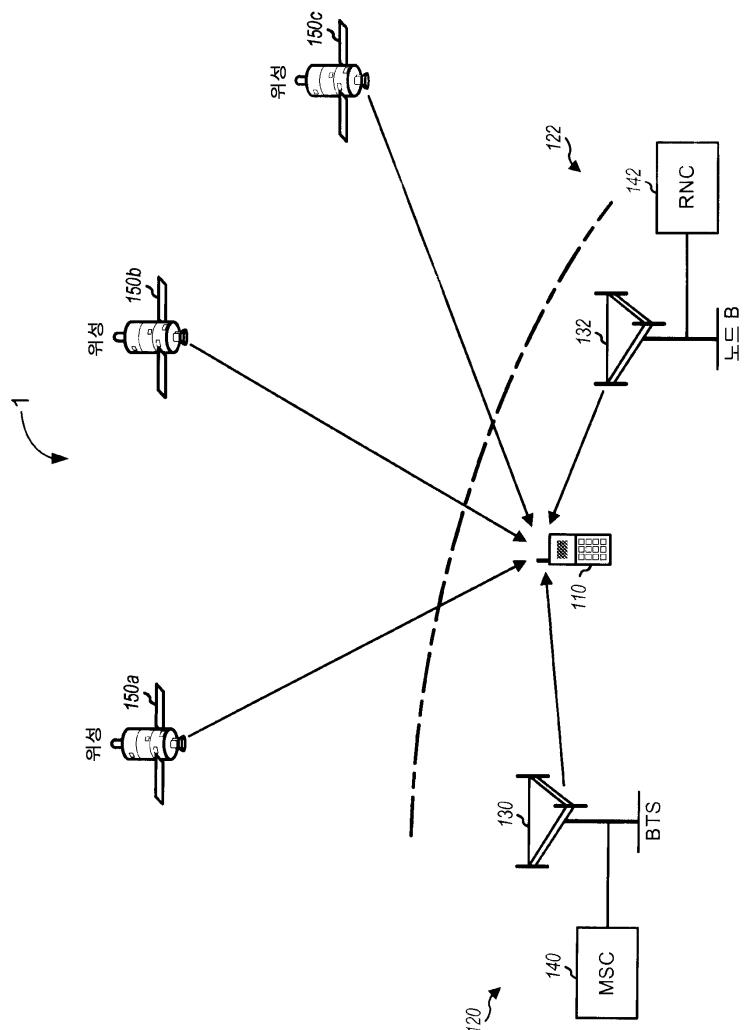
또한, 임의의 문맥이 적절히 컴퓨터 판독가능 매체로 불린다. 예를 들어, 소프트웨어가 동축 케이블, 광섬유 케이블, 트위스티드 페어, 디지털가입자 회선 (DSL), 또는 적외선, 무선 및 마이크로파와 같은 무선테크놀로지를 이용하여 웹사이트, 서버 또는 다른 원격 소스로부터 송신된다면, 매체의 정의에는 동축 케이블, 광섬유 케이블, 트위스티드 페어, DSL, 또는 적외선, 무선 및 마이크로파와 같은 무선 테크놀로지가 포함된다. 디스크 (disk) 및 디스크 (disc) 는 본원에 사용된 바와 같이 콤팩트 디스크 (CD), 레이저 디스크, 광학 디스크, 디지털 다기능 디스크 (DVD), 플로피 디스크 및 블루-레이 디스크를 포함하며, 여기서, 디스크 (disk) 는 보통 데이터를 자기적으로 재생시키는 한편, 디스크 (disc) 는 레이저를 이용하여 데이터를 광학적으로 재생시킨다. 또한 컴퓨터 판독가능 매체의 범위 내에는 상기의 조합이 포함되어야 한다.

[0050]

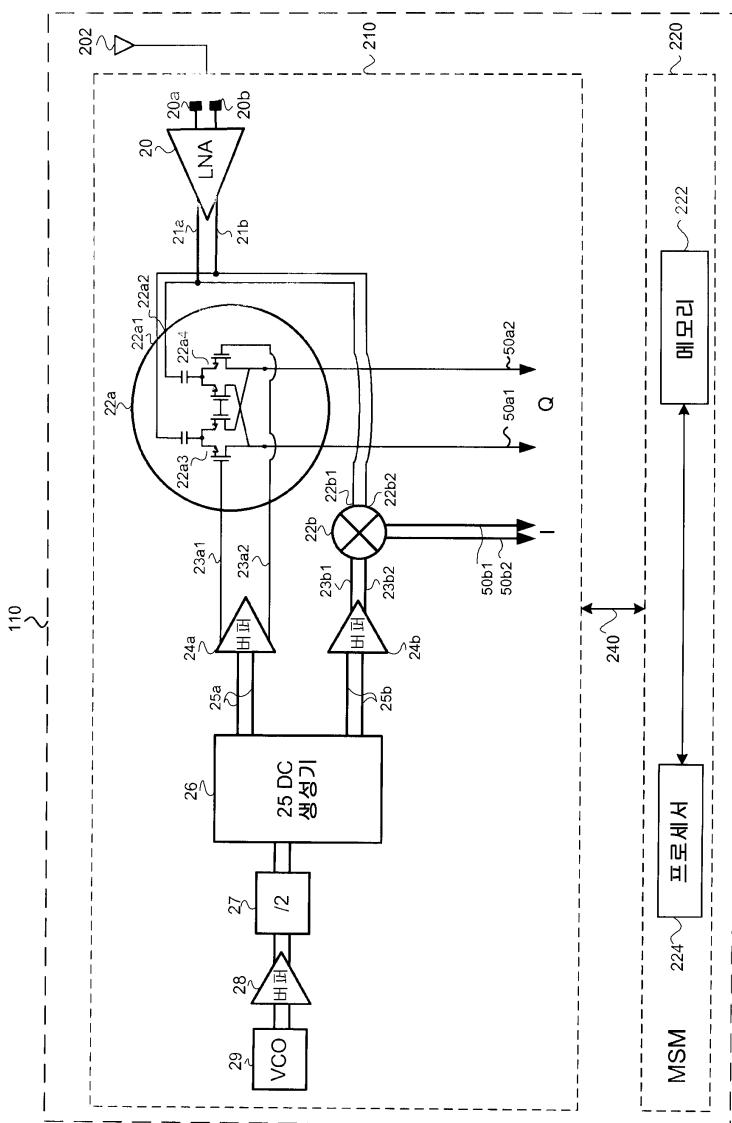
본 개시물의 이전의 설명은 임의의 당업자로 하여금 본 개시물을 제조 또는 이용할 수 있게 하기 위해 제공된다. 본 개시물에 대한 다양한 변형은 당업자에게 쉽게 명백할 것이며, 본원에 정의된 일반적인 원리는 본 개시물의 범위로부터 벗어남 없이 다른 변형에 적용될 수도 있다. 따라서, 본 개시물은 본원에 설명된 예 및 설계에 제한되는 것으로 의도되지 않고 본원에 개시된 원리 및 신규의 특징에 부합하는 최광의 범위를 따르게 될 것이다.

도면

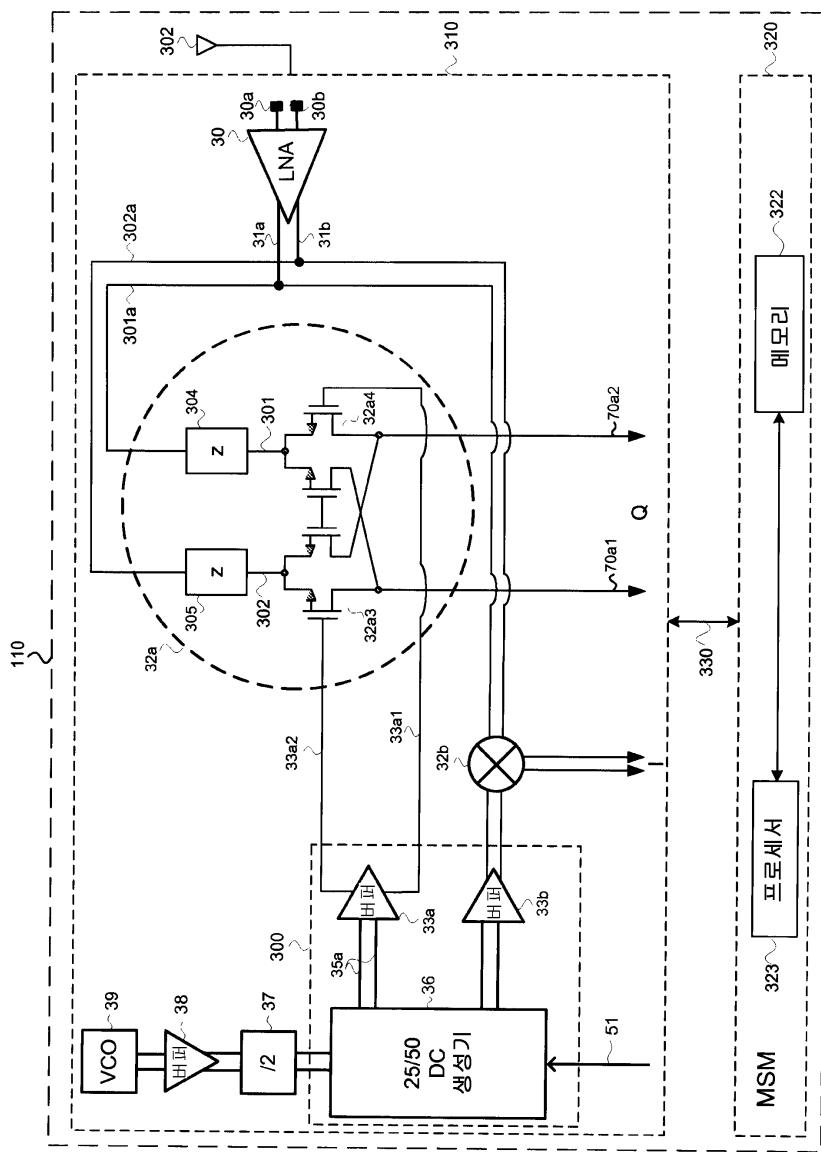
도면1



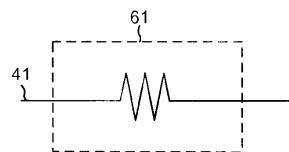
도면2



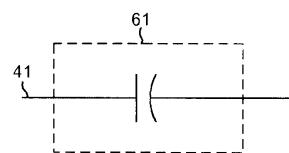
도면3



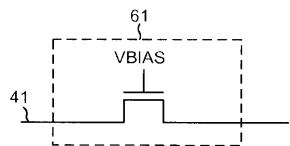
도면4a



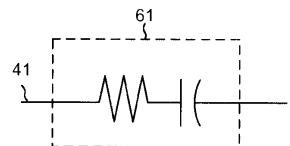
도면4b



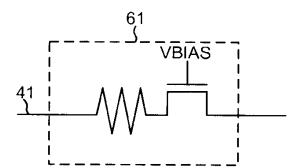
도면4c



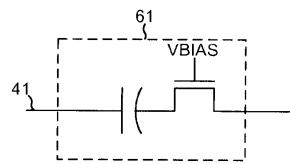
도면4d



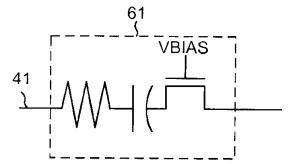
도면4e



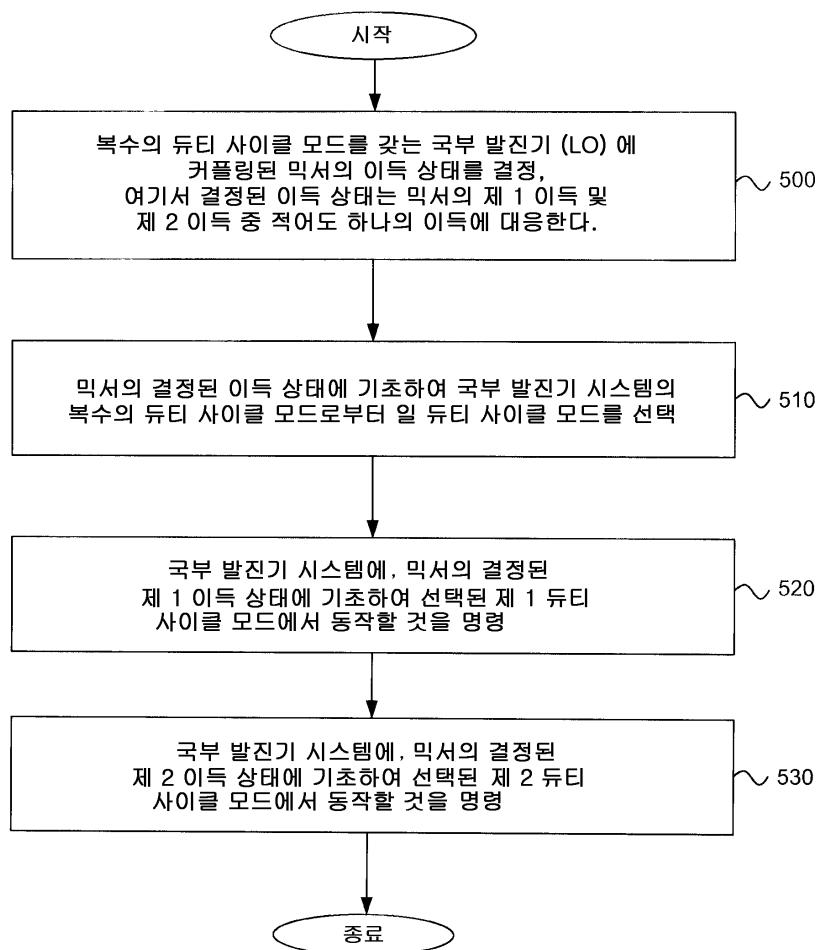
도면4f



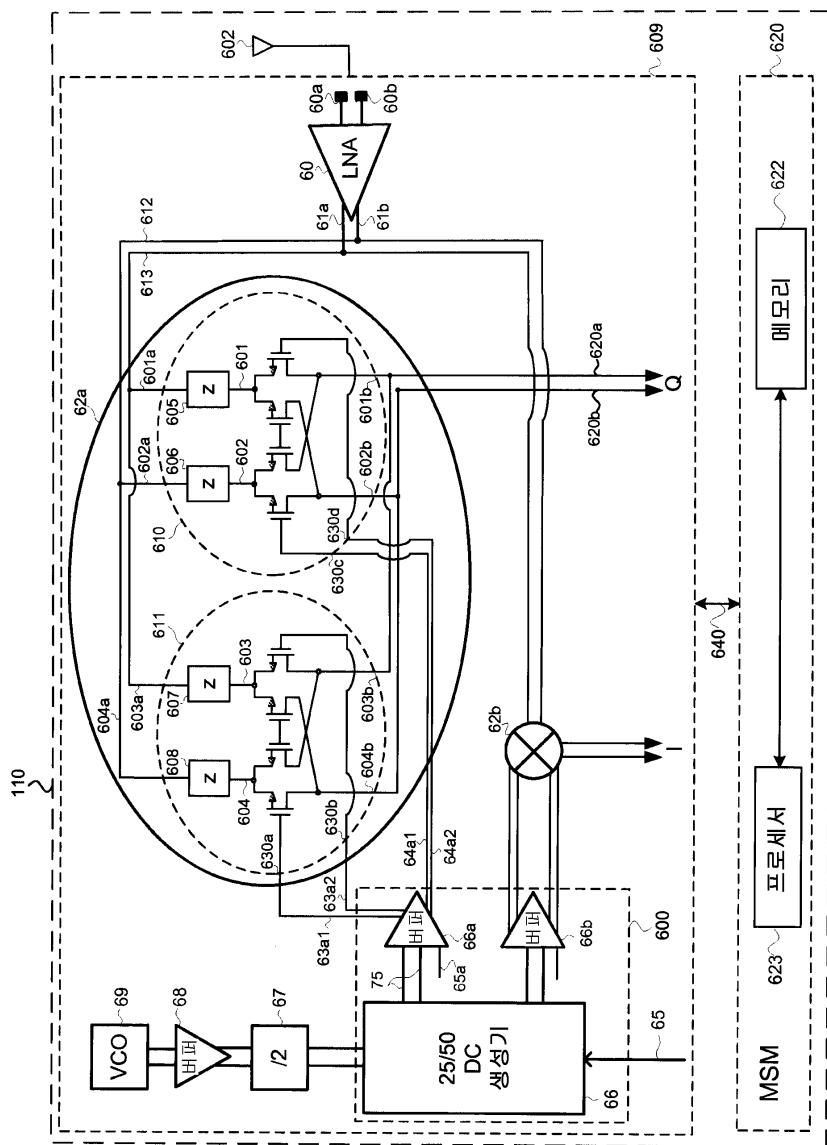
도면4g



도면5



도면6



도면7

