

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4635470号
(P4635470)

(45) 発行日 平成23年2月23日(2011.2.23)

(24) 登録日 平成22年12月3日(2010.12.3)

(51) Int.Cl.

F 1

H01L 29/78	(2006.01)	H01L 29/78	652K
H01L 29/12	(2006.01)	H01L 29/78	652D
H01L 21/336	(2006.01)	H01L 29/78	652E
		H01L 29/78	652J
		H01L 29/78	652T

請求項の数 10 (全 15 頁) 最終頁に続く

(21) 出願番号

特願2004-122796 (P2004-122796)

(22) 出願日

平成16年4月19日 (2004.4.19)

(65) 公開番号

特開2005-310886 (P2005-310886A)

(43) 公開日

平成17年11月4日 (2005.11.4)

審査請求日

平成18年5月31日 (2006.5.31)

(73) 特許権者 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(74) 代理人 100100022

弁理士 伊藤 洋二

(74) 代理人 100108198

弁理士 三浦 高広

(74) 代理人 100111578

弁理士 水野 史博

(72) 発明者 小島 淳

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 遠藤 剛

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

最終頁に続く

(54) 【発明の名称】炭化珪素半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

主表面および主表面の反対面である裏面を有し、前記主表面が(0001)Si面に対して10~20°傾いた単結晶炭化珪素基板からなる半導体基板(1)と、

前記半導体基板の主表面上に形成され、前記半導体基板よりも低いドーパント濃度を有する第1導電型の炭化珪素からなるエピタキシャル層(2)と、

前記エピタキシャル層上の所定領域に形成され、所定厚さを有する第2導電型のベース領域(3a、3b)と、

前記ベース領域上の所定の表面部に形成され、ベース領域の深さよりも浅い第1導電型のソース領域(4a、4b)と、

前記エピタキシャル層および前記ベース領域の表面部に形成され、前記ソース領域と前記エピタキシャル層とを繋ぐように形成された所定厚さと所定濃度を有する第1導電型の炭化珪素からなる表面チャネル層(5)と、

前記表面チャネル層の表面に形成された高誘電体膜(7a)を含むゲート絶縁膜(7)と、

前記ゲート絶縁膜の上に形成されたゲート電極(8)と、

前記ソース領域上に形成されたソース電極(10)と、

前記半導体基板の裏面に形成された裏面電極(11)とを備えたことを特徴とする炭化珪素半導体装置。

【請求項 2】

10

20

主表面および主表面の反対面である裏面を有し、前記主表面が(0001)Si面と、(0001)Si面に対して10~20°傾いた面との、少なくとも2面を含むステップバンチングが形成された単結晶炭化珪素基板からなる半導体基板(1)と、

前記半導体基板の主表面上に形成され、前記半導体基板よりも低いドーパント濃度を有する第1導電型の炭化珪素からなるエピタキシャル層(2)と、

前記エピタキシャル層上の所定領域に形成され、所定厚さを有する第2導電型のベース領域(3a、3b)と、

前記ベース領域上の所定の表面部に形成され、ベース領域の深さよりも浅い第1導電型のソース領域(4a、4b)と、

前記エピタキシャル層および前記ベース領域の表面部に形成され、前記ソース領域と前記エピタキシャル層とを繋ぐように形成された所定厚さと所定濃度を有する第1導電型の炭化珪素からなる表面チャネル層(5)と、

前記表面チャネル層の表面に形成された高誘電体膜(7a)を含むゲート絶縁膜(7)と、

前記ゲート絶縁膜の上に形成されたゲート電極(8)と、

前記ソース領域上に形成されたソース電極(10)と、

前記半導体基板の裏面に形成された裏面電極(11)とを備えたことを特徴とする炭化珪素半導体装置。

【請求項3】

前記半導体基板は、前記(0001)Si面の面積と比べて、前記(0001)Si面に対して10~20°傾いた面の面積の方が大きくなっていることを特徴とする請求項2に記載の炭化珪素半導体装置。

【請求項4】

前記半導体基板における前記(0001)Si面に対して10~20°傾いた面は、<11-20>方向に傾いてることを特徴とする請求項3に記載の炭化珪素半導体装置。

【請求項5】

前記ゲート絶縁膜は、前記高誘電体膜とこの高誘電体膜の表面に形成された酸化膜(7b)の積層構造であることを特徴とする請求項1ないし4のいずれか1つに記載の炭化珪素半導体装置。

【請求項6】

主表面および主表面の反対面である裏面を有し、単結晶炭化珪素からなる半導体基板(1)を用意し、この半導体基板の主表面上に、前記半導体基板よりも低いドーパント濃度を有する第1導電型の炭化珪素からなるエピタキシャル層(2)を形成する工程と、

前記エピタキシャル層上の所定領域に、所定厚さを有する第2導電型のベース領域(3a、3b)を形成する工程と、

前記ベース領域上の所定の表面部に、ベース領域の深さよりも浅い第1導電型のソース領域(4a、4b)を形成する工程と、

前記エピタキシャル層および前記ベース領域の表面部に、前記ソース領域と前記エピタキシャル層とを繋ぐように所定厚さと所定濃度を有する第1導電型の炭化珪素からなる表面チャネル層(5)を形成する工程と、

前記表面チャネル層の表面に高誘電体膜(7a)を形成することで、この高誘電体膜を含むゲート絶縁膜(7)を形成する工程と、

前記ゲート絶縁膜の上にゲート電極(8)を形成する工程と、

前記ソース領域上にソース電極(10)を形成する工程と、

前記半導体基板の裏面に裏面電極(11)を形成する工程とを有し、

前記半導体基板を用意する工程では、(0001)Si面を端面とした炭化珪素インゴットを(0001)Si面に対して10~20°傾いた面で切り出すことにより、前記半導体基板として、前記主表面が(0001)Si面に対して10~20°を成している単結晶炭化珪素基板を形成することを特徴とする炭化珪素半導体装置の製造方法。

【請求項7】

10

20

30

40

50

主表面および主表面の反対面である裏面を有し、単結晶炭化珪素からなる半導体基板(1)を用意し、この半導体基板の主表面上に、前記半導体基板よりも低いドーパント濃度を有する第1導電型の炭化珪素からなるエピタキシャル層(2)を形成する工程と、

前記エピタキシャル層上の所定領域に、所定厚さを有する第2導電型のベース領域(3a、3b)を形成する工程と、

前記ベース領域上の所定の表面部に、ベース領域の深さよりも浅い第1導電型のソース領域(4a、4b)を形成する工程と、

前記エピタキシャル層および前記ベース領域の表面部に、前記ソース領域と前記エピタキシャル層とを繋ぐように所定厚さと所定濃度を有する第1導電型の炭化珪素からなる表面チャネル層(5)を形成する工程と、

前記表面チャネル層の表面に高誘電体膜(7a)を形成することで、この高誘電体膜を含むゲート絶縁膜(7)を形成する工程と、

前記ゲート絶縁膜の上にゲート電極(8)を形成する工程と、

前記ソース領域上にソース電極(10)を形成する工程と、

前記半導体基板の裏面に裏面電極(11)を形成する工程とを有し、

前記半導体基板を用意する工程では、前記半導体基板として、前記主表面が(0001)Si面と、(0001)Si面に対して10～20°傾いた面との、少なくとも2面を含むステップパンチングが形成された単結晶炭化珪素基板を形成することを特徴とする炭化珪素半導体装置の製造方法。

【請求項8】

前記半導体基板を用意する工程では、前記(0001)Si面の面積と比べて、前記(0001)Si面に対して10～20°傾いた面の面積の方が大きくなるように前記単結晶炭化珪素基板を形成することを特徴とする請求項7に記載の炭化珪素半導体装置の製造方法。

【請求項9】

前記半導体基板を用意する工程では、前記半導体基板における前記(0001)Si面に対して10～20°傾いた面を<11-20>方向に傾けように前記単結晶炭化珪素基板を形成することを特徴とする請求項8に記載の炭化珪素半導体装置の製造方法。

【請求項10】

前記ゲート絶縁膜を形成する工程では、前記高誘電体膜の表面に酸化膜(7b)を形成することで、前記ゲート絶縁膜を積層構造とすることを特徴とする請求項6ないし9のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、炭化珪素半導体装置及びその製造方法に関し、特に絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型パワーMOSFETに関するものである。

【背景技術】

【0002】

従来、特許文献1において、蓄積モードで作動する炭化珪素半導体装置として、パワーMOSFETが提案されている。このパワーMOSFETでは、SiO₂からなるゲート酸化膜の下方において、n⁻型ベース領域の表面には、n⁺型ソース領域とn⁺型エピタキシャル層(以下、n⁺型エビ層という)とを連結するようにn⁻型層が配置された状態となっている。

【0003】

このように構成された炭化珪素半導体装置は、ゲート電極に電圧を印加する前のときにはn⁻型層が空乏化され、オフ状態となる。そして、ゲート電圧を印加することによってn⁻型層とゲート絶縁膜との界面において、n⁺型ソース領域4a、4bからn⁻型ドリフト領域2方向へ延びるチャネル領域が形成されることで、オン状態にスイッチングされ、電流を流すようになっている。

10

20

30

40

50

【0004】

このように、上記パワーMOSFETは、チャネル形成層の導電型を反転させることなくチャネルを誘起する蓄積モードで作動することから、導電型を反転させる反転モードのMOSFETに比べ、チャネル移動度を大きくしてオン抵抗を低減させることが可能となる。

【特許文献1】特開平11-288017号公報

【発明の開示】**【発明が解決しようとする課題】****【0005】**

上記構成のパワーMOSFETでは、ゲート絶縁膜に酸化膜(SiO₂)を用いている。しかしながら、このような酸化膜で構成されたゲート絶縁膜の場合、ゲート絶縁膜とチャネルとなるn⁻型層との間に界面準位が形成される。そして、その界面準位がエネルギー的に電子電流が流れるコンダクションバンド付近に形成されることから、この電荷を帶びた界面準位が電流の流れに影響してチャネル移動度を低下させ、パワーMOSFETのオン抵抗を高くするという問題が発生することが判った。

【0006】

本発明は上記点に鑑みて、ゲート絶縁膜とチャネル層との間に発生する界面準位に起因したオン抵抗の増加を防止することを目的とする。

【課題を解決するための手段】**【0007】**

上記目的を達成するため、請求項1に記載の発明では、主表面が(0001)Si面に対して10~20°傾いた単結晶炭化珪素基板を半導体基板として用い、ゲート絶縁膜(7)に接する蓄積型のチャネル層(5)を有する炭化珪素半導体装置におけるゲート絶縁膜として高誘電体膜が含まれるものを用いていることを特徴としている。

【0008】

オフ角を変えた半導体基板を作成し、オフ角と研磨傷の密度との相関を調べたところ、オフ角が10°以上になると研磨傷が顕著に低下することが確認された。また、そのときの表面の凹凸も少なくなり、結晶欠陥の少ない半導体基板にできることが確認された。

したがって、このように結晶欠陥が少なくできる(0001)Si面に対して10~20°傾いた面を用いることにより、他の面と比べて界面準位を低減することができ、より界面準位による電流の流れの影響を低減することができる。これにより、パワーMOSFETの更なるチャネル移動度の向上を図ることが可能となる。

また、チャネル層の表面に高誘電体膜を形成することで、界面準位がコンダクションバンド近辺に高密度に集中しないようにすることができる。したがって、界面準位が電流の流れに影響を及ぼすことによってチャネル移動度を低下させるという問題を解消でき、チャネル移動度を向上させることができとなる。

【0009】

請求項5に記載の発明では、高誘電体膜とこの高誘電体膜の表面に形成された酸化膜(7b)の積層構造でゲート絶縁膜を形成することを特徴としている。

【0010】

これにより、ゲート絶縁膜のうちチャネル層に接する部分についてコンダクションバンド近辺に界面準位が高密度に集中しないようにしつつ、高誘電体膜の上に酸化膜を形成することで炭化珪素のエネルギー準位E_cの端からの差E_cを高くすることができる。これにより、ゲートリーク電流が発生するのに必要とされるエネルギー障壁が高くなり、ゲートリーク電流の発生を防ぐことが可能となる。

【0014】

請求項2に記載の発明では、主表面が(0001)Si面と、(0001)Si面に対して10~20°傾いた面との、少なくとも2面を含むステップバンチングが形成された単結晶炭化珪素基板を半導体基板として用いることを特徴としている。

【0015】

10

20

30

40

50

このような(0001)Si面とこの面から10~20°傾いた面とを主表面とする単結晶炭化珪素基板は、他の面を主表面とする単結晶炭化珪素基板と比べて界面準位を低減することができることから、より界面準位による電流の流れの影響を低減することが可能となる。これにより、パワーMOSFETの更なるチャネル移動度の向上を図ることが可能となる。

【0016】

この場合、請求項3に示されるように、(0001)Si面の面積と比べて、(0001)Si面に対して10~20°傾いた面の面積の方が大きくなるようにすると、より効果的に上記効果を得ることができる。また、この場合、請求項4に示されるように、半導体基板における(0001)Si面に対して10~20°傾いた面を、<11-20>方向に傾けるようにすると、より効果的に上記効果を得ることができるとため好ましい。10

【0018】

請求項6ないし10に記載の発明は、上記請求項1ないし5に記載の発明を方法的に示したものである。これら各請求項に示されるように、炭化珪素半導体装置という物の発明としてだけでなく、方法の発明として本発明を具現化することも可能である。この場合、上記各請求項と同様の効果を得ることが可能となる。

【0019】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。20

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、図中、同一符号を付してある。

【0021】

(第1実施形態)

図1に、本実施の形態におけるノーマリオフ型のnチャネルタイププレーナ型MOSFET(縦型パワーMOSFET)の断面図を示す。本デバイスは、インバータや車両用オルタネータのレクチファイヤに適用すると好適である。以下、図1に基づいてプレーナ型MOSFETの構造について説明する。30

【0022】

炭化珪素からなるn⁺型半導体基板1は上面を主表面1aとし、主表面の反対面である下面を裏面1bとしている。このn⁺型半導体基板1の主表面1a上には、基板1よりも低いドーパント濃度を有する炭化珪素からなるn⁻型エピタキシャル層(以下、n⁻型エピ層といふ)2が積層されている。このとき、n⁺型半導体基板1およびn⁻型エピ層2の上面を(0001)Si面としているが、n⁺型半導体基板1およびn⁻型エピ層2の上面を(11-20)a面としてもよい。つまり、(0001)Si面を用いると低い表面状態密度が得られ、(11-20)a面を用いると、低い表面状態密度で、かつ、完全にらせん転位の無い結晶が得られる。

【0023】

n⁻型エピ層2の表層部における所定領域には、所定深さを有するp⁻型ベース領域3aおよびp⁻型ベース領域3bが離間して形成されている。また、ベース領域3a、3bにおいて、一部厚さが厚くなったディープベース層30a、30bが形成されている。このディープベース層30a、30bは、n⁺型ソース領域4a、4bに重ならない部分に形成されており、p⁻型炭化珪素ベース領域3a、3bのうちディープベース層30a、30bが形成された厚みが厚くなっている部分が、ディープベース層30aが形成されていない厚みの薄い部分よりも不純物濃度が濃くなっている。

【0024】

このようなディープベース層30a、30bによって、ディープベース層30a、30b下のn⁻型エピ層2における厚さが薄くなり(n⁺型半導体基板1とディープベース層350

0 a、30 bとの距離が短くなり)電界強度を高くすることができ、アバランシェブレーカダウンさせ易くすることができる。

【0025】

また、p⁻型ベース領域3 a、3 bの表層部における所定領域には、ベース領域3 a、3 bよりも浅いn⁺型ソース領域4 a、4 bが形成されている。さらに、n⁺型ソース領域4 aとn⁺型ソース領域4 bとの間におけるn⁻型エピ層2およびp⁻型ベース領域3 a、3 bの表面部には炭化珪素からなるn型の表面チャネル層5が延設されている。つまり、p⁻型ベース領域3 a、3 bの表面部においてソース領域4 a、4 bとn⁻型エピ層2とを繋ぐようにn型チャネル層5が配置されている。

【0026】

10

このn型の表面チャネル層5は、p⁻型ベース領域3 a、3 bの表層部に位置する低濃度なn⁻型層5 aとn⁻型エピ層2の表層部に位置する高濃度なn⁺型層5 bとを有した構成となっている。このn型チャネル層5は、デバイスの動作時にデバイス表面においてチャネル形成層として機能する。そして、n⁻型チャネル層5のうち、p⁻型ベース層3 a、3 bの表面部では低濃度のn⁻型層5 aとすることで実質的にチャネル領域となる部分の濃度を調整し、n⁻型エピ層2の表面部では高濃度のn⁺型層5 bとすることでn型チャネル層5の内部抵抗を低減し、オン抵抗の低下を図るようにしている。

【0027】

また、p⁻型ベース領域3 a、3 b、n⁺型ソース領域4 a、4 bの表面部には凹部6 a、6 bが形成されている。これら凹部6 a、6 bにより、p⁻型ベース領域3 a、3 bの表面が露出させられている。

20

【0028】

表面チャネル層5の上面およびn⁺型ソース領域4 a、4 bの上面にはゲート絶縁膜7が形成されている。さらに、ゲート絶縁膜7の上にはポリシリコンゲート電極8が形成されている。ポリシリコンゲート電極8は絶縁膜9にて覆われている。絶縁膜9としてLTO(Low Temperature Oxide)膜が用いられている。その上にはソース電極10が形成され、ソース電極10はn⁺型ソース領域4 a、4 bおよびp⁻型ベース領域3 a、3 bと接している。また、n⁺型半導体基板1の裏面1 bには、裏面電極となるドレイン電極11が形成されている。

【0029】

30

なお、n⁻型エピ層2のうち、p⁻型ベース領域3 a、3 bに挟まれた部分がいわゆるJ-FET部を構成する。

【0030】

次に、図1に示す縦型パワーMOSFETの製造工程を、図2~図4を用いて説明する。

【0031】

〔図2(a)に示す工程〕

まず、n型4 Hまたは6 Hまたは3 C-SiC基板、すなわちn⁺型半導体基板1を用意する。例えば、n⁺型半導体基板1として、その厚さが400 μm、主表面1 aが(0001)Si面、又は、(112-0)a面のものを用いる。この基板1の主表面1 aに厚さ5 μmのn⁻型エピ層2をエピタキシャル成長させる。これにより、n⁻型エピ層2は下地の基板1と同様の結晶が得られ、n型4 Hまたは6 Hまたは3 C-SiC層となる。

40

【0032】

〔図2(b)に示す工程〕

n⁻型エピ層2の上の所定領域にLTO膜20を配置し、これをマスクとしてB⁺(若しくはアルミニウム)をイオン注入して、p⁻型ベース領域3 a、3 bを形成する。このとき、イオン注入条件は、温度が700°で、ドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ としている。

【0033】

〔図2(c)に示す工程〕

LTO膜20を除去した後、基板1の上面からN⁺をイオン注入して、n⁻型エピ層2の

50

表層部及び p^- 型ベース領域3a、3bの表面部(表層部)に表面チャネル層5を形成する。このとき、イオン注入条件は、温度が700、ドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ としている。これにより、表面チャネル層5は、 p^- 型ベース領域3a、3bの表面部では補償されてn型の不純物濃度が薄いn⁻型層5aとなり、n⁻型エピ層2の表面部ではn型の不純物濃度が濃いn⁺型層5bとなる。

【0034】

また、縦型パワーMOSFETをノーマリオフ型にするために、 p^- 型ベース領域3a、3bから広がる空乏層の伸び量と、ゲート絶縁膜7から広がる空乏層の伸び量との和が表面チャネル層5の厚み以上となるように上記イオン注入条件が設定されている。

【0035】

このようなノーマリオフ型の縦型パワーMOSFETは、故障などによってゲート電極に電圧が印加できないような状態となっても、電流が流れないようにすることができるため、ノーマリオン型のものと比べて安全性を確保することができる。

【0036】

〔図3(a)に示す工程〕

表面チャネル層5の上の所定領域にLTO膜21を配置し、これをマスクとしてN⁺をイオン注入し、n⁺型ソース領域4a、4bを形成する。このときのイオン注入条件は、700、ドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ としている。

【0037】

〔図3(b)に示す工程〕

そして、LTO膜21を除去した後、フォトレジスト法を用いて表面チャネル層5の上の所定領域にLTO膜22を配置し、これをマスクとしてRIEにより p^- 型炭化珪素ベース領域3a、3b上の表面チャネル層5を部分的にエッティング除去する。

【0038】

〔図3(c)に示す工程〕

さらに、LTO膜22をマスクにしてB⁺をイオン注入し、ディープベース層30a、30bを形成する。これにより、ベース領域3a、3bの一部が厚くなったものとなる。このディープベース層30a、30bは、n⁺型ソース領域4a、4bに重ならない部分に形成されると共に、 p^- 型ベース領域3a、3bのうちディープベース層30a、30bが形成された厚みが厚くなった部分が、ディープベース層30aが形成されていない厚みの薄い部分よりも不純物濃度が濃く形成される。

【0039】

〔図4(a)に示す工程〕

LTO膜22を除去した後、基板上にゲート絶縁膜7として高誘電体膜であるHfO₂を形成する。このとき、例えば、基板温度500としてスパッタ法により、HfO₂を形成する。そして、スパッタ後に、O₂雰囲気で適宜熱処理を行う。

【0040】

〔図4(b)に示す工程〕

引き続き、ゲート絶縁膜7の不要部分を除去した後、LTOよりなる絶縁膜9を形成しゲート絶縁膜7を覆う。このとき、成膜温度を425として、成膜後に1000のアニールを行う。

【0041】

〔図4(c)に示す工程〕

そして、室温での金属スパッタリングによりソース電極10及びドレイン電極11を配置する。また、成膜後に1000のアニールを行う。このようにして、図1に示す縦型パワーMOSFETが完成する。

【0042】

次に、この縦型パワーMOSFETの作用(動作)を説明する。本MOSFETはノーマリオフ型の蓄積モードで動作するものであって、ポリシリコンゲート電極に電圧を印加しない場合は、表面チャネル層5においてキャリアは、 p^- 型ベース領域3a、3bと表

10

20

30

40

50

面チャネル層5との間の静電ポテンシャルの差、及び表面チャネル層5とポリシリコンゲート電極8との間の仕事関数の差により生じた電位によって全域空乏化される。ポリシリコンゲート電極8に電圧を印加することにより、表面チャネル層5とポリシリコンゲート電極8との間の仕事関数の差と外部からの印加電圧の和により生じる電位差を変化させる。このことにより、チャネルの状態を制御することができる。

【0043】

つまり、ポリシリコンゲート電極8の仕事関数を第1の仕事関数とし、p⁻型ベース領域3a、3bの仕事関数を第2の仕事関数とし、表面チャネル層5の仕事関数を第3の仕事関数としたとき、第1～第3の仕事関数の差を利用して、表面チャネル層5のn型のキャリアを空乏化する様に第1～第3の仕事関数と表面チャネル層5の不純物濃度及び膜厚を設定することができる。10

【0044】

また、オフ状態において、空乏領域は、p⁻型ベース領域3a、3b及びポリシリコンゲート電極8により作られた電界によって、表面チャネル層5内に形成される。この状態からポリシリコンゲート電極8に対して正のバイアスを供給すると、ゲート絶縁膜(SiO₂)7と表面チャネル層5との間の界面においてn⁺型ソース領域4a、4bからn⁻型ドリフト領域2方向へ延びるチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、n⁺型ソース領域4a、4bから表面チャネル層5を経由し表面チャネル層5からn⁻型エピ層2に流れる。そして、n⁻型エピ層2(ドリフト領域)に達すると、電子は、ドレイン領域を構成するn⁺型半導体基板1へ垂直に流れる。20

【0045】

このようにゲート電極8に正の電圧を印加することにより、表面チャネル層5に蓄積型チャネルを誘起させ、ソース電極10とドレイン電極11との間にキャリアが流れる。

【0046】

このように、プレーナ型MOSFETにおいて、動作モードをチャネル形成層の導電型を反転させることなくチャネルを誘起する蓄積モードとすることで、導電型を反転させる反転モードのMOSFETに比べ、チャネル移動度を大きくしてオン抵抗を低減させるよう正在している。

【0047】

そして、本実施形態では、このような構成のパワーMOSFETにおけるゲート絶縁膜7をHfO₂という高誘電体膜で構成している。このように、ゲート絶縁膜7を高誘電体膜で構成した場合と、従来のような酸化膜(SiO₂)で構成した場合それにおけるエネルギーバンド図を図5(a)、(b)に示す。なお、これら図5(a)、(b)は、図1におけるA-A断面部分におけるエネルギーバンドを示したものに相当する。30

【0048】

ゲート絶縁膜7を酸化膜で構成した場合には、図5(b)に示されるように、-電荷を界面準位がコンダクションバンド近辺に高密度に形成される。このため、この界面準位が電流の流れに影響を及ぼし、チャネル移動度を低下させる要因になっていた。

【0049】

これに対し、ゲート絶縁膜7を高誘電体膜で構成した場合には、図5(a)に示されるように、界面準位が存在するものの、コンダクションバンド近辺に高密度に集中することはない。このため、界面準位が電流の流れに影響を及ぼすことはほとんどなく、チャネル移動度を低下させることもない。40

【0050】

以上説明したように、本実施形態のパワーMOSFETでは、ゲート絶縁膜7として高誘電体膜を用いている。このため、界面準位がコンダクションバンド近辺に高密度に集中しないようにすることが可能となる。したがって、界面準位が電流の流れに影響を及ぼすことによってチャネル移動度を低下させるという問題を解消でき、チャネル移動度を向上させることが可能となる。

【0051】

10

20

30

40

50

(第1実施形態の変形例)

上記第1実施形態では、ゲート絶縁膜7の材質となる高誘電体膜としてHfO₂を用いているが、この他の高誘電体膜を用いることも可能である。例えば、HfAlO_xを高誘電体膜として用いることも可能である。この場合、第1実施形態で示した図4(a)に示す工程において、例えばMO-CVD法によってHfAlO_xを形成する。例えば、500のO₂雰囲気中でHfAlO_xの成膜を行い、成膜後に700の熱処理を行うことでも、ゲート絶縁膜7を形成することができる。その他にもHfSiONを高誘電体膜として用いることも可能である。例えば反応性スパッタ法にて形成する。その後、N₂雰囲気中で950～1100の熱処理を行うことでゲート絶縁膜7を形成することができる。

【0052】

10

(第2実施形態)

本発明の第2実施形態について説明する。本実施形態は、第1実施形態に対してゲート絶縁膜7の構造を変更したものであり、他の部分については同様であるため、異なる部分についてのみ説明する。

【0053】

図6は、本実施形態のパワーMOSFETにおけるゲート絶縁膜7の部分近傍を拡大したものである。

【0054】

20

この図に示されるように、本実施形態では、ゲート絶縁膜7が高誘電体膜7aと酸化膜7bを積層した積層膜によって構成されている。すなわち、表面チャネル層5の表面に高誘電体膜7aを形成したのち、高誘電体膜7aの表面に酸化膜7bを形成した構造としている。

【0055】

このような構造の場合のエネルギー-band図を図7に示す。この図に示されるように、炭化珪素からなる表面チャネル層5の表面に形成される高誘電体膜7aには、上述した第1実施形態と同様に、界面準位がコンダクションバンド近辺に高密度に集中しない状態となっている。

【0056】

30

しかしながら、ゲート絶縁膜7を高誘電体膜のみで構成した場合、従来のように酸化膜のみで構成した場合と比べて、高温下および高ゲート電圧下においてゲートリーケ電流が多く流れる可能性がある。これは、コンダクションバンド側における炭化珪素のエネルギー準位E_cの端と高誘電体膜のエネルギー準位E_cとの差E_cが、炭化珪素のエネルギー準位E_cと酸化膜のエネルギー準位E_cとの差E_cが小さくなるためであり、その障壁を越え易くなつて、ゲートリーケ電流が多く流れるのである。

【0057】

このため、本実施形態では、ゲート絶縁膜7のうち表面チャネル層5に接する部分を高誘電体膜7aで構成し、この高誘電体膜7aの表面に酸化膜7bを形成するようにしている。これにより、ゲート絶縁膜7のうち表面チャネル層5に接する部分についてコンダクションバンド近辺に界面準位が高密度に集中しないようにしつつ、高誘電体膜7aの上に酸化膜7bを形成することで炭化珪素のエネルギー準位E_cの端からの差E_cを高くしている。これにより、ゲートリーケ電流が発生するのに必要とされるエネルギー障壁が高くなり、ゲートリーケ電流の発生を防ぐことが可能となる。

40

【0058】

なお、このような構造のパワーMOSFETは、第1実施形態や第1実施形態の変形例に対して、一般的に知られている酸化膜形成工程を追加するのみで形成される。例えば、500のO₂雰囲気中においてHfAlO_xからなる高誘電体膜7aをMO-CVD法によって形成したのち、700の熱処理を行い、さらに、高誘電体膜7aの表面にCVD法により酸化膜7bを成膜することにより、ゲート絶縁膜7を形成することができる。その他にもHfSiONを高誘電体膜として用いることも可能で、例えば反応性スパッタ法にて形成する。その後、N₂雰囲気中で950～1100の熱処理を行うことでゲー

50

ト絶縁膜7を形成することができる。

【0059】

(第3実施形態)

本発明の第3実施形態について説明する。本実施形態は、第1、第2実施形態に対してn⁻型半導体基板1の面方位を変更したものであり、他の部分については同様であるため、異なる部分についてのみ説明する。

【0060】

本実施形態では、(0001)Si面に対して10～20°傾いた面を主表面とするn⁻型半導体基板1を用意する。このようなn⁻型半導体基板1の製造方法について、図8に示す製造工程図を参照して説明する。

10

【0061】

まず、図8(a)に示されるように、(0001)Si面の4H-SiC単結晶のインゴットを用意する。そして、図8(b)に示されるように、(0001)Si面に対して10～20°傾いた面で、ワイヤーソーを用いてインゴットを切り出す。このとき、(0001)Si面に対して10～20°傾いた面は、安定性が高いため、研磨傷のない鏡面が得られる。このようにして、(0001)Si面に対して10～20°傾いた面を主表面とするn⁻型半導体基板1が形成される。

【0062】

この後、図8(c)に示されるように、n⁻型半導体基板1の主表面にCVD装置などを用いてn⁻型エピ層2をエピタキシャル成長させ、その後は、図2～図3と同様の工程等を行うことで、第1実施形態や第2実施形態に示したパワーMOSFETが完成する。

20

【0063】

このような(0001)Si面に対して10～20°傾いた面は、他の面と比べて界面準位を低減することができることから、より界面準位による電流の流れの影響を低減することが可能となる。これにより、パワーMOSFETの更なるチャネル移動度の向上を図ることが可能となる。

【0064】

なお、本実施形態のように、(0001)Si面に対して10～20°傾いた面を有するn⁻型半導体基板1を用いる場合、その面が<11-20>方向に傾いた面となるようになるのが好ましい。このような<11-20>方向に傾いた面は、実験により、特に界面準位が低くなっていることが確認されている。このため、このように(0001)Si面に対して10～20°傾いた面を<11-20>方向に傾いた面とすることにより、より界面準位を小さくすることができ、より効果的にパワーMOSFETの更なるチャネル移動度の向上を図ることが可能となる。

30

【0065】

また、(0001)Si面に対して10～20°傾いた面を有するn⁻型半導体基板1を用いる場合、その面が(11-2n)面であり、nが17～38の関係を満たす面となるようにしても良い。このような(11-2n)面であり、nが17～38の関係を満たす面も、実験により、特に界面準位が低くなっていることが確認されている。このため、このような面を用いても、より効果的にパワーMOSFETの更なるチャネル移動度の向上を図ることが可能となる。

40

【0066】

(第4実施形態)

本発明の第4実施形態について説明する。本実施形態は、第3実施形態と同様に、第1、第2実施形態に対してn⁻型半導体基板1の面方位を変更したものであり、他の部分については同様であるため、異なる部分についてのみ説明する。

【0067】

図9は、本実施形態におけるパワーMOSFETの製造工程を示したものである。本実施形態では、まず、図9(a)に示されるように、(0001)Si面に対して8°オフしたオフ基板をn⁻型半導体基板1として用意する。

50

【0068】

そして、 n^- 型半導体基板1の表面にLTO膜を形成したのち、それを除去し、さらに n^- 型半導体基板1の表面を洗浄する。この後、 n^- 型半導体基板1の表面に炭化珪素層を例えば5nmの厚さで成膜したのち、引き続き、超高真空チャンバ内を加熱することで、 n^- 型半導体基板1を500～1100の範囲、好ましくは1500程度で一定温度とする。この高温化により、 n^- 型半導体基板1の表面にステップバンチングが形成され、(0001)Si面と(0001)Si面に対して10～20°傾いた面の2面を得ることができる。

【0069】

このとき、(0001)Si面に対して10～20°傾いた面の面積が、(0001)面の面積よりも大きくなるようにする。この面積比率の関係は、熱処理時の温度制御によって変化させることができ、例えば、1050と950という2種類以上の温度工程を組み合わせることで、調整することが可能である。

【0070】

そして、このような n^- 型半導体基板1の主表面1aに(0001)Si面と(0001)Si面に対して10～20°傾いた面の2面を形成する。そして、このような2面を有する n^- 型半導体基板1を用いて、上記第1、第2実施形態に示した構造のパワーMOSFETを作成する。

【0071】

その後、図9(b)に示されるように、 n^- 型半導体基板1の主表面にCVD装置などを用いて n^- 型エピ層2をエピタキシャル成長させ、その後は、図2～図3と同様の工程等を行うことで、第1実施形態や第2実施形態に示したパワーMOSFETが完成する。

【0073】

このような(0001)Si面とこの面から10～20°傾いた面とを主表面とする単結晶炭化珪素基板は、他の面を主表面とする単結晶炭化珪素基板と比べて界面準位を低減することができることを確認している。このため、界面準位による電流の流れの影響をより低減することができるようになる。これにより、パワーMOSFETの更なるチャネル移動度の向上を図ることが可能となる。

【0074】

そして、(0001)Si面に対して10～20°傾いた面の面積が、(0001)面の面積よりも大きくなるようにしていることから、より効果的に上記効果を得ることが可能となる。

【0075】

(他の実施形態)

上記実施形態では、 n^- 型炭化珪素エピ層2の表層部及び p^- 型炭化珪素ベース領域3a、3bの表面部(表層部)に直接イオン注入を行うことにより表面チャネル層5を形成しているが、これらの上に n^- 型の表面チャネル層5をエピタキシャル成長させるようにしたパワーMOSFETに対しても、本発明を適用することが可能である。

【0076】

また、上記各実施形態では、第1導電型としてn型、第2導電型としてp型を適用したパワーMOSFETを例に挙げて説明したが、これは单なる一例であり、各部の導電型を反転させたpチャネルタイプのパワーMOSFETにも本発明を適用することが可能である。

【0077】

なお、結晶の方位を示す場合、本来ならば所望の数字の上にバー(-)を付すべきであるが、パソコン出願に基づく表現上の制限が存在するため、本明細書においては、所望の数字の前にバーを付すものとする。

【図面の簡単な説明】

【0078】

【図1】本発明の第1実施形態におけるパワーMOSFETの断面構成を示す図である。

10

20

30

40

50

【図2】図1に示すパワーMOSFETの製造工程を示す図である。

【図3】図2に続くパワーMOSFETの製造工程を示す図である。

【図4】図3に続くパワーMOSFETの製造工程を示す図である。

【図5】(a)、(b)は、ゲート絶縁膜を高誘電体膜で構成した場合と、従来のような酸化膜(SiO₂)で構成した場合それにおけるエネルギー・バンド図である。

【図6】本発明の第2実施形態におけるパワーMOSFETの部分断面構成を示す図である。

【図7】図6に示すパワーMOSFETのゲート絶縁膜近傍のエネルギー・バンド図である。

【図8】n⁻型半導体基板の製造工程を示した断面図である。

10

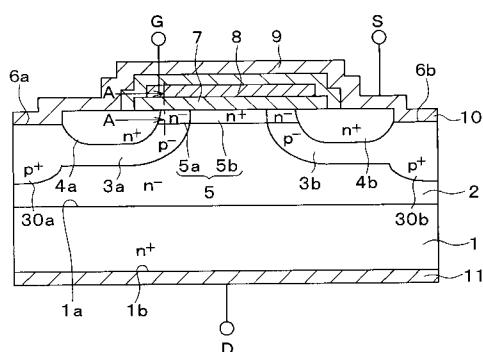
【図9】第4実施形態に示すパワーMOSFETの製造工程を示す図である。

【符号の説明】

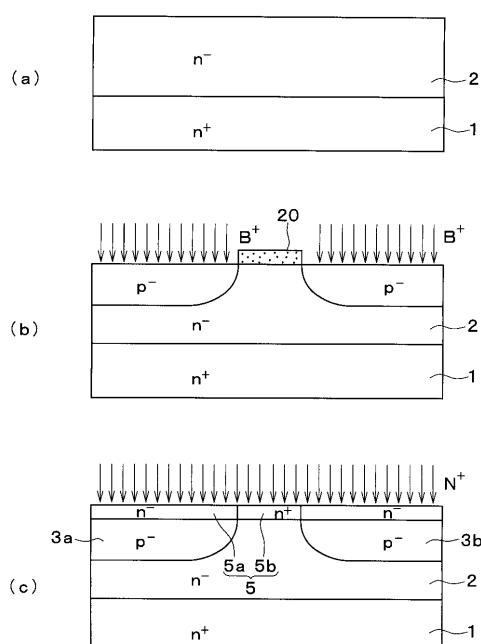
【0079】

1...n⁺型半導体基板、2...n⁻型エピ層、3a、3b...p⁺型ベース領域、4a、4b...n⁺型ソース領域、5...表面チャネル層、7...ゲート絶縁膜、7a...高誘電体膜、7b...酸化膜、8...ポリシリコンゲート電極、10...ソース電極、11...ドレイン電極。

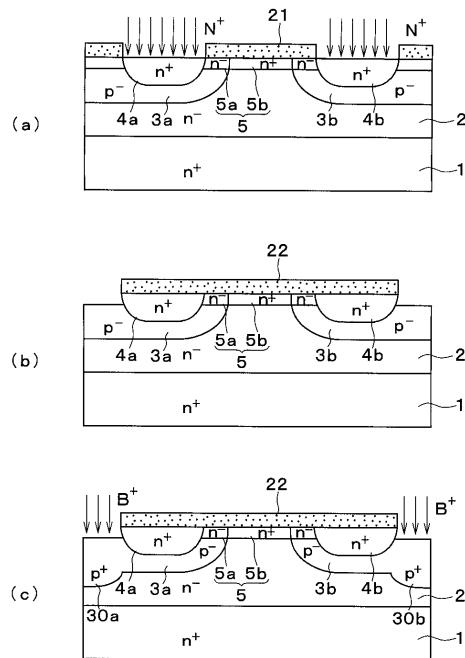
【図1】



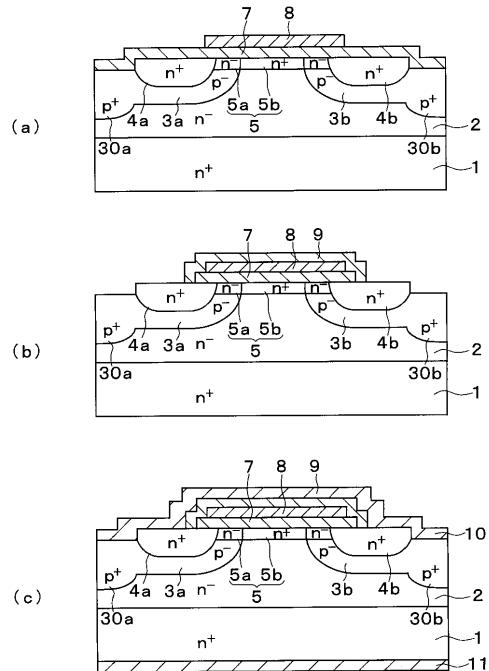
【図2】



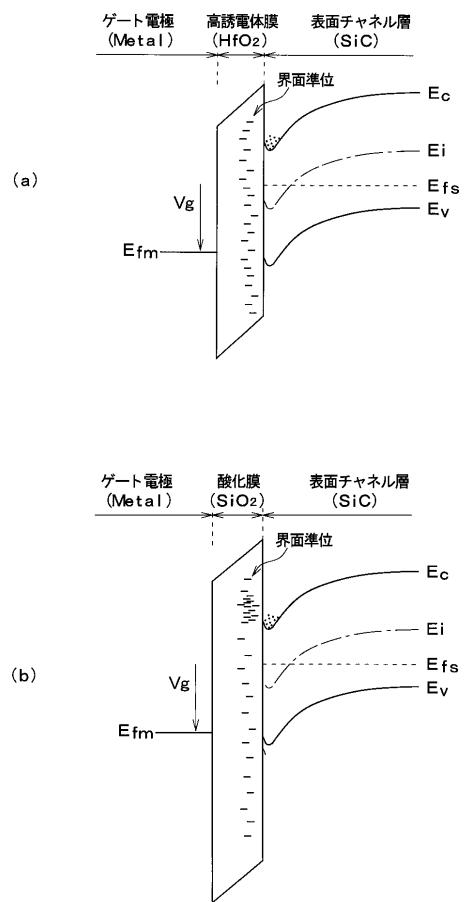
【図3】



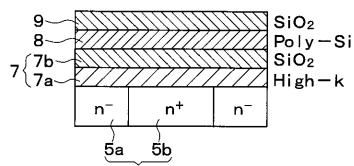
【図4】



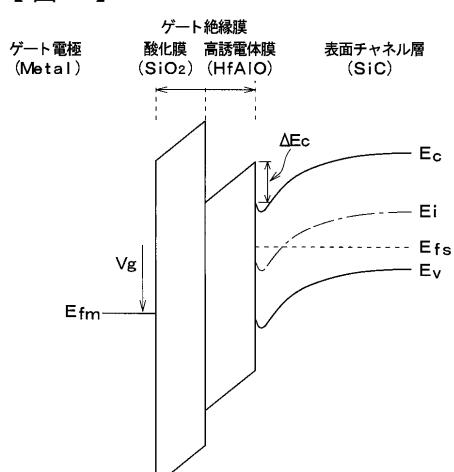
【図5】



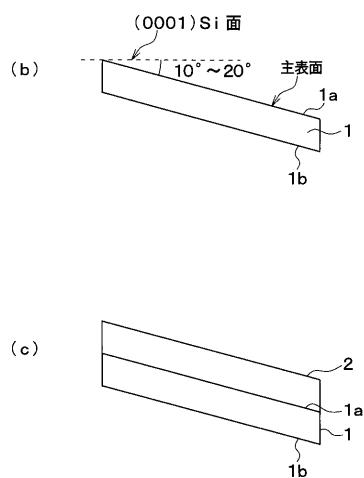
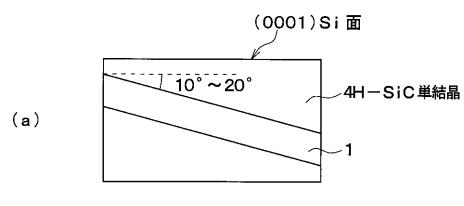
【図6】



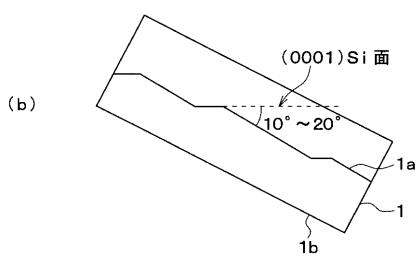
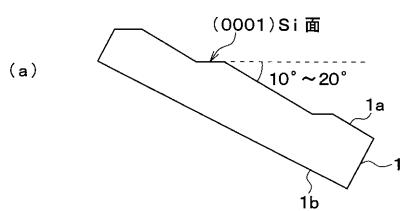
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.

F I

H 01L 29/78 658A
H 01L 29/78 658F

(72)発明者 奥野 英一

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 小森 重樹

(56)参考文献 特開2003-158267 (JP, A)

特開2000-106428 (JP, A)

特開2001-144288 (JP, A)

特開2003-209251 (JP, A)

特開2003-115460 (JP, A)

特開2003-234301 (JP, A)

特開2000-150792 (JP, A)

特表平10-510952 (JP, A)

国際公開第2005/010974 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H 01L 29 / 78

H 01L 21 / 336

H 01L 29 / 12