[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G05F 1/59 (2006.01)

[12] 发明专利申请公布说明书

[21] 申请号 200680009055.2

[43] 公开日 2008 年 3 月 19 日

[11] 公开号 CN 101147111A

[22] 申请日 2006.2.16
[21] 申请号 200680009055.2
[30] 优先权
[32] 2005. 2.17 [33] US [31] 11/061,718
[86] 国际申请 PCT/US2006/005783 2006.2.16
[87] 国际公布 WO2006/089195 英 2006.8.24
[85] 进入国家阶段日期 2007.9.20
[71] 申请人 高通股份有限公司
地址 美国加利福尼亚州
[72] 发明人 J·班布瑞克
[74] 专利代理机构 上海专利商标事务所有限公司
代理人 钱慰民

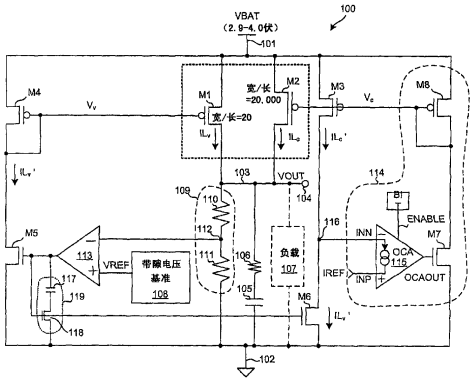
权利要求书 4 页 说明书 12 页 附图 7 页

[54] 发明名称

具有压控环路和流控环路的供电电路

[57] 摘要

一种供电电路，包括将电流从电压馈送端子引导到输出端子的两个传输晶体管。 其中一个晶体管较小而另一个较大。 通过该较小晶体管的电流由压控环路控制以使得输出端子上的电压被稳定到预定电压。 通过该较大晶体管的电流由高增益流控环路控制以使得流过该较大晶体管的电流是流过该较小传输晶体管的电流的数倍。 通过减小该较小晶体管中的电流，该供电电路在最高达 100kHz 频率上的电源抑制比(PSRR)得以改善。 这两个传输晶体管所占据的管芯空间与相似性能的常规供电电路中传输晶体管管芯空间的量相比有所减小。



1．一种供电电路，包括：

输出节点；

第一传输晶体管；

压控环路，用于控制所述第一传输晶体管以使所述第一传输晶体管向所述输出节点提供第一电流，其中一控制电流在所述压控环路的一部分中流动；

第二传输晶体管；

流控环路，用于生成第二电流，所述第二电流的幅值与在所述压控环路中流动的所述控制电流的幅值成比例，所述第二电流是由所述第二传输晶体管向所述输出节点提供的。

2．如权利要求1所述的供电电路，其特征在于，所述压控环路控制所述第一传输晶体管以使预定输出电压呈现在所述输出节点上，其中所述第一电流和所述第二电流一起是负载电流，并且其中当所述负载电流低于约一毫安时所述第二电流的幅值与所述控制电流的幅值不成比例。

3．如权利要求1所述的供电电路，其特征在于，所述压控环路包括：

分压器，用于从所述输出节点接收所述预定输出电压，并将一感测电压输出到一分压器节点上；

电压基准，用于将基准电压输出到一基准电压节点上；

具有第一输入引线、第二输入引线和一输出引线的差分放大器，所述第一输入引线被耦合到所述分压器节点，所述第二输入引线被耦合到所述基准电压节点；以及

具有控制端子的晶体管，所述控制端子被耦合到所述差分放大器的输出引线，其中所述控制电流是流过所述晶体管的电流。

4．如权利要求1所述的供电电路，其特征在于，所述流控环路包括：

第一电流镜像晶体管，用于镜像在所述压控环路中流动的控制电流以使得第一镜像电流流过所述第一电流镜像晶体管；

第二电流镜像晶体管，用于镜像所述第二电流以使得与所述第二电流成比例的第二镜像电流流过所述第二电流镜像晶体管，所述第二电流镜像晶体管具有一控制端子，所述控制端子被耦合到所述第二晶体管的控制端子；以及

控制电路系统，用于控制所述第二电流镜像晶体管的控制端子上和所述第二晶体管的控制端子上的电压以使得流过所述第二电流镜像晶体管的所述第二镜像电流基本等于流过所述第一电流镜像晶体管的所述第一镜像电流。

5．如权利要求 4 所述的供电电路，其特征在于，所述控制电路系统包括运算电流放大器（OCA），所述运算电流放大器具有输入引线，并且其中所述第一电流镜像晶体管具有一漏极端子，所述漏极端子被耦合到所述运算电流放大器的输入引线和所述第二电流镜像晶体管的漏极。

6．如权利要求 1 所述的供电电路，其特征在于，所述第一和第二传输晶体管两者均被设置在一集成电路上，所述第一传输晶体管占据第一管芯空间量，所述第二传输晶体管占据第二管芯空间量，所述第二管芯空间量至少比所述第一管芯空间量大 500 倍。

7．如权利要求 1 所述的供电电路，其特征在于，所述供电电路可在第一模式和第二模式下工作，其中所述流控环路在所述第一模式下被启用以使所述第二电流由所述第二传输晶体管提供给所述输出节点，并且其中所述流控环路在所述第二模式下被禁用以使所述第二传输晶体管基本不向所述输出节点提供电流。

8．如权利要求 1 所述的供电电路，其特征在于，所述压控环路控制所述第一传输晶体管以使所述供电电路从所述输出节点供给至少 300 安培，所述供电电路从电源接收电源电压，所述供电电路在所述电源电压在 0 Hz 到 100 kHz 整个范围上的频率变动下有好于–60 dB 的电源抑制比（PSRR）。

9．如权利要求 1 所述的供电电路，其特征在于，所述供电电路从所述输出节点提供电流，所述电流流入一电池并对所述电池进行充电。

10．如权利要求 1 所述的供电电路，其特征在于，所述供电电路被集成到第一集成电路管芯上，其中所述供电电路从所述输出节点提供电流，所述电流流入第二集成电路管芯中，所述第一集成电路管芯和所述第二集成电路管芯是蜂窝电话的一部分。

11．一种方法，包括：

将第一电流从电压馈送端子通过第一晶体管引导到一输出端子；

使用第一控制环路来控制所述第一晶体管以使所述输出端子上的电压被稳定到预定输出电压；

将第二电流从所述电压馈送端子通过第二晶体管引导到所述输出端子；以及

使用第二控制环路来控制所述第二晶体管以使所述第二电流是所述第一电流

的高倍。

12．如权利要求 11 所述的方法，其特征在于，所述高倍是至少 500 倍，其中一电源电压呈现在所述电压馈送端子上，并且其中所述高倍在所述电源电压在 0 Hz 到 100 kHz 整个频率范围上的变动下保持基本恒定。

13．如权利要求 11 所述的方法，其特征在于，所述电压馈送端子被耦合到电池。

14．如权利要求 11 所述的方法，其特征在于，所述输出端子被耦合到可再充电电池。

15．如权利要求 11 所述的方法，其特征在于，所述第一晶体管、第一控制环路、第二晶体管、第二控制环路、电压馈送端子以及输出端子是一供电电路的一部分，并且其中所述供电电路通过所述电压馈送端子向一集成电路提供电流。

16．如权利要求 11 所述的方法，其特征在于，所述第一晶体管、第一控制环路、第二晶体管、第二控制环路、电压馈送端子以及输出端子是一供电电路的一部分，所述供电电路被集成到第一集成电路上，并且其中所述供电电路从其输出端子向第二集成电路提供电流，所述第一和第二集成电路是蜂窝电话的一部分。

17．如权利要求 11 所述的方法，其特征在于，进一步包括：

禁用所述第二控制环路以使所述第二电流基本为零，并使所述第一控制环路继续将所述输出端子上的电压稳定到所述预定输出电压。

18．如权利要求 11 所述的方法，其特征在于，所述第一晶体管、第一控制环路、第二晶体管、第二控制环路、电压馈送端子以及输出端子是一供电电路的一部分，所述供电电路由呈现在所述电压馈送端子上的电源电压供电，所述供电电路在所述电源电压在从 0 Hz 到 100 kHz 的整个频率范围上的变动下有好于–60 dB 的电源抑制比（PSRR）。

19．如权利要求 11 所述的方法，其特征在于，所述第二晶体管是所述第一晶体管的至少 500 倍大。

20．一种供电电路，包括：

电压馈送端子，电源电压呈现在所述电压馈送端子上；

输出节点；

晶体管；

压控环路，用于控制所述晶体管以使所述晶体管将第一电流从所述电压馈送端子引导到所述输出节点，其中一控制电流在所述压控环路的一部分中流动；以及

用于将第二电流从所述电压馈送端子引导到所述输出端子的装置，所述第二电流的幅值在所述第一电流增大的情况下增大，并且在所述第一电流增大的情况下减小，所述装置控制所述第二电流以使所述供电电路在所述电源电压在从 0 Hz 到 100 kHz 的整个范围上的变动下有好于–60 dB 的电源抑制比（PSRR），其中至少所述晶体管和所述装置被集成到一集成电路上。

21．如权利要求 20 所述的供电电路，其特征在于，所述装置包括一运算电流放大器（OCA）。

22．如权利要求 20 所述的供电电路，其特征在于，所述第二电流对应于所述第一电流成比例地变化，并且其中所述第二电流是所述第一电流的至少 500 倍大。

23．如权利要求 20 所述的供电电路，其特征在于，所述供电电路可在第一模式和第二模式下工作，并且其中在所述第二模式下所述装置被禁用以使所述第二电流基本为零，在所述第二模式下由所述压控环路稳定所述第一电流以使预定输出电压呈现在所述输出节点上。

具有压控环路和流控环路的供电电路

背景

领域

所公开的实施例一般涉及供电电路。

背景

图 1（现有技术）是向外部负载 2 供电的常规供电电路 1 的电路图。供电电路 1 经由 VBAT 电压馈送端子 2 和接地端子 3 从电池（未示出）接收供电。供电电路 1 将所需的输出电压 VOUT 输出到输出端子 4 上。带隙电压基准 5 输出诸如 1.2 伏的基准电压 VREF。由电阻器 6 和电阻器 7 组成的电阻分压器将输出节点 4 上的电压 VOUT 分压以使得当输出节点 4 上呈现期望电压（例如，4.0 伏）时节点 8 上将会呈现电压 VREF。差分放大器 9 将基准电压 VREF 与节点 8 上的电压相比较，并相应地激励晶体管 10 的栅极上的电压。晶体管 10 内从漏极流到源极的电流被晶体管 11 和大传输晶体管 12 所镜像，以使得一成比例电流从 VBAT 端子 2 通过传输晶体管 12 流到输出端子 4。如果通过传输晶体管 12 流到输出端子 4 的电流太小致使节点 8 上的电压小于基准电压 VREF，则差分放大器 9 升高晶体管 10 的栅极上的电压以使得流过传输晶体管 12 的电流增大直至节点 8 上的电压匹配基准电压 VREF。另一方面，如果通过传输晶体管 12 流到输出端子 4 的电流太大致使节点 8 上的电压高于 VREF，则差分放大器 9 降低晶体管 10 的栅极上的电压以使得流过传输晶体管 12 的电流减小直至节点 8 上的电压匹配 VREF。由此通过压控环路来稳定输出端子 4 上的电压。

在一些应用中，由于除供电电路 1 以外的多个电路被耦合到同一电池，致使电池电压 VBAT 上可能会呈现噪声。例如，如果电池电压 VBAT 从所需的 4.0 伏电源电压瞬时降落到 3.0 伏，然后回到所需的 4.0 伏，则 VBAT 的这一瞬时降落不应被转化为提供到输出端子 4 上的供电电压 VOUT 相应的瞬变。具有例如用于蜂窝电话的敏感射频电路系统的射频（RF）管芯从输出端子 4 接收供电。不管电池电源电压 VBAT 有怎样的瞬时波动，从输出端子 4 提供的 4.0 伏都要保持恒定。

供电电路的不管其输入电压 VBAT 有何变化都输出恒定输出电压 VOUT 的能力是由称为电源抑制比或者说 PSRR 的量来衡量的。以 dB 为单位的供电电路的 PSRR 是通过将输出电压 VOUT 中所见的变动除以输入电压 VBAT 的变动，然后取此商的对数，然后将结果所得的值乘以 20 来确定的。一般而言，压控环路的增益越高，PSRR 就越好（较好的 PSRR 意味着 PSRR 数是较大的负数）。然而，供电电路的 PSRR 是频率相关的。此压控环路对输入电压 VBAT 中的低频变化响应灵敏。然而，对于输入电压 VBAT 中较快的变化，该控制环路可能不合需要地慢，致使 VBAT 变动通过供电电路被传送，并被引入到输出电压 VOUT 中。在以上所描述的由该供电电路对敏感的 RF 管芯供电的蜂窝电话应用中，在从零 Hz 直至 100 kHz 的输入电压频率变动上希望有–40 dB 或更好的 PSRR 抑制。

对该压控环路的速度的一个限制是传输晶体管 12 的大小。一般将传输晶体管 12 做得很大以使得供电电路 1 可向负载 2 提供所需量的电源电流。在图 1 的电路的一个示例中，将传输晶体管 12 做成约 48 毫米宽乘 0.4 微米长（宽/长 = 120,000）以使得该供电电路能够供给蜂窝电话应用中所需的 300 mA 电源电流。因此，传输晶体管 12 占据数平方毫米的管芯空间。除了不合需要地占据大量管芯空间以外，压控环路中的传输晶体管 12 的大尺寸还导致减慢了压控环路的响应，以使得供电电路在 100 kHz 下的 PSRR 高于其原本的值。需要一种改进的供电电路。

概要信息

一种集成供电电路包括将电流从电压馈送端子 VBAT 引导至输出端子的两个传输晶体管。其中一个晶体管较小而另一个较大。通过该较小传输晶体管 M1 的电流由压控环路控制以使得输出端子上的输出电压 VOUT 被稳定到预定电压。通过该较大传输晶体管 M2 的电流由流控环路控制以使得流过较大传输晶体管 M2 的电流的量是流过较小传输晶体管 M1 的电流的数倍。流过较大传输晶体管 M2 的电流与流过较小传输晶体管 M1 的电流的变化大致成比例地改变。对于流过晶体管 M1 和 M2 的组合电流超过约一毫安的供电电路工作体制，流过较大传输晶体管 M2 的电流与流过较小传输晶体管 M1 的电流的比例关系得以维持。通过减小较小传输晶体管 M1 中的电流，该供电电路的电源抑制比（PSRR）得以改善。在一个示例中，对于最高达 100 kHz 的频率，该 PSRR 好于–65 dB（较好的 PSRR 意味着 PSRR 数是较大的负数）。这两个传输晶体管 M1 和 M2 所占据的管芯空间与相似性能或甚至较差性能的常规供电电路中传输晶体管管芯空间的量相比有所减少。

在一个实施例中，该流控环路具有高增益，并且包括一运算电流放大器（OCA）。在高负载电流状态下，该 OCA 和流控环路工作，并且较大传输晶体管 M2 如前所述地承担了较小传输晶体管 M1 的电流负载。在低电流状态下，该 OCA 和流控环路被禁用，由此降低该供电电路的电流消耗。该供电电路是在其流控环路被禁用还是启用的状态下工作是由数字 ENABLE（启用）信号控制的。ENABLE 信号的数字值是通过将合适的值写到寄存器里的相应位中来控制的。该寄存器可从诸如蜂窝电话内的 SBI 总线等总线存取。

该供电电路可用来向电路供电或在再充电期间向可再充电电池供电。在以下的具体说明中描述了其它实施例。此概要并不旨在定义本发明。本发明由所附权利要求定义。

附图简要说明

图 1（现有技术）是常规供电电路的示图。

图 2 是根据一个新颖方面的供电电路 100 的简化示图。

图 3 是图 2 的供电电路 100 的运算电流放大器（OCA）的简化示图。

图 4 是可用来表征图 2 的供电电路 100 的工作的小信号模型。

图 5 是示出图 2 的供电电路 100 的压控环路的稳定性的曲线图。

图 6 是示出图 2 的供电电路 100 的流控环路的稳定性的曲线图。

图 7 是可用来确定晶体管 M1 和 M2 的尺寸定径的示图。

图 8 是图 2 的供电电路 100 的电源抑制比（PSRR）随频率变化的曲线图。

图 9 是阐明图 2 的供电电路 100 的性能参数的表。

具体说明

图 2 是根据一个实施例的供电电路 100 的电路图。供电电路 100 经由电源馈送端子 VBAT 101 和接地端子 102 从诸如电池（未示出）等能量源接收能量。供电电路 100 将经稳定的预定输出电压 VOUT 提供到输出节点 103 和输出端子 104 上。在一个实施例中，供电电路 100 被集成到一半导体集成电路管芯上。供电电路 100 和一外部电容器 105 一起工作。图 1 示图中的电阻器 106 代表外部电容器 105 的串联电阻。框 107 代表由供电电路 100 供电的外部负载。在一个实施例中，外部负载 107 是一集成电路，诸如其上设置了射频（RF）电路系统的集成电路。该供电集成电路和 RF 集成电路两者都可在蜂窝电话中实施。

供电电路 100 包括第一传输晶体管 M1 和较大的第二传输晶体管 M2。将第一传输晶体管 M1 做得相对较小（宽/长 = 20）以提升控制第一传输晶体管 M1 的压控环路的响应速度。将第二传输晶体管 M2 做得相对较大（宽/长 = 20,000），从而它能提供需要从电源馈送端子 VBAT 101 向输出节点 103 提供的电流的主要部分，以将输出节点 103 和输出端子 104 上的电压保持稳定在所需的预定输出电压 VOUT。一流控环路控制第二传输晶体管 M2 以使由第二传输晶体管 M2 向输出节点 103 提供的电流 IL_c 与压控环路内的控制电流成比例。较大第二传输晶体管 M2 和流控环路的设置还有其它优点，这将在以下进一步具体阐明。

该压控环路的操作如下。带隙电压基准 108 输出诸如 1.2 伏的基准电压 VREF。由电阻器 110 和电阻器 111 组成的电阻分压器 109 将输出节点 103 上的电压 VOUT 分压，以使得当输出节点 103 上呈现期望电压（例如，2.6 伏）时感测节点 112 上将会呈现电压 VREF（例如，1.2 伏）。差分放大器 113 将基准电压 VREF 与感测节点 112 上的电压相比较，并相应地设置晶体管 M5 的栅极上的电压。晶体管 M5 内从漏极向源极流动的控制电流 IL_v'被晶体管 M4 和第一传输晶体管 M1 所镜像，从而一成比例的第一电流 IL_v 自 VBAT 端子 101 流出，从源极到漏极流过第一传输晶体管 M1，并流到输出节点 103。如果从 VBAT 端子 101 通过第一传输晶体管 M1 和第二传输晶体管 M2 流到输出节点 103 的总电流太小致使感测节点 112 上的电压低于基准电压 VREF，则差分放大器 113 升高晶体管 M5 的栅极上的电压，由此增大控制电流 IL_v'以使得流过第一传输晶体管 M1 的第一电流 IL_v 增大，直至感测节点 112 上的电压匹配基准电压 VREF。另一方面，如果从 VBAT 端子 101 通过第一传输晶体管 M1 和第二传输晶体管 M2 流到输出节点 103 的总电流太大致使感测节点 112 上的电压高于 VREF，则差分放大器 113 降低晶体管 M5 的栅极上的电压，由此减小控制电流 IL_v'以使得流过第一传输晶体管 M1 的第一电流 IL_v 减小，直至感测节点 112 上的电压匹配 VREF。由此通过压控环路来稳定输出节点 103 上的电压以维持预定的输出电压 VOUT。

流控环路的操作如下。从漏极到源极流过晶体管 M5 的控制电流 IL_v'被第一电流镜像晶体管 M6 所镜像。第一电流镜像晶体管 M6 的栅极被耦合到晶体管 M5 的栅极。第一电流镜像晶体管 M6 的源极被耦合到晶体管 M5 的源极。因而流过第一电流镜像晶体管 M6 的漏极至源极电流 IL_v'与流过晶体管 M5 的控制电流 IL_v'成比例。在本例中，晶体管 M5 和 M6 尺寸相同。因而通过这两个晶体管的漏极至源极电流被标以相同符号 IL_v'。

设置第二电流镜像晶体管 M3 以镜像第二电流 IL_c。第二电流 IL_c 从第二传输晶体管 M2 的源极至第二传输晶体管 M2 的漏极流过第二传输晶体管 M2。流过第二镜像晶体管 M3 的镜像电流被标为 IL_c'。第二电流镜像晶体管 M3 的栅极被耦合到第二传输晶体管 M2 的栅极。第二电流镜像晶体管 M3 的源极被耦合到第二传输晶体管 M2 的源极。因此第二镜像电流 IL_c'的幅值与第二电流 IL_c 的幅值成比例。在本例中，晶体管 M3 比晶体管 M2 小得多。第二镜像电流 IL_c'约为第二电流 IL_c 的 1/100。

该流控环路包括控制电路 114。控制电路 114 控制第二电流镜像晶体管 M3 的栅极上的电压 V_c 以使得流过第二电流镜像晶体管 M3 的第二镜像电流 IL_c'基本等于流过第一电流镜像晶体管 M6 的第一镜像电流 IL_v'。此控制电路系统 114 包括一运算电流放大器（OCA）115 以及两个晶体管 M7 和 M8。运算电流放大器 115 有正（非反相）输入引线 INP、负（反相）输入引线 INN、启用输入引线 ENABLE、以及输入引线 OCAOUT。输出引线 OCAOUT 被耦合到晶体管 M7 的栅极。如果流过第二电流镜像晶体管 M3 的第二镜像电流 IL_c'的幅值大于流过第一镜像晶体管 M6 的第一镜像电流 IL_v'的幅值，则电流从节点 116 流进运算电流放大器 115 的负输入引线 INN。晶体管 M7 的栅极上的电压降低，由此减小了流过晶体管 M7 的漏极至源极电流。流过晶体管 M7 的漏极至源极电流是流过晶体管 M8 的源极至漏极电流。流过晶体管 M8 的源极至漏极电流进而被第二电流镜像晶体管 M3 镜像以使得电流 IL_c'与流过晶体管 M8 的源极至漏极电流成比例。因而第二镜像电流 IL_c'减小直至其等于第一镜像电流 IL_v'。涉及运算电流放大器 115、晶体管 M7、晶体管 M8、以及第二电流镜像晶体管 M3 的该流控环路工作以保持第二镜像电流 IL_c'的幅值等于第一镜像电流 IL_v'的幅值。

因为第二传输晶体管 M2 的栅极被耦合到第二镜像晶体管 M3 的栅极，并且因为第二传输晶体管 M2 的源极被耦合到第二镜像晶体管 M3 的源极，所以第二电流 IL_c 与第二镜像电流 IL_c'成比例。在此例中，第二镜像电流 IL_c'约为第二电流 IL_c 的 1/100。因此第二电流 IL_c 的幅值被该流控环路控制成与压控环路中流过晶体管 M5 的控制电流 IL_v'的幅值成比例。在流过传输晶体管 M1 和 M2 的总负载电流超过约一毫安的场合此比例性得以维持。压控环路中的控制电流 IL_v'越大，第二电流 IL_c 就越大。因而此流控环路起到减小为使供电电路 100 从输出端子 104 提供给定量的电流而需要流过第一传输晶体管 M1 的电流量的作用。通过减小需要引导通过第一传输晶体管 M1 的电流量，就可将第一传输晶体管 M1 做得较小。通过将第一

传输晶体管做得较小，就还可使压控环路中第一传输晶体管 M1 的栅电容较小，由此与图 1 的现有技术电路相比提升压控环路的速度。

图 3 是图 2 的运算电流放大器 115 的一个示例的电路图。运算电流放大器 115 包括第一级 120 和第二级 121。电容器 122 – 124 被实现为多板衬底电容器。图 2 的供电电路 100 具有高功率模式和低功率模式。在高功率模式下，运算电流放大器 115 被供电从而流控环路使第二传输晶体管 M2 将电流提供到输出节点 103 上。在此模式下，供电电路 100 可在 2.6 伏的 VOUT 下从输出端子 104 向外部负载 107 供给 300 毫安的电流。在高功率模式下，该供电电路本身的电路系统消耗约 40 微安的电流。运算电流放大器 115 消耗约 10 微安的电流。为将供电电路 100 置为高功率模式，出现在图 3 电路的左下方的信号 ENABLE 被设在数字高。在一个实施例中，ENABLE 信号是由寄存器的一位输出的数字值。ENABLE 信号是通过将数字一写到该寄存器位来设为高的。

在低功率模式下，供电电路 100 的流控环路部分被禁用。运算电流放大器 115 被禁用，并且第二传输晶体管 M2 被控制成不向输出节点 103 提供电流。在此模式下，供电电路 100 可在 2.6 伏的 VOUT 下从输出端子 104 向外部负载 107 供给最多约 2 毫安的电流。在低功率模式下，该供电电路本身的电路系统消耗约 11 微安的电流。运算电流放大器 115 几乎不消耗电流。为了将供电电路 100 置为低功率模式，出现在图 3 电路的左下方的信号 ENABLE 被设在数字低。在可写寄存器中有 ENABLE 位的实施例中，此 ENABLE 位是通过将数字零写到该寄存器位来设为低的。此实施例中的寄存器是可从蜂窝电话内的 SBI（串行总线接口）或 SSBI（单线串行总线接口）总线写入的寄存器。

传输晶体管尺寸定径

第二传输晶体管 M2 的尺寸相对第一传输晶体管 M1 的尺寸可使用第一比值 $N_v = IL_v/IL_v'$ 和第二比值 $N_c = IL_c/IL_c'$ 来确定。这些比值确定流过第一传输晶体管 M1 的第一电流 IL_v 的量相对流过第二传输晶体管 M2 的第二电流 IL_c 的量。第一电流 IL_v 与第二电流 IL_c 之间的关系由以下式(1)定义。

$$IL = IL_v + IL_c = \frac{N_v + N_c}{N_v} IL_v = \frac{N_v + N_c}{N_c} IL_c \qquad (1)$$

比值 N 在式(2)中被定义为第二传输晶体管 M2 的尺寸除以第一传输晶体管 M1 的尺寸。

$$N = \frac{IL_c}{IL_v} = \frac{N_c}{N_v} = \frac{W_c}{L_c}\frac{L_c'}{W_c'}\frac{L_v'}{W_v'}\frac{W_v'}{L_v'} \quad (2)$$

在式(2)中，L_v 是第一传输晶体管 M1 的长度，W_v 是第一传输晶体管的宽度，L_c 是第二传输晶体管 M2 的长度，W_c 是第二传输晶体管 M2 的宽度，L_c'是第二电流镜像晶体管 M3 的长度，W_c'是第二电流镜像晶体管 M3 的宽度，L_v'是第一电流镜像晶体管 M6 的长度，并且 W_v'是第一电流镜像晶体管 M6 的宽度。在图 2 的供电电路 100 的示例中，比值 N 约为 1000。晶体管 M1 的宽/长为 20。晶体管 M2 的宽/长为 20,000。

环路稳定性

图 4 是用来分析图 2 的供电电路 100 的稳定性的小信号模型的示图。有两个要被稳定的控制环路：压控环路和流控环路。每个环路的稳定性可通过将要研究的环路开路并将另一环路闭路来研究。

使第一电流 IL_v 是第二电流 IL_c 的一个小零头将便于针对自输出端子 104 流出的负载电流来稳定压控环路。该压控环路可以是任何种类的电压环路，诸如嵌套密勒电容环路、极点跟踪环路、或零点跟踪环路。图 2 的供电电路 100 的示例采用极点跟踪电压环路以获得较好的 PSRR（较大的负 PSRR 数）。

图 2 的供电电路 100 中的电容 117 和晶体管 118 一起形成补偿电路 119。补偿电路 119 向该压控环路添加了一极点和一零点，由此改善了该压控环路的相位裕量。该压控环路有三个极点和一个零点。频率从零 Hz 开始并上升，这些极点和零点按以下次序发生：第一极点、第二极点、零点、以及第三极点。

第一极点主要是归因于负载 107 的阻抗以及外部电容器 105 的电容。在图 4 中，该阻抗被标为 R_L 而该电容被标为 C_L。第二极点主要是归因于差分放大器 113 的输出阻抗以及该节点上的电容。在图 4 中，该阻抗被标为 ro1 并且该电容被标为 C1。该零点主要是归因于晶体管 119 的阻抗以及补偿电路 119 的电容器 117 的电容。在图 4 中，该阻抗被标为 R1 并且该电容被标为 C1。第三极点主要是归因于在晶体管 M4 和 M1 的栅极处的节点上的总电容以及自此节点至 AC 接地的阻抗。在图 4 中，该阻抗被标为 ro2 并且该电容被标为 C2。

由补偿电路 119 提供的零点受到在差分放大器 108 的输出处的节点上的晶体管 118 的影响。晶体管 118 在线性区域中工作，并起到可变电阻的作用。当供电电路 100 上的电流负载增大时，第一电流 IL_v 增大，并且通过晶体管 M5 的电流 IL_v'

增大。因而差分放大器 113 所输出的电压也必然上升。然而，晶体管 118 上的 $V_{栅极源极}$的上升致使晶体管 118 的源极至漏极电阻减小。在差分放大器 113 的输出处的节点上阻抗的减小使得零点向频率高端移动。

不仅该零点随着供电电路负载的增大而向频率高端移动，第一极点和第三极点在供电电路上的电流负载增大时也向频率高端移动。如果负载电流量增大，则第一电流 IL_v 增大。要使更多输出电流从该供电电路输出，供电电路所见的阻抗必须被减小。令第一极点出现的阻抗的这种减小使得第一极点向频率高端移动。

第三极点归因于在晶体管 M1 和 M4 的栅极处的节点上的阻抗。此节点处的阻抗主要是由晶体管 M4 的输入阻抗确定的。此节点上的总电容主要归因于晶体管 M1 和 M4 组合的栅极电容。随着该供电电路上的负载电流增大，第一电流 IL_v 也增大。流过晶体管 M4 的电流 IL_v'也是如此。因此晶体管 M4 的输入阻抗必然有响应的减小。在晶体管 M1 和 M4 的栅极处的节点上的阻抗的这种减小起到使得第三极点向频率高端移动的作用。

由此，可以看到随着负载电流增大，第三极点在频率上跟踪第一极点。因此说该压控环路具有极点跟踪特性。类似地，可以看到随着负载电流增大，零点在频率上跟踪第一极点。因此说该压控环路具有零点跟踪特性。通过提供随着供电负载增大向频率高端移动的零点，就将第三极点推至较高频率。这防止供电电路 100 的相位裕量在高电流负载的情况下减小。如果供电电路 100 具有较小的噪声容限，则自输出端子 104 汲取的电流的脉冲将导致输出到输出端子 104 上的输出电压 VOUT 的阻尼振荡。通过将供电电路 100 的相位裕量保持得高，就减少或消除了该阻尼振荡。

图 5 是示出当电流环路闭路时电压环路的模拟的示图。

流控环路的稳定性还可参考图 4 的模型来研究。该流控环路应具有高增益带宽（GBW）值以使该环路可对刺激反应灵敏。因此图 2 的供电电路 100 的示例在流控环路内部采用运算电流放大器（OCA）。该流控环路包括三个极点和一个零点。频率从零 Hz 开始并上升，这些极点和零点按以下次序发生：第一极点、第二极点、零点、以及第三极点。第一极点与压控环路中的第一极点相同。它是由负载 107 的阻抗以及外部电容器 105 的电容确定的。此阻抗和电容在图 4 中由 C_L 和 R_L 表示。第二极点由 OCA 115 的第一级 120 的输出上的阻抗以及 OCA 115 的第一级 120 的输出上的电容确定。在图 4 中，此阻抗被标为 Ri，而此电容被标为 Ci。零点由图 2 的 OCA 115 内设置的其它组件提供。在图 4 中，这些其它组件被标为 Rcc

和 Ccc。与压控环路中的零点不同，添加到流控环路的此零点并不随着供电电路上电流负载的增大而向频率高端移动。该流控环路的第三极点由 OCA 115 的第二级 121 的输出阻抗以及 OCA 115 的第二级 121 的输出上的电容确定。在图 4 中，此阻抗被标为 Ra，并且此电容被标为 Ca。

图 6 是示出当电压环路被闭路时电流环路的模拟的示图。

参数优化

以下式(3)是供电电路 100 的 DC 传递函数的公式。在此式中，gm_{pv} 是第一传输晶体管 M1 的跨导。A_{bv} 是由 N 沟道下拉晶体管 M5 和 P 沟道上拉晶体管 M4 构成的缓冲器的增益。Z_L 是负载 107 的阻抗。gm_d 是差分放大器 113 的跨导。α 是电阻分压器 109 的电阻器 110 和 111 的比值。Z_c 是在差分放大器 113 的输出处的节点上的阻抗。gm_c 是第二传输晶体管 M2 的跨导。A_{bc} 是由 N 沟道下拉晶体管 M7 和 P 沟道上拉晶体管 M8 构成的缓冲器的增益。B 是运算电流放大器 115 的增益。r_{ds} 是运算电流放大器 115 的输出阻抗。

$$VOUT = \frac{Z_L gm_{pv} A_{bv} gm_d Z_c \left(\dfrac{gm_{pc} A_{bc} \dfrac{Br_{ds}}{N_v}}{1 - gm_{pc} A_{bc} \dfrac{Br_{ds}}{N_c}}\right)}{1 + \alpha Z_L gm_{pv} A_{bv} gm_d Z_c \left(1 - \dfrac{gm_{pc} A_{bc} \dfrac{Br_{ds}}{N_v}}{1 - gm_{pc} A_{bc} \dfrac{Br_{ds}}{N_c}}\right)} VREF \qquad (3)$$

$(gm_{pc})(A_{bc})(Br_{ds}/N_c)$值是流控环路的增益。如果流控环路的增益$(gm_{pc})(A_{bc})(Br_{ds}/N_c)$远大于一，则

$$VOUT = \frac{Z_L gm_{pv} A_{bv} gm_d Z_c \left(1 + \dfrac{N_c}{N_v}\right)}{1 + \alpha Z_L gm_{pv} A_{bv} gm_d Z_c \left(1 + \dfrac{N_c}{N_v}\right)} VREF \qquad (4)$$

式(4)中的系数$(1+N_c/N_v)$具有增大压控环路的闭环增益的作用。闭环增益是出现在等号右边 VREF 左边的量。系数$(1+N_c/N_v)$起到倍乘第一传输晶体管 M1 的跨导 gm_{pv} 的乘数的作用。该系数使得将第一传输晶体管 M1 定径到提供期望总负载电流 IL_v 所需的最小尺寸成为可能。一旦第一传输晶体管 M1 被定径，则选择系数$(1+N_c/N_v)$来增大依赖于第一传输晶体管 M1 的跨导的电压环路增益以使以下参数被最优化：1)高频下的 PSRR，2)负载调整率，3)线路调整率，4)过冲和下冲。

等效传输晶体管

图 7 是可用来确定在图 1 的现有技术电路中传输晶体管 12 要多大才能具有图 1 的供电电路 100 的性能特性的示图。图 2 的供电电路 100 中组合的传输晶体管 M1 和 M2 的等效跨导 gm 是通过检查传输晶体管 M1 的栅电压相对于传输晶体管 M2 的栅电压的关系来确定的。第一传输晶体管 M1 的栅电压被标为 V_v。第二传输晶体管 M2 的栅电压被标为 V_c。以下式(5)比较图 7 电路中的传输晶体管 M1 与 M2 的栅电压。

$$\frac{V_c}{V_v} = \frac{-A_{bc}Br_{ds}Gm_v'}{1-A_{bc}Br_{ds}gm_c'} \approx \frac{gm_v'}{gm_c'} = D \tag{5}$$

可以看出量 D 是晶体管 M4 与晶体管 M3 的尺寸之间的比值。因此在晶体管 M5 和 M6 是相同尺寸的前提下，量 D 由以下式(6)给出。

$$D = \frac{W_v'}{L_v'}\frac{L_c'}{W_c'} \tag{6}$$

重排并利用以上在式(2)中确定的比值 N，得到以下式(7)。

$$\frac{N}{D} = \frac{W_c}{L_c}\frac{L_v}{W_v} \tag{7}$$

组合的传输晶体管（M1 和 M2）的跨导 gm 由以下式(8)给出。

$$gm = gm_v + gm_cD \tag{8}$$

因此供电电路 100 的负载调整率由以下式(9)表达。

$$\frac{\Delta VOUT}{\Delta IOUT} = \frac{1}{(gm_v + gm_cD)A_{bv}gm_dZ_c\alpha} \tag{9}$$

因此供电电路 100 的线路调整率由以下式(10)表达。

$$\frac{\Delta VOUT}{\Delta IOUT} = \frac{(gm_v + gm_c)}{(gm_v + gm_cD)A_{bv}gm_dZ_c\alpha} \tag{10}$$

在式(9)和(10)中，注意量 D 起到跨导放大因子的作用。为增大图 1 的现有技术电路中传输晶体管 12 的跨导，增大了传输晶体管 12 的尺寸。在第一种近似中，跨导与晶体管尺寸之间的关系在现有技术电路中是线性的。

另一方面，在图 2 的供电电路 100 中，量 D 起到放大第二传输晶体管 M2 的跨导 gm_c 的作用。供电电路 100 与图 1 的现有技术电路相比具有优越的负载调整率和线路调整率特性，同时与图 1 的现有技术供电电路的传输晶体管 12 所消耗的管芯空间量相比还减小了传输晶体管 M1 和 M2 所消耗的管芯空间量。图 1 的现有技术电路中的晶体管 12 的宽/长为 120,000，而供电电路 100 中的晶体管 M1 和 M2

的宽/长分别为 20 和 20,000。

对于低值的负载电流 I_L，跨导 gm_v'可以远高于跨导 gm_c'，因为晶体管 M3 中的电流很低。开环增益可能很高并且难以稳定。由此，在供电电路 100 在向输出端子 104 供给少量负载电流的情况下，在某些实施例中，电流环路可被禁用。增大 D 的另一种方法是与晶体管 M3 并行地添加一漏泄电流。此漏泄电流允许在低负载电流情况下电流能在电流环路中流动。

过冲/下冲改进

过冲 Δ VOUT 可由以下式(11)表达。

$$\Delta VOUT = \frac{2\sqrt{2}}{gm_{plL}} \frac{C_p}{C_L} \frac{I_L^2}{I_{op}} + R_{esr} I_L \qquad (11)$$

C_p 是第二传输晶体管 M2 的电容。I_{op} 是运算电流放大器 115 的偏置电流。gm_{pIL} 是第二传输晶体管 M2 在最大负载电流 I_L 下的跨导。C_L 是外部负载电容器 105 的电容。R_{esr} 是外部负载电容器 105 的寄生串联电阻 106。

为了减小过冲，希望 C_p 很小并且 R_{esr} 很小。利用陶瓷电容器 C_L 的可重复且已知的 R_{esr}，就可能使用固有零点($1/2\pi R_{esr}C_L$)来稳定压控环路。但是，过冲将会比利用具有接近于零的 R_{esr} 的钛电容器来稳定供电电路的情况更高。模拟结果显示，压控环路与流控环路的组合使得利用陶瓷和钛两种电容器成为可能。

电源抑制比

图 8 是图 2 的供电电路 100 的电源抑制比（PSRR）与频率的关系的曲线图。曲线 125 和 126 界定在一定温度范围和加工变动范围内的工作条件下供电电路 100 的工作。曲线 125 和 125 指示在 100 kHz 上 PSRR 有约 5 dB 的变动。在低于 100 kHz 的频率上，PSRR 好于-65 dB（PSRR 是较大的负数）。

性能参数

图 9 是阐明图 2 的供电电路 100 的数个性能参数的表。在第一行中，值 IDDQ 是与由供电电路向负载供给的任何电流不相关的、供电电路 100 自身所消耗的电流量。LPM 值是在低功率模式下消耗的电流。HPM 值是在高功率模式下消耗的电流。LOAD 值是向负载提供的全负载电流（在此情形中为例如 300 毫安）中被供电电路自身消耗的百分比。

在第二行中，LOAD REG 值是负载调整率。此量是在由供电电路供给的电流从其最小值（在此情形中为零毫安）增大到其最大额定值（在此情形中为 300 毫安）时输出电压下降了多少的指示。该百分比值是输出电压降落的幅值相对于 4.0 伏的全输出电压值的度量。

在第三行中，LINE REG 值是线路调整率。此量是如果使电池电压 VBAT 自 4.0 伏下降输出电压如何下降的指示。

在第四行中，阐明了零 Hz 的输入变动下的电源抑制比（PSRR）。

在第六行中，阐明了在 100 kHz 的输入变动下的 PSRR。

在第七行中，DC 误差值是在温度和加工变动上，不同供电电路 100 单元的输出电压与所需的 2.6 伏输出有多近的指示。

在第八行中，DROPOUT 值是指示电池电压 VBAT 必须比所需输出电压（在此情形中为 2.6 伏）高多少的值。如果 VBAT 下降到小于所需输出电压加 DROPOUT 值的值，则在供电电路输出端子 104 上将不能维持所需的输出电压（例如，2.6 伏）。

在第九行中，阐明了组合的传输晶体管的宽长比。第二传输晶体管 M2 约为第一传输晶体管 M1 的 1000 倍大。因此该比值是第二传输晶体管 M2 的比值。第一传输晶体管 M1 被忽略。第二传输晶体管 M2 约为 14 毫米宽乘 0.7 微米长，并且宽/长约为 20,000。第一传输晶体管 M1 的宽/长约为 20。

尽管以上为教导目的描述了某些特定实施例，但是本发明并不被限定于此。此供电电路可用于向电路供电，或在再充电期间向可再充电电池供电。由此，可实践所描述的特定实施例的各种特征的不同修改、调适以及组合而不会偏离如在所附权利要求书中参数的本发明的范围。

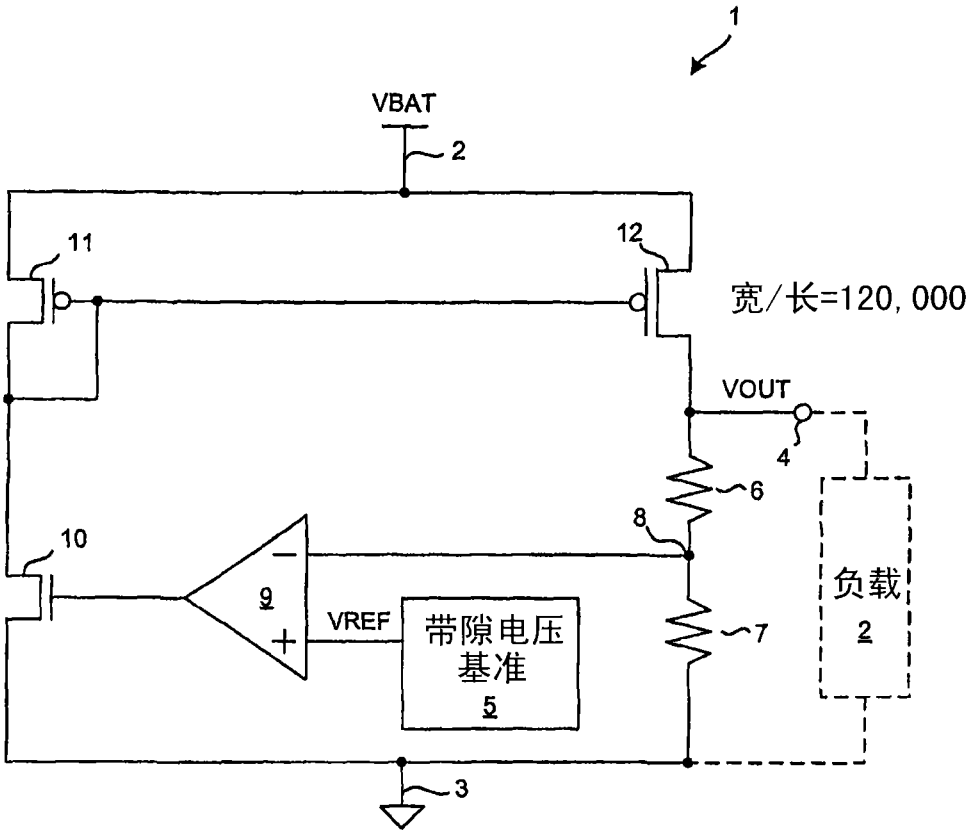


图 1

（现有技术）

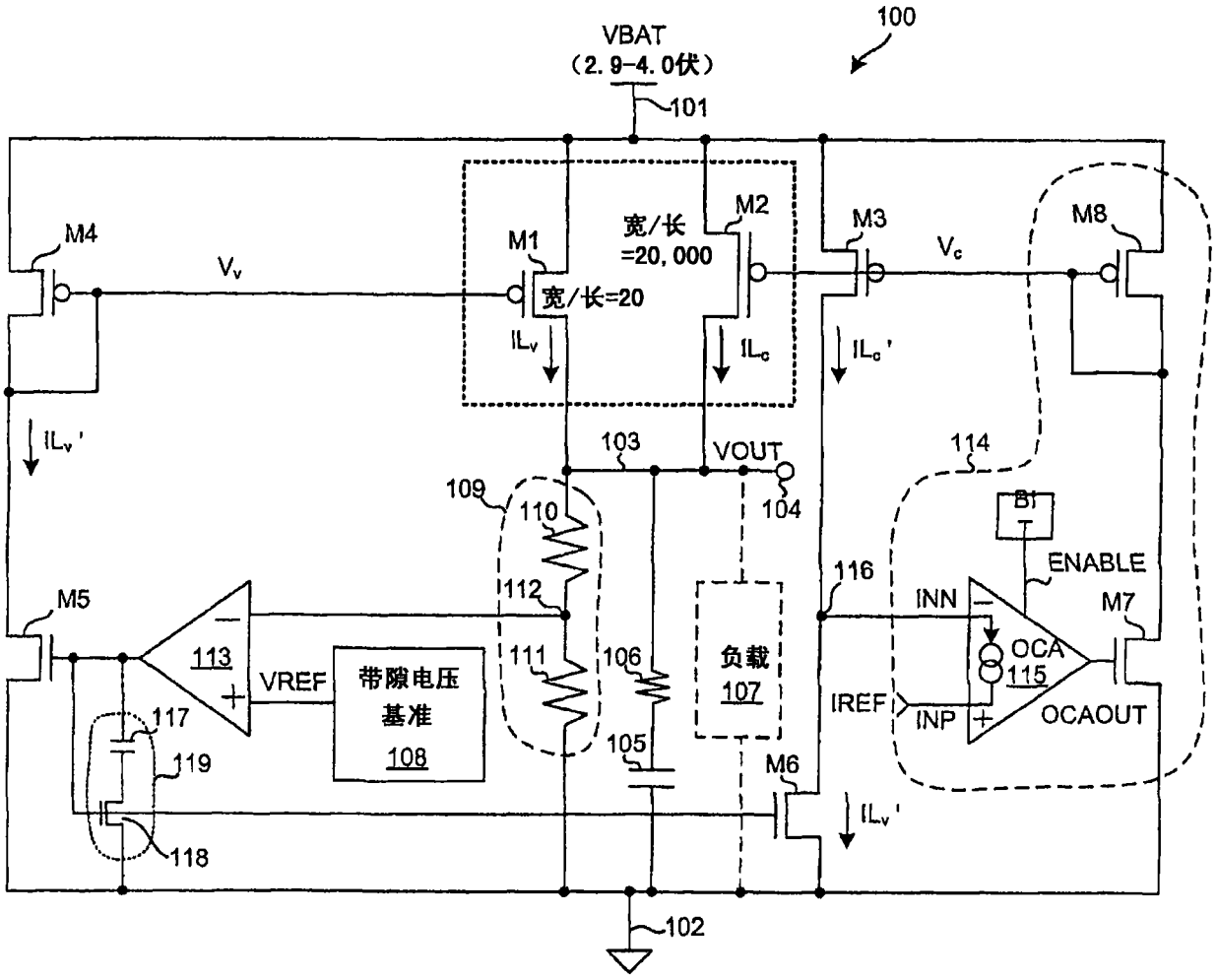
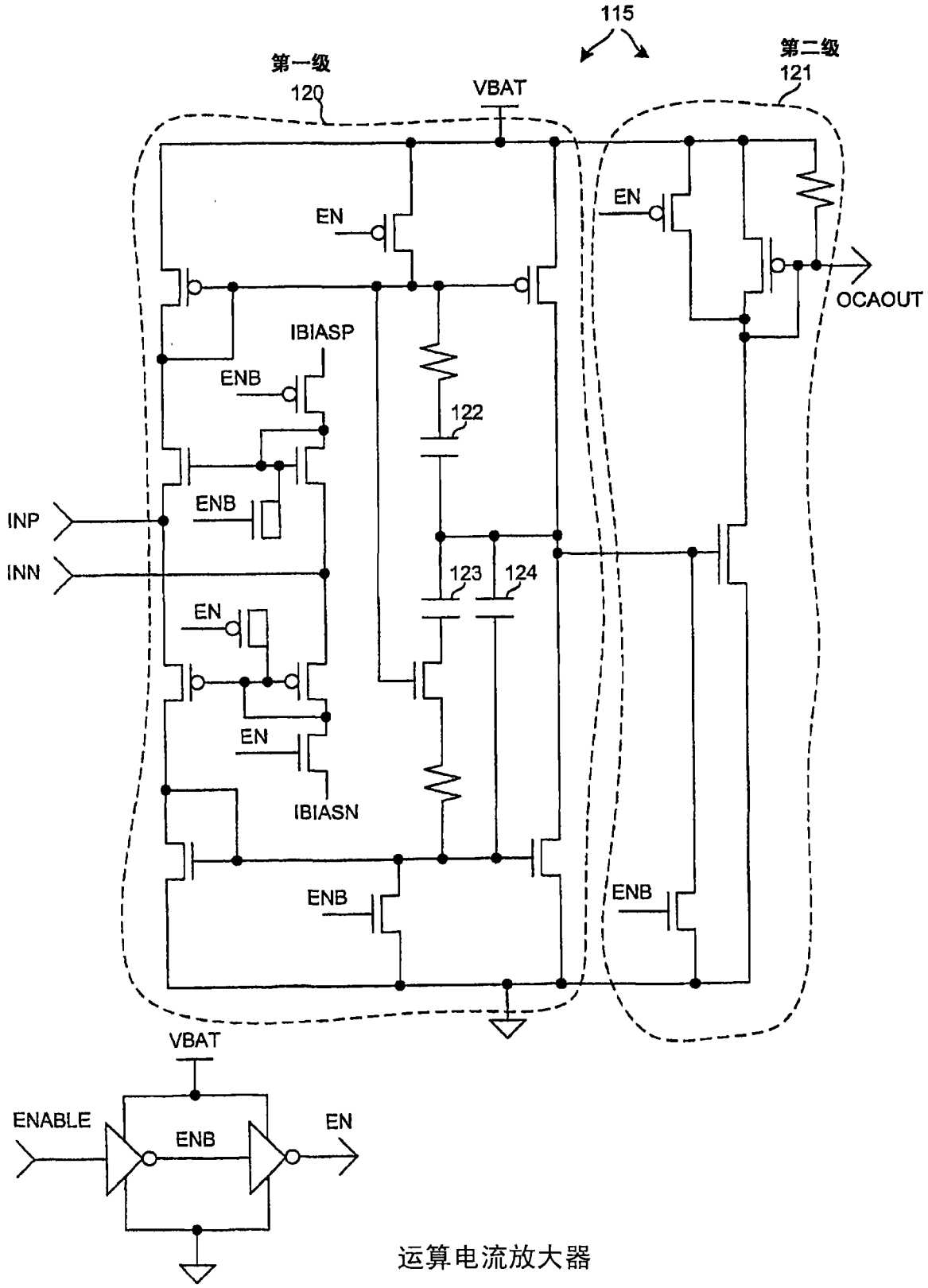
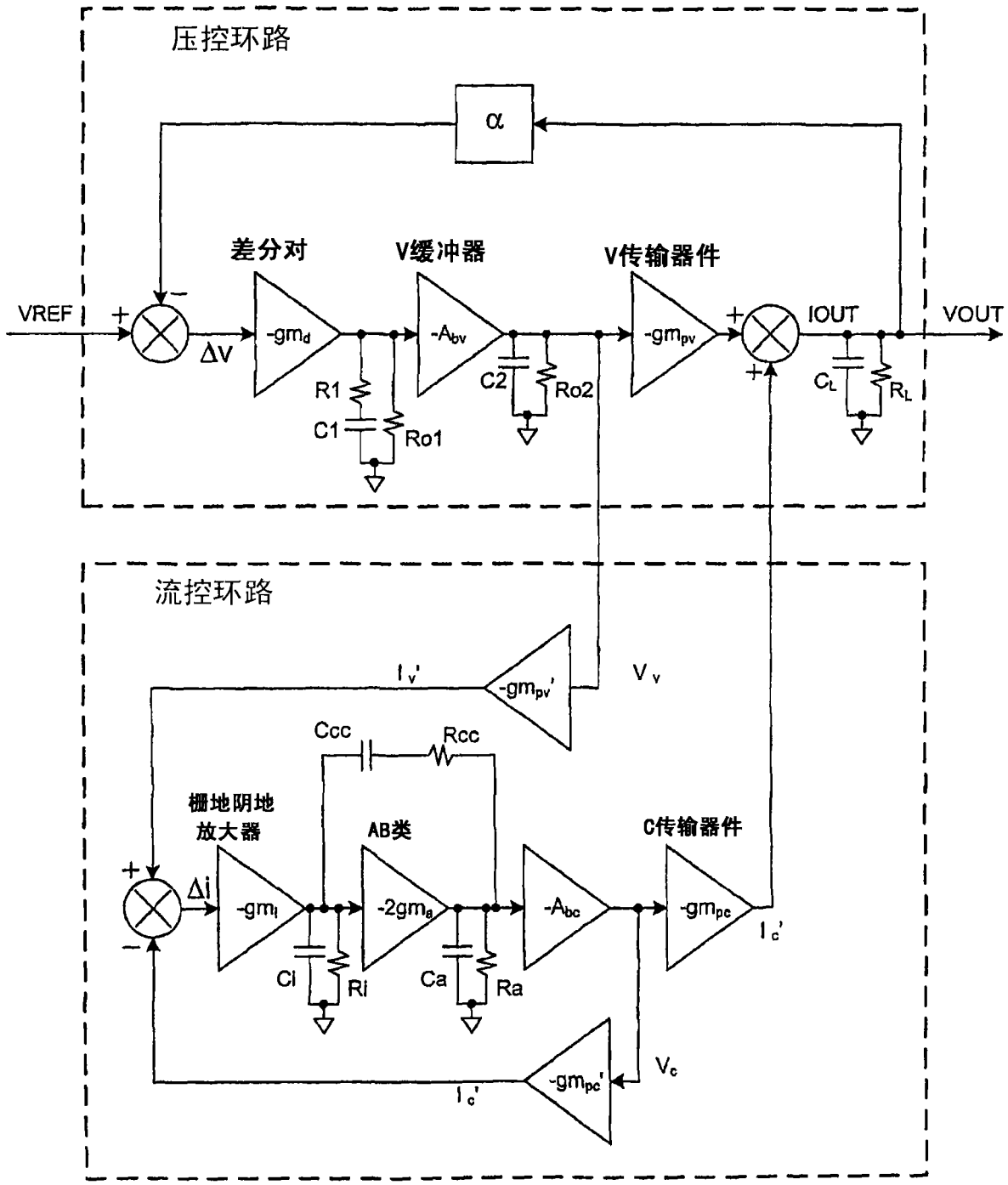

100
VBAT
（2.9-4.0伏）
101
M4
V_v
M1
宽/长
=20,000
宽/长=20
M2
M3
V_c
M8
IL_v
IL_c
IL_c'
IL_v'
103
VOUT
104
109
110
112
111
106
105
114
B1
ENABLE
116
INN
M7
OCA
115
IREF
INP
OCAOUT
M5
113
VREF
带隙电压
基准
108
负载
107
117
119
118
M6
102

图 2


115
第一级
120
VBAT
第二级
121
EN
OCAOUT
IBIASP
ENB
122
INP
INN
123
124
IBIASN
VBAT
ENABLE
EN

运算电流放大器

图 3


压控环路
α
差分对
V缓冲器
V传输器件
VREF
ΔV
-gmd
-Abv
-gmpv
IOUT
VOUT
R1
C1
Ro1
C2
Ro2
CL
RL
流控环路
Iv'
-gmpv'
Vv
Ccc
Rcc
栅地阴地
放大器
AB类
C传输器件
Δi
-gmi
-2gma
-Abc
-gmpc
Ci
Ri
Ca
Ra
Ic'
Vc
-gmpc'
Ic'

小信号模型

图 4

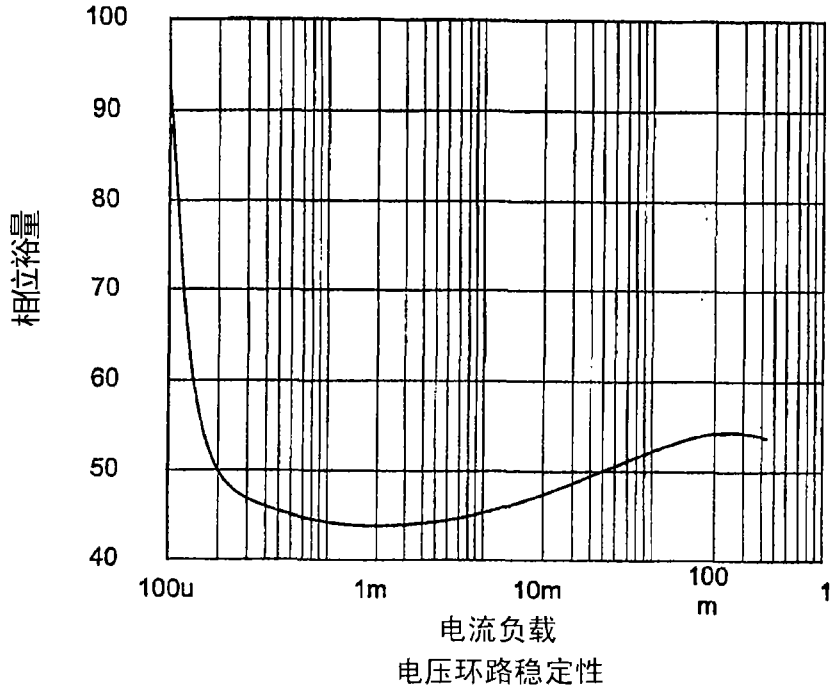

100
90
80
70
60
50
40
相位裕量
100u
1m
10m
100
m
1
电流负载
电压环路稳定性

图 5

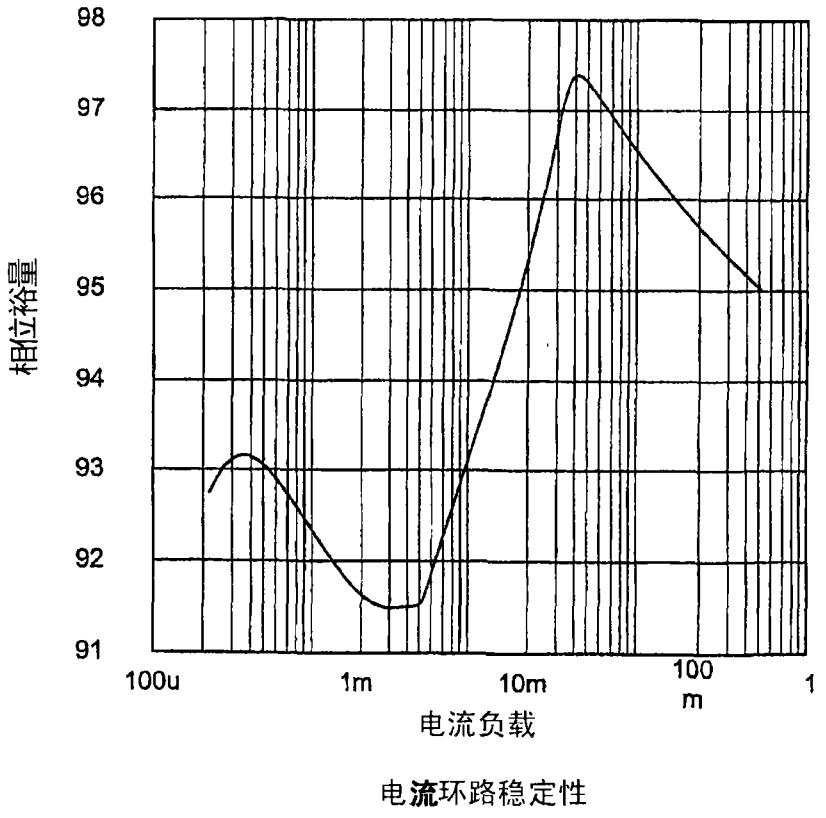
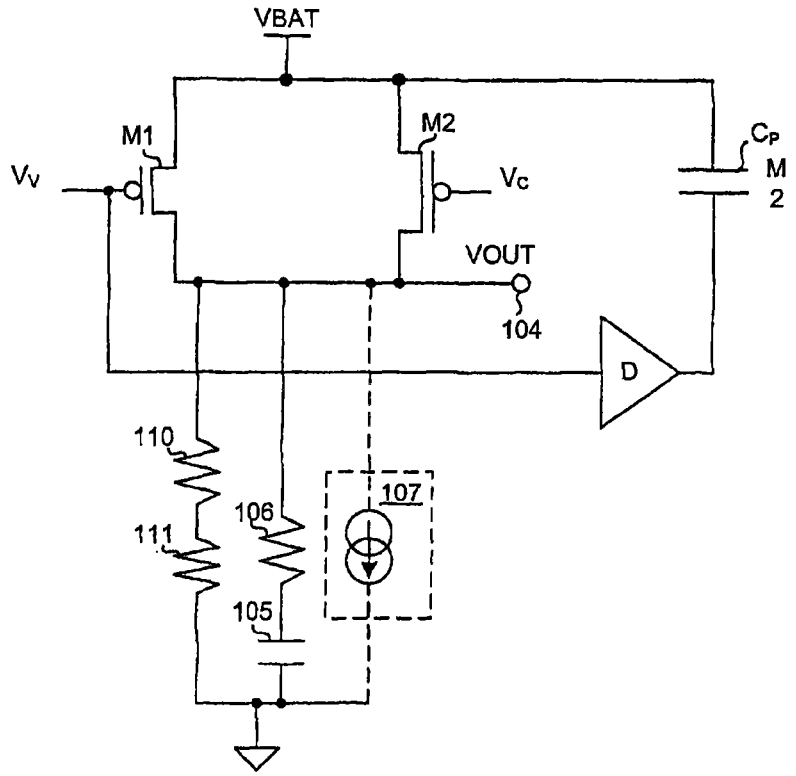

98
97
96
95
94
93
92
91
相位裕量
100u
1m
10m
100
m
1
电流负载
电流环路稳定性

图 6

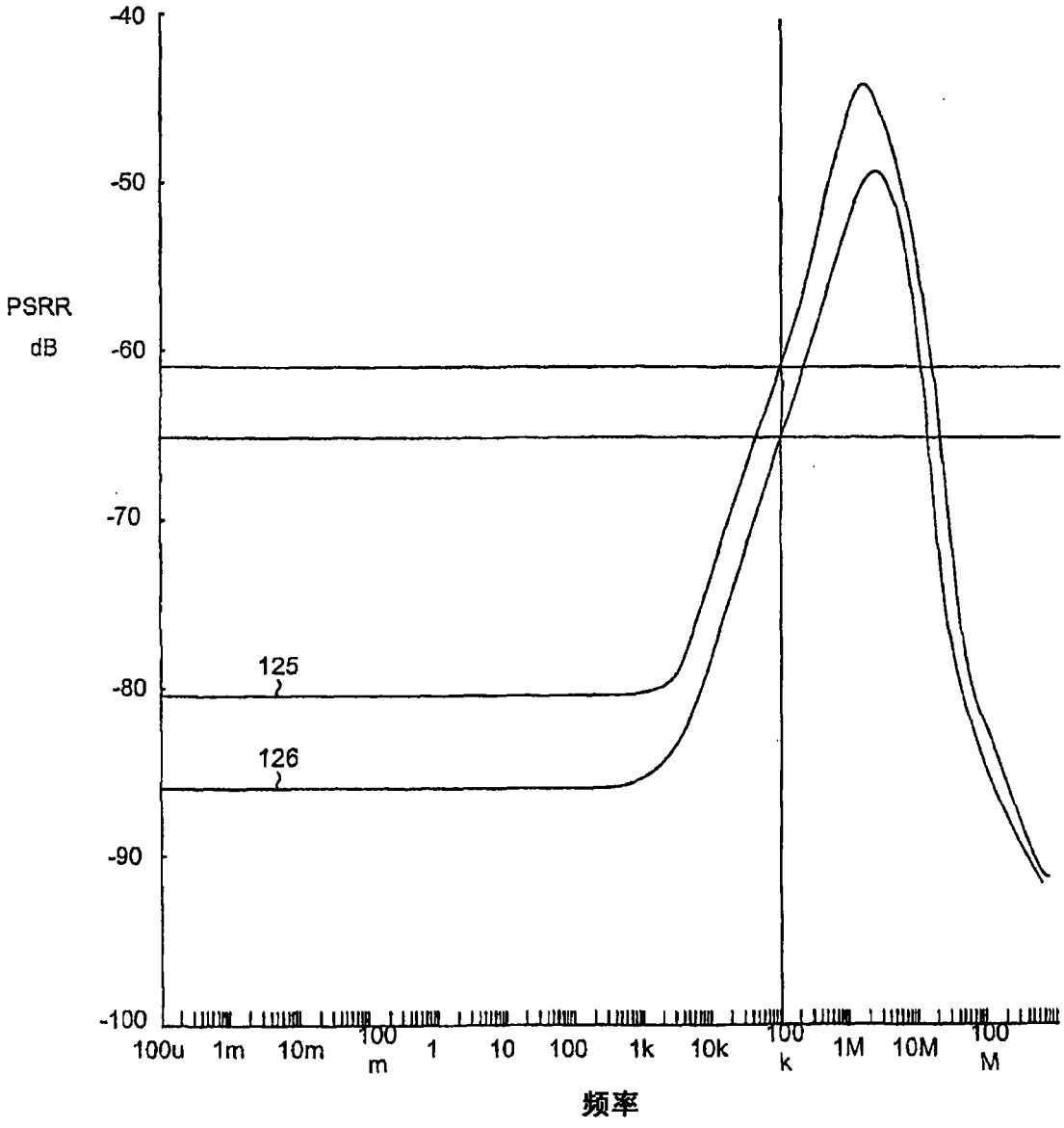


等效传输器件

图 7

性能参数	值
IDDQ (LPM/HPM/LOAD)	11uA/50uA/0.5%
负载调整率（LOAD REG）	0.65%
线路调整率（LINE REG）	0.2%/V
PSRR	70dB
100 kHz下的PSRR	65dB
误差（ERROR）	2%
回动（DROPOUT）	300mV
传输器件（宽/长 300 mA）	20k (14mm/0.7um)

图 9



PSRR与频率的关系

图 8