

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-220463  
(P2014-220463A)

(43) 公開日 平成26年11月20日(2014.11.20)

(51) Int.Cl.

H01L 21/338 (2006.01)  
H01L 29/778 (2006.01)  
H01L 29/812 (2006.01)

F 1

H01L 29/80

H

テーマコード(参考)

5F1O2

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号

特願2013-100364 (P2013-100364)

(22) 出願日

平成25年5月10日 (2013.5.10)

(71) 出願人 000154325

住友電工デバイス・イノベーション株式会  
社

神奈川県横浜市栄区金井町1番地

(74) 代理人 100087480

弁理士 片山 修平

(72) 発明者 生松 均

神奈川県横浜市栄区金井町1番地 住友電  
工デバイス・イノベーション株式会社内F ターム(参考) 5F1O2 GB01 GC01 GD01 GJ02 GK04  
GL04 GM04 GM08 GQ01 GR12  
GS01 GS09 GT01 GV03 GV06  
GV08

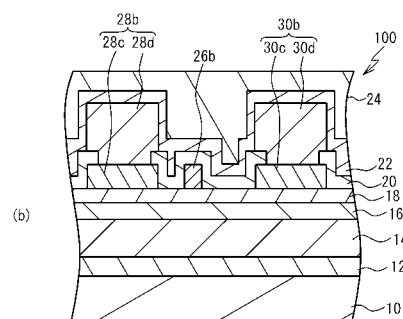
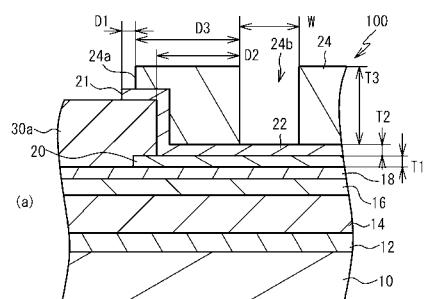
(54) 【発明の名称】半導体装置

(57) 【要約】 (修正有)

【課題】耐湿性の高い半導体装置を提供する。

【解決手段】基板10の上に設けられた半導体層12～18と、半導体層12～18の上に設けられたドレインパッド30aと、ドレインパッド30aと接し、ドレインパッド30aの上面が露出する開口部21を有するSiN膜22と、SiN膜22の上に設けられたポリイミド膜24と、ポリイミド膜24に設けられ、ドレインパッド30aの上面が露出する開口部24aと、ポリイミド膜24に設けられ、開口部24aと基板の端部側に位置するポリイミド膜24との間に位置し、その底面が半導体層12～18を覆うポリイミド膜24またはSiN膜22で構成されてなる開口部24bと、を具備する半導体装置。

【選択図】図2



**【特許請求の範囲】****【請求項 1】**

基板の上に設けられた半導体層と、  
前記半導体層の上に設けられた電極パッドと、  
前記電極パッドと接し、前記電極パッドの上面が露出する第1開口部を有する無機絶縁膜と、

前記無機絶縁膜の上に設けられた樹脂膜と、  
前記樹脂膜に設けられ、前記電極パッドの上面が露出する第2開口部と、  
前記樹脂膜に設けられ、前記第2開口部と前記基板の端部側に位置する前記樹脂膜との間に位置し、その底面が前記半導体層を覆う前記樹脂膜または前記無機絶縁膜で構成されてなる第3開口部と、を具備することを特徴とする半導体装置。  
10

**【請求項 2】**

前記第1開口部の端部は、前記第2開口部の内側に位置することを特徴とする請求項1記載の半導体装置。

**【請求項 3】**

基板の上に設けられた半導体層と、  
前記半導体層の上に設けられた電極パッドと、  
前記電極パッドと接し、かつ前記電極パッドの上面が露出する第1開口部を有する無機絶縁膜と、  
前記無機絶縁膜の上に設けられた樹脂膜と、  
前記樹脂膜に設けられ、前記電極パッドの上面及び側面の全てがその内側に位置する第2開口部と、を具備することを特徴とする半導体装置。  
20

**【請求項 4】**

前記樹脂膜は、前記第2開口部の外側に位置する第3開口部を有することを特徴とする請求項3記載の半導体装置。

**【請求項 5】**

前記第3開口部は、前記無機絶縁膜の上面が露出されることを特徴とする請求項1、2及び4いずれか一項記載の半導体装置。

**【請求項 6】**

前記樹脂膜はポリイミド、又はベンゾシクロブテンにより形成されていることを特徴とする請求項1から5いずれか一項記載の半導体装置。  
30

**【請求項 7】**

前記無機絶縁膜は窒化シリコンまたは窒化酸化シリコンにより形成されていることを特徴とする請求項1から6いずれか一項記載の半導体装置。

**【請求項 8】**

前記半導体層はFETを形成し、  
前記電極パッドは、前記FETのドレインパッドまたはソースパッドであることを特徴とする請求項1から7いずれか一項記載の半導体装置。  
40

**【請求項 9】**

前記電極パッドの上面は金により形成されていることを特徴とする請求項1から8いずれか一項記載の半導体装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は半導体装置に関する。

**【背景技術】****【0002】**

半導体装置を水分、異物、及び外部からの衝撃などから保護するために絶縁膜が設けられる。例えば窒化シリコン(SiN)膜などの無機絶縁膜、及びポリイミド膜などの樹脂膜を積層する。SiN膜は透水性が低いため、半導体装置の耐湿性が高くなる。またポリ

イミド膜により異物及び衝撃からの保護が可能となる。特許文献1には、無機絶縁膜と電極パッドとの界面に金属層を設けた半導体装置が記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2010-153707号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

吸湿及び温度変化により樹脂膜の体積が変化すると、樹脂膜の下に形成されているSiN膜にストレスが加わる。このストレスは、SiN膜が電極パッドから剥離する原因になる。電極パッドからSiN膜が剥離すると、剥離した箇所から水分が浸入しやすくなる。この水分が電極パッド、半導体層に接続された電極などに浸入すると、電極材料が水分に溶解し、電極を構成する金属イオンのマイグレーションが発生する。このマイグレーションにより、電極パッド間で短絡が発生する。特に高電圧を印加する電界効果トランジスタ(Field Effect Transistor: FET)ではマイグレーションが発生しやすい。本願発明は、上記課題に鑑み、耐湿性の高い半導体装置を提供することを目的とする。

10

【課題を解決するための手段】

【0005】

本発明は、基板の上に設けられた半導体層と、前記半導体層の上に設けられた電極パッドと、前記電極パッドと接し、前記電極パッドの上面が露出する第1開口部を有する無機絶縁膜と、前記無機絶縁膜の上に設けられた樹脂膜と、前記樹脂膜に設けられ、前記電極パッドの上面が露出する第2開口部と、前記樹脂膜に設けられ、前記第2開口部と前記基板の端部側に位置する前記樹脂膜との間に位置し、その底面が前記半導体層を覆う前記樹脂膜または絶縁膜で構成されてなる第3開口部と、を具備する半導体装置である。

20

【0006】

上記構成において、前記第1開口部の端部は、前記第2開口部の内側に位置する構成とすることができる。

【0007】

本願発明は、基板の上に設けられた半導体層と、前記半導体層の上に設けられた電極パッドと、前記電極パッドと接し、かつ前記電極パッドの上面が露出する第1開口部を有する無機絶縁膜と、前記無機絶縁膜の上に設けられた樹脂膜と、前記樹脂膜に設けられ、前記電極パッドの上面及び側面の全てがその内側に位置する第2開口部と、を具備する半導体装置である。

30

【0008】

上記構成において、前記樹脂膜は、前記第2開口部の外側に位置する第3開口部を有する構成とすることができる。

【0009】

上記構成において、前記第3開口部は、前記無機絶縁膜の上面が露出されてなる構成とすることができる。

40

【0010】

上記構成において、前記樹脂膜はポリイミド、又はベンゾシクロブテンにより形成されている構成とすることができる。

【0011】

上記構成において、前記無機絶縁膜は窒化シリコンまたは窒化酸化シリコンにより形成されている構成とすることができる。

【0012】

上記構成において、前記半導体層はFETを形成し、前記電極パッドは、前記FETのドレインパッドまたはソースパッドである構成とすることができる。

【0013】

50

上記構成において、前記FETの上に設けられた複数のソースフィンガー、複数のドレインフィンガー及び複数のゲートフィンガーを具備し、前記ドレインパッドは前記複数のドレインフィンガーに接続されている構成とすることができます。

【0014】

上記構成において、前記電極パッドの上面は金により形成されている構成とすることができます。

【発明の効果】

【0015】

本発明によれば、耐湿性の高い半導体装置を提供することが可能となる。

【図面の簡単な説明】

【0016】

【図1】図1は実施例1に係る半導体装置を例示する平面図である。

【図2】図2(a)は図1の線A-Aに沿った断面図である。図2(b)は図1の線B-Bに沿った断面図である。

【図3】図3は実施例1の変形例に係る半導体装置を例示する断面図である。

【図4】図4(a)は比較例に係る半導体装置を例示する平面図である。図4(b)は図4(a)の線A-Aに沿った断面図である。

【図5】図5(a)から図5(d)は半導体装置の製造方法を示す断面図である。

【図6】図6(a)及び図6(b)は半導体装置の製造方法を示す断面図である。図6(c)は半導体装置の製造方法の別の例を示す断面図である。

【図7】図7(a)から図7(c)は半導体装置の製造方法を示す断面図である。

【図8】図8(a)及び図8(b)は半導体装置の製造方法を示す断面図である。

【図9】図9(a)はウェハ状態の基板を例示する平面図である。図9(b)はウェハ状態の基板を例示する断面図である。

【図10】図10(a)は実施例2に係る半導体装置を例示する断面図である。図10(b)は実施例2の変形例に係る半導体装置を例示する断面図である。

【発明を実施するための形態】

【0017】

図面を用いて本発明の実施例について説明する。

【実施例1】

【0018】

実施例1はポリイミド膜24に開口部24bを設けた例である。図1は実施例1に係る半導体装置100を例示する平面図である。SiN膜20及び22並びにポリイミド膜24は透視している。開口部21は破線で示した。図1に点線で示した領域は活性領域11である。半導体装置100はフィンガー構造を有するFETである。

【0019】

図2(a)は図1の線A-Aに沿った断面図である。図2(b)は図1の線B-Bに沿った断面図である。図2(a)及び図2(b)に示すように、半導体装置100は、下から順に積層された基板10、バッファ層12、チャネル層14、電子供給層16、キャップ層18、SiN膜20及び22、並びにポリイミド膜24(樹脂膜)を備える。ポリイミド膜24は、半導体装置100が実装される際にかかるストレスからSiN膜20及び22を保護するために設けられている。

【0020】

基板10は炭化シリコン(SiC)などにより形成されている。バッファ層12、チャネル層14、電子供給層16、キャップ層18はエピタキシャル成長された窒化物半導体層である。バッファ層12は例えば厚さ300nmの窒化アルミニウム(AlN)により形成され、基板10の上面に接触している。チャネル層14は例えば厚さ1000nmの窒化ガリウム(GaN)により形成され、バッファ層12の上面に接触している。電子供給層16は例えば厚さ20nmの窒化アルミニウムガリウム(AlGaN)により形成され、チャネル層14の上面に接触している。キャップ層18は例えば厚さ5nmのGaN

10

20

30

40

50

により形成され、電子供給層 16 の上面に接触している。

【0021】

図 1 及び図 2 (b) に示すように、キャップ層 18 の上面にゲート電極 26、ソース電極 28 及びドレイン電極 30 が設けられている。ゲート電極 26 は、ゲートパッド 26a 及びゲートフィンガー 26b を含む。ゲートパッド 26a は複数のゲートフィンガー 26b と接続されている。ゲートフィンガー 26b はキャップ層 18 の上面に接触している。ソース電極 28 は、ソースパッド 28a 及びソースフィンガー 28b を含む。ソースパッド 28a は複数のソースフィンガー 28b と接続されている。ドレイン電極 30 は、ドレインパッド 30a 及びドレインフィンガー 30b を含む。ドレインパッド 30a は複数のドレインフィンガー 30b と接続されている。ソースフィンガー 28b はドレインフィンガー 30b と対向している。ゲートフィンガー 26b はソースフィンガー 28b とドレインフィンガー 30b との間に設けられている。図 2 (b) に示すように、ソースフィンガー 28b はオーミック電極 28c 及び配線層 28d を含む。ドレインフィンガー 30b はオーミック電極 30c 及び配線層 30d を含む。オーミック電極 28c 及び 30c はキャップ層 18 の上面に接触している。配線層 28d はソースパッド 28a と一体の部材であり、オーミック電極 28c の上面に接触している。配線層 30d はドレインパッド 30a と一体の部材であり、オーミック電極 30c の上面に接触している。ゲートフィンガー 26b はキャップ層 18 の上面に接触している。なお、図 3 は実施例 1 の変形例に係る半導体装置 110 を例示する断面図である。図 3 に示すように、電子供給層 16 の上面にソース電極 28 及びドレイン電極 30 が設けられ、オーミック電極 28c 及び 30c が電子供給層 16 に接触してもよい。

10

20

30

40

50

【0022】

図 2 (a) 及び図 2 (b) に示すように、SiN 膜 20 はキャップ層 18 の上面に接触しており、ゲートフィンガー 26b、オーミック電極 28c 及び 30c の外周部を覆う。配線層 28d 及び 30d、並びに電極パッド (ゲートパッド 26a、ソースパッド 28a 及びドレインパッド 30a) は、SiN 膜 20 の上に設けられている。SiN 膜 22 は SiN 膜 20 の上面に接触し、かつフィンガー (ゲートフィンガー 26b、ソースフィンガー 28b 及びドレインフィンガー 30b) を覆う。SiN 膜 20 及び 22 は、半導体装置 100 を水分から保護する耐湿膜 (無機絶縁膜) を形成する。SiN 膜 22 は開口部 21 (第 1 開口部) を有する。図 2 (a) に示すように、開口部 21 は SiN 膜 22 を貫通している。SiN 膜 22 はドレインパッド 30a の外周部を覆い、ドレインパッド 30a の側面、及び上面の外周部に接触する。ドレインパッド 30a の中央側の領域は開口部 21 から露出する。すなわち、ドレインパッド 30a のうち、図 1 の破線より外側は SiN 膜 22 に覆われ、破線より内側は露出している。図 1 に示すように、ドレインパッド 30a と同様、ゲートパッド 26a 及びソースパッド 28a の外周部は SiN 膜 22 に覆われ、かつゲートパッド 26a 及びソースパッド 28a は開口部 21 から露出する。

【0023】

ポリイミド膜 24 は SiN 膜 22 の上面に接触しており、ポリイミド膜 24 を貫通する開口部 24a 及び 24b を有する。開口部 24a (第 2 開口部) は開口部 21 と重なっている。電極パッドは開口部 21 及び 24a から露出する。なお、開口部 24a は、開口部 21 の内側に形成されていてもよく、あるいは開口部 24a の内側面と開口部 21 の内側面が重なっていてもよい。

【0024】

図 1 に示すように、開口部 24b (第 3 開口部) はドレインパッド 30a の端部と基板 10 の端部 (半導体装置 100 の端部) との間の領域 R1、及びソースパッド 28a の端部と基板 10 の端部との間の領域 R3 に設けられている。図 2 (a) に示すように、開口部 24b はポリイミド膜 24 を貫通しており、SiN 膜 22 が開口部 24b から露出する。なお、開口部 24b は、領域 R1 および領域 R3 以外の領域に設けられてもよい。例えば、ドレインパッド 30a の長手方向におけるドレインパッド 30a の端部と基板 10 の端部との間の領域に設けることもできる (図示なし)。ソースパッド 28a 付近の構成は

、図2(a)に示すドレインパッド30aの付近と同じとすることができる。

【0025】

図2(a)に示す開口部21の端部と開口部24aの端部との距離D1は例えば3μmである。ポリイミド膜24の体積変化によりSiN膜22にかかるストレスを考慮すると、距離D1は3μm程度が好ましい。開口部24bの端部とドレインパッド30aの端部との距離D2は例えば7μmである。なお、距離D2は7μm以下でもよい。開口部24bが、少なくとも開口部24aの外側に形成されていればよい。開口部24bの端部と開口部24aの端部との間の距離D3は例えば10μmである。ゲートパッド26a及びソースパッド28a上の開口部21及び24aにおいても、寸法は上記と同じである。図1及び図2(a)に示す開口部24bの幅Wは例えば10μmであり、図1に示す開口部24bの長さLは例えば120μmである。

10

【0026】

オーム電極28c及び30cは例えばキャップ層18に近い方から厚さ10nmのチタン(Ti)層と厚さ300nmのアルミニウム(Au)層とを積層して形成されている。ゲートフィンガー26bは例えばキャップ層18に近い方から厚さ50nmのニッケル(Ni)層と厚さ300nmのAu層とを積層して形成されている。配線層28d及び30d、並びに電極パッドは例えば厚さ2~4μmの金(Au)により形成されている。図2(a)に示すSiN膜20の厚さT1及びSiN膜22の厚さT2はそれぞれ例えば500nmである。ポリイミド膜24の厚さT3は例えば5μmである。ポリイミド膜24は例えば感光性ポリイミドにより形成されている。

20

【0027】

次に比較例を説明する。図4(a)は比較例に係る半導体装置100Rを例示する平面図である。図4(b)は図4(a)の線A-Aに沿った断面図である。図4(a)及び図4(b)に示すように、ポリイミド膜24は開口部24bを有さない。ポリイミド膜24は、開口部24a以外において、SiN膜22を覆う。

【0028】

ポリイミド膜24の水分の吸収、及び温度変化などにより、ポリイミド膜24の体積が変化する。比較例においては、体積変化により、SiN膜20及び22に大きなストレスが加わる。ストレスにより、電極パッド周辺においてSiN膜22の剥離が発生する。剥離により半導体装置100Rの耐湿性が低下する。すなわち剥離した箇所から浸入した水分に、ゲートフィンガー26b、オーム電極28c及び30cなどが溶解する。この結果、マイグレーションが発生する。

30

【0029】

実施例1によれば、図1及び図2(a)に示すように開口部24bが設けられているため、ポリイミド膜24の変形に伴うストレスが低減される。ストレスの低減により、SiN膜22の剥離が抑制される。従って、SiN膜22が水分の浸入を抑制する耐湿膜として機能する。マイグレーションが抑制され、半導体装置100の耐湿性が高くなる。

【0030】

図1に示した領域R1は、ドレインパッド30aから図1における基板10の左端及び右端までの領域である。領域R2は、ドレインパッド30aから基板10の上端までの領域である。領域R1側におけるドレインパッド30aの端部から基板10の端部までの距離は、領域R2側における距離より大きい。ドレインパッド30aは、領域R1側において広い面積を有するポリイミド膜24と接触する。ポリイミド膜24の面積が大きいため、領域R1側でストレスが大きくなる。領域R3はソースパッド28aから図1における基板10の上端までの領域である。領域R3は、ソースパッド28aから基板10の下端までの領域R4より広い。領域R3側でストレスは大きくなる。領域R1及びR3に開口部24bを設けることで、ストレスを効果的に緩和することができる。

40

【0031】

図2(a)に示したように、開口部21の端部は、開口部24aの端部と比較して、ドレインパッド30aの中央側に位置する。開口部21の端部と開口部24aの端部とが厚

50

さ方向に重なる場合と比べ、実施例1ではSiN膜22とポリイミド膜24との接触面積が小さくなる。接触面積の縮小により、ストレスが小さくなる。この結果、SiN膜22が剥がれ難くなり、耐湿性が高くなる。

【0032】

実施例1と比較例とで、耐湿性試験を行った。8個の半導体装置を高温・高湿下におき、電圧を印加した。8個のサンプル中、故障が発生する個数を比較した。試験の条件を表1に示す。

【表1】

	サイズ [mm <sup>2</sup> ]	温度 [°C]	湿度 [%]	時間 [h]	V <sub>ds</sub> [V]	V <sub>gs</sub> [V]
実施例1	0.7×2	130	85	96	50	-3
比較例						

表1は左から半導体装置のサイズ、温度、湿度、時間、ソース・ドレイン間電圧V<sub>ds</sub>、及びゲート・ソース間電圧V<sub>gs</sub>を示す。表1に示すように、実施例1と比較例とで同じ条件を用いた。

【0033】

表2は試験の結果を示す表である。

【表2】

	故障数/サンプル数
実施例1	0/8
比較例	6/8

表2に示すように、比較例では8個中6個に故障が発生したのに対し、実施例1では故障は発生しなかった。このように実施例1によれば耐湿性が高くなる。

【0034】

製造方法を説明する。図5(a)から図6(b)は半導体装置100の製造方法を示す断面図であり、ドレインパッド30a付近を図示している。図6(c)は半導体装置100の製造方法の別の例を示す断面図である。図7(a)から図8(b)は製造方法を示す断面図であり、図1の線B-Bに対応する断面を図示している。ゲートパッド26a及びソースパッド28a付近においても、図5(a)から図6(b)と同様の工程が実施される。例えば有機金属気相成長法(Metal Organic Chemical Vapor Deposition: MOCVD)を用いて、ウェハ状態の基板10の上に窒化物半導体層(バッファ層12、チャネル層14、電子供給層16及びキャップ層18)をエピタキシャル成長させる。図5(a)から図8(b)では、基板10、バッファ層12、チャネル層14、及び電子供給層16の図示を省略するが、キャップ層18の下にこれらの層が設けられている。図1に示した活性領域11以外の領域は不活性化する。

【0035】

図7(a)に示すように、例えば蒸着・リフトオフ法などにより、ゲートフィンガー26b、オーミック電極28c及び30cを設ける。なお、図3のように電子供給層16の上面にオーミック電極28c及び30cを形成する場合、オーミック電極の形成前にドライエッティングなどでキャップ層18を除去する。図5(a)及び図7(b)に示すように、SiN膜20を設ける。図5(b)に示すように、SiN膜20に開口部を形成する。露出したキャップ層18の上にドレインパッド30aを設ける。図7(b)に示すように、SiN膜20に開口部を形成する。露出したオーミック電極28cの上に配線層28d、オーミック電極30cの上に配線層30dを設ける。すなわち、電極パッド及び配線層30dは、例えばメッキ法により、同じ工程で形成される。

【0036】

図5(c)及び図8(a)に示すように、ドレインパッド30a、配線層28d及び30d

10

20

30

40

50

0 d を覆う SiN 膜 22 を設ける。図 5 (d) に示すように、例えばドライエッチングにより SiN 膜 22 に開口部 21 を形成する。開口部 21 からドレインパッド 30a、及び不図示のゲートパッド 26a 及びソースパッド 28a それぞれの上面が露出する。

#### 【0037】

図 6 (a) 及び図 8 (b) に示すように、例えば感光性ポリイミド樹脂を塗布することで、ポリイミド膜 24 を設ける。ポリイミド膜 24 は、図 6 (a) のドレインパッド 30a、不図示のゲートパッド 26a 及びソースパッド 28a、並びに図 6 (a) 及び図 8 (b) の SiN 膜 22 を覆う。図 6 (b) に示すように、例えば露光・エッチング処理により、ポリイミド膜 24 に開口部 24a 及び 24b を形成する。さらに熱処理によりポリイミド膜 24 を硬化させる。なお図 6 (c) に示すように、開口部 24b はポリイミド膜 24 を貫通しなくてもよい。

10

#### 【0038】

図 9 (a) はウェハ状態の基板 10 を例示する平面図である。図 9 (a) に示すようにウェハ状態の基板 10 に複数のスクライブライン 25 が形成されている。図 9 (b) はウェハ状態の基板 10 を例示する断面図である。図 9 (b) に示すように、開口部 24a 及び 24b を形成する工程において、スクライブライン 25 上のポリイミド膜 24 も露光・エッチング処理により除去され、スクライブライン 25 上のキャップ層 18 が露出する。ダイシング処理によりウェハ状態の基板 10 を個片化することで、半導体装置 100 が形成される。

20

#### 【0039】

SiN 膜 20 及び 22 は、水分の浸入を抑制するための十分な厚さを有することが好ましい。厚さ T1 及び T2 は 200 nm 以上 1200 nm 以下とすることが好ましい。ポリイミド膜 24 は外部からの衝撃などから半導体装置 100 を保護する。保護のためにポリイミド膜 24 は厚いことが好ましい。ポリイミド膜 24 が厚くなるほど SiN 膜 20 及び 22 に加わるストレスが大きくなる。保護及びストレス緩和のため、厚さ T3 は例えば 2 μm 以上、6 μm 以下などが好ましい。開口部 24b はポリイミド膜 24 を貫通しなくてもよい。つまり開口部 24b はポリイミド膜 24 に設けられた凹状の領域とができる。また開口部 24b はポリイミド膜 24 を貫通し、SiN 膜 20 及び 22 に形成されてもよい。耐湿性を高めるためには、開口部 24b は SiN 膜 20 を貫通せず、開口部 24b の底面の全てが SiN 膜 22 またはポリイミド膜 24 で構成されていることが好ましい。開口部 24b の数、幅 W 及び長さ L は、半導体装置 100 のサイズ、ポリイミド膜 24 の厚さ T3 などに応じて変更可能である。図 1 では 2 つの領域 R1 に 1 つずつ開口部 24b を設けている。例えば、1 つの領域 R1 に 2 つ以上の開口部 24b を設けてもよいし、2 つの領域 R2 及び R4 に開口部 24b を設けてもよい。このように、開口部 24a と、基板 10 の端部側に位置するポリイミド膜 24 との間に開口部 24b を設けることが有効である。

30

#### 【0040】

電極 (ゲート電極 26、ソース電極 28 及びドレイン電極 30) の上面は Au により形成されている。Au は SiN との密着性が低い。これに対し、ポリイミドは SiN との密着性が高い。電極の上に SiN 膜 20 及び 22、SiN 膜 22 の上にポリイミド膜 24 を設け、かつ開口部 24b を設けることで、SiN 膜 20 及び 22 が剥がれ難くなり、耐湿性が高くなる。電極パッド、配線層 28d 及び 30d は Au 以外の金属により形成されてもよい。SiN 膜 20 及び 22 以外に、例えば窒化酸化シリコン膜 (SiON 膜) などの無機絶縁膜を設けてもよい。ポリイミド膜 24 以外に、例えばベンゾシクロブテンなどの樹脂からなる膜を設けてもよい。無機絶縁膜の透水性は低いが、電極パッドとの密着性が低い。樹脂膜は無機絶縁膜との密着性が高いが、吸水及び温度変化により体積が変化する。実施例 1 によれば、剥離を抑制することができ、無機絶縁膜と樹脂膜との積層構造で、高い耐湿性と保護とを得ることができる。

40

#### 【実施例 2】

50

## 【0041】

図10(a)は実施例2に係る半導体装置200を例示する断面図である。半導体装置100と同じ構成については説明を省略する。

## 【0042】

図10(a)に示すように、開口部24aの端部は、ドレインパッド30aの上面が広がる方向(図中の左右方向)において、ドレインパッド30aの端部、及びSiN膜22のドレインパッド30aの端部に接触する部分22aから離間している。ドレインパッド30aの上面及び側面の全てが開口部24aの内側に位置する。これにより、ポリイミド膜24の体積が変化しても、SiN膜22へのストレスが緩和されるため、SiN膜22がドレインパッド30aから剥離することを抑制することができる。実施例1で設けられた開口部24bは、実施例2では設けられていない。なお、ゲートパッド26a及びソースパッド28aの周辺においても、ポリイミド膜24は図10(a)と同様の構成を有する。

10

## 【0043】

実施例2によれば、ドレインパッド30aの周辺において、SiN膜22とポリイミド膜24との接触面積が小さくなる。ストレスが低減されるため、SiN膜22が剥がれ難くなる。この結果、半導体装置200の耐湿性が高くなる。

## 【0044】

図10(b)は実施例2の変形例に係る半導体装置210を例示する断面図である。図10(b)に示すように、ポリイミド膜24には開口部24a及び24bが設けられている。開口部24aの端部は、ドレインパッド30aの端部から離間している。変形例によれば、より効果的に耐湿性を高めることができる。

20

## 【0045】

実施例1及び2は窒化物半導体を用いるFETの例である。窒化物半導体を用いたFETでは高電圧が印加される。特にドレインパッド30aには高電圧が印加されるため、ドレインパッド30aにおいてマイグレーションが発生しやすい。実施例1及び2によれば、マイグレーションの効果的な抑制が可能である。窒化物半導体とは、窒素を含む半導体であり、例えばInN(窒化インジウム)、InGaN(窒化インジウムガリウム)、InAlN(窒化インジウムアルミニウム)、及びAlInGaN(窒化アルミニウムインジウムガリウム)などがある。例えばガリウム砒素(GaAs)など砒素系半導体でFETを形成してもよい。FET以外のトランジスタなどに実施例1及び2を適用してもよい。

30

## 【0046】

以上、本発明の実施例について詳述したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

## 【符号の説明】

## 【0047】

10	基板
12	バッファ層
14	チャネル層
16	電子供給層
18	キャップ層
20、22	SiN膜
24	ポリイミド膜
21、24a、24b	開口部
26	ゲート電極
26a	ゲートパッド
26b	ゲートフィンガー
28	ソース電極

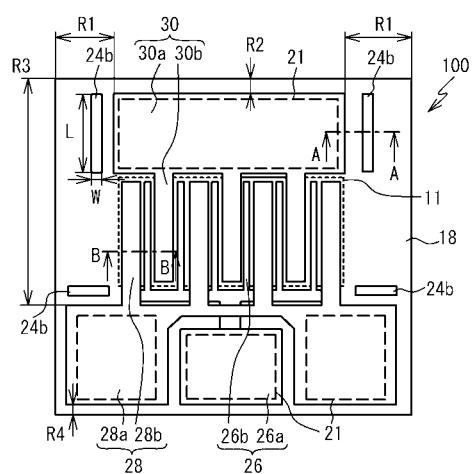
40

50

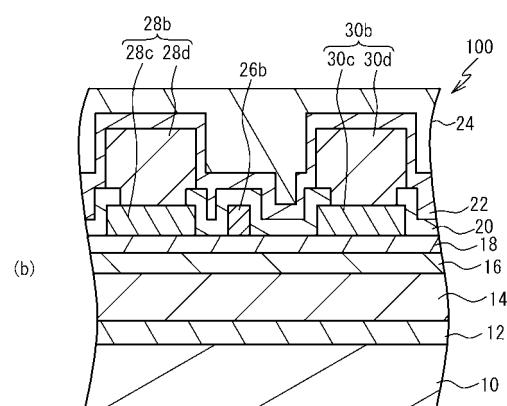
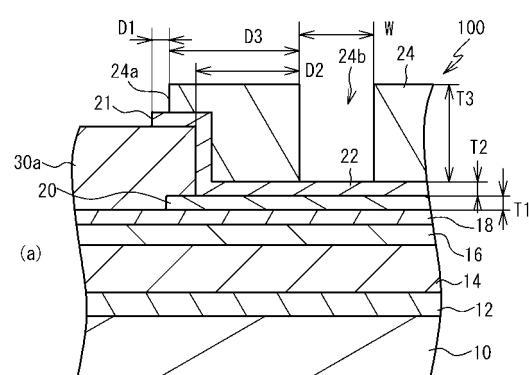
2 8 a  
2 8 b  
3 0  
3 0 a  
3 0 b  
1 0 0 、 2 0 0 、 2 1 0

ソースパッド  
ソースフィンガー  
ドレイン電極  
ドレインパッド  
ドレインフィンガー  
半導体装置

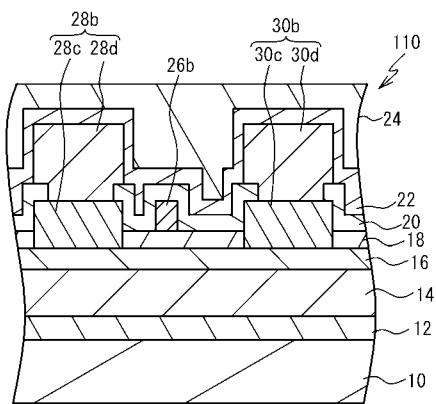
【図 1】



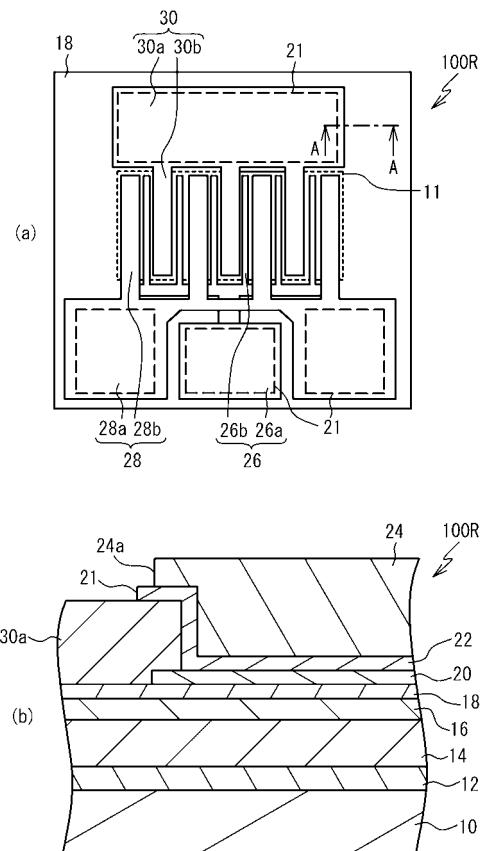
【図 2】



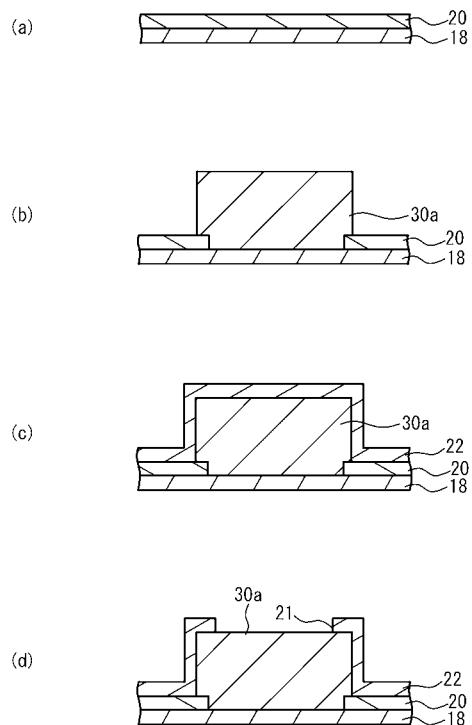
【図3】



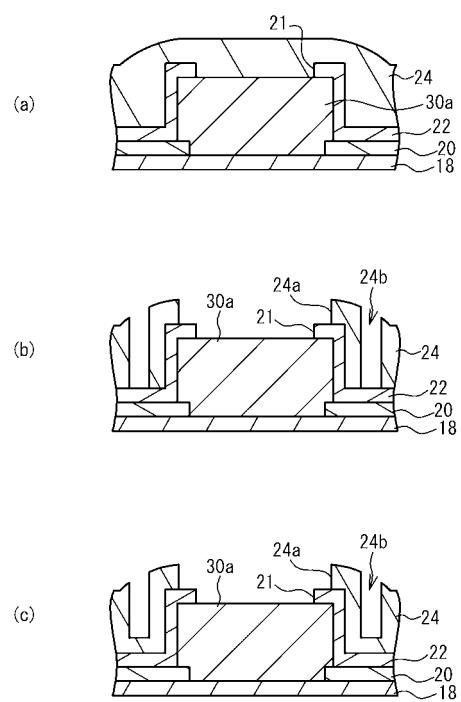
【図4】



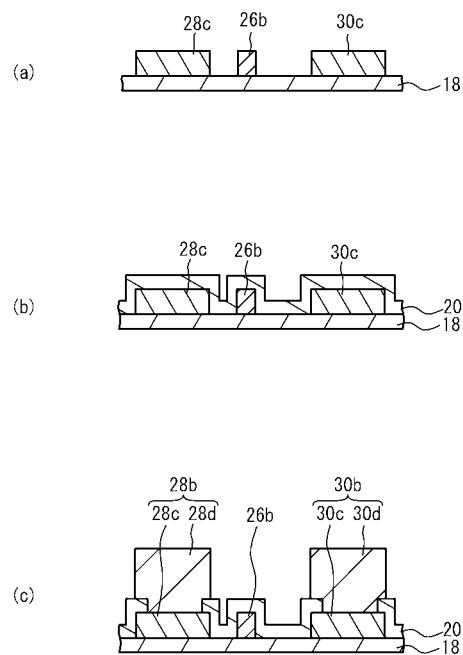
【図5】



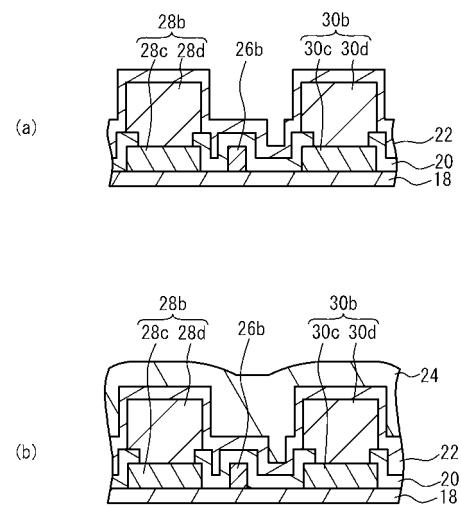
【図6】



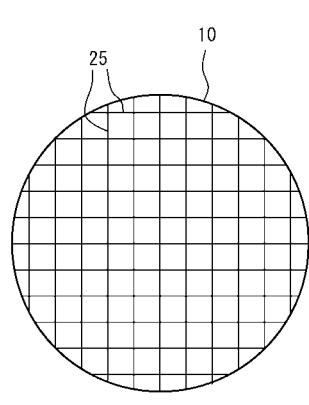
【図7】



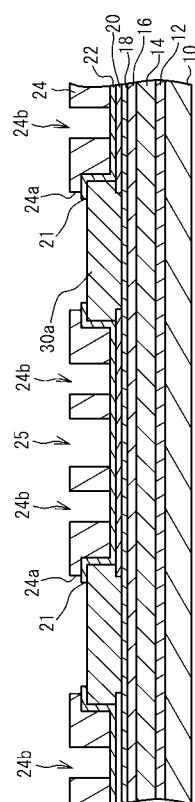
【図8】



【図9】



(a)



(b)

【図10】

