

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5423151号
(P5423151)

(45) 発行日 平成26年2月19日(2014.2.19)

(24) 登録日 平成25年12月6日(2013.12.6)

(51) Int.Cl.	F I	
HO 1 L 21/8249 (2006.01)	HO 1 L 27/06	3 2 1 F
HO 1 L 27/06 (2006.01)	HO 1 L 29/50	M
HO 1 L 29/417 (2006.01)	HO 1 L 29/58	G
HO 1 L 29/423 (2006.01)	HO 1 L 21/28	3 0 1 D
HO 1 L 29/49 (2006.01)	HO 1 L 29/50	B
請求項の数 5 (全 21 頁) 最終頁に続く		

(21) 出願番号	特願2009-129503 (P2009-129503)	(73) 特許権者	308014341
(22) 出願日	平成21年5月28日(2009.5.28)		富士通セミコンダクター株式会社
(65) 公開番号	特開2010-278253 (P2010-278253A)		神奈川県横浜市港北区新横浜二丁目10番23
(43) 公開日	平成22年12月9日(2010.12.9)	(74) 代理人	100091672
審査請求日	平成24年2月20日(2012.2.20)		弁理士 岡本 啓三
		(72) 発明者	吉村 充広
			東京都新宿区西新宿二丁目7番1号 富士通マイクロエレクトロニクス株式会社内
		審査官	岩本 勉
			最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板に、第1～第3の素子形成領域を画定する素子分離絶縁膜を形成する工程と、

前記第1の素子形成領域における前記半導体基板に第1のMOS(Metal Oxide Semiconductor)トランジスタ用の第1の導電型の第1の不純物拡散領域を形成する工程と、

前記第2の素子形成領域における前記半導体基板に、第2のMOSトランジスタ用の前記第1の導電型のLDD(Lightly Doped Drain)領域である第2の不純物拡散領域を前記第1の不純物拡散領域よりも深く形成すると同時に、前記第3の素子形成領域における前記半導体基板にバイポーラトランジスタ用の前記第1の導電型の第3の不純物拡散領域を形成する工程と、

前記第2の素子形成領域における前記半導体基板に、前記第2のMOSトランジスタ用の前記第1の導電型を有するソース/ドレイン領域を形成する工程と、

前記第1～第3の不純物拡散領域における前記半導体基板の表層に高融点金属シリサイド層を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項2】

前記第1の不純物拡散領域は、前記第1のMOSトランジスタのLDD(Lightly Doped Drain)領域であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記第3の不純物拡散領域は、前記バイポーラトランジスタのエミッタ領域であることを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。

【請求項4】

前記第2のMOSトランジスタのゲート長を前記第1のMOSトランジスタのゲート長よりも長くすることを特徴とする請求項1～3のいずれか1項に記載の半導体装置の製造方法。

【請求項5】

素子分離絶縁膜により第1～第3の素子形成領域が画定された半導体基板と、

前記第1の素子形成領域における前記半導体基板に形成され、第1の導電型の第1の不純物拡散領域を備えた第1のMOSトランジスタと、

前記第2の素子形成領域における前記半導体基板に形成され、前記第1の不純物拡散領域よりも深い前記第1の導電型のLDD(Lightly Doped Drain)領域である第2の不純物拡散領域と、前記第1の導電型を有するソース/ドレイン領域とを備えた第2のMOSトランジスタと、

前記第3の素子形成領域における前記半導体基板に形成され、前記第2の不純物拡散領域と同一の深さ且つ同一の不純物濃度プロファイルの前記第1の導電型の第3の不純物拡散領域を備えたバイポーラトランジスタと、

前記第1～第3の不純物形成領域における前記半導体基板の表層に形成された高融点金属シリサイド層と、

を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置とその製造方法に関する。

【背景技術】

【0002】

半導体装置は高速化・高機能化のために微細化が進んでおり、MOS(Metal Oxide Semiconductor)トランジスタのゲート長はますます短くなる傾向にある。MOSトランジスタは、スケールング則に沿って微細化するほど高速化が図れるが、その一方でゲート長が短くなると閾値電圧が低下するショートチャネル効果が生じる。

【0003】

ショートチャネル効果を抑制する方法としては様々ある。例えば、イオン注入の加速エネルギーを弱くしてソース/ドレイン領域の深さを浅くする方法も、ショートチャネル効果の抑制に効果があることが知られている。

【0004】

一方、半導体装置の製品のなかには、MOSトランジスタのみを集積形成するのではなく、バイポーラトランジスタとMOSトランジスタとを混載するものがある。そのような混載デバイスにおいては、ソース/ドレイン領域のような不純物拡散領域の深さを浅くすることが、バイポーラトランジスタに有利に働くとは限らない。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平8-274041号公報

【特許文献2】特開平11-233639号公報

【特許文献3】特開平5-3314号公報

【特許文献4】特開平5-160141号公報

【特許文献5】特開平11-176946号公報

【特許文献6】特開平11-3991号公報

【特許文献7】特開2000-208766号公報

【特許文献8】特開2005-158786号公報

【特許文献9】特開2005-175065号公報

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0006】

MOSトランジスタとバイポーラトランジスタとが混載された半導体装置とその製造方法において、半導体装置の信頼性を高めることを目的とする。

【課題を解決するための手段】

【0007】

以下の開示の一観点によれば、半導体基板に、第1～第3の素子形成領域を画定する素子分離絶縁膜を形成する工程と、前記第1の素子形成領域における前記半導体基板に第1のMOSトランジスタ用の第1の導電型の第1の不純物拡散領域を形成する工程と、前記第2の素子形成領域における前記半導体基板に、第2のMOSトランジスタ用の前記第1の導電型のLDD(Lightly Doped Drain)領域である第2の不純物拡散領域を前記第1の不純物拡散領域よりも深く形成すると同時に、前記第3の素子形成領域における前記半導体基板にバイポーラトランジスタ用の前記第1の導電型の第3の不純物拡散領域を形成する工程と、前記第2の素子形成領域における前記半導体基板に、前記第2のMOSトランジスタ用の前記第1の導電型を有するソース/ドレイン領域を形成する工程と、前記第1～第3の不純物拡散領域における前記半導体基板の表層に高融点金属シリサイド層を形成する工程とを有する半導体装置の製造方法が提供される。

10

【0008】

また、その開示の他の観点によれば、素子分離絶縁膜により第1～第3の素子形成領域が画定された半導体基板と、前記第1の素子形成領域における前記半導体基板に形成され、第1の導電型の第1の不純物拡散領域を備えた第1のMOSトランジスタと、前記第2の素子形成領域における前記半導体基板に形成され、前記第1の不純物拡散領域よりも深い前記第1の導電型のLDD(Lightly Doped Drain)領域である第2の不純物拡散領域と、前記第1の導電型を有するソース/ドレイン領域とを備えた第2のMOSトランジスタと、前記第3の素子形成領域における前記半導体基板に形成され、前記第2の不純物拡散領域と同一の深さ且つ同一の不純物濃度プロファイルの前記第1の導電型の第3の不純物拡散領域を備えたバイポーラトランジスタと、前記第1～第3の不純物形成領域における前記半導体基板の表層に形成された高融点金属シリサイド層とを有する半導体装置が提供される。

20

【発明の効果】

30

【0009】

以下の開示によれば、第2のMOSトランジスタ用の第2の不純物拡散領域を第1の不純物拡散領域よりも深く形成すると同時に、第3の素子形成領域における半導体基板にバイポーラトランジスタ用の第3の不純物拡散領域を形成する。

【0010】

よって、第2の不純物拡散領域と同様に第3の不純物拡散領域も基板深くに形成されるようになるので、該第3の不純物拡散領域上の高融点金属シリサイド層と基板とを流れる接合リーク電流が低減され、半導体装置の信頼性が高まる。

【0011】

しかも、第2の不純物拡散領域と第3の不純物拡散領域とをこのように同一工程で形成することで、半導体装置の製造工程の簡略化を図ることが可能となる。

40

【図面の簡単な説明】

【0012】

【図1】図1は、予備的事項に係る半導体装置の平面図である。

【図2】図2は、図1のA-A線に沿う断面図である。

【図3】図3は、予備的事項に係る半導体装置において、エミッタ領域付近のシリコン基板のTEM像を基にして描いた断面図である。

【図4】図4は、予備的事項に係る半導体装置においてのエミッタ領域付近の拡大断面図である。

【図5】図5は、MOSトランジスタの世代とpn接合の深さとの関係を示す図である。

50

【図6】図6は、OBIRCH解析により予備的事項に係る半導体装置を観察して得られた像を基にして描いた平面図である。

【図7】図7は、予備的事項に係るpnpバイポーラトランジスタの電流電圧特性を調査して得られたグラフである。

【図8】図8は、予備的事項に係る半導体装置が抱えるジレンマを模式的に表す図である。

【図9】図9は、本実施形態に係る半導体装置の製造途中の断面図(その1)である。

【図10】図10は、本実施形態に係る半導体装置の製造途中の断面図(その2)である。

【図11】図11は、本実施形態に係る半導体装置の製造途中の断面図(その3)である 10

【図12】図12は、本実施形態に係る半導体装置の製造途中の断面図(その4)である。

【図13】図13は、本実施形態に係る半導体装置の製造途中の断面図(その5)である。

【図14】図14は、本実施形態に係る半導体装置の製造途中の断面図(その6)である。

【図15】図15は、本実施形態に係る半導体装置の製造途中の断面図(その7)である。

【図16】図16は、本実施形態に係る半導体装置の製造途中の断面図(その8)である 20

【図17】図17は、本実施形態に係る半導体装置の製造途中の断面図(その9)である。

【図18】図18は、本実施形態に係る半導体装置の製造途中の断面図(その10)である。

【図19】図19は、本実施形態に係る半導体装置の製造途中の断面図(その11)である。

【図20】図20は、本実施形態に係る半導体装置の製造途中の断面図(その12)である。

【図21】図21は、本実施形態に係る半導体装置の製造途中の断面図(その13)である 30

【図22】図22は、本実施形態に係る半導体装置の製造途中の断面図(その14)である。

【図23】図23は、本実施形態に係る半導体装置の製造途中の断面図(その15)である。

【図24】図24は、本実施形態に係る半導体装置の製造途中の断面図(その16)である。

【図25】図25は、本実施形態に係る半導体装置の平面図である。

【図26】図26は、本実施形態に係る半導体装置のエミッタ形成領域付近の拡大断面図である。 40

【発明を実施するための形態】

【0013】

以下に、本実施形態について添付図面を参照しながら詳細に説明する。

【0014】

(予備的事項)

本実施形態の説明に先立ち、本実施形態の基礎となる予備的事項について説明する。

【0015】

図1はこの半導体装置の平面図であり、図2の上側の断面図は図1のA-A線に沿う断面図である。

【0016】

図2に示されるように、この半導体装置はバイポーラトランジスタ形成領域IとMOSトランジスタ形成領域IIとが画定されたシリコン基板1を有する。

【0017】

そのシリコン基板1には素子領域を画定するためのSTI(Shallow Trench Isolation)用の素子分離溝1aが形成され、該素子分離溝1a内に酸化シリコン膜等の素子分離絶縁膜2が埋め込まれる。

【0018】

STIによる素子分離構造は、LOCOS(Local Oxidation of Silicon)法と比較して素子分離絶縁膜2の幅を短くすることができるので、半導体装置の微細化に好適である。

【0019】

バイポーラトランジスタ形成領域Iの半導体基板1には、pウェル4と第1のnウェル5が形成されると共に、p型エミッタ領域11、n型ベース領域12、及びp型コレクタ領域13を備えたpnpバイポーラトランジスタTR₁が形成される。

【0020】

そして、MOSトランジスタ形成領域IIにおいては、半導体基板1に第2のnウェル3が形成され、ゲート絶縁膜8、ゲート電極6、及びp型ソース/ドレイン領域10を有するMOSトランジスタTR₂が形成される。

【0021】

更に、各領域10~13を低抵抗化するために、半導体基板1の表層にはコバルトシリサイド(CoSi₂)層等の高融点金属シリサイド層15が形成される。

【0022】

このように種類の異なるpnpバイポーラトランジスタTR₁とMOSトランジスタTR₂とを混載してなる半導体装置では、各トランジスタTR₁、TR₂を別々に作ったのでは工程数の短縮が図られず、その製造工程が非効率的になる。

【0023】

そこで、本例では、p型ソース/ドレイン領域10とp型エミッタ領域11とを同一のイオン注入により形成することにより、各トランジスタTR₁、TR₂の製造工程に重複部分を持たせ、工程数の短縮を図るようにする。

【0024】

これらの領域10、11のうち、p型ソース/ドレイン領域10は、MOSトランジスタTR₂のショートチャネル効果を抑制するために、なるべく浅く形成するのが好ましい。このようにp型ソース/ドレイン領域10を浅く形成すると、これと同時に形成されるp型エミッタ領域11も浅く形成されることになる。

【0025】

但し、エミッタ領域11が浅くなると、以下のような問題が発生することが明らかとなった。

【0026】

図3は、エミッタ領域11付近のシリコン基板1のTEM(Transmission Electron Microscope)像を基にして描いた断面図である。

【0027】

図3に示されるように、高融点金属シリサイド層15は、素子分離溝1aの側面のシリコン基板1を侵食して形成され、シリコン基板1の深い位置まで形成されている。

【0028】

例えば、図3の例では、断面に現れている高融点金属シリサイド層15はその上面からD1(=66.3nm)の深さまで形成され、更にこの断面よりも奥の部分では高融点金属シリサイド層15がその上面からD2(=121nm)の深さにまで形成されている。

【0029】

図4は、エミッタ領域11付近の拡大断面図である。

【0030】

上記のように高融点金属シリサイド層15が深く形成されると、エミッタ領域11と第

10

20

30

40

50

2nウェル5との界面に形成されたpn接合19に高融点金属シリサイド層15が近づき、該pn接合19と高融点金属シリサイド層15との間隔Lが狭まる。

【0031】

こうなると、pn接合19付近の空乏層の厚さが薄くなるので、第2nウェル5と高融点金属シリサイド層15とをpn接合19の電位障壁により十分に電氣的に隔離することができず、これら間にリーク電流Jが流れ易くなってしまふ。そのようなリーク電流は、接合リーク電流とも呼ばれる。

【0032】

特に、本例では、MOSトランジスタTR₂のショートチャンネル効果を抑制するために、p型ソース/ドレイン領域10と同時に形成されるp型エミッタ領域11を浅く形成したので、pn接合19の深さX_jが浅くなる。これにより、pn接合19と高融点金属シリサイド層15との間隔Lが一層狭まり、上記の接合リーク電流Jが原因の不良が発生する危険性が高まる。

10

【0033】

図5は、MOSトランジスタの世代とpn接合19の深さX_jとの関係を示す図である。

【0034】

図5に示されるように、ゲート長が短くなるにつれ、ショートチャンネル効果を抑制するために深さX_jが浅くなる傾向になる。よって、上記のリーク電流は、MOSトランジスタの世代が進むにつれ顕著に発生すると考えられる。

【0035】

図6は、そのようなリーク電流が実際に発生するかどうかを確認するため、OBIRCH(Optical Beam Induced Resistance Change)解析によりこの半導体装置を観察して得られた像を基にして描いた平面図である。

20

【0036】

図6に示されるように、OBIRCH解析を行うと、p型エミッタ領域11と素子分離絶縁膜2との界面において、接合リーク電流Jの発生を示す発光箇所Fが実際に観察された。

【0037】

また、図7は、上記のpnpバイポーラトランジスタTR₁の電流-電圧特性を調査して得られたグラフである。そのグラフの横軸はベース-エミッタ間電圧V_{be}を示し、縦軸はエミッタ電流I_eを示す。

30

【0038】

また、この調査では、-40、+25、+85のそれぞれの温度において電流-電圧特性を測定した。

【0039】

図7に示されるように、+25と+85の温度では、エミッタ電流が1.0×10⁴nA以下の範囲において、グラフが設計通りの線形となっている。

【0040】

しかし、-40の温度では、エミッタ電流が10nA以下の範囲においてグラフが線形から外れ、半導体装置が不良となっている。これは、エミッタ電流I_eに上記の接合リーク電流Jが加わったためと考えられる。

40

【0041】

本願発明者の調査によれば、このような不良は、-40以下の温度且つ10nA以下のエミッタ電流領域において、数10ppmの頻度で発生することが分かった。また、そのような不良は、動作温度が-20以下となった時点から目立ち始めることも分かった。

【0042】

よって、バイポーラトランジスタとMOSトランジスタとを混載してなる半導体装置では、-20以下の低温且つ10nA以下の低エミッタ電流でその動作を保証することができない。したがって、温度保証範囲が狭くなったり、高いエミッタ電流で使用せざるを得ない等、高性能で魅力のある半導体装置を提供するのが難しくなる。

【0043】

50

既述のように、この半導体装置の不良の原因である接合リーク電流は、エミッタ領域 11 を浅く形成したことで発生するものである。

【0044】

よって、エミッタ領域 11 を深く形成すれば接合リーク電流を低減できることになるが、これではエミッタ領域 11 と同時に形成されるp型ソース/ドレイン領域 10 も深くなり、MOSトランジスタTR₂におけるショートチャネル効果を抑制できない。

【0045】

図8は、このようなジレンマを模式的に表す図である。

【0046】

図8において、横軸はpn接合 19 の深さX_jを示す。また、左側の縦軸は、上記のように低温（-40 以下）でpnpバイポーラトランジスタTR₁に発生する不良の発生頻度を表すものであり、グラフAに対する縦軸となる。そして、右側の縦軸は、MOSトランジスタTR₂におけるショートチャネル効果の抑制度合いを示すものであり、グラフBに対する縦軸となる。

10

【0047】

図8に示されるように、深さX_jが深くなるにつれ、グラフAが減少するのに対しグラフBは増大する。

【0048】

このように、バイポーラトランジスタの不良の防止とMOSトランジスタのショートチャネル効果の抑制とはトレードオフの関係にあり、一方を満足させようとするれば他方を犠牲にしてしまう。

20

【0049】

なお、このようなジレンマを解消するため、バイポーラトランジスタTR₁とMOSトランジスタTR₂とを別々のプロセスで独立に形成することも考えられるが、これでは工程数が増大して半導体装置のコスト増を招いてしまう。

【0050】

更に、MOSトランジスタTR₂のショートチャネル効果を抑制するためにゲート長を長くすることも考えられる。しかし、これでは素子面積が増大したり、既存のプロセスを流用して半導体装置を製造することができないといった新たな問題が発生する。

【0051】

30

本願発明者は、このような知見に基づいて、以下に説明するような本実施形態に想到した。

【0052】

（本実施形態）

図9～図24は、本実施形態に係る半導体装置の製造途中の断面図である。

【0053】

この半導体装置は、バイポーラトランジスタとMOSトランジスタとを混載してなるものであり、以下のようにして製造される。

【0054】

まず、図9に示すように、基板温度を約900 として酸化雰囲気中においてp型シリコン（半導体）基板 20 の表面を熱酸化し、厚さが約15nmの初期熱酸化膜 21 を形成する。

40

【0055】

次いで、この初期熱酸化膜 21 の上にCVD(Chemical Vapor Deposition)法により窒化シリコン膜 22 を厚さ約150nmに形成する。

【0056】

続いて、図10に示すように、窒化シリコン膜 22 の上にフォトレジストを塗布し、それを露光、現像して第1のレジストパターン 23 を形成する。

【0057】

そして、この第1のレジストパターン 23 が備える窓 23a を通じて窒化シリコン膜 2

50

2、初期熱酸化膜21、及びシリコン基板20をこの順にドライエッチングし、シリコン基板20にSTI用の素子分離絶縁膜20を形成する。

【0058】

そのドライエッチングは例えばRIE(Reactive Ion Etching)により行われ、エッチングガスとして CHF_3 、 HBr 、 Cl_2 、 CF_4 、及び O_2 を組み合わせたガスが使用される。

【0059】

このドライエッチングが終了した後に、第1レジストパターン23は除去される。

【0060】

次に、図11に示すように、埋め込み性に優れたHDPCVD(High Density Plasma CVD)法を用いて、窒化シリコン膜22の上に素子分離絶縁膜24として酸化シリコン膜を形成し、この素子分離絶縁膜24で素子分離溝20aを完全に埋め込む。

10

【0061】

次いで、図12に示すように、CMP(Chemical Mechanical Polishing)法により素子分離絶縁膜24を研磨して、窒化シリコン膜22上の余分な素子分離絶縁膜24を除去すると共に、素子分離溝20a内にのみ素子分離絶縁膜24を残す。

【0062】

その後、図13に示すように、初期熱酸化膜21と窒化シリコン膜22とをウエットエッチングにより除去し、シリコン基板20の清浄面を露出させる。このとき、窒化シリコン膜22のエッチング液としては燐酸溶液が使用され、初期熱酸化膜21のエッチング液としてはフッ酸溶液が使用される。

20

【0063】

ここまでの工程により、シリコン基板20の素子形成領域が素子分離絶縁膜24によって画定されたことになる。

【0064】

その素子形成領域は、MOSトランジスタ形成領域IIにおいては、高電圧n型MOSトランジスタ形成領域HVN、高電圧p型MOSトランジスタ形成領域HVP、低電圧n型MOSトランジスタ形成領域LVN、及び低電圧p型MOSトランジスタ形成領域LVPである。

【0065】

また、バイポーラトランジスタ形成領域Iにおいては、エミッタ形成領域E、ベース形成領域B、及びコレクタ形成領域Cを含む領域が素子形成領域として画定される。

30

【0066】

次に、図14に示す断面構造を得るまでの工程について説明する。

【0067】

まず、酸化雰囲気中において基板温度を約900 とすることで、シリコン基板20の表面に厚さが約10nmの熱酸化膜を形成し、その熱酸化膜を犠牲絶縁膜27とする。

【0068】

次いで、この犠牲絶縁膜27をスルー膜にしなから、各領域HVN、HVPにおけるシリコン基板20にそれぞれp型不純物とn型不純物とをイオン注入する。

【0069】

これにより、第1及び第2のpウェル31、32、p型素子分離領域33、及び第1のnウェル34が図示のように形成される。なお、p型不純物としてはボロンが使用され、n型不純物としてはリンが使用される。そして、これらの不純物の打ち分けは不図示のレジストパターンをマスクにして行われ、このイオン注入を終了後にそのレジストパターンは除去される。

40

【0070】

続いて、図15に示すように、コレクタ形成領域Cと低電圧n型MOSトランジスタ形成領域LVNにおけるシリコン基板20にイオン注入によりp型不純物としてボロンをイオン注入し、第3のpウェル41を形成する。

【0071】

更に、エミッタ形成領域E、ベース形成領域B、及び低電圧n型MOSトランジスタ形成領域

50

LVPにおけるシリコン基板 20 にイオン注入によりn型不純物としてリンをイオン注入して第2のnウェル 42 を形成する。

【0072】

そのイオン注入では犠牲絶縁膜 27 がスルー膜として使用され、不図示のレジストパターンによりp型不純物とn型不純物の打ち分けが行われる。

【0073】

この後に、フッ酸溶液により犠牲絶縁膜 27 をウエットエッチングして除去する。

【0074】

次いで、図 16 に示すように、シリコン基板 20 の上側全面にゲート絶縁膜 44 として熱酸化膜を形成する。

10

【0075】

そのゲート絶縁膜 44 は、シリコン基板 20 の全面に熱酸化膜を形成した後、領域LVN、LVPにおける熱酸化膜を除去し、その後に更にシリコン基板 20 の全面を熱酸化することで形成され、領域HVN、HVP、HVNについては10～16nm程度の厚さ、領域LVN、LVPについては3nm程度の厚さに形成される。

【0076】

そして、図 17 に示すように、素子分離絶縁膜 24 とゲート絶縁膜 44 のそれぞれの上にCVD法によりポリシリコン膜を約180nmの厚さに形成し、そのポリシリコン膜を導電膜 49 とする。

【0077】

20

更に、その導電膜 49 の上に反射防止膜 48 を形成する。その反射防止膜 48 は、例えば、CVD法で形成された酸化シリコン膜である。

【0078】

その後に、この反射防止絶縁膜 48 の上にフォトリソを塗布し、それを露光、現像して、ゲート電極形状の第2のレジストパターン 43 を形成する。

【0079】

続いて、図 18 に示すように、第2のレジストパターン 43 をマスクにしながら反射防止絶縁膜 48 と導電膜 49 とをドライエッチングし、MOSトランジスタ形成領域IIにゲート電極 49a を形成する。

【0080】

30

ゲート電極 49a のゲート長はMOSトランジスタの駆動電圧によって異なる。

【0081】

例えば、低電圧n型MOSトランジスタ形成領域LVNと低電圧p型MOSトランジスタ形成領域LVPでは、トランジスタの高速化を優先してゲート長D1をなるべく短くするのが好ましく、例えばゲート長さD1を0.18μm程度とする。

【0082】

これに対し、高電圧n型MOSトランジスタ形成領域HVNと高電圧p型MOSトランジスタ形成領域HVPでは、ソース - ドレイン間の耐圧の向上を優先し、ゲート長D2をゲート長D1よりも長くするのが好ましく、例えばゲート長D2を0.7μmとする。

【0083】

40

その後、反射防止絶縁膜 48 と第2のレジストパターン 43 は除去される。

【0084】

次に、図 19 に示すように、各領域LVP、LVNにおけるシリコン基板 20 にそれぞれp型不純物とn型不純物をイオン注入し、ゲート電極 49a の横のシリコン基板 20 に低電圧用p型LDD(Lightly Doped Drain)領域 45 と低電圧用n型LDD領域 47 を形成する。

【0085】

なお、各領域LVP、LVNへの不純物の打ち分けは不図示のレジストパターンを用いて行われる。

【0086】

また、このイオン注入の条件は特に限定されないが、低電圧用p型LDD領域 45 について

50

は、例えば、加速エネルギーが 5 keV、ドーズ量が $5.0 \times 10^{14} \text{cm}^{-2}$ の条件でボロンをイオン注入する。

【0087】

また、低電圧用n型LDD領域47については、n型不純物として砒素を使用し、それを加速エネルギーが 10 keV、ドーズ量が $5.0 \times 10^{14} \text{cm}^{-2}$ の条件でイオン注入する。

【0088】

次いで、図20に示すように、高電圧p型MOSトランジスタ形成領域HVPに、各nウェル34、42とは反対の導電型のp型不純物としてボロンをイオン注入し、ゲート電極49aの横のシリコン基板20に高電圧用p型LDD領域52を形成する。

【0089】

本工程では、このイオン注入をエミッタ形成領域Eに対しても同時に行い、該エミッタ形成領域Eにおけるシリコン基板20に第1のエミッタ用p型不純物拡散領域46を形成する。

【0090】

このように各領域46、52を同一のイオン注入工程で形成することで、各領域46、52は同一の深さ且つ同一の不純物濃度プロファイルを有することになる。

【0091】

また、そのイオン注入は、高電圧用p型LDD領域52と第1のエミッタ用p型不純物拡散領域46のそれぞれが低電圧用p型LDD領域45よりも深く形成される条件で行われ、例えば加速エネルギー80 keV、ドーズ量 $4.5 \times 10^{13} \text{cm}^{-2}$ の条件で行われる。

【0092】

高電圧p型MOSトランジスタ形成領域HVPにおけるゲート長は、低電圧p型MOSトランジスタ形成領域LVPにおけるよりも長いので、このように高電圧用p型LDD領域52を深く形成してもショートチャネル効果が顕著に発生することはない。

【0093】

よって、高電圧p型MOSトランジスタ形成領域HVPにおいては、ショートチャネル効果の抑制よりも、後で形成されるトランジスタの耐圧向上を優先させ、このように高電圧用p型LDD領域52を深く形成するのが好ましい。

【0094】

なお、このイオン注入の際、エミッタ形成領域Eと高電圧p型MOSトランジスタ形成領域HVP以外の領域は不図示のレジストパターンで覆われており、これらの領域E、HVP以外の領域のシリコン基板20にボロンがイオン注入されることはない。

【0095】

続いて、図21に示すように、不図示のレジストパターンをマスクにしながら、高電圧n型MOSトランジスタ形成領域HVNにn型不純物を選択的にイオン注入し、ゲート電極49aの横のシリコン基板20に高電圧用n型LDD領域51を形成する。

【0096】

そのn型不純物は、例えばリンである。また、イオン注入の条件としては、加速エネルギー40 keV、ドーズ量 $5.0 \times 10^{14} \text{cm}^{-2}$ が採用される。このような条件を採用することにより、高電圧用n型LDD領域51は、低電圧用n型LDD領域47よりも深く形成されることになる。

【0097】

次に、図22に示す断面構造を得るまでの工程について説明する。

【0098】

まず、シリコン基板20の上側全面に絶縁膜を形成し、それをエッチバックしてゲート電極49aの横に絶縁性サイドウォール54として残す。その絶縁膜は、例えば、CVD法により形成された酸化シリコン膜である。

【0099】

次いで、シリコン基板20の上に不図示のレジストパターンを形成し、絶縁性サイドウォール54とゲート電極49aとをマスクにしながら、p型不純物としてボロンをシリコ

10

20

30

40

50

ン基板 20 にイオン注入する。

【0100】

これにより、各領域HVP、LVPのそれぞれに、高電圧用p型ソース/ドレイン領域55と低電圧用p型ソース/ドレイン領域65が、高電圧用p型LDD領域52よりも浅い深さに選択的に形成される。

【0101】

そのイオン注入の条件は、例えば、加速エネルギーが5 keV、ドーズ量が $2.0 \times 10^{15} \text{cm}^{-2}$ である。

【0102】

本工程では、このイオン注入をエミッタ形成領域Eとコレクタ領域Cのシリコン基板20に対しても同時に行う。

【0103】

その結果、エミッタ領域Eにおいては、第2のエミッタ用p型不純物拡散領域56が形成され、各不純物拡散領域46、56を備えたp型エミッタ領域57が形成される。

【0104】

一方、コレクタ領域Cにはp型コレクタ領域58が形成される。

【0105】

次いで、図23に示すように、高電圧n型MOSトランジスタ形成領域HVN、低電圧n型MOSトランジスタ形成領域LVN、及びベース形成領域Bのそれぞれにおけるシリコン基板20にn型不純物をイオン注入する。

【0106】

これにより、各領域HVN、LVNにはそれぞれ高電圧用n型ソース/ドレイン領域61と低電圧用n型ソース/ドレイン領域66が形成され、ベース形成領域Bにはn型ベース領域62が形成される。

【0107】

なお、そのイオン注入の条件は特に限定されないが、本実施形態ではn型不純物としてリンを加速エネルギー15 keV、ドーズ量 $2.0 \times 10^{15} \text{cm}^{-2}$ の条件でイオン注入する。

【0108】

続いて、図24に示すように、シリコン基板20の上側全面に高融点金属膜としてスパッタ法によりコバルト膜を形成し、それをアニールしてシリコンと反応させる。これにより、シリコン基板20とゲート電極49aのそれぞれの表層部分に低抵抗化のための高融点金属シリサイド層70としてコバルトシリサイド層が形成される。

【0109】

その後、素子分離絶縁膜24の上で未反応となっている高融点金属膜をウエットエッチングにより除去する。

【0110】

以上により、本実施形態に係る半導体装置の基本構造が完成したことになる。

【0111】

その半導体装置においては、バイポーラトランジスタ形成領域Iにエミッタ領域57、ベース領域62、及びコレクタ領域58を備えたpnpバイポーラトランジスタ TR_{BIP} が形成される。

【0112】

一方、MOSトランジスタ形成領域IIには、高電圧n型MOSトランジスタ TR_{HVN} 、高電圧p型MOSトランジスタ TR_{HVP} 、低電圧n型MOSトランジスタ TR_{LVN} 、低電圧p型MOSトランジスタ TR_{LVP} が図示のように形成される。

【0113】

これらのMOSトランジスタのうち、高電圧n型MOSトランジスタ TR_{HVN} は低電圧n型MOSトランジスタ TR_{LVN} よりも駆動電圧が高く、高電圧p型MOSトランジスタ TR_{HVP} は低電圧p型MOSトランジスタ TR_{LVP} よりも駆動電圧が高い。

【0114】

10

20

30

40

50

各トランジスタの使用用途は限定されないが、本実施形態では高電圧トランジスタ TR_{HVN} 、 TR_{HVP} を入出力回路として使用する。一方、低電圧トランジスタ TR_{LVN} 、 TR_{LVP} については、npnバイポーラトランジスタ TR_{BIP} と共にロジック回路に使用する。

【0115】

図25は、この半導体装置の平面図であり、先の図24は図25のB-B線に沿う断面図である。

【0116】

図25に示されるように、p型エミッタ領域57とn型ベース領域62は矩形状の平面形状を有し、これらの領域57、62を囲むようにしてp型コレクタ領域58が形成される。

10

【0117】

このような半導体装置の製造方法によれば、図20に示したように、低電圧用p型LDD領域45よりも深い高電圧用p型LDD領域52を形成するイオン注入において、第1のエミッタ用p型不純物拡散領域46を形成した。

【0118】

図26は、エミッタ形成領域Eの拡大断面図である。

【0119】

上記のように第1のエミッタ用p型不純物拡散領域46を深く形成したので、該p型不純物拡散領域46とnウェル42とのpn接合80を、高融点金属シリサイド層70の表面から十分な深さ X_j に形成することができる。

20

【0120】

よって、高融点金属シリサイド層70が素子分離溝20aの側面のシリコン基板20を侵食して形成されていても、pn接合80と高融点金属シリサイド層70との間隔Lが十分に広がる。

【0121】

その結果、エミッタ領域57とnウェル42との間の接合リーク電流Jを低減できるようになり、接合リーク電流Jが原因で図7のように電圧(V_{be}) - 電流(I_e)特性が線形から外れるのを防止でき、設計に近い特性の半導体装置を提供することができる。

【0122】

特に、電圧(V_{be}) - 電流(I_e)特性の設計値からの乖離は、100nA以下の低エミッタ電流且つ-20以下の低温において顕在化するようになるので、本実施形態ではそのような低エミッタ電流且つ低温での半導体装置の動作を保証できるようになる。

30

【0123】

また、エミッタ領域57はエミッタ電流 I_e の供給源であるから、エミッタ領域57とnウェル42との間の接合リーク電流Jはエミッタ電流 I_e に大きな影響を与える。よって、ベース領域62やコレクタ領域58の接合深さを深くするのと比較して、エミッタ領域57の接合の深さ X_j を上記のように深くすることは、電圧(V_{be}) - 電流(I_e)特性を線形に維持するうえで特に有効である。

【0124】

しかも、本実施形態では、図20のように高電圧用p型LDD領域52の形成工程を利用して第1のエミッタ用p型不純物形成領域46を深く形成するので、該p型不純物形成領域46を深く形成するためだけの余計なイオン注入工程を追加する必要がない。

40

【0125】

なお、図20に示したように、第1のエミッタ用p型不純物形成領域46と同時に形成される高電圧用p型LDD領域52は、領域LNPにおけるよりもゲート長の長い領域HVPに形成されるものである。したがって、第1のエミッタ用p型不純物形成領域46を上記のように深く形成しても、領域HVPでショートチャネル効果が顕著に発生することはない。

【0126】

その結果、本実施形態では、MOSトランジスタのショートチャネル効果の抑制と、バイポーラトランジスタのリーク電流の抑制とを両立することができ、これらのトランジスタ

50

を混載した半導体装置の信頼性を向上させることが可能となる。

【0127】

以上、本実施形態について詳細に説明したが、本実施形態は上記に限定されない。

【0128】

例えば、上記ではバイポーラトランジスタ TR_{BIP} が備える不純物拡散領域のうち第1のエミッタ用p型不純物拡散領域46を深く形成したが、ベース領域62やコレクタ領域58を深く形成するようにしてもよい。その場合、これらの領域62、58と同時に形成される高電圧MOSトランジスタ TR_{HVN} 、 TR_{HVP} の深い不純物拡散領域としては高電圧用LDD領域51、55がある。

【0129】

更に、高電圧MOSトランジスタ TR_{HVP} 、 TR_{HVN} のソース/ドレイン領域52、61を低電圧MOSトランジスタ TR_{LVP} 、 TR_{LVN} のソース/ドレイン領域65、66よりも深く形成してもよい。そして、これらのソース/ドレイン領域65、66の形成と同時に、バイポーラトランジスタ TR_{BIP} のエミッタ領域57、ベース領域62、及びコレクタ領域58を深く形成するようにしてもよい。

【0130】

以上説明した各実施形態に関し、更に以下の付記を開示する。

【0131】

(付記1) 半導体基板に、第1～第3の素子形成領域を画定する素子分離絶縁膜を形成する工程と、

前記第1の素子形成領域における前記半導体基板に第1のMOSトランジスタ用の第1の不純物拡散領域を形成する工程と、

前記第2の素子形成領域における前記半導体基板に、第2のMOSトランジスタ用の第2の不純物拡散領域を前記第1の不純物拡散領域よりも深く形成すると同時に、前記第3の素子形成領域における前記半導体基板にバイポーラトランジスタ用の第3の不純物拡散領域を形成する工程と、

前記第1～第3の不純物拡散領域における前記半導体基板の表層に高融点金属シリサイド層を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【0132】

(付記2) 前記第1の不純物拡散領域は、前記第1のMOSトランジスタのソース/ドレイン領域又はLDD領域であり、

前記第2の不純物拡散領域は、前記第2のMOSトランジスタのソース/ドレイン領域又はLDD領域であることを特徴とする付記1に記載の半導体装置の製造方法。

【0133】

(付記3) 前記第3の不純物拡散領域は、前記バイポーラトランジスタのエミッタ領域であることを特徴とする付記1又は付記2に記載の半導体装置の製造方法。

【0134】

(付記4) 前記素子分離絶縁膜を形成する工程は、前記半導体基板に素子分離溝を形成し、該素子分離溝内に前記素子分離絶縁膜を埋め込むことにより行われることを特徴とする付記1～3のいずれかに記載の半導体装置の製造方法。

【0135】

(付記5) 前記第2のMOSトランジスタのゲート長を前記第1のMOSトランジスタのゲート長よりも長くすることを特徴とする付記1～4のいずれかに記載の半導体装置の製造方法。

【0136】

(付記6) 前記第3の素子形成領域にウェルを形成する工程を更に有し、

前記第2の不純物拡散領域と前記第3の不純物拡散領域とを同時に形成する工程において、前記ウェルとは反対の導電型の不純物を前記第2の素子形成領域と前記第3の素子形成領域のそれぞれにおける前記半導体基板にイオン注入し、前記前記第2の不純物拡散領

10

20

30

40

50

域と前記第3の不純物拡散領域とを形成することを特徴とする付記1～5のいずれかに記載の半導体装置の製造方法。

【0137】

(付記7) 前記第1～第3の不純物拡散領域は同じ導電型であることを特徴とする付記1～6のいずれかに記載の半導体装置の製造方法。

【0138】

(付記8) 素子分離絶縁膜により第1～第3の素子形成領域が画定された半導体基板と、

前記第1の素子形成領域における前記半導体基板に形成され、第1の不純物拡散領域を備えた第1のMOSトランジスタと、

前記第2の素子形成領域における前記半導体基板に形成され、前記第1の不純物拡散領域よりも深い第2の不純物拡散領域を備えた第2のMOSトランジスタと、

前記第3の素子形成領域における前記半導体基板に形成され、前記第2の不純物拡散領域と同一の深さ且つ同一の不純物濃度プロファイルの第3の不純物拡散領域を備えたバイポーラトランジスタと、

前記第1～第3の不純物形成領域における前記半導体基板の表層に形成された高融点金属シリサイド層と、

を有することを特徴とする半導体装置。

【0139】

(付記9) 前記第1の不純物拡散領域は、前記第1のMOSトランジスタのソース/ドレイン領域又はLDD領域であり、

前記第2の不純物拡散領域は、前記第2のMOSトランジスタのソース/ドレイン領域又はLDD領域であることを特徴とする付記8に記載の半導体装置。

【0140】

(付記10) 前記第3の不純物拡散領域は、前記バイポーラトランジスタのエミッタ領域であることを特徴とする付記8又は付記9に記載の半導体装置。

【0141】

(付記11) 前記第2のMOSトランジスタのゲート長は、前記第1のMOSトランジスタのゲート長よりも長いことを特徴とする付記8～10のいずれかに記載の半導体装置。

【符号の説明】

【0142】

1、20...シリコン基板、1a、20a...素子分離溝、2...素子分離絶縁膜、3...第2のnウェル、4...pウェル、5...第1のnウェル、6...ゲート電極、8...ゲート絶縁膜、10...p型ソース/ドレイン領域、11...p型エミッタ領域、12...n型ベース領域、13...p型コレクタ領域、15...高融点金属シリサイド層、19...pn接合、21...初期熱酸化膜、22...窒化シリコン膜、23...第1のレジストパターン、23a...窓、24...素子分離絶縁膜、27...犠牲絶縁膜、31、32...第1及び第2のpウェル、33...p型素子分離領域、34...第1のnウェル、41...第3のpウェル、42...第2のnウェル、43...第2のレジストパターン、44...ゲート絶縁膜、45...低電圧用p型LDD領域、46...第1のエミッタ用p型不純物拡散領域、47...低電圧用n型LDD領域、48...反射防止膜、49...導電膜、51...高電圧用n型LDD領域、52...高電圧用p型LDD領域、54...絶縁性サイドウォール、55...高電圧用p型ソース/ドレイン領域、56...第2のエミッタ用p型不純物拡散領域、57...p型エミッタ領域、58...p型コレクタ領域、61...高電圧用n型ソース/ドレイン領域、62...n型ベース領域、65...低電圧用p型ソース/ドレイン領域、66...低電圧用n型ソース/ドレイン領域、70...高融点金属シリサイド層、80...pn接合、TR₁...pnpバイポーラトランジスタ、TR₂...MOSトランジスタ、TR_{BIP}...pnpバイポーラトランジスタ、TR_{HVN}...高電圧n型MOSトランジスタ、TR_{HVP}...高電圧p型MOSトランジスタ、TR_{LVN}...低電圧n型MOSトランジスタ、TR_{LVP}...低電圧p型MOSトランジスタ。

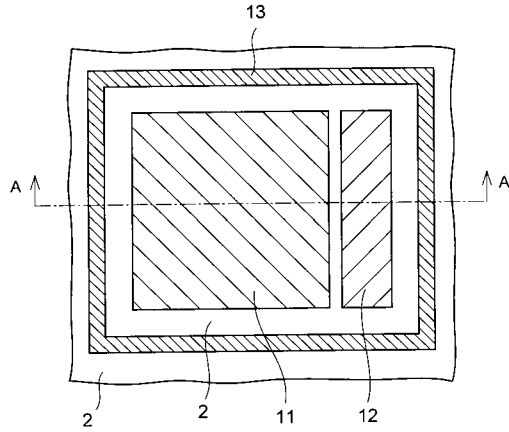
10

20

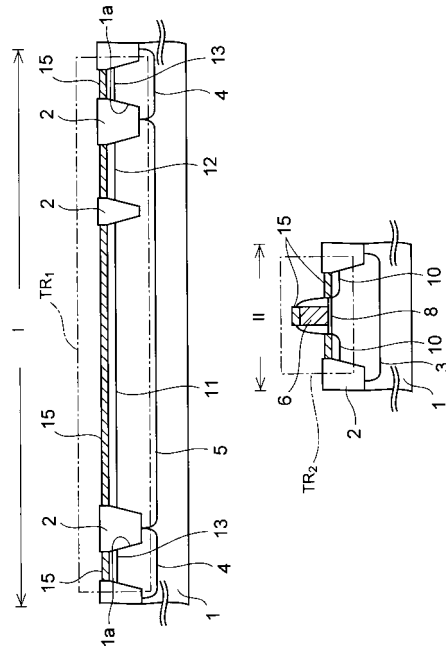
30

40

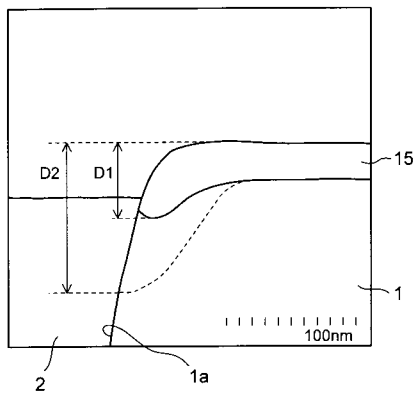
【図1】



【図2】



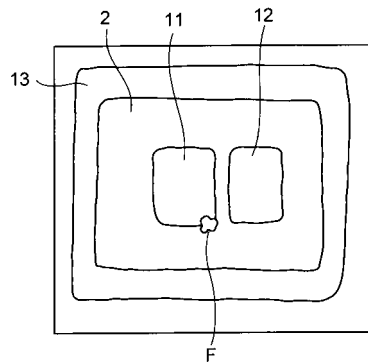
【図3】



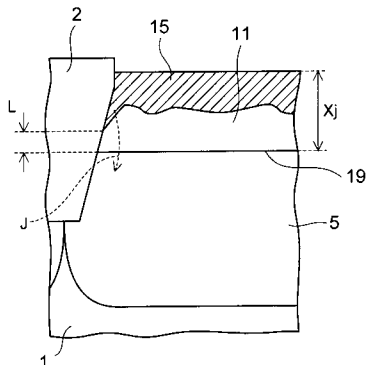
【図5】

ゲート長	Xj
0.25 μm	175nm
0.18 μm	144nm
0.10 μm	144nm
0.13 μm	144nm
0.09 μm	100nm

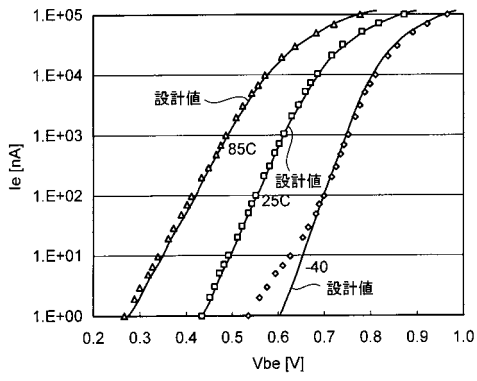
【図6】



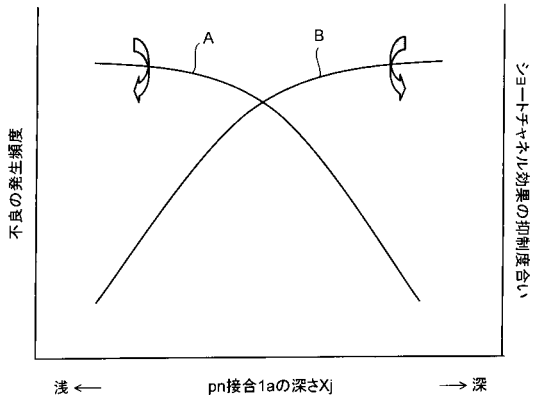
【図4】



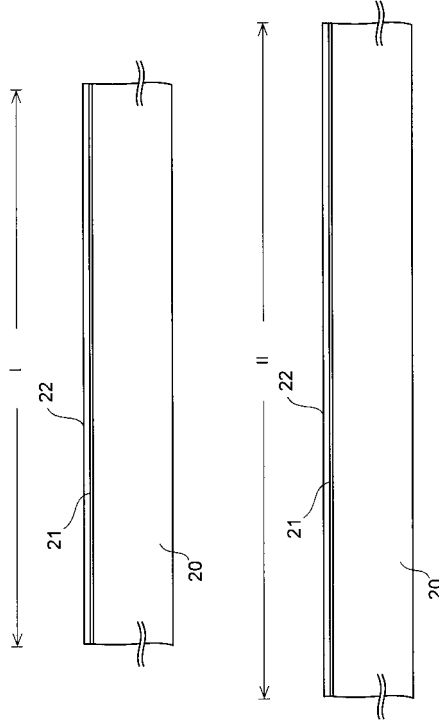
【図7】



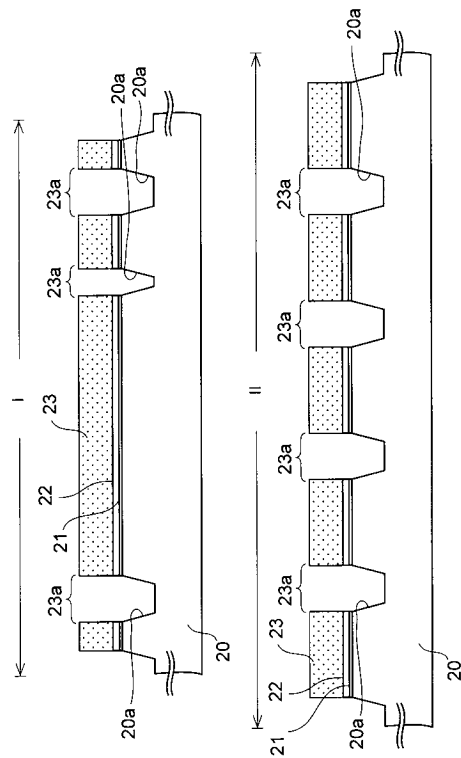
【図8】



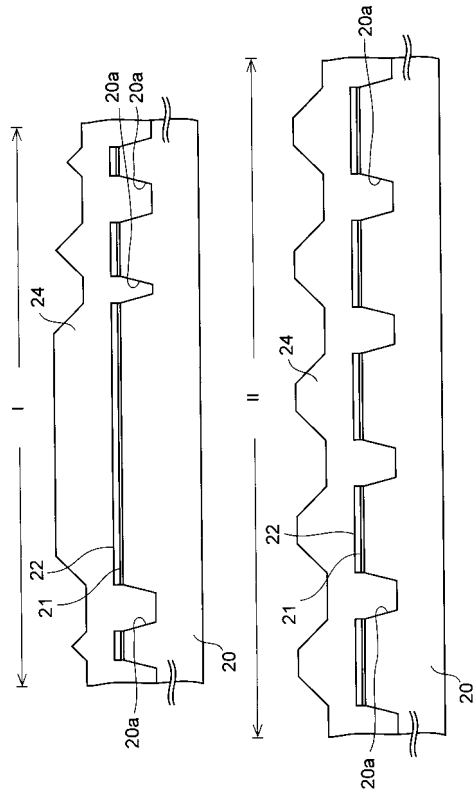
【図9】



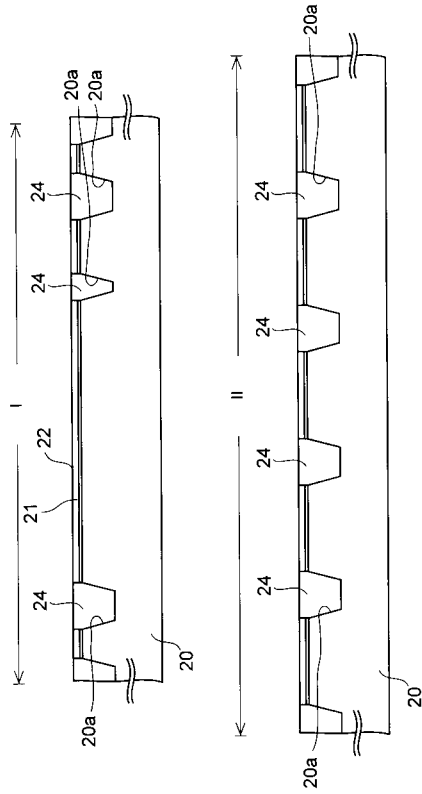
【図10】



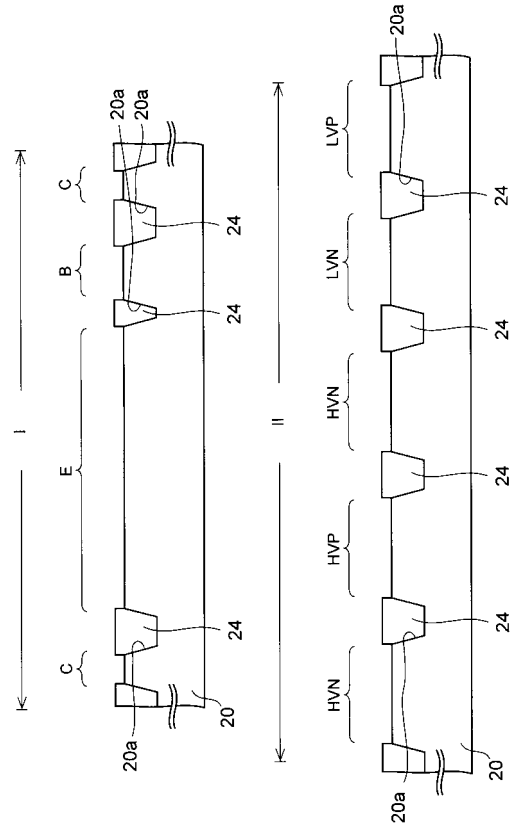
【図11】



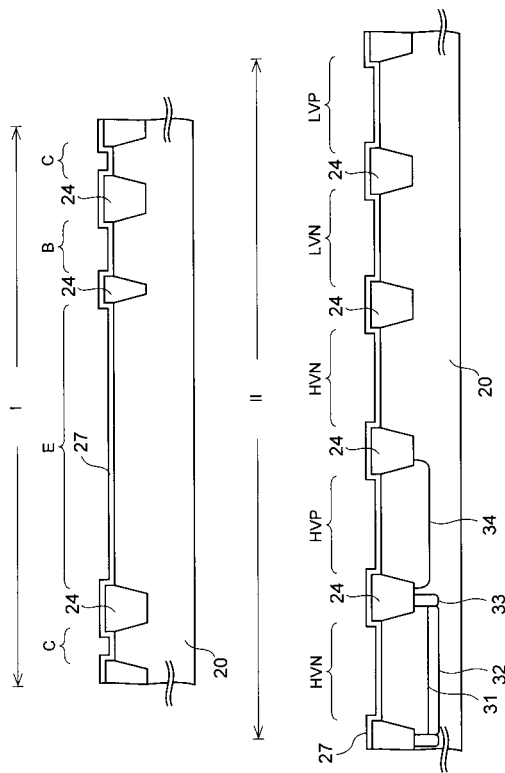
【 図 1 2 】



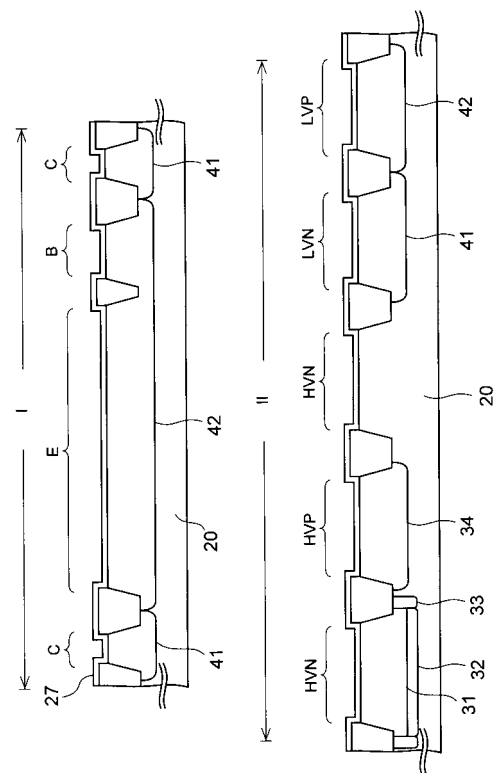
【 図 1 3 】



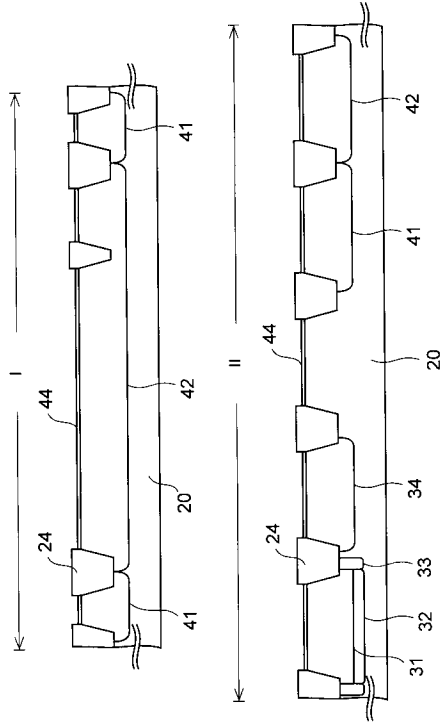
【 図 1 4 】



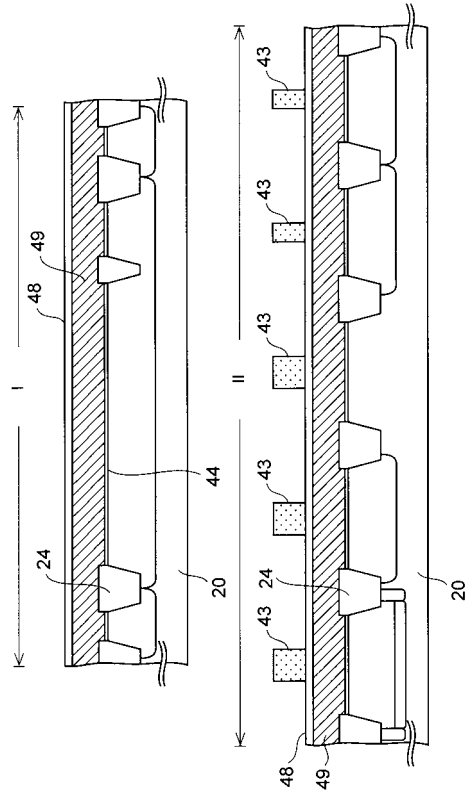
【 図 1 5 】



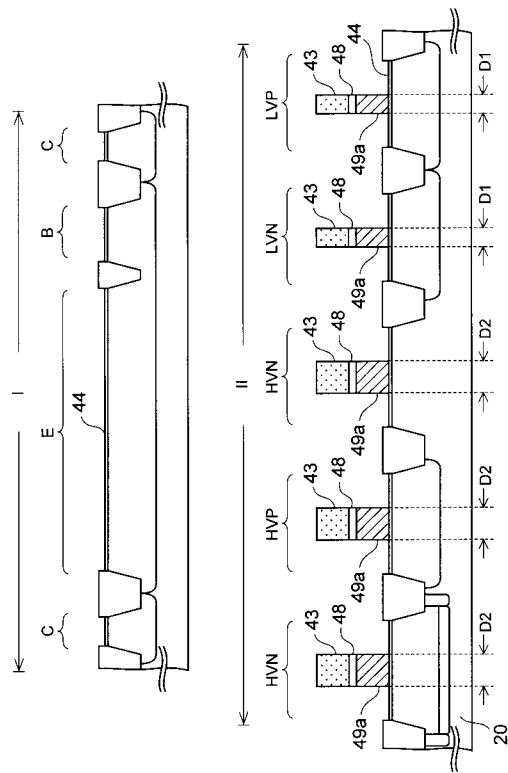
【図16】



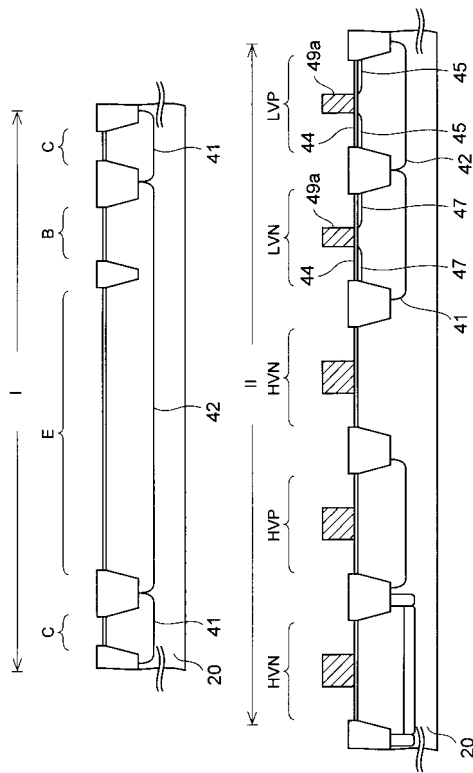
【図17】



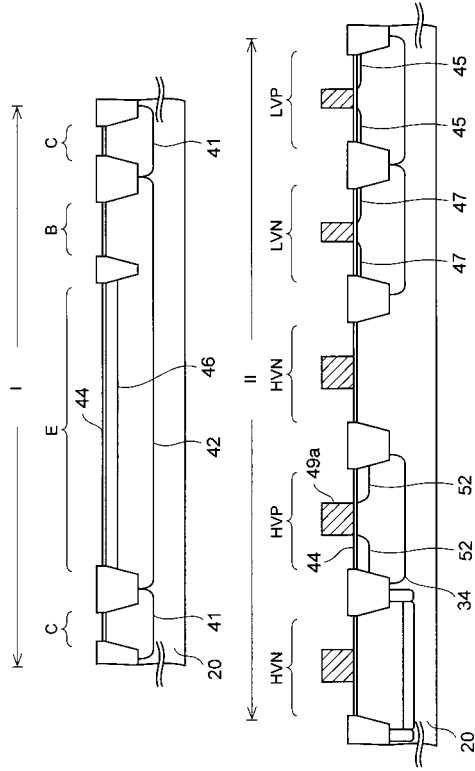
【図18】



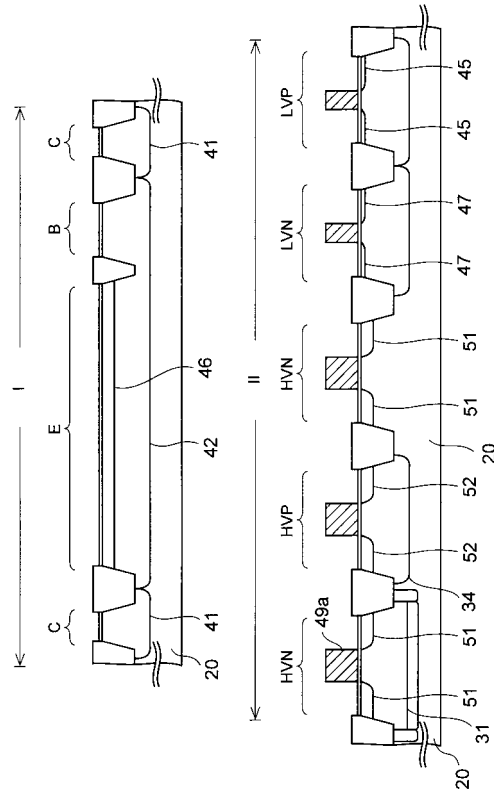
【図19】



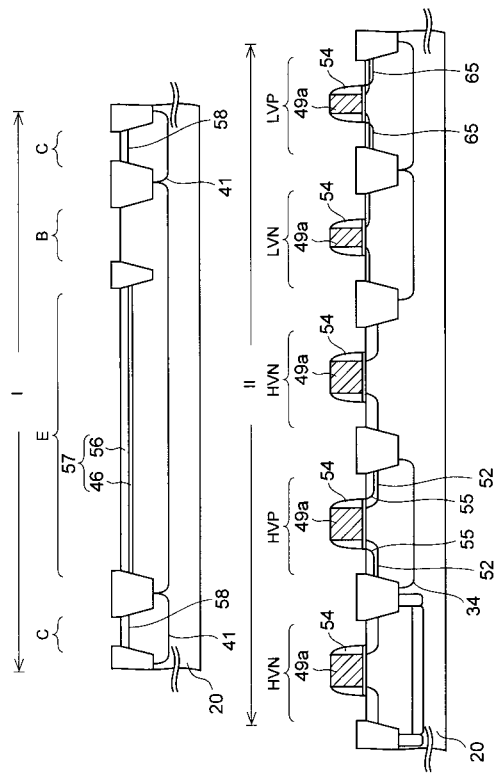
【 20 】



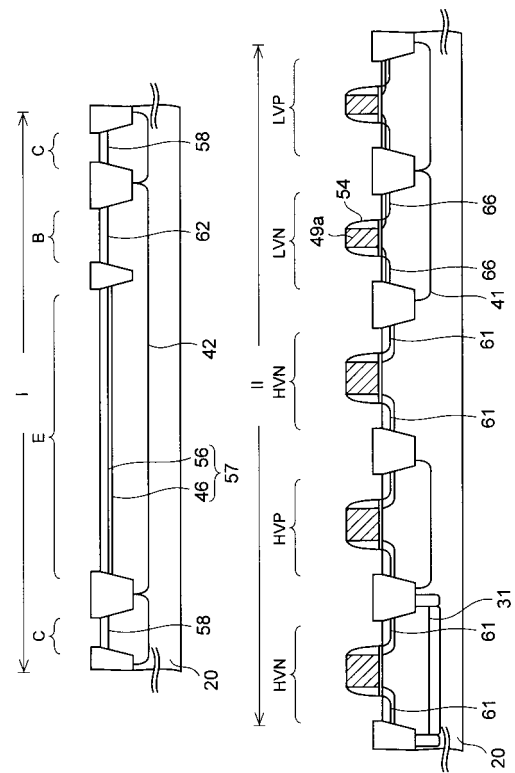
【 21 】



【 22 】



【 23 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/28 (2006.01) H 0 1 L 27/06 3 2 1 A

(56)参考文献 特開2005-236084(JP,A)
特開2008-166570(JP,A)
特開平08-227945(JP,A)
特開2001-338929(JP,A)
特開2008-066420(JP,A)
特開平11-312746(JP,A)
特開平10-032274(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 7 / 0 6
H 0 1 L 2 1 / 8 2 4 9