

(19) BUNDESREPUBLIK DEUTSCHLAND



Patent beschränkt
aufrechterhalten nach
§ 12 Abs. 3 ErstrG

(12) **PATENTSCHRIFT**
(11) **DD 259 935 B5**

(51) Int. Cl.⁵: G 11 C 11/409
G 11 C 7/00
G 11 C 7/06

DEUTSCHES PATENTAMT

Innerhalb von 3 Monaten nach Veröffentlichung der Aufrechterhaltung kann Einspruch eingelegt werden

(21) Aktenzeichen:	(22) Anmeldetag:	(44) Veröff.-tag der DD-Patentschrift:	(45) Veröff.-tag der Aufrechterhaltung:
DD G 11 C / 301 881 4	16. 04. 87	07. 09. 88	14. 10. 93

(30) Unionspriorität:

—

(72) Erfinder: Krauß, Mathias, Dr. sc. techn., 01189 Dresden, DE; Schniek, Horst-Günther, Dipl.-Phys.,
01189 Dresden, DE

(73) Patentinhaber: Mikroelektronik und Technologie Gesellschaft mbH, Grenzstr. 28, PF 34, 01109 Dresden, DE

(54) **Schreib-Lese-Schaltung**

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
EP 0 130 910 A2 EP 0 180 193 A2

Patentansprüche:

1. Schreib-Lese-Schaltung für CMOS-Speicher, die über zwei Datenleitungen und je zwei vom Bitleitungskode gesteuerte Auswahltransistoren mit jeweils einem Bitleitungspaar mit je einem Sensor-Flipflop verbunden ist, die weiterhin über zwei Dateneingangsleitungen mit einem Dateneingangs-Puffer und über zwei Datenausgangsleitungen mit einem Datenausgangs-Treiber verbunden ist, wobei je eine Leseschaltung einer Datenleitung zugeordnet ist, **dadurch gekennzeichnet**, daß die Dateneingangsleitung (DI ; $\overline{DT}$) über ein beim Schreiben geöffnetes Transfergate (17 a; 17 b) mit dem Eingang eines Negators (20 a; 20 b) sowie über einen beim Schreiben geöffneten n-Transistor (24 a; 24 b) über Kreuz mit dem Gate eines niederohmigen n-Transistors (13 b; 13 a) in der Leseschaltung (10 b; 10 a) verbunden ist, daß ein niederohmiger p-Transistor (26 a; 26 b), an dem der Ausgang des Negators (20 a; 20 b) anliegt, die Versorgungsspannung (U_{cc}) mit der Datenleitung (DL ; $\overline{DL}$) verbindet, daß zwischen dem Eingang des Negators (20 a; 20 b) und Masse (M) ein beim Schreiben gesperrter n-Transistor (21 a; 21 b) angeordnet ist, daß in der Leseschaltung (10 a; 10 b) zwischen der Versorgungsspannung (U_{cc}) und einem Knoten (Za; Zb) ein hochohmiger p-Transistor (11 a; 11 b), zwischen dem Knoten (Za; Zb) und der Datenleitung (DL ; $\overline{DL}$) ein von einer getakteten Referenzspannung (U_{ref}) gesteuerter, niederohmiger n-Transistor (12 a; 12 b) sowie zwischen der Datenleitung (DL ; $\overline{DL}$) und Masse (M) der niederohmige n-Transistor (13 a; 13 b) in Reihe angeordnet sind, daß ein beim Schreiben gesperrter n-Transistor (15 a; 15 b) die Datenleitung (DL ; $\overline{DL}$) mit dem Gate des niederohmigen n-Transistors (13 a; 13 b) verbindet und daß ein beim Lesen geöffnetes Transfertransistor (16 a; 16 b) den Knoten (Za; Zb) mit der Datenausgangsleitung (DO ; $\overline{DO}$) verbindet.
2. Schreib-Lese-Schaltung nach Anspruch 1, **dadurch gekennzeichnet**, daß ein hochohmiger p-Transistor (25 a; 25 b), an dem der Ausgang des Negators (20 a; 20 b) anliegt, zwischen der Versorgungsspannung (U_{cc}) und dem Gate des niederohmigen n-Transistors (13 b; 13 a) angeordnet ist.
3. Schreib-Lese-Schaltung nach Anspruch 1, **dadurch gekennzeichnet**, daß das Gate des hochohmigen p-Transistors (11 a; 11 b) mit der inversen Datenleitung ($\overline{DL}$; DL) über Kreuz verbunden ist.
4. Schreib-Lese-Schaltung nach Anspruch 1 und 3, **dadurch gekennzeichnet**, daß zwischen der Versorgungsspannung (U_{cc}) und der Datenleitung (DL ; $\overline{DL}$) ein von der Referenzspannung (U_{ref}) gesteuerter n-Transistor (14 a; 14 b) angeordnet ist.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die erfindungsgemäße Schreib-Lese-Schaltung wird in CMOS-Speicherschaltkreisen verwendet. Sie dient dort zur Zwischenverstärkung des Signales auf der auszulesenden Bitleitung, bevor es an den Datenausgangs-Treiber gegeben wird, und zum Einschreiben der Daten, die vom Dateneingangs-Puffer übernommen wurden.

Charakteristik des bekannten Standes der Technik

Bei der Beurteilung von Schreib-Lese-Schaltungen kann von folgenden Kriterien ausgegangen werden, die wesentlich durch die Schaltungstechnik des Leseverstärkers beeinflusst werden.

1. Geschwindigkeit des Lesevorganges, wobei zu beachten ist, daß eine geringe Verzögerungszeit beim einmaligen Zugriff nicht automatisch mit einer hohen Datenrate in anderen Betriebsarten wie Page-Mode bzw. Static-column-Mode verbunden ist.
2. Der Strom- und Platzbedarf spielt besonders dann eine Rolle, wenn mehrere Schreib-Lese-Schaltungen zum Einsatz kommen, was durch die äußere Organisation (4 bit oder 8 bit), aber auch durch die innere Organisation (Blockstruktur bei VLSI-Speichern) oder zur Effektivierung der Funktionstestung im sogenannten Testmode erforderlich ist.
3. Die Begrenzung des Pegelhubes dient zur Reduzierung der Verlustleistung und für eine hohe Geschwindigkeit, ist aber vor allem zur Verringerung kapazitiver Störungen der Matrix von Bedeutung.

Zum Auslesen von Information von den Bitleitungen wurden verschiedene Typen von Leseverstärkern entwickelt. In EP 130910 ist ein Leseverstärker vom Flipflop-Typ beschrieben, bei dem zwei kreuzgekoppelte CMOS-Inverter nach Voreinstellung durch eine Referenzspannung entsprechend dem Signal auf der Datenleitung kippen. Dabei wird aber die Datenleitung nach dem Kippen auf den vollen Spannungswert (U_{cc} oder U_{ss}) gehoben. Das Kippen des Flipflops ist ungünstig, da hohe Spannungen abgebaut werden müssen, selbst wenn nur gelesen wird.

Eine kleine Verzögerungszeit beim Lesen ist bei Jerartigen Schaltungen nur bei optimaler Vorladung der Datenleitungen möglich. Dadurch sind solche Schaltungen für das schnelle Auslesen der Information der Zellen einer Zeile ohne Wechsel der Spaltenadresse (Static-column-Mode) ungeeignet.

In EP 180 193 ist ein Leseverstärker beschrieben, der aus einem Paar kreuzgekoppelter CMOS-Schmitt-Trigger aufgebaut ist. Nachteilig ist hierbei auch, daß die Ausgangsspannungen eine Hysterese gegenüber den Eingangsspannungen aufweisen, was beim „Static-column-Mode“ zu Geschwindigkeitsverlusten führt. Eine weitere Möglichkeit ergibt sich beim Einsatz von zum Teil mehrstufigen Differenzverstärkern, die durch den Betrieb im linearen Arbeitsbereich eine wesentliche Voraussetzung für eine hohe Geschwindigkeit im „Static-column-Mode“ erfüllen. Jedoch ist dazu ein relativ hoher Querstrom während des gesamten Lesevorganges notwendig. Weiterhin tritt auch hier eine vollständige Umladung der Datenleitungen auf, sofern das nicht durch zusätzliche Schaltungsmaßnahmen (Clamp-Schaltungen) verhindert wird.

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, eine schnelle Schreib-Lese-Schaltung zu entwickeln, die bei möglichst geringem Platzbedarf sowie möglichst kleinem Pegelhub auf den Datenleitungen ein Lesen mit hoher Datenrate im „Static-column-Mode“ gewährleistet und wobei die Schreibschaltung teilweise in die Leseschaltung integriert ist.

Darlegung des Wesens der Erfindung

Die Aufgabe der Erfindung besteht darin, eine Schreib-Lese-Schaltung zu entwickeln, bei der die Leseschaltung im Kleinsignalbetrieb arbeitet. Dadurch besitzt die Ausgangsspannung keine Hysterese gegenüber der Eingangsspannung auf der Datenleitung, wodurch die Schaltung für „Static-column-Mode“ geeignet ist. Die Aufgabe schließt die Integration der Schreibschaltung ein.

Die Schreib-Lese-Schaltung ist über zwei Datenleitungen und je zwei vom Bitleitungsdekode gesteuerte Auswahltransistoren mit jeweils einem Bitleitungspaar mit je einem Sensor-Flipflop verbunden. Weiterhin ist die Schreib-Lese-Schaltung über zwei Dateneingangsleitungen mit einem Dateneingangs-Puffer und über zwei Datenausgangsleitungen mit einem Datenausgangstreiber verbunden. Innerhalb der Schreib-Lese-Schaltung ist jeder Datenleitung eine Leseschaltung zugeordnet. Erfindungsgemäß ist in der Schreib-Lese-Schaltung die wahre Dateneingangsleitung über ein beim Schreiben geöffnetes erstes CMOS-Transfergate mit dem Eingang eines ersten Negators und über einen beim Schreiben geöffneten n-Transistor über Kreuz mit dem Gate eines niederohmigen n-Transistors in der Leseschaltung, die der negierten Datenleitung zugeordnet ist, verbunden. Weiterhin ist analog die negierte Dateneingangsleitung über ein zweites CMOS-Transfergate mit dem Eingang eines zweiten Negators und über einen n-Transistor über Kreuz mit dem Gate eines niederohmigen n-Transistors in der Leseschaltung, die der wahren Datenleitung zugeordnet ist, verbunden. Die beiden niederohmigen n-Transistoren verbinden dabei die Datenleitungen mit Masse.

Der erste Negator steuert einen niederohmigen p-Transistor, der die Versorgungsspannung mit der wahren Datenleitung verbindet, und der zweite Negator steuert einen weiteren niederohmigen p-Transistor, der die Versorgungsspannung mit der negierten Datenleitung verbindet. Schließlich ist zwischen den Eingängen der Negatoren und Masse jeweils ein beim Schreiben gesperrter n-Transistor angeordnet. In Ausgestaltung der Erfindung sind zwei hochohmige p-Transistoren vorgesehen, die von den beiden Negatoren gesteuert werden. Die p-Transistoren verbinden dabei die Versorgungsspannung mit dem Gate des niederohmigen n-Transistors, der der inversen Datenleitung zugeordnet ist. Hierdurch erhält der n-Transistor vollen Pegel beim Ansteuern.

Nach der Erfindung sind in jeder Leseschaltung zwischen der Versorgungsspannung und einem Knoten ein hochohmiger p-Transistor, zwischen dem Knoten und der zugehörigen Datenleitung ein von einer getakteten Referenzspannung gesteuerter niederohmiger n-Transistor und zwischen der Datenleitung und Masse der bereits genannte niederohmige n-Transistor angeordnet, so daß sich eine Reihenschaltung dreier Transistoren ergibt.

Weiterhin verbindet ein n-Transistor, der beim Schreiben gesperrt ist, die jeweilige Datenleitung mit dem Gate des genannten n-Transistors. Schließlich verbindet jeweils ein beim Lesen geöffneter Transfertransistor den jeweiligen Knoten mit der entsprechenden Datenausgangsleitung. Durch die derartige dimensionierte Leseschaltung arbeiten die in Reihe geschalteten Transistoren beim Anlegen von $U_{ref} \approx 3U_T$ im Kleinsignalbetrieb, wodurch geringe Änderungen des Potentials auf der Datenleitung eine veränderte Stromaufteilung und damit eine Ausgangsspannungsänderung bewirken.

In Ausgestaltung der Erfindung sind die Gates der p-Transistoren in den Leseschaltungen mit den inversen Datenleitungen verbunden. Dadurch wird das Ausgangssignal unterstützt.

In Ausgestaltung der Erfindung ist zwischen der Versorgungsspannung und der jeweiligen Datenleitung ein n-Transistor angeordnet, dessen Gate mit der Referenzspannung verbunden ist. Dieser Transistor bewirkt, daß sich die Arbeitspunkte (Potential auf den Datenleitungen und Knoten) nach Beendigung eines Schreibvorganges schneller einstellen als lediglich über den hochohmigen p-Transistor in der Leseschaltung.

Ausführungsbeispiel

Die Erfindung ist in einem Ausführungsbeispiel und anhand dreier Zeichnungen näher erläutert. Dabei zeigen

Fig. 1: das Blockschaltbild mit einer Schreib-Lese-Schaltung

Fig. 2: die erfindungsgemäße Schreib-Lese-Schaltung

Fig. 3: die beim Lesen reduzierte Schreib-Lese-Schaltung beim Lesen einer logischen „1“ auf der wahren Datenleitung

Fig. 4: die beim Schreiben reduzierte Schreib-Lese-Schaltung beim Schreiben einer logischen „1“ auf die wahre Datenleitung.

In Fig. 1 ist das Blockschaltbild zum Lesen/Schreiben dargestellt. Die erfindungsgemäße Schreib-Lese-Schaltung 1 ist über zwei Datenleitungen DL; $\overline{DL}$ mit einem Matrixblock 2 der Speichermatrix eines dRAM's verbunden. Innerhalb des Matrixblockes 2 sind gefaltete Bitleitungen BL 1 ... BLn; $\overline{BL}$ 1 ... $\overline{BL}$ n angeordnet, die mit je einem Sensor-Flipflop 3.1 ... 3.n verbunden sind. Die Bitleitungen BL 1 ... $\overline{BL}$ n sind über vor. n Bitleitungsdekoder gesteuerte Auswahltransistoren 4a 1 ... 4a n; 4b 1 ... 4b n mit den Datenleitungen DL; $\overline{DL}$ verbunden.

Eingangsseitig ist die Schreib-Lese-Schaltung 1 über Dateneingangsleitungen DI; $\overline{DI}$ mit einem Dateneingangs-Puffer 5 und ausgangsseitig über Datenausgangsleitungen DO; $\overline{DO}$ mit einem Datenausgangs-Treiber 6 verbunden.

In Fig. 2 ist die erfindungsgemäße Schreib-Lese-Schaltung 1 dargestellt, welche in bezug auf die Datenleitungen DL; $\overline{DL}$ symmetrisch aufgebaut ist. Der Datenleitung DL ist eine Leseschaltung 10a und entsprechend der Datenleitung $\overline{DL}$ eine Leseschaltung 10b zugeordnet.

In der Leseschaltung 10a; 10b sind zwischen Versorgungsspannung U_{cc} und einem Knoten Za; Zb ein von der inversen Datenleitung $\overline{DL}$; DL gesteuerter, hochohmiger p-Transistor 11a; 11b, zwischen dem Knoten Za; Zb und der Datenleitung DL; $\overline{DL}$ ein von einer getakteten Referenzspannung U_{ref} gesteuerter, niederohmiger n-Transistor 12a; 12b und zwischen der Datenleitung DL; $\overline{DL}$ und Masse M ein weiterer niederohmiger Transistor 13a; 13b in Reihe angeordnet.

Weiterhin ist zwischen der Versorgungsspannung U_{cc} und der Datenleitung DL; $\overline{DL}$ ein weiterer von der Referenzspannung U_{ref} gesteuerter, hochohmiger n-Transistor 14a; 14b angeordnet. Ein vom negierten Schreibtakt $\overline{\Phi_w}$ gesteuerter n-Transistor 15a; 15b ist zwischen der Datenleitung DL; $\overline{DL}$ und dem Gate des n-Transistors 13a; 13b angeordnet.

Aus der A-8-Adresse wird ein Signal Φ_{A8} abgeleitet, das in einem Speicher mit vier Matrixblöcken 2, denen jeweils eine Schreib-Lese-Schaltung 1 zugeordnet ist, zur Blockauswahl verwendet wird.

Zwischen den Knoten Za; Zb und den Datenausgangsleitungen DO; $\overline{DO}$ befinden sich von dem Signal Φ_{A8} gesteuerte Transfertransistoren 16a; 16b.

Die Größe der Referenzspannung U_{ref} beträgt etwa das 3fache einer Schwellspannung U_T .

Die Dateneingangsleitungen DI; $\overline{DI}$ sind über ein Transfergate 17a; 17b, bestehend aus den vom Schreibtakt Φ_w gesteuerten n-Transistoren 18a; 18b und den vom negierten Schreibtakt $\overline{\Phi_w}$ gesteuerten p-Transistoren 19a; 19b mit den Eingängen zweier Negatoren 20a; 20b verbunden. Weiterhin verbinden zwei vom negierten Schreibtakt $\overline{\Phi_w}$ gesteuerte n-Transistoren 21a; 21b die Eingänge der Negatoren 20a; 20b mit Masse M und zwei vom Schreibtakt Φ_w gesteuerte n-Transistoren 24a; 24b die Eingänge mit den Gates der Transistoren 13b; 13a, die den inversen Datenleitungen $\overline{DL}$; DL zugeordnet sind. Die Negatoren 20a; 20b bestehen dabei aus je einem p-Transistor 22a; 22b und je einem n-Transistor 23a; 23b.

Ein vom Negator 20a; 20b gesteuerter p-Transistor 25a; 25b ist zwischen der Versorgungsspannung U_{cc} und dem Gate des n-Transistors 13b; 13a angeordnet.

Ein weiterer vom Negator 20a; 20b gesteuerter p-Transistor 20a; 26b ist zwischen der Versorgungsspannung U_{cc} und der Datenleitung DL; $\overline{DL}$ angeordnet.

Die beim „Lesen“ reduzierte Schreib-Lese-Schaltung 1* ist in Fig. 3 dargestellt.

Beim Betrieb des Speichers außerhalb des Schreibens besitzt der Schreibtakt Φ_w „low“-Potential und der negierte Schreibtakt $\overline{\Phi_w}$ „high“. Damit sind die n-Transistoren 24a; 24b gesperrt, die Transfergates 17a; 17b trennen die Dateneingangsleitungen DI; $\overline{DI}$ ab. Gleichzeitig werden die Eingänge der Negatoren 20a; 20b über die n-Transistoren 21a; 21b auf „low“ gezogen, so daß die p-Transistoren 25a; 25b; 26a; 26b gesperrt sind.

Über die Transistoren 15a; 15b werden die Datenleitungen DL; $\overline{DL}$ mit den Gates der n-Transistoren 13a; 13b verbunden, so daß nur die Leseschaltungen 10a; 10b aktiviert werden können.

Auf den Datenleitungen DL; $\overline{DL}$ stellt sich infolge der an den n-Transistoren 12a; 12b sowie 14a; 14b liegenden Referenzspannung U_{ref} ein Vorladepotential von ca. $U_{ref}/2$ bzw. von ca. $1,5U_T$ ein, wobei dieses Vorladepotential durch einen in beiden Leseschaltungen 10a; 10b fließenden Strom aufrechterhalten wird.

Besitzt nun die zu lesende Speicherzelle die Information einer logischen „1“, so besitzen die Bitleitung BL „high“-Potential und die negierte Bitleitung $\overline{BL}$ „low“, nachdem der Sensor-Flipflop 3 durch das zunächst schwache Lesesignal gekippt wurde. Danach werden die ausgewählten Bitleitungen BL; $\overline{BL}$ über die Auswahltransistoren 4a; 4b an die Datenleitungen DL; $\overline{DL}$ angeschaltet. Da die Bitleitung BL „high“ führt und die negierte Bitleitung $\overline{BL}$ entsprechend „low“, so fließt über den Auswahltransistor 4a ein zusätzlicher Strom in den n-Transistor 13a, wodurch der Strom durch den n-Transistor 12a unter den voreingestellten Strom absinkt. Andererseits fließt aus dem n-Transistor 12b ein zusätzlicher Strom durch den Auswahltransistor 4b nach Masse M ab, so daß durch den n-Transistor 12b der Strom über den voreingestellten Wert ansteigt.

Diese gegenläufige Stromänderung in den n-Transistoren 12a; 12b wird an den hochohmigen p-Lasttransistoren 11a, 11b in eine hohe gegenläufige Spannungsänderung umgesetzt, wobei dieser Vorgang infolge der Steuerung der p-Transistoren 11a; 11b durch die inverse Datenleitung $\overline{DL}$; DL unterstützt wird. Die Datenleitungen DL; $\overline{DL}$ werden bei dem Lesevorgang potentialmäßig nur geringfügig aus ihrem Arbeitspunkt (Vorladewert) ausgelenkt ($\pm 0,5U_T$... $\pm U_T$), was eine wesentliche Voraussetzung für die hohe Datenrate beim Lesen im „Static-column-Mode“ (quasistatischer Betrieb) ist.

Außerdem trägt der geringe Pegelhub auf den Datenleitungen zur Verminderung kapazitiver Störungen in der Speichermatrix bei, was für die Funktionssicherheit hochintegrierter Speicher wichtig ist.

Die Transistoren 14a; 14b haben die Aufgabe, nach dem Lesevorgang bzw. beim Beginn eines Zugriffs die Einstellung des Vorladepotentials auf den Datenleitungen DL; $\overline{DL}$ zu beschleunigen, indem sie eine Begrenzung des Ladestromes durch die hochohmigen p-Transistoren 11a; 11b verhindern. Die beim „Schreiben“ reduzierte Schreib-Lese-Schaltung 1** ist in Fig. 4 dargestellt.

Beim Schreiben besitzen der Schreibtakt Φ_w „high“ und der negierte Schreibtakt $\overline{\Phi_w}$ „low“, weiterhin ist die Referenzspannung U_{ref} abgeschaltet. Dadurch sind die Dateneingangsleitungen DI; $\overline{DI}$ über die geöffneten Transfergates 17a; 17b mit den Eingängen der Negatoren 20a; 20b verbunden. Die n-Transistoren 15a; 15b trennen die Datenleitungen DL; $\overline{DL}$ von den Gates der n-Transistoren 13a; 13b, gleichzeitig werden über die n-Transistoren 24a; 24b die Dateneingangsleitungen DI; $\overline{DI}$ mit den Gates der n-Transistoren 13b; 13a verbunden. Weiterhin sind die von der Referenzspannung U_{ref} gesteuerten n-Transistoren 12a; 12b und 14a; 14b gesperrt, so daß nur die Negatoren 20a; 20b, die p-Transistoren 25a; 25b sowie zwei leistungsfähige Negatoren, die aus den p-Transistoren 26a; 26b und den n-Transistoren 13a; 13b bestehen und deren Ausgänge die Datenleitungen DL; $\overline{DL}$ treiben, aktiviert werden können.

Die Ansteuerung der p-Transistoren 26a; 26b über die Negatoren 20a; 20b sowie die Ansteuerung der n-Transistoren 13a; 13b über die inverse Dateneingangsleitung $\overline{DI}$; DI schaffen die Voraussetzung für ein querstromfreies Schalten der leistungsfähigen Negatoren, was zur Reduzierung von Leistung sowie von Störeinflüssen beiträgt.

Bei „high“ auf der Dateneingangsleitung DI wird somit der Ausgang des Negators 20a „low“, und die p-Transistoren 25a; 26a öffnen. Weiterhin wird der n-Transistor 13b geöffnet. Entsprechend steuert die negierte Dateneingangsleitung $\overline{DI}$ den n-Transistor 13a in den Sperrzustand, und die p-Transistoren 25b; 26b werden über den Negator 20b gesperrt, wodurch sich auf der Datenleitung DL „high“ und auf der Datenleitung $\overline{DL}$ „low“-Pegel einstellen.

Die p-Transistoren 25a; 25b dienen der Generierung des „high“-Pegels an den Gates der n-Transistoren 13a; 13b beim Schreiben, der durch die n-Transistoren 24b; 24a nicht vollständig übertragen wird.

259935

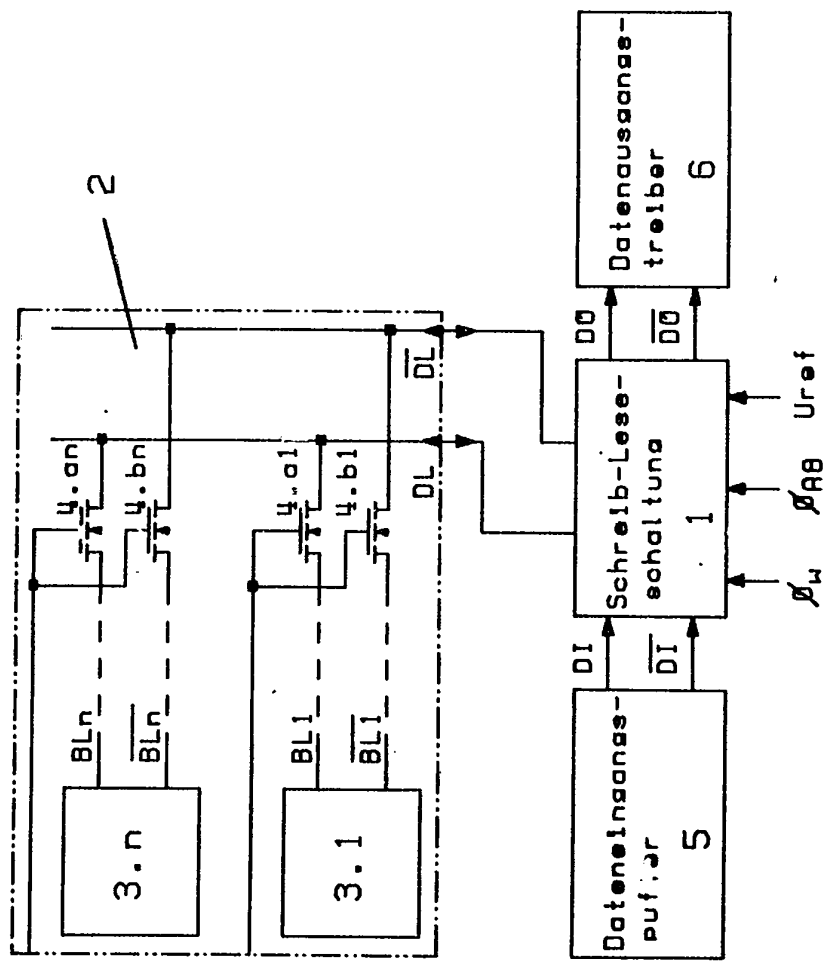


Fig. 1

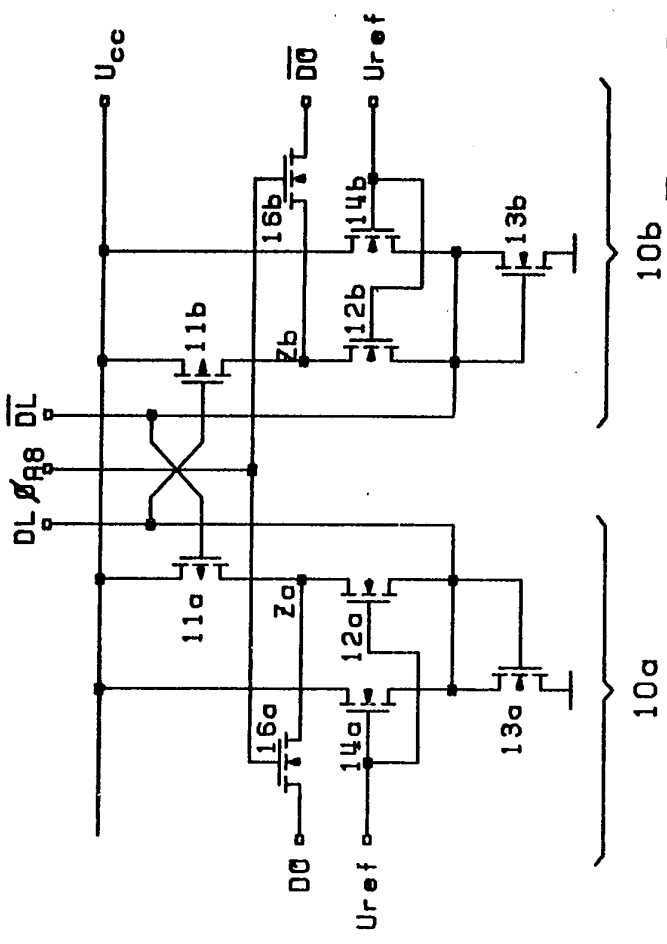


Fig. 3

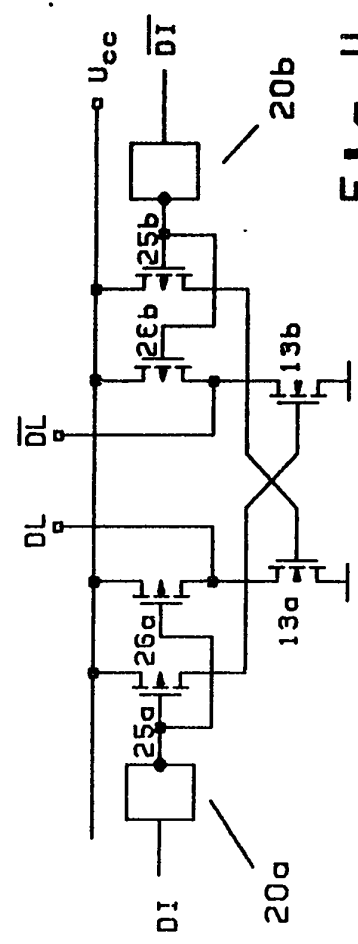


Fig. 4

Fig. 2

