

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5727818号
(P5727818)

(45) 発行日 平成27年6月3日(2015.6.3)

(24) 登録日 平成27年4月10日(2015.4.10)

(51) Int.Cl.	F 1
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 F
HO 1 L 21/265 (2006.01)	HO 1 L 21/265 W
HO 1 L 21/425 (2006.01)	HO 1 L 21/425

請求項の数 2 (全 48 頁)

(21) 出願番号	特願2011-37860 (P2011-37860)
(22) 出願日	平成23年2月24日 (2011.2.24)
(65) 公開番号	特開2011-199273 (P2011-199273A)
(43) 公開日	平成23年10月6日 (2011.10.6)
審査請求日	平成26年2月12日 (2014.2.12)
(31) 優先権主張番号	特願2010-43555 (P2010-43555)
(32) 優先日	平成22年2月26日 (2010.2.26)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	大原 宏樹 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

酸化物半導体層を形成する工程と、
前記酸化物半導体層に酸素を添加する工程と、
前記酸素が添加された酸化物半導体層に 250 以上 700 以下の加熱処理を施す工程と、を含み、
前記酸素を添加する工程は、イオン注入法またはイオンドーピング法を用いて行い、
前記加熱処理を施す工程は、窒素または希ガスの雰囲気下で行った後、酸素または乾燥空気の雰囲気下で行い、
前記加熱処理を施す工程において、前記酸化物半導体層中の水素が低減されることを特徴とする半導体装置の作製方法。

【請求項 2】

酸化物半導体層を形成する工程と、
前記酸化物半導体層に酸素を添加する工程と、
前記酸素が添加された酸化物半導体層に 250 以上 700 以下の加熱処理を施す工程と、
前記加熱処理が施された酸化物半導体層に接するソース電極及びドレイン電極を形成する工程と、を含み、
前記酸素を添加する工程は、イオン注入法またはイオンドーピング法を用いて行い、
前記加熱処理を施す工程は、窒素または希ガスの雰囲気下で行った後、酸素または乾燥

10

20

空気の雰囲気下で行い、

前記加熱処理を施す工程において、前記酸化物半導体層中の水素が低減されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置の作成方法に関する。ここで、半導体装置とは、半導体特性を利用することで機能する素子および装置全般を指すものである。

【背景技術】

【0002】

絶縁表面を有する基板上に形成した半導体層を用いてトランジスタを構成する技術が知られている。例えば、シリコン系半導体材料を含む薄膜を用いてガラス基板上にトランジスタを形成し、液晶表示装置等に応用する技術が知られている。

【0003】

液晶表示装置に用いるトランジスタは、主にアモルファスシリコン、または多結晶シリコンなどの半導体材料を用いて作製される。アモルファスシリコンを用いたトランジスタは、電界効果移動度が低いもののガラス基板の大面積化に対応することができる。一方、多結晶シリコンを用いたトランジスタは、電界効果移動度が高いもののレーザアニールなどの結晶化工程が必要であり、ガラス基板の大面積化には必ずしも適応しないといった特性を有している。

【0004】

絶縁表面を有する基板上に形成してトランジスタを構成することができるその他の材料として、酸化物半導体が注目されている。酸化物半導体の材料としては、酸化亜鉛又は酸化亜鉛を成分とするものが知られている。そして、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満である非晶質酸化物（酸化物半導体）なるもので形成された薄膜トランジスタが開示されている（特許文献1乃至特許文献3）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2006-165527号公報

30

【特許文献2】特開2006-165528号公報

【特許文献3】特開2006-165529号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

半導体特性を利用するトランジスタは経時劣化による閾値電圧のバラツキが小さいこと、また、オフ電流が小さいことなどが望まれる。例えば、経時劣化により閾値電圧のバラツキが大きくなるトランジスタは、それを用いた半導体装置の信頼性を損ねてしまう。また、オフ電流が大きいトランジスタは、それを用いた半導体装置の消費電力を高めてしまう。

40

【0007】

本発明は、信頼性の高い半導体装置を提供することを課題の一とする。また、信頼性の高い半導体装置の作製方法を提供することを課題の一とする。

【0008】

また、消費電力が低い半導体装置を提供することを課題の一とする。また、消費電力が低い半導体装置の作製方法を提供することを課題の一とする。

【0009】

また、量産性の高い半導体装置を提供することを課題の一とする。また、量産性の高い半導体装置の作製方法を提供することを課題の一とする。

【課題を解決するための手段】

50

【0010】

上記課題を解決するために本発明者等は、酸化物半導体を半導体層に用いる半導体装置において、酸化物半導体層に含まれる不純物の濃度、及び酸素欠損量が、閾値電圧の変動、並びにオフ電流の増大に影響を与えることに着目した。なお、不純物としては、例えば水素や、水など、水素原子を含む物質をその例にあげることができる。

【0011】

酸化物半導体に含まれる不純物は、当該酸化物半導体を成膜したあとに行う第1の加熱処理によりおよそ除去できる。しかし、酸化物半導体を構成する金属と強く結合する不純物（例えば水素、及び水酸基）は、その強い結合力によって半導体層に残留してしまう。不純物が残留する酸化物半導体を半導体層に用いると、長期間の使用や光照射により半導体装置の閾値電圧が変動する、またオフ電流が増大する等の不具合が生じてしまう。10

【0012】

また、不純物の排除工程によって、酸化物半導体を構成する主成分材料の一つである酸素も共に減少してしまうという問題がある。損なわれる酸素の量が僅かであっても、酸化物半導体に不純物準位が形成され、閾値電圧が変動する、またオフ電流が増大する等の不具合に至る。

【0013】

従って上記課題を解決するためには、酸素欠損を生じることなく酸化物半導体層に残留する不純物を除去し、酸化物半導体層を極めて高い純度にまで精製して使用すればよい。具体的には、酸化物半導体層に酸素を添加した後に、不純物を除去するための加熱処理をして当該酸化物半導体層を使用すればよい。特に酸素の添加方法としては、高エネルギーの酸素をイオン注入法またはイオンドーピング法などを用いて添加する方法が好ましい。20

【0014】

イオン注入法またはイオンドーピング法などを用いて高エネルギーの酸素を酸化物半導体に添加することで、例えば、酸化物半導体を構成する金属と水素の間の結合、または金属と水酸基の間の結合、または金属に結合する水酸基の酸素と水素の間の結合を切断できる。また、金属から脱離した水素または水酸基は、添加した酸素と反応して水を生成する。次いで酸化物半導体を加熱し、添加した酸素と反応して生成する水を除去すればよい。

【0015】

なお、酸化物半導体に含まれる金属に強固に結合する水素または水酸基を直接取り除く方法に比べ、添加した酸素と反応して生成した水を加熱によって除去する方法は容易である。また、加熱処理の前に酸化物半導体層に酸素を添加し、酸化物半導体層の酸素を過剰な状態とするため、加熱処理に伴い酸化物半導体を構成する主成分材料の一つである酸素が減少するという問題が緩和される。30

【0016】

すなわち、本発明の一態様は、酸化物半導体層を形成し、前記酸化物半導体層に酸素を添加し、前記酸素を添加された酸化物半導体層に250以上700以下の加熱処理を施す半導体装置の作製方法である。

【0017】

また、本発明の一態様は、絶縁表面を有する基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁層を形成し、前記ゲート絶縁層に接して前記ゲート電極に重畠する酸化物半導体層を形成し、前記酸化物半導体層に酸素を添加し、酸素が添加された前記酸化物半導体層を加熱処理し、加熱処理された前記酸化物半導体層に接して、端部がゲート電極に重畠するソース電極、及びドレイン電極を形成し、前記酸化物半導体層のチャネル形成領域に重畠し、前記酸化物半導体層の表面に接して、第1の絶縁層を形成する半導体装置の作製方法である。40

【0018】

また、本発明の一態様は、前記酸化物半導体層のチャネル形成領域に重畠し、前記酸化物半導体層の表面に接する前記第1の絶縁層として酸化珪素層をスパッタリング法で形成する半導体装置の作製方法である。50

【0019】

また、本発明の一態様は、前記酸化物半導体層のチャネル形成領域に重畠し、前記酸化物半導体層の表面に接する前記第1の絶縁層として酸化珪素層と、前記酸化珪素層上に窒化珪素層をスパッタリング法で形成する半導体装置の作製方法である。

【0020】

また、本発明の一態様は、絶縁表面を有する基板上にソース電極、及びドレイン電極を形成し、前記ソース電極、及びドレイン電極の端部を覆う酸化物半導体層を形成し、前記酸化物半導体層に酸素を添加し、酸素が添加された前記酸化物半導体層を加熱処理し、加熱処理された前記酸化物半導体層に接して、前記ソース電極、及びドレイン電極の端部に重畠するゲート絶縁層を形成し、前記ゲート絶縁層に接し、前記ソース電極、及びドレイン電極の端部に重畠するゲート電極を形成する半導体装置の作製方法である。10

【0021】

また、本発明の一態様は、前記酸化物半導体層に接するゲート絶縁層として酸化珪素層をスパッタリング法で形成する半導体装置の作製方法である。

【0022】

また、本発明の一態様は、前記酸化物半導体層に接するゲート絶縁層として酸化珪素層と、前記酸化珪素層上に窒化珪素層をスパッタリング法で形成する半導体装置の作製方法である。

【0023】

また、本発明の一態様は、第1のトランジスタ上に形成された絶縁膜上に、上記の半導体装置の作製方法を用いて第2のトランジスタを作製する半導体装置の作製方法である。20

【0024】

また、本発明の一態様は、イオン注入法またはイオンドーピング法を用いて前記酸素の添加を行う半導体装置の作製方法である。

【発明の効果】**【0025】**

本発明の半導体装置の作製方法によれば、酸化物半導体層に残留する不純物を低減できる。残留する不純物が低減された酸化物半導体層を有する半導体装置は閾値電圧の変動が抑止され信頼性が高い。

【0026】

よって、本発明の一態様は信頼性の高い半導体装置を提供できる。また、信頼性の高い半導体装置の作製方法を提供できる。30

【0027】

本発明の半導体装置の作製方法によれば、酸化物半導体層に残留する不純物を低減できる。残留する不純物が低減された酸化物半導体層を有する半導体装置はオフ電流が低減され、消費電力が低い。

【0028】

よって、本発明の一態様は消費電力が低い半導体装置を提供できる。また、消費電力が低い半導体装置の作製方法を提供できる。

【0029】

本発明の半導体装置の作製方法によれば、酸化物半導体層に残留する不純物を低減できる。残留する不純物が低減された酸化物半導体層を有する半導体装置は半導体特性のバラツキが小さく量産性に優れる。40

【0030】

よって、本発明の一態様は量産性の高い半導体装置を提供できる。また、量産性の高い半導体装置の作製方法を提供できる。

【図面の簡単な説明】**【0031】**

【図1】実施の形態に係る半導体装置の構成を説明する図。

【図2】実施の形態に係る半導体装置の作製方法を説明する図。50

- 【図3】実施の形態に係る半導体装置の構成を説明する図。
- 【図4】実施の形態に係る半導体装置の作製方法を説明する図。
- 【図5】実施の形態に係る半導体装置の構成を説明する図。
- 【図6】実施の形態に係る半導体装置の作製方法を説明する図。
- 【図7】実施の形態に係る半導体装置の作製方法を説明する図。
- 【図8】実施の形態に係る半導体装置の作製方法を説明する図。
- 【図9】実施の形態に係る半導体装置の作製方法を説明する図。
- 【図10】実施例に係る試料の作製方法を説明する図。
- 【図11】実施例に係る試料の二次イオン質量分析結果を説明する図。
- 【図12】実施例に係る試料の二次イオン質量分析結果を説明する図。 10
- 【図13】実施の形態に係る半導体装置の回路図。
- 【図14】実施の形態に係る半導体装置の回路図。
- 【図15】実施の形態に係る半導体装置の回路図。
- 【図16】実施の形態に係る半導体装置を用いた電子機器を説明するための図。
- 【図17】実施例に係る試料の低温フォトルミネッセンス分光測定の結果を説明する図。
- 【発明を実施するための形態】
- 【0032】 実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更しえることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。 20
- 【0033】 (実施の形態1) 本実施の形態では、酸化物半導体層に酸素を添加した後に加熱処理を施し、不純物を除去して酸化物半導体層を高純度化する方法を適用して、ボトムゲート型のトランジスタを作製する方法について図1、及び図2を用いて説明する。
- 【0034】 本実施の形態で作製するボトムゲート型のトランジスタ550の構成を図1に示す。図1(A)にトランジスタ550の上面図を、図1(B)にトランジスタ550の断面図を示す。なお、図1(B)は図1(A)に示す切断線P1-P2における断面に相当する。 30
- 【0035】 トランジスタ550は、絶縁表面を有する基板500上に、ゲート電極511、及びゲート電極511を覆うゲート絶縁層502を有する。また、ゲート絶縁層502上にゲート電極511と重畳する高純度化された酸化物半導体層513c、及び酸化物半導体層513cに接し、端部をゲート電極511と重畳するソース電極またはドレイン電極として機能する第1の電極515a及び第2の電極515bを有する。また、酸化物半導体層513cのチャネル形成領域と接して重なる絶縁層507、及びトランジスタ550を覆う保護絶縁層508を有する。 40
- 【0036】 次に、トランジスタ550を基板500上に作製する方法について、図2(A)乃至(E)を用いて説明する。
- 【0037】 まず、絶縁表面を有する基板500上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極511を含む配線層を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。
- 【0038】 本実施の形態では絶縁表面を有する基板500としてガラス基板を用いる。 50

【 0 0 3 9 】

下地膜となる絶縁膜を基板 500 とゲート電極 511 との間に設けてもよい。下地膜は、基板 500 からの不純物元素（例えば、Li、Na などのアルカリ金属、及び Ca などのアルカリ土類金属など）の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、酸化窒化シリコン膜などから選ばれた一または複数の膜による積層構造により形成することができる。

【 0 0 4 0 】

また、ゲート電極 511 は、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、上記金属材料としてアルミニウム、銅を用いることもできる。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。また、銅を用いる場合は、下地となる層の上に Cu - Mg - Al 合金を設け、その上に銅を形成する構成が好ましい。Cu - Mg - Al 合金を設けることで、酸化膜などの下地と銅の密着性が高まる効果を奏する。

10

【 0 0 4 1 】

次いで、ゲート電極 511 上にゲート絶縁層 502 を形成する。ゲート絶縁層 502 は、プラズマ CVD 法又はスパッタリング法等を用いて形成することができる。またゲート絶縁層 502 は、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、酸化ハフニウム層、酸化タンタル層、または酸化ガリウム層などから選ばれた一または複数の層により単層、または積層して形成することができる。

20

【 0 0 4 2 】

本実施の形態の酸化物半導体としては、不純物を除去され、I 型化又は実質的に I 型化された酸化物半導体（高純度化された酸化物半導体）を用いる。このような高純度化された酸化物半導体は界面準位、界面電荷に対して極めて敏感であるため、酸化物半導体層とゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層は、高品質化が要求される。

30

【 0 0 4 3 】

例えば、μ 波（例えば周波数 2.45 GHz）を用いた高密度プラズマ CVD は、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

【 0 0 4 4 】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、スパッタリング法やプラズマ CVD 法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁層の膜質、酸化物半導体との界面特性が改質される絶縁層であっても良い。いずれにしても、ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

40

【 0 0 4 5 】

なお、ゲート絶縁層 502 は後に形成される酸化物半導体膜と接する。酸化物半導体膜は、水素が含有されると特性に悪影響を及ぼすので、ゲート絶縁層 502 は水素、水酸基および水分が含まれないことが望ましい。ゲート絶縁層 502、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、酸化物半導体膜の成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極 511 が形成された基板 500、又はゲート絶縁層 502 までが形成された基板 500 を予備加熱し、基板 500 に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100 以上 400 以下、好ましくは 150 以上 300 以下である。なお、予備加熱

50

室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁層 507 の成膜前に、第1の電極 515a 及び第2の電極 515b まで形成した基板 500 にも同様に行っててもよい。

【0046】

次いで、ゲート絶縁層 502 上に、膜厚 2 nm 以上 200 nm 以下、好ましくは 5 nm 以上 30 nm 以下の酸化物半導体膜を形成する。酸化物半導体膜は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

【0047】

なお、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 502 の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、アルゴン雰囲気下で基板に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

10

【0048】

酸化物半導体膜に用いる酸化物半導体としては、四元系金属酸化物である In - Sn - Ga - Zn - O 系酸化物半導体や、三元系金属酸化物である In - Ga - Zn - O 系酸化物半導体、In - Sn - Zn - O 系酸化物半導体、In - Al - Zn - O 系酸化物半導体、Sn - Ga - Zn - O 系酸化物半導体、Al - Ga - Zn - O 系酸化物半導体、Sn - Al - Zn - O 系酸化物半導体や、二元系金属酸化物である In - Zn - O 系酸化物半導体、Sn - Zn - O 系酸化物半導体、Al - Zn - O 系酸化物半導体、Zn - Mg - O 系酸化物半導体、Sn - Mg - O 系酸化物半導体、In - Mg - O 系酸化物半導体、In - Ga - O 系酸化物半導体や、In - O 系酸化物半導体、Sn - O 系酸化物半導体、Zn - O 系酸化物半導体などを用いることができる。また、上記酸化物半導体膜に酸化珪素を含ませてもよい。酸化物半導体膜に結晶化を阻害する酸化珪素 (SiO_x (X > 0)) を含ませることで、製造プロセス中において酸化物半導体膜の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。なお、酸化物半導体膜は非晶質な状態であることが好ましく、一部結晶化していくてもよい。ここで、例えば、In - Ga - Zn - O 系酸化物半導体とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物膜、という意味であり、その組成比はとくに問わない。また、酸化物半導体膜には、In と Ga と Zn 以外の元素を含んでもよく、化学式 In_mMO₃ (ZnO)_m (m > 0、且つ m は自然数でない) で表記される薄膜を用いることができる。ここで、M は、Ga、Al、Mn および Co から選ばれた一または複数の金属元素を示す。例えば M として、Ga、Ga と Mn の組合せ、Ga と Co の組合せがある。酸化物半導体は、好ましくは In を含有する酸化物半導体、さらに好ましくは、In、及び Ga を含有する酸化物半導体である。酸化物半導体層を I 型（真性）とするため、脱水化または脱水素化は有効である。本実施の形態では、酸化物半導体膜を、In - Ga - Zn - O 系酸化物ターゲットを用いてスパッタリング法により成膜する。

20

【0049】

酸化物半導体膜をスパッタリング法で作製するためのターゲットとしては、例えば、組成比として、In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1 [mol 数比] の酸化物ターゲットを用い、In - Ga - Zn - O 膜を成膜する。また、このターゲットの材料及び組成に限定されず、例えば、In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 2 [mol 数比]、又は In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 4 [mol 数比] の組成比を有する酸化物ターゲットを用いてもよい。

30

【0050】

また、酸化物半導体膜として In - Zn - O 系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、In : Zn = 50 : 1 ~ 1 : 2 (モル比に換算すると In₂O₃

40

50

: ZnO = 25 : 1 ~ 1 : 4)、好ましくは In : Zn = 1 : 1 ~ 1 : 20 (モル比に換算すると $In_2O_3 : ZnO = 2 : 1 \sim 10 : 1$)、さらに好ましくは In : Zn = 1.5 : 1 ~ 15 : 1 (モル比に換算すると $In_2O_3 : ZnO = 3 : 4 \sim 15 : 2$) とする。例えば、In-Zn-O 系酸化物半導体の形成に用いるターゲットは、原子数比が In : Zn : O = 1 : 1 : X のとき、X > 1、好ましくは X > 1.5 とする。

【0051】

また、酸化物ターゲットの充填率は 90 % 以上 100 % 以下、好ましくは 95 % 以上 99.9 % 以下である。充填率の高い酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜とすることができます。また、ターゲットの純度は 99.99 % 以上が好ましく、特に Na、Li 等のアルカリ金属及び Ca などのアルカリ土類金属などの不純物は低減されているものが好ましい。

【0052】

酸化物半導体膜を成膜する際に用いるスパッタガスは、水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いる。例えば濃度 10 ppm 程度以下、好ましくは 1 ppm 以下まで除去された高純度ガスを用いることが好ましい。具体的には、露点 -60 以下の高純度ガスが好ましい。

【0053】

減圧状態に保持された成膜室内に基板を保持し、基板温度を 100 以上 600 以下好ましくは 200 以上 400 以下とする。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、排気ポンプを用いて成膜室内の残留水分、及び成膜室の外部から侵入する水素や水分 (リークに伴い浸入する水素や水分) を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板 500 上に酸化物半導体膜を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 (H_2O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0054】

スパッタリング法を行う雰囲気は、希ガス (代表的にはアルゴン) 雰囲気、酸素雰囲気、または希ガスと酸素の混合雰囲気とすればよい。

【0055】

成膜条件の一例としては、基板とターゲットとの間の距離を 100 mm、圧力 0.6 Pa、直流 (DC) 電源 0.5 kW、酸素 (酸素流量比率 100 %) 雰囲気下の条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質 (パーティクル、ごみともいう) が軽減でき、膜厚分布も均一となるために好ましい。また、スパッタリング装置の処理室のリークレートを $1 \times 10^{-10} Pa \cdot m^3 / 秒$ 以下とすることで、スパッタリング法による成膜途中における酸化物半導体膜への、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系として吸着型の真空ポンプを用いることで、排気系からアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。なお、酸化物半導体層中に含まれる、Li、Na などのアルカリ金属、及び Ca などのアルカリ土類金属などの不純物は低減されていることが好ましい。具体的には、酸化物半導体層中に含まれるこれらの不純物濃度は、SIMS を用いて Li が $5 \times 10^{15} cm^{-3}$ 以下、好ましくは $1 \times 10^{15} cm^{-3}$ 以下、Na が $5 \times 10^{15} cm^{-3}$ 以下、好ましくは $1 \times 10^{15} cm^{-3}$ 以下、K は $5 \times 10^{15} cm^{-3}$ 以下、好ましくは $1 \times 10^{15} cm^{-3}$ 以下であることが好ましい。アルカリ金属、及びアルカリ土類金属は酸化物半導体にとっては悪性の不純物であり、少ないほうがよい。特にアルカリ金属のうち、Na は酸化物半導体に接する絶縁膜が酸化物であった場合、その中に拡散し、 Na^+ となる。また、酸化物半導体内において、金属と酸素の結

10

20

30

40

50

合を分断し、あるいは結合中に割り込む。その結果、トランジスタ特性の劣化（例えば、ノーマリーオン化（しきい値の負へのシフト）、移動度の低下等）をもたらす。加えて、特性のばらつきの原因ともなる。このような問題は、特に酸化物半導体中の水素の濃度が十分に低い場合において顕著となる。したがって、酸化物半導体中の水素の濃度が $5 \times 10^{19} \text{ cm}^{-3}$ 以下、特に $5 \times 10^{18} \text{ cm}^{-3}$ 以下である場合には、アルカリ金属の濃度を上記の値にすることが強く求められる。

【0056】

次いで、酸化物半導体膜を第2のフォトリソグラフィ工程により島状の酸化物半導体層 513a に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。10

【0057】

また、ゲート絶縁層 502 にコンタクトホールを形成する場合、その工程は酸化物半導体膜の加工時に同時にを行うことができる。

【0058】

なお、ここでの酸化物半導体膜のエッティングは、ドライエッティングでもウェットエッティングでもよく、両方を用いてもよい。例えば、酸化物半導体膜のウェットエッティングに用いるエッティング液としては、磷酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO 07N（関東化学社製）を用いてもよい。また、ドライエッティングに用いるエッティングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（Cl₂）、三塩化硼素（BCl₃）、四塩化珪素（SiCl₄）、四塩化炭素（CCl₄）など）が好ましい。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（CF₄）、六弗化硫黄（SF₆）、三弗化窒素（NF₃）、トリフルオロメタン（CHF₃）など）、臭化水素（HBr）、酸素（O₂）、これらのガスにヘリウム（He）やアルゴン（Ar）などの希ガスを添加したガス、などを用いることができる。ドライエッティング法としては、平行平板型 RIE (Reactive Ion Etching) 法や、ICP (Inductive Coupled Plasma : 誘導結合型プラズマ) エッティング法を用いることができる。所望の加工形状にエッティングできるように、エッティング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。なお、この段階の断面図を図 2 (A) に示す。20

【0059】

次に酸化物半導体層 513a に酸素を添加する。酸素の添加方法としては、高エネルギーの酸素をイオン注入法またはイオンドーピング法などを用いて添加すればよい。

【0060】

イオン注入法は、ソースガスをプラズマ化し、このプラズマに含まれるイオン種を引き出し、質量分離して、所定の質量を有するイオン種を加速して、イオンビームとして、被処理物に注入する方法である。また、イオンドーピング法は、ソースガスをプラズマ化し、所定の電界の作用によりプラズマからイオン種を引き出し、引き出したイオン種を質量分離せずに加速して、イオンビームとして被処理物に注入する方法である。質量分離を伴うイオン注入法を用いて酸素の添加を行うことで、金属元素等の不純物が酸素と共に酸化物半導体膜に添加されてしまうのを防ぐことができる。また、イオンドーピング法はイオン注入法に比べてイオンビームの照射される面積を大きくすることができるので、イオンドーピング法を用いて酸素の添加を行うことで、タクトタイムを短縮することができる。40

【0061】

酸素ガスを用いて、イオン注入法で酸素の添加を行う場合、加速電圧を 5 keV 以上 100 keV 以下、酸素イオンの注入量を $1 \times 10^{14} \text{ [ions/cm}^2]$ 以上 $5 \times 10^{17} \text{ [ions/cm}^2]$ 以下とすれば良い。

【0062】

イオン注入法またはイオンドーピング法などを用いて高エネルギーの酸素を酸化物半導体に添加することで、例えば酸化物半導体を構成する金属と水素の間の結合、または金属と50

水酸基の間の結合、または金属に結合する水酸基の酸素と水素の間の結合を切断できる。なお、酸化物半導体層 513a は、金属から脱離した不純物を含む酸化物半導体層 513b になる。なお、この段階の断面図を図 2 (B) に示す。

【0063】

次いで、金属から脱離した不純物を含む酸化物半導体層 513b に第 1 の加熱処理を施す。この第 1 の加熱処理によって、金属から脱離した不純物を酸化物半導体層から除去できる。例えば、添加した酸素と金属から脱離した水素や水酸基が反応して生成する水を除去できる。金属に強固に結合する水素または水酸基を直接取り除く方法に比べ、生成する水を加熱によって除去する方法は容易である。

【0064】

第 1 の加熱処理の温度は、250 以上 700 以下、好ましくは 450 以上 650 以下、または 450 以上 基板の歪み点未満とする。例えば、500、3 分間以上 6 分間以下で行ってもよい。加熱処理に RTA (Rapid Thermal Anneal) 法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪み点を超える温度でも処理することができる。第 4 世代のガラス基板程度の大きさを有する基板については、250 以上 750 以下の範囲で加熱処理を行うことができるが、第 6 世代から第 10 世代の程度の大きさを有する基板については、250 以上 450 以下の範囲の加熱処理温度が好ましい。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 600 において 1 時間の加熱処理を行った後、大気に触れることなく 200 以下まで徐冷し、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層 513c を得る(図 2 (C) 参照)。200 以下まで冷却することにより、高温の酸化物半導体層が大気中の水や水分と接する状況を避けることができる。高温の酸化物半導体層が大気中の水や水分と接すると、酸化物半導体は水素原子を含む不純物に汚染される場合がある。

【0065】

なお、加熱処理装置は電気炉に限らず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

【0066】

例えば、第 1 の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出す GRTA を行ってもよい。

【0067】

なお、第 1 の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上好ましくは 7N (99.99999%) 以上(即ち不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下) とすることが好ましい。

【0068】

また、第 1 の加熱処理で酸化物半導体層を加熱した後、同じ炉に高純度の酸素ガス、高純度の N₂O ガス、又は超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が 20 ppm(露点換算で -55) 以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気)を導入してもよい。酸素ガ

10

20

30

40

50

スまたはN₂Oガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたはN₂Oガスの純度を、6N以上好ましくは7N以上（即ち、酸素ガスまたはN₂Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。酸素ガス又はN₂Oガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層を高純度化及び電気的にI型（真性）化することができる。

【0069】

また、酸素を添加した後であれば酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。10

【0070】

なお、第1の加熱処理は、上記以外にも、酸化物半導体層成膜後であれば、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、あるいは、ソース電極及びドレイン電極上に絶縁層を形成した後、のいずれで行っても良い。

【0071】

また、ゲート絶縁層502にコンタクトホールを形成する場合、その工程は酸化物半導体膜に第1の加熱処理を行う前に行っても良いし、第1の加熱処理を行った後に行ってもよい。以上の工程により、島状の酸化物半導体層中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体層の安定化を図ることができる。また、ガラス基板の歪み点以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いてトランジスタを作製することができ、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、耐圧性が高く、オフ電流の著しく低いトランジスタを作製することができる。上記加熱処理は、酸化物半導体層の成膜以降であれば、いつでも行うことができる。なお、酸化物半導体膜を加熱する場合、酸化物半導体膜の材料や加熱条件にもよるが、その表面に板状結晶が形成されることがある。板状結晶は、酸化物半導体膜の表面に対して略垂直にc軸配向した板状結晶体であることが好ましい。20

【0072】

また、酸化物半導体膜を2回に分けて成膜し、2回に分けて加熱処理を行うことで、はじめに成膜した酸化物半導体膜が接する下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域、即ち、膜表面に垂直にc軸配向した結晶領域を有する酸化物半導体膜を形成してもよい。例えば、3nm以上15nm以下の第1の酸化物半導体膜を成膜し、第1の酸素添加を行い、窒素、酸素、希ガス、または乾燥空気の雰囲気下で450以上850以下、好ましくは550以上750以下の結晶化のための第1の加熱処理を行い、表面を含む領域に結晶領域（板状結晶を含む）を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成し、第2の酸素添加を行い、450以上850以下、好ましくは600以上700以下の結晶化のための第2の加熱処理を行い、第1の酸化物半導体膜を結晶成長の種として、上方に結晶成長させ、第2の酸化物半導体膜の全体を結晶化させ、結果として膜厚の厚い結晶領域を有する酸化物半導体層を形成してもよい。また、酸化物半導体膜を成膜する際に、酸化物半導体がc軸に配向する温度に基板を加熱しながら成膜を行うことにより、膜表面に垂直にc軸配向した結晶領域を有する酸化物半導体膜を形成してもよい。このような成膜方法を用いることにより、プロセスを短縮することができる。基板を加熱する温度は、成膜装置によって他の成膜条件が異なるためこれに合わせて適宜設定すればよいが、例えば、スパッタリング装置で成膜する際の基板温度を250以上として成膜すればよい。3040

【0073】

次いで、ゲート絶縁層502、及び酸化物半導体層513c上に、第1の電極及び第2の電極（これと同じ層で形成される配線を含む）となる導電膜を形成する。第1の電極、及50

び第2の電極に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、または上述した元素を成分とする合金、または金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜）等を用いることができる。また、Al、Cuなどの金属膜は、耐熱性や腐食性の問題を回避するために、下側又は上側の一方または双方にTi、Mo、W、Cr、Ta、Nd、Sc、Yなどの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜）を積層させた構成としても良い。また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を成膜する3層構造などが挙げられる。また、導電膜は、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金または前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。なお、導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0074】

第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極またはドレン電極として機能する第1の電極515a、及び第2の電極515bを形成した後、レジストマスクを除去する（図2（D）参照。）。

【0075】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるとよい。酸化物半導体層513c上で隣り合う第1の電極の下端部と第2の電極の下端部との間隔幅によって後に形成されるトランジスタのチャネル長Lが決定される。なお、チャネル長L=25nm未満の露光を行う場合には、数nm～数10nmと極めて波長が短い超紫外線（Extreme ultraviolet）を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化できる。

【0076】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0077】

なお、導電膜のエッチングの際に、酸化物半導体層513cがエッチングされ、分断することのないようエッチング条件を最適化することが望まれる。しかしながら、導電膜のみをエッチングし、酸化物半導体層513cを全くエッチングしないという条件を得ることは難しく、導電膜のエッチングの際に酸化物半導体層513cは一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層513cとなることもある。

【0078】

本実施の形態では、導電膜としてTi膜を用い、酸化物半導体層513cにはIn-Ga-Zn-O系酸化物半導体を用いる。このような組み合わせにおいては、エッチャントとしてアンモニア過水（アンモニア、水、過酸化水素水の混合液）が好適である。エッチャントとしてアンモニア過水を用いることにより選択的に導電膜をエッチングすることができる。

10

20

30

40

50

【0079】

次いで、N₂O、N₂、またはArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。プラズマ処理を行った後、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる絶縁層507を形成する。

【0080】

絶縁層507は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。また絶縁層507は、少なくとも1nm以上の膜厚とし、スパッタ法など、絶縁層507に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。絶縁層507に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャネルが低抵抗化(N型化)してしまい、寄生チャネルが形成されるおそれがある。よって、絶縁層507はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。たとえば、スパッタ法で形成された膜厚200nmの酸化ガリウム膜上に、スパッタ法で形成された膜厚100nmの酸化アルミニウム膜を積層させた構造を有する、絶縁膜を形成してもよい。成膜時の基板温度は、室温以上300以下とすればよい。また、絶縁膜は酸素を多く含有していることが好ましく、化学量論比を超える程度、好ましくは、化学量論比の1倍を超えて2倍まで(1倍より大きく2倍未満)酸素を含有していることが好ましい。このように絶縁膜が過剰な酸素を有することにより、島状の酸化物半導体膜の界面に酸素を供給し、酸素の欠損を低減することができる。

【0081】

本実施の形態では、絶縁層507として膜厚200nmの酸化シリコン膜を、スパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化シリコン膜のスパッタ法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタ法により酸化シリコン膜を形成することができる。酸化物半導体層に接して形成する絶縁層507は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをプロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

【0082】

酸化物半導体膜の成膜時と同様に、絶縁層507の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ(クライオポンプなど)を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層507に含まれる不純物の濃度を低減できる。また、絶縁層507の成膜室内の残留水分を除去するための排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。

【0083】

絶縁層507を成膜する際に用いるスパッタガスは、水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0084】

なお、絶縁層507を形成した後に、第2の加熱処理(酸化物半導体層を2回に分けて成膜し、2回に分けて加熱処理を行う場合は、第3の加熱処理)を行ってもよい。当該加熱処理は窒素、超乾燥空気、または希ガス(アルゴン、ヘリウムなど)の雰囲気下において、好ましくは200以上400以下、例えば250以上350以下で行う。上記ガスは、水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下であることが望ましい。第1の加熱処理と同様に、高温短時間のRTA処理を行っても良い。酸素を含む絶縁層507が設けられた後に加熱処理が施されることによって、第

10

20

30

40

50

1 の加熱処理により、島状の酸化物半導体層に酸素欠損が発生していたとしても、絶縁層 507 から島状の酸化物半導体層に酸素が供与される。そして、島状の酸化物半導体層に酸素が供与されることで、島状の酸化物半導体層において、ドナーとなる酸素欠損を低減し、化学量論比を満たすことが可能である。その結果、島状の酸化物半導体層を I 型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。この第 2 の加熱処理を行うタイミングは、絶縁層 507 の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透光性を有する導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、島状の酸化物半導体層を I 型に近づけることができる。また、酸素雰囲気下で島状の酸化物半導体層に加熱処理を施すことで、酸化物半導体に酸素を添加し、島状の酸化物半導体層中においてドナーとなる酸素欠損を低減させても良い。加熱処理の温度は、例えば 100 以上 350 未満、好ましくは 150 以上 250 未満で行う。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスの純度を、6N(99.9999%) 以上、好ましくは 7N(99.9999%) 以上、(即ち酸素中の不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下) とすることが好ましい。本実施の形態では、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の加熱処理(200 以上 400 以下、例えば 250 以上 350 以下) を行う。例えば、窒素雰囲気下で 250 、 1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、酸化物半導体層の一部(チャネル形成領域) が絶縁層 507 と接した状態で加熱される。第 2 の加熱処理は以下の効果を奏する。前述の第 1 の加熱処理により、酸化物半導体層から水素、水分、水酸基又は水素化物(水素化合物ともいう) 等の不純物が意図的に排除される一方で、酸化物半導体を構成する主成分材料の一つである酸素が減少してしまう場合がある。第 2 の加熱処理は、第 1 の加熱処理が施された酸化物半導体層に酸素を供給するため、酸化物半導体層は高純度化及び電気的に I 型(真性) 化する。
10
20

【 0085 】

以上のように、酸化物半導体膜に酸素を添加し、酸素を添加した後に第 1 の加熱処理を施す工程を経ることによって、水素、水分、水酸基又は水素化物(水素化合物ともいう)などの不純物を酸化物半導体層より意図的に排除することができる。また、加熱処理の前に酸化物半導体層に酸素を添加し、酸化物半導体層の酸素を過剰な状態とするため、加熱処理に伴い酸化物半導体を構成する主成分材料の一つである酸素が減少するという問題が緩和される。よって、酸化物半導体層は高純度化及び電気的に I 型(真性) 化または実質的に I 型化する。以上の工程でトランジスタ 550 が形成される
30

【 0086 】

また、絶縁層 507 に欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化物半導体層中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化物シリコン層に拡散させ、酸化物半導体層中に含まれる該不純物をより低減させる効果を奏する。また、絶縁層 507 に酸素を過剰に含む酸化シリコン層を用いると、絶縁層 507 形成後の加熱処理によって絶縁層 507 中の酸素が酸化物半導体層 513c に移動し、酸化物半導体層 513c の酸素濃度を向上させ、高純度化する効果を奏する。
40

【 0087 】

絶縁層 507 上にさらに保護絶縁層 508 を形成してもよい。保護絶縁層 508 は、例えば、RF スパッタ法を用いて窒化シリコン膜を形成する。RF スパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜などを用いる。本実施の形態では、窒化シリコン膜を用いて保護絶縁層 508 を形成する(図 2(E) 参照。)。

【 0088 】

本実施の形態では、保護絶縁層 508 として、絶縁層 507 まで形成された基板 500 を
50

100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスペッタガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、絶縁層 507 と同様に、処理室内の残留水分を除去しつつ保護絶縁層 508 を成膜することが好ましい。

【0089】

保護絶縁層の形成後、さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下の加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。

【0090】

10 このように、本実施の形態を用いて作製した、高純度化された酸化物半導体層を含むトランジスタは、閾値電圧のバラツキが小さい。従って、本実施の形態で例示した半導体装置の作製方法を適用することで、信頼性の高い半導体装置を提供できる。また、量産性の高い半導体装置を提供できる。

【0091】

また、オフ電流が低減できるため、消費電力が低い半導体装置を提供できる。

【0092】

また、高純度化された酸化物半導体層を含むトランジスタは高い電界効果移動度が得られるため、高速駆動が可能である。よって、液晶表示装置の画素部に高純度化された酸化物半導体層を含むトランジスタを用いることで、高画質な画像を提供することができる。また、高純度化された酸化物半導体層を含むトランジスタによって、同一基板上に駆動回路部または画素部を作り分けて作製することができるため、液晶表示装置の部品点数を削減することができる。

20

【0093】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0094】

(実施の形態 2)

本実施の形態では、酸化物半導体層に酸素を添加した後に加熱処理を施し、不純物を除去して酸化物半導体層を高純度化する方法を適用して、トップゲート型のトランジスタを作製する方法について図 3、及び図 4 を用いて説明する。

30

【0095】

本実施の形態で作製するトップゲート型のトランジスタ 650 の構成を図 3 に示す。図 3 (A) にトランジスタ 650 の上面図を、図 3 (B) にトランジスタ 650 の断面図を示す。なお、図 3 (B) は図 3 (A) に示す切断線 Q1 - Q2 における断面に相当する。

【0096】

トランジスタ 650 は、絶縁表面を有する基板 600 上に、ソース電極またはドレイン電極として機能する第 1 の電極 615a 及び第 2 の電極 615b を有する。また、第 1 の電極 615a 及び第 2 の電極 615b の端部を覆う高純度化された酸化物半導体層 613c、及び酸化物半導体層 613c を覆うゲート絶縁層 602 を有する。また、ゲート絶縁層 602 に接して第 1 の電極 615a 及び第 2 の電極 615b の端部と重畠するゲート電極 611 と、ゲート電極 611 に接してトランジスタ 650 を覆う保護絶縁層 608 を有する。

40

【0097】

次に、トランジスタ 650 を基板 600 上に作製する方法について、図 4 (A) 乃至 (E) を用いて説明する。

【0098】

まず、絶縁表面を有する基板 600 上に、第 1 の電極及び第 2 の電極（これと同じ層で形成される配線を含む）となる導電膜を形成する。第 1 の電極、及び第 2 の電極に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素

50

を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜）等を用いることができる。また、Al、Cuなどの金属膜の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜）を積層させた構成としても良い。特に、酸化物半導体層と接する側にチタンを含む導電膜が好ましい。

【0099】

第1のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極またはドレイン電極として機能する第1の電極615a、及び第2の電極615bを形成し、レジストマスクを除去する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。10

【0100】

本実施の形態では絶縁表面を有する基板600としてガラス基板を用いる。

【0101】

下地膜となる絶縁膜を第1の電極615a、及び第2の電極615bと基板600の間に設けてもよい。下地膜は、基板600からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、酸化窒化シリコン膜などから選ばれた一または複数の膜による積層構造により形成することができる。

【0102】

次いで、ソース電極またはドレイン電極として機能する第1の電極615a、及び第2の電極615b上に、膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下の酸化物半導体膜を形成する。20

【0103】

なお、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、第1の電極615a、第2の電極615bの表面、および基板600の露出した絶縁表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。

【0104】

本実施の形態で例示する酸化物半導体膜は、実施の形態1で示した酸化物半導体膜と同様の材料、方法、及び条件を用いて形成することができる。具体的には、酸化物半導体膜に用いる酸化物半導体、成膜方法、ターゲット組成、ターゲット充填率、スパッタガスの純度、成膜時の基板温度、スパッタリング装置の排気手段、並びにスパッタガスの組成等を実施の形態1と同様にすればよい。よって、詳細については、実施の形態1の記載を参照することができる。30

【0105】

次いで、酸化物半導体膜を第2のフォトリソグラフィ工程により島状の酸化物半導体層613aに加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0106】

なお、ここでの酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜のウェットエッチングに用いるエッチング液としては、磷酸と酢酸と硝酸を混ぜた溶液、などを用いることができる。また、ITOON（関東化学社製）を用いてもよい。なお、この段階の断面図を図4(A)に示す。40

【0107】

次に酸化物半導体層に酸素を添加する。酸素の添加方法としては、高エネルギーの酸素をイオン注入法またはイオンドーピング法などを用いて添加すればよい。イオン注入法またはイオンドーピング法などを用いて高エネルギーの酸素を酸化物半導体に添加することで、例えば酸化物半導体を構成する金属と水素の間の結合、または金属と水酸基の間の結合50

、または金属に結合する水酸基の酸素と水素の間の結合を切断できる。なお、酸化物半導体層 613a は、金属から脱離した不純物を含む酸化物半導体層 613b になる。なお、この段階の断面図を図 4 (B) に示す。

【0108】

次いで、金属から脱離した不純物を含む酸化物半導体層 613b に第 1 の加熱処理を施す。この第 1 の加熱処理によって、金属から脱離した不純物を酸化物半導体層から除去できる。例えば、添加した酸素と金属から脱離した水素や水酸基が反応して生成した水を除去できる。金属に強固に結合する水素または水酸基を直接取り除く方法に比べ、生成した水を加熱によって除去する方法は容易である。

【0109】

第 1 の加熱処理の温度は、250 以上 700 以下、好ましくは 450 以上 650 以下、または 450 以上 基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 600 において 1 時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層 613c を得る(図 4 (C) 参照。)。

【0110】

なお、加熱処理装置は電気炉に限られず、実施の形態 1 で示した加熱手段、加熱方法、及び加熱条件を用いることができる。具体的には、加熱処理装置、加熱温度、並びに加熱に用いるガスの種類及び純度等を実施の形態 1 と同様にすればよい。よって、詳細については、実施の形態 1 の記載を参照することができる。

【0111】

また、酸素を添加した後であれば第 1 の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うことでもできる。その場合には、第 1 の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0112】

なお、第 1 の加熱処理は、上記以外にも、酸化物半導体層成膜後であれば、酸化物半導体層上にゲート絶縁層を積層させた後、あるいは、ゲート絶縁層にゲート電極を形成した後、のいずれで行っても良い。

【0113】

また、酸化物半導体層を 2 回に分けて成膜し、2 回に分けて加熱処理を行うことで、はじめに成膜した酸化物半導体層が接する下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域(単結晶領域)、即ち、膜表面に垂直に c 軸配向した結晶領域を有する酸化物半導体層を形成してもよい。なお、結晶領域を有する酸化物半導体層は実施の形態 1 で示した成膜条件を用いることができる。よって、詳細については、実施の形態 1 の記載を参照することができる。

【0114】

次いで、N₂O、N₂、または Ar などのガスを用いたプラズマ処理を行い、露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。プラズマ処理を行った後、大気に触れることなく、酸化物半導体層に接するゲート絶縁層 602 を形成する。

【0115】

本実施の形態の酸化物半導体としては、不純物を除去され、I型化又は実質的に I型化された酸化物半導体を用いる。このような高純度化された酸化物半導体は界面準位、界面電荷に対して極めて敏感であるため、酸化物半導体層とゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体層に接するゲート絶縁層は、高品質化が要求される。

【0116】

ゲート絶縁層 602 は、少なくとも 1 nm 以上の膜厚とし、スパッタ法など、ゲート絶縁層 602 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。ゲート絶縁層 602 に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャネルが低

10

20

30

40

50

抵抗化（N型化）してしまい、寄生チャネルが形成されるおそれがある。よって、ゲート絶縁層602はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【0117】

本実施の形態では、ゲート絶縁層602として酸化シリコン膜を、スパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化シリコン膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタ法により酸化シリコン膜を形成することができる。酸化物半導体層に接して形成するゲート絶縁層602としては、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。10

【0118】

酸化物半導体膜の成膜時と同様に、ゲート絶縁層602の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜したゲート絶縁層602に含まれる不純物の濃度を低減できる。また、ゲート絶縁層602の成膜室内の残留水分を除去するための排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。20

【0119】

ゲート絶縁層602を成膜する際に用いるスパッタガスは、水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。なお、この段階の断面図を図4(D)に示す。

【0120】

次に、ゲート絶縁層602にコンタクトホールを形成する場合、第3のフォトリソグラフィ工程によりゲート絶縁層602にコンタクトホールを形成する。なお、図4にはコンタクトホールは図示されていない。

【0121】

次に、ゲート絶縁層602上に導電膜を形成した後、第4のフォトリソグラフィ工程によりゲート電極611を含む配線層を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。30

【0122】

また、ゲート電極611は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0123】

ゲート電極611上に保護絶縁層608を形成してもよい。例えば、RFスパッタ法を用いて窒化シリコン膜を形成する。RFスパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜などを用いる。本実施の形態では、保護絶縁層608を、窒化シリコン膜を用いて形成する。なお、この段階の断面図を図4(E)に示す。40

【0124】

本実施の形態では、保護絶縁層608として、ゲート電極611まで形成した基板600を100～400の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入し、シリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、ゲート絶縁層602と同様に処理室内の残留水分を除去しつつ保護絶50

縁層 608 を成膜することが好ましい。

【0125】

保護絶縁層の形成後、さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下の加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。

【0126】

このように、本実施の形態を用いて作製した、高純度化された酸化物半導体層を含むトランジスタは、閾値電圧のバラツキが小さい。従って、本実施の形態で例示した半導体装置の作製方法を適用することで、信頼性の高い半導体装置を提供できる。また、量産性の高い半導体装置を提供できる。10

【0127】

また、オフ電流が低減できるため、消費電力が低い半導体装置を提供できる。

【0128】

また、高純度化された酸化物半導体層を含むトランジスタは、高い電界効果移動度が得られるため、高速駆動が可能である。よって、液晶表示装置の画素部に高純度化された酸化物半導体層を含むトランジスタを用いることで、高画質な画像を提供することができる。また、高純度化された酸化物半導体層を含むトランジスタによって、同一基板上に駆動回路部または画素部を作り分けて作製することができるため、液晶表示装置の部品点数を削減することができる。20

【0129】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0130】

(実施の形態 3)

本実施の形態では、本発明の一態様の半導体装置の構成およびその作製方法について、図 5 乃至図 9 を参照して説明する。なお、本実施の形態で例示する半導体装置は、記憶装置として用いることができる。

【0131】

本実施の形態で例示する半導体装置の構成を図 5 に示す。半導体装置の断面図を図 5 (A) に示し、半導体装置の上面図を図 5 (B) に示す。なお、図 5 (A) は、図 5 (B) の切断線 A1 - A2 および B1 - B2 における断面に相当する。30

【0132】

例示する半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 260 を有し、上部に第 2 の半導体材料を用いたトランジスタ 262、及び容量素子 264 を有する。トランジスタ 260 のゲート電極 210 は、トランジスタ 262 の第 1 の電極 242a と直接接続されている。

【0133】

トランジスタ 262、及び容量素子 264 をトランジスタ 260 に重畠して設けることにより高集積化が可能である。例えば、配線や電極との接続関係を工夫することにより、最小加工寸法を F として、メモリセルの占める面積を $15F^2 \sim 25F^2$ とすることも可能である。40

【0134】

トランジスタ 260 が有する第 1 の半導体材料とトランジスタ 262 が有する第 2 の半導体材料に異なる材料を適用できる。例えば、第 1 の半導体材料に単結晶半導体を適用してトランジスタ 260 を高速動作が容易な構成とし、第 2 の半導体材料に酸化物半導体を適用してトランジスタ 262 をオフ電流が十分に低減され、長時間の電荷保持が可能な構成とすることができます。

【0135】

第 1 の半導体材料、または第 2 の半導体材料としては、例えば、酸化物半導体や、酸化物50

半導体以外の半導体材料を用いればよい。酸化物半導体以外の半導体材料としては、例えばシリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができる。また、有機半導体材料などを用いることができる。

【0136】

本実施の形態では、第1の半導体材料として単結晶シリコンを用いて高速動作が可能なトランジスタ260を構成し、第2の半導体材料として酸化物半導体を用いてオフ電流が低減されたトランジスタ262を構成する場合について説明する。

【0137】

なお、トランジスタ260のゲート電極210と、トランジスタ262の第1の電極242aが接続される構成の半導体装置は記憶装置として好適である。トランジスタ262をオフ状態とすることで、トランジスタ260のゲート電極210の電位を極めて長時間にわたって保持することが可能である。また、容量素子264を備えることにより、トランジスタ260のゲート電極210に与えた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。また、高速動作が可能な半導体材料を用いたトランジスタ260を用いることで、高速に情報を読み出すことができる。

10

【0138】

なお、本実施の形態で例示する半導体装置が備えるトランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのではない。また、開示する発明の技術的な本質は、オフ電流が十分に低減された、酸化物半導体を用いたトランジスタと、十分な高速動作が可能な、酸化物半導体以外の材料を用いたトランジスタとを一体に備える点であるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

20

【0139】

トランジスタ260は、第1の半導体材料を含む基板200に設けられたチャネル形成領域216と、チャネル形成領域216を挟む不純物領域220を有する。また、不純物領域220に接する金属化合物領域224と、チャネル形成領域216上に設けられたゲート絶縁層208と、ゲート絶縁層208上に設けられたゲート電極210を有する。

【0140】

また基板200上には、素子分離絶縁層206がトランジスタ260を囲むように設けられ、トランジスタ260上に絶縁層228および絶縁層230が設けられている。また、図示しないがトランジスタ260の金属化合物領域224の一部は、ソース電極やドレイン電極として機能する電極を介して配線256または他の配線に接続されている。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような構成を含めてトランジスタと呼ぶ場合がある。

30

【0141】

高集積化を実現するためには、図5に示すようにトランジスタ260がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ260の特性を重視する場合には、ゲート電極210の側面にサイドウォール絶縁層を設け、そのサイドウォール絶縁層と重畠する領域に形成された不純物濃度が不純物領域220と異なる領域を含めて不純物領域220を設けても良い。

40

【0142】

なお、本実施の形態では第1の半導体材料を含む基板200として、シリコンなどの単結晶半導体基板を用いる。シリコンなどの単結晶半導体基板を用いる場合には、半導体装置の読み出し動作を高速化することができる。

【0143】

トランジスタ262は、第2の半導体材料として高純度化された酸化物半導体層を備える。トランジスタ262は、絶縁層230上にソース電極またはドレイン電極として機能する第1の電極242a、及び第2の電極242bと、第1の電極と第2の電極に電気的に接続する酸化物半導体層244を有する。また、酸化物半導体層244を覆うゲート絶縁

50

層 246 と、ゲート絶縁層 246 上に酸化物半導体層 244 と重畳してゲート電極 248a を有する。また、第1の電極 242a と酸化物半導体層 244 の間にゲート電極 248a と重畳して絶縁層 243a と、第2の電極 242b と酸化物半導体層 244 の間にゲート電極 248a と重畳して絶縁層 243b を有する。

【0144】

絶縁層 243a および絶縁層 243b は、ソース電極またはドレイン電極と、ゲート電極との間に生じる容量を低減する。しかし、絶縁層 243a および絶縁層 243b を設けない構成とすることも可能である。

【0145】

ここで、酸化物半導体層 244 は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。本実施の形態では、酸化物半導体層に酸素を添加した後に加熱処理を施し、不純物を除去して酸化物半導体を高純度化する方法を適用して高純度化された酸化物半導体層を形成する。このように、高純度化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 262 を得ることができる。なお、酸化物半導体層 244 の詳細については、実施の形態 2 を参照することができる。

10

【0146】

なお、図 5 のトランジスタ 262 では、微細化に起因して素子間に生じるリークを抑制するために、島状に加工された酸化物半導体層 244 を用いているが、島状に加工されていない構成を採用しても良い。酸化物半導体層を島状に加工しない場合には、加工の際のエッチングによる酸化物半導体層 244 の汚染を防止できる。

20

【0147】

図 5 に例示する半導体装置は、トランジスタ 260 のゲート電極 210 の上面が絶縁層 230 から露出し、トランジスタ 262 のソース電極またはドレイン電極として機能する第1の電極 242a と直接接続する。ゲート電極 210 と第1の電極 242a を、別途設けるコンタクトのための開口および電極を用いて接続することもできるが、直接接続する構成とすることで、コンタクト面積を縮小でき、半導体装置の高集積化を図ることができる。

【0148】

例えば、本実施の形態の半導体装置を記憶装置として用いる場合、単位面積あたりの記憶容量を増加するために高集積化は重要である。また、コンタクトのために、別途形成する開口および電極に必要な工程を省くことができるので、半導体装置作製の工程を簡略化することができる。

30

【0149】

図 5 における容量素子 264 は、ソース電極またはドレイン電極として機能する第1の電極 242a、酸化物半導体層 244、ゲート絶縁層 246、及び電極 248b で構成される。すなわち、第1の電極 242a は、容量素子 264 の一方の電極として機能し、電極 248b は、容量素子 264 の他方の電極として機能する。

【0150】

なお、図 5 で例示する容量素子 264 は、第1の電極 242a と電極 248b の間に酸化物半導体層 244 とゲート絶縁層 246 を挟んで設ける構成としたが、ゲート絶縁層 246 のみを挟んで設け、容量の大きい構成としてもよい。また、絶縁層 243a と同様に形成される絶縁層を有する構成としてもよい。さらに、容量が不要であれば、容量素子 264 を設けない構成とすることも可能である。

40

【0151】

また、トランジスタ 262 および容量素子 264 上に絶縁層 250 が設けられ、絶縁層 250 上に絶縁層 252 が設けられている。また、ゲート絶縁層 246、絶縁層 250、絶縁層 252 などに形成された開口には、電極 254 が設けられている。また、絶縁層 252 上に配線 256 が設けられ、電極 254 を介して第2の電極 242b と電気的に接続されている。なお、配線 256 を直接、第2の電極 242b に接触させても良い。

50

【 0 1 5 2 】

金属化合物領域 224 と接続される電極（図示せず）と、第 2 の電極 242b を接続しても良い。この場合、金属化合物領域 224 と接続される電極と、電極 254 を重畠して配置すると、半導体装置の高集積化を図ることができる。

【 0 1 5 3 】**半導体装置の作製方法**

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに下部のトランジスタ 260 の作製方法について図 6 および図 7 を参照して説明し、その後、上部のトランジスタ 262 および容量素子 264 の作製方法について図 8 および図 9 を参照して説明する。

10

【 0 1 5 4 】**下部のトランジスタの作製方法**

まず、半導体材料を含む基板 200 を用意する（図 6（A）参照）。半導体材料を含む基板 200 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用できる。ここでは、半導体材料を含む基板 200 として、単結晶シリコン基板を用いる場合の一例について示す。

【 0 1 5 5 】

なお、一般に「SOI 基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含むものとする。つまり、「SOI 基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI 基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものも含まれるものとする。

20

【 0 1 5 6 】

半導体材料を含む基板 200 として、特に、シリコンなどの単結晶半導体基板を用いる場合には、トランジスタ 260 の動作を高速化することができるため好適である。

【 0 1 5 7 】

基板 200 上には、素子分離絶縁層を形成するためのマスクとなる保護層 202 を形成する（図 6（A）参照）。保護層 202 としては、例えば、酸化シリコンや窒化シリコン、酸窒化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n 型の導電性を付与する不純物元素や p 型の導電性を付与する不純物元素を基板 200 に添加してもよい。半導体材料がシリコンの場合、n 型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p 型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

30

【 0 1 5 8 】

次に、上記の保護層 202 をマスクとしてエッティングを行い、保護層 202 に覆われていない領域（露出している領域）の、基板 200 の一部を除去する。これにより他の半導体領域と分離された半導体領域 204 が形成される（図 6（B）参照）。当該エッティングには、ドライエッティングを用いるのが好適であるが、ウェットエッティングを用いても良い。エッティングガスやエッティング液については被エッティング材料に応じて適宜選択することができる。

40

【 0 1 5 9 】

次に、半導体領域 204 を覆うように絶縁層を形成し、半導体領域 204 に重畠する領域の絶縁層を選択的に除去することで、素子分離絶縁層 206 を形成する（図 6（C）参照）。当該絶縁層は、酸化シリコンや窒化シリコン、酸窒化シリコンなどを用いて形成される。絶縁層の除去方法としては、化学的機械的研磨（Chemical Mechanical Polishing : CMP）処理などの研磨処理やエッティング処理などがあるが、そのいずれを用いても良いいし、それらを組み合わせて使用しても良い。なお、半導体領域 204 の形成後、または、素子分離絶縁層 206 の形成後には、保護層 202 を除

50

去する。

【0160】

なお、素子分離絶縁層206の形成方法として、絶縁層を選択的に除去する方法の他、酸素を打ち込むことにより絶縁性の領域を形成する方法などを用いることもできる。

【0161】

次に、半導体領域204の表面に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【0162】

絶縁層は後のゲート絶縁層となるものであり、例えば、半導体領域204表面に熱処理(熱酸化処理や熱窒化処理など)を行うことによって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などのうちいずれかの混合ガスを用いて行うことができる。もちろん、CVD法やスパッタリング法等を用いて絶縁層を形成しても良い。当該絶縁層は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y(x>0, y>0))、窒素が添加されたハフニウムシリケート(HfSi_xO_y(x>0, y>0))、窒素が添加されたハフニウムアルミネート(HfAl_xO_y(x>0, y>0))等を含む単層構造または積層構造とすることが望ましい。また、絶縁層の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

10

20

【0163】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タンゲステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンドル法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

【0164】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層208、ゲート電極210を形成する(図6(C)参照)。

30

【0165】

次に、半導体領域204にリン(P)やヒ素(As)などを添加して、チャネル形成領域216および不純物領域220を形成する(図6(D)参照)。なお、ここではn型トランジスタを形成するためにリンやヒ素を添加しているが、p型トランジスタを形成する場合には、硼素(B)やアルミニウム(Al)などの不純物元素を添加すればよい。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。

【0166】

なお、ゲート電極210の周囲にサイドウォール絶縁層を形成して、不純物元素が異なる濃度で添加された不純物領域を形成しても良い。

40

【0167】

次に、ゲート電極210、不純物領域220等を覆うように金属層222を形成する(図7(A)参照)。当該金属層222は、真空蒸着法やスパッタリング法、スピンドル法などの各種成膜方法を用いて形成することができる。金属層222は、半導体領域204を構成する半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タンゲステン、ニッケル、コバルト、白金等がある。

【0168】

次に、熱処理を施して、金属層222と半導体材料とを反応させる。これにより、不純物領域220に接する金属化合物領域224が形成される(図7(A)参照)。なお、ゲー

50

ト電極 210 として多結晶シリコンなどを用いる場合には、ゲート電極 210 の金属層 222 と接触する部分にも、金属化合物領域が形成されることになる。

【0169】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域 224 を形成した後には、金属層 222 は除去する。

10

【0170】

次に、上述の工程により形成された各構成を覆うように、絶縁層 228、絶縁層 230 を形成する（図 7（B）参照）。絶縁層 228 や絶縁層 230 は、酸化シリコン、酸化窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層 228 や絶縁層 230 に誘電率の低い（low-k）材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層 228 や絶縁層 230 には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。

20

【0171】

また、絶縁層 228 や絶縁層 230 中に、窒化酸化シリコン、窒化シリコン、等の窒素を多く含む無機絶縁材料からなる層を含んでも良い。これにより、下部のトランジスタ 260 を構成する材料が含む水や水素などの不純物が後に形成する上部のトランジスタ 262 の酸化物半導体層 244 に侵入するのを防ぐことができる。ただし、この場合、後の工程で行う CMP 处理だけでは窒素を多く含む無機絶縁材料からなる層の除去が困難なので、エッティング処理などを併用するのが好ましい。

【0172】

また、絶縁層 228 として酸化窒化シリコンを、絶縁層 230 として酸化シリコンを形成することができる。このように、絶縁層 228 および絶縁層 230 を酸化窒化シリコンや酸化シリコンのような、酸素を多く含む無機絶縁材料だけを用いて形成することにより、後の工程で絶縁層 228 および絶縁層 230 に容易に CMP 处理を施すことができる。

30

【0173】

なお、ここでは、絶縁層 228 と絶縁層 230 の積層構造としているが、開示する発明の一態様はこれに限定されない。1 層としても良いし、3 層以上の積層構造としても良い。例えば、上記の絶縁層 228 として酸化窒化シリコンを、絶縁層 230 として酸化シリコンを形成する構成において、さらに絶縁層 228 と絶縁層 230 の間に窒化酸化シリコンを形成するような構成としても良い。

【0174】

その後、トランジスタ 262 の形成前の処理として、絶縁層 228 や絶縁層 230 に CMP 处理を施して、絶縁層 228 および絶縁層 230 の表面を平坦化すると同時にゲート電極 210 の上面を露出させる（図 7（C）参照）。

40

【0175】

CMP 处理は、1 回行ってもよいし、複数回行ってもよい。複数回に分けて CMP 处理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、絶縁層 228 および絶縁層 230 の表面の平坦性をさらに向上できる。

【0176】

また、絶縁層 228 および絶縁層 230 の積層構造に、窒素を多く含む無機絶縁材料が含まれる場合、CMP 处理だけでは除去が困難なため、エッティング処理などを併用するのが好ましい。窒素を多く含む無機絶縁材料のエッティング処理には、ドライエッティング、ウェ

50

ットエッティングのいずれを用いても良いが、素子の微細化という観点からはドライエッティングが好適である。また、各絶縁層のエッティングレートが均一になり、且つゲート電極 210 とはエッティングの選択比が取れるように、エッティング条件（エッティングガスやエッティング液、エッティング時間、温度等）を適宜設定するのが好ましい。また、ドライエッティングに用いるエッティングガスには、例えば、フッ素を含むガス（トリフルオロメタン（CHF₃）など）や、ヘリウム（He）やアルゴン（Ar）などの希ガスを添加したフッ素を含むガス、などを用いることができる。

【0177】

また、ゲート電極 210 の上面を絶縁層 230 から露出させる場合、好ましくはゲート電極 210 の上面と絶縁層 230 を同一の面にする。

10

【0178】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでいても良い。例えば、金属化合物領域 224 の一部と接続される、トランジスタ 260 のソース電極またはドレイン電極として機能する電極を形成しても良い。また、配線の構造として、絶縁層および導電層の積層構造でなる多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【0179】

上部のトランジスタの作製方法

次に、ゲート電極 210、絶縁層 228、絶縁層 230 などの上に導電層を形成し、該導電層を選択的にエッティングして、ソース電極またはドレイン電極として機能する第 1 の電極 242a、及び第 2 の電極 242b を形成する（図 8（A）参照）。第 1 の電極 242a、及び第 2 の電極 242b は、実施の形態 2 で示したソース電極またはドレイン電極として機能する電極と同様の材料、方法を用いて形成することができる。よって、詳細については、実施の形態 2 の記載を参照することができる。

20

【0180】

ここで、第 1 の電極 242a、および第 2 の電極 242b の端部は、テーパー形状となるようにエッティングする。第 1 の電極 242a、第 2 の電極 242b の端部をテーパー形状とすることにより、後に形成する酸化物半導体層が当該端部を被覆し易くなり、段切れを防止することができる。また、後に形成するゲート絶縁層の被覆性を向上し、段切れを防止することができる。

30

【0181】

ここで、テーパー角は、例えば、30°以上 60°以下とする。なお、テーパー角とは、テーパー形状を有する層（例えば、第 1 の電極 242a）を、その断面（基板の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を指す。

【0182】

また、上部のトランジスタのチャネル長（L）は、第 1 の電極 242a、及び第 2 の電極 242b の下端部の間隔によって決定される。なお、チャネル長（L）が 25 nm 未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数 nm ~ 数 10 nm と波長の短い超紫外線（Extreme Ultraviolet）を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長（L）を、10 nm 以上 1000 nm (1 μm) 以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

40

【0183】

ここで、トランジスタ 262 の第 1 の電極 242a と、トランジスタ 260 のゲート電極 210 が直接接続される（図 8（A）参照）。

【0184】

次に、第 1 の電極 242a の上に絶縁層 243a を、第 2 の電極 242b の上に絶縁層 243b を、それぞれ形成する（図 8（B）参照）。絶縁層 243a および絶縁層 243b は、第 1 の電極 242a や、第 2 の電極 242b を覆う絶縁層を形成した後、当該絶縁層

50

を選択的にエッティングして形成する。また、絶縁層 243a および絶縁層 243b は、後に形成されるゲート電極の一部と重畳するように形成する。このような絶縁層を設けることにより、ゲート電極とソース電極またはドレイン電極との間に生じる容量を低減することが可能である。

【0185】

絶縁層 243a や絶縁層 243b は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層 243a や絶縁層 243b に誘電率の低い (low-k) 材料を用いることで、ゲート電極と、ソース電極またはドレイン電極との間の容量を十分に低減することが可能になるため好ましい。なお、絶縁層 243a や絶縁層 243b には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、ゲート電極と、ソース電極またはドレイン電極との間の容量をさらに低減することが可能である。10

【0186】

なお、ゲート電極と、ソース電極またはドレイン電極との間の容量を低減させるという点では、絶縁層 243a および絶縁層 243b を形成するのが好適であるが、当該絶縁層を設けない構成とすることも可能である。

【0187】

次に、第1の電極 242a、および第2の電極 242b を覆うように酸化物半導体層を形成した後、当該酸化物半導体層を選択的にエッティングして酸化物半導体層 244 を形成する（図 8 (C) 参照）。酸化物半導体層 244 は、実施の形態 2 で示した酸化物半導体層と同様の材料、方法を用いて形成することができる。よって、詳細については、実施の形態 2 の記載を参照することができる。20

【0188】

なお、実施の形態 2 で示したように、酸化物半導体層をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面（例えば絶縁層 230 の表面）の付着物を除去するのが好適である。

【0189】

形成した酸化物半導体層に対して、酸素を添加し、次いで熱処理（第1の熱処理）を行う。酸素添加処理、及び熱処理（第1の熱処理）を行う方法については、実施の形態 2 で示した装置、方法を適用することができる。よって、詳細については、実施の形態 2 の記載を参照することができる。30

【0190】

形成した酸化物半導体層に酸素を添加し、熱処理（第1の熱処理）を施すことにより、残留する不純物を低減し、i型（真性半導体）または i 型に限りなく近い酸化物半導体層を形成することができる。残留する不純物が低減され、i型（真性半導体）または i 型に限りなく近い酸化物半導体層を用いたトランジスタは閾値電圧の変動が抑制され、オフ電流が低減された極めて優れた特性を実現することができる。

【0191】

なお、酸化物半導体層のエッティングは、熱処理（第1の熱処理）の前、または上記熱処理（第1の熱処理）の後のいずれにおいて行っても良い。また、素子の微細化という観点からはドライエッティングを用いるのが好適であるが、ウェットエッティングを用いても良い。エッティングガスやエッティング液については被エッティング材料に応じて適宜選択することができる。なお、素子におけるリークなどが問題とならない場合には、酸化物半導体層を島状に加工しないで用いても良い。40

【0192】

次に、酸化物半導体層 244 に接するゲート絶縁層 246 を形成し、その後、ゲート絶縁層 246 上において酸化物半導体層 244 と重畳する領域にゲート電極 248a を形成し、第1の電極 242a と重畳する領域に電極 248b を形成する（図 8 (D) 参照）。ゲート絶縁層 246 は、実施の形態 2 で示したゲート絶縁層と同様の材料、方法を用いて形50

成することができる。

【0193】

ゲート絶縁層246の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。第2の熱処理については、実施の形態2で示したのと同様の方法で行うことができる。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層246が酸素を含む場合、酸化物半導体層244に酸素を供給し、該酸化物半導体層244の酸素欠損を補填して、i型(真性半導体)またはi型に限りなく近い酸化物半導体層を形成することもできる。

【0194】

なお、本実施の形態では、ゲート絶縁層246の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第2の熱処理に第1の熱処理を兼ねさせても良い。

10

【0195】

上述のように、酸素を添加した後に第1の熱処理と第2の熱処理の少なくとも一方を適用することで、酸化物半導体層244を、その主成分以外の不純物が極力含まれないように高純度化することができる。

【0196】

ゲート電極248aは、実施の形態2で示したゲート電極611と同様の材料、方法を用いて形成することができる。また、ゲート電極248aを形成する際、導電層を選択的にエッチングすることによって、電極248bを形成することができる。以上の詳細については、実施の形態2の記載を参照することができる。

20

【0197】

次に、ゲート絶縁層246、ゲート電極248a、および電極248b上に、絶縁層250および絶縁層252を形成する(図9(A)参照)。絶縁層250および絶縁層252は、実施の形態1で示した絶縁層507および保護絶縁層508と同様の材料、方法を用いて形成することができる。よって、詳細については、実施の形態1の記載を参照することができる。

【0198】

次に、ゲート絶縁層246、絶縁層250、絶縁層252に、第2の電極242bにまで達する開口を形成する(図9(B)参照)。当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。

30

【0199】

その後、上記開口に電極254を形成し、絶縁層252上に電極254に接する配線256を形成する(図9(C)参照)。

【0200】

電極254は、例えば、開口を含む領域にPVD法やCVD法などを用いて導電層を形成した後、エッチング処理やCMPといった方法を用いて、上記導電層の一部を除去することにより形成することができる。

【0201】

より具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタンクステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、被形成面の酸化膜(自然酸化膜など)を還元し、下部電極など(ここでは第2の電極242b)との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

40

【0202】

なお、上記導電層の一部を除去して電極254を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタンクステン膜を形成する場合には、その後のC

50

MP処理によって、不要なタンクステン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、電極254を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【0203】

配線256は、実施の形態2で示したゲート電極611を含む配線と同様の材料、方法を用いて形成することができる。よって、詳細については、実施の形態2の記載を参照することができる。

【0204】

以上により、高純度化された酸化物半導体層244を用いたトランジスタ262、および容量素子264が完成する（図9（C）参照）。 10

【0205】

このように高純度化され、真性化された酸化物半導体層244を用いることで、トランジスタのオフ電流を十分に低減することができる。なお、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

【0206】

上記に例示する本実施の形態の方法によれば、下部に酸化物半導体以外の半導体材料を用いたトランジスタを有し、上部に酸化物半導体を用いたトランジスタを有する半導体装置を作製できる。

【0207】

また、ゲート電極210と、第1の電極242aとを直接接続することで、コンタクト面積を縮小することができるので、半導体装置の高集積化を図ることができる。よって、記憶装置として用いることができる半導体装置の単位面積あたりの記憶容量を増加させることができる。 20

【0208】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0209】

（実施の形態4）

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図13を参考して説明する。ここでは、記憶装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。 30

【0210】

図13（A-1）に示す半導体装置において、第1の配線（1st Line）とトランジスタ700のソース電極とは、電気的に接続され、第2の配線（2nd Line）とトランジスタ700のドレイン電極とは、電気的に接続されている。また、トランジスタ700のゲート電極と、トランジスタ710のソース電極またはドレイン電極の一方は、容量素子720の電極の一方と電気的に接続され、第5の配線（5th Line）と、容量素子720の電極の他方は電気的に接続されている。そして、第3の配線（3rd Line）とトランジスタ710のソース電極またはドレイン電極の他方とは、電気的に接続され、第4の配線（4th Line）と、トランジスタ710のゲート電極とは、電気的に接続されている。 40

【0211】

ここで、トランジスタ710には、酸化物半導体を用いたトランジスタが適用される。ここで、酸化物半導体を用いたトランジスタとしては、例えば、先の実施の形態で示した、トランジスタ262を用いることができる。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ710をオフ状態とすることで、トランジスタ700のゲート電極の電位を極めて長時間にわたって保持することができる。そして、容量素子720を有することにより、トランジスタ700 50

のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。ここで、容量素子 720 としては、例えば、先の実施の形態で示した、容量素子 264 を用いることができる。

【0212】

また、トランジスタ 700 には、酸化物半導体以外の半導体材料を用いたトランジスタが適用される。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるのが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が容易である。ここで、酸化物半導体以外の半導体材料を用いたトランジスタとしては、例えば、先の実施の形態で示した、トランジスタ 260 を用いることができる。10

【0213】

また、図 13 (B) に示すように、容量素子 720 を設けない構成とすることも可能である。

【0214】

図 13 (A-1) に示す半導体装置では、トランジスタ 700 のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0215】

はじめに、情報の書き込みおよび保持について説明する。まず、第 4 の配線の電位を、トランジスタ 710 がオン状態となる電位にして、トランジスタ 710 をオン状態とする。これにより、第 3 の配線の電位が、トランジスタ 700 のゲート電極、および容量素子 720 に与えられる。すなわち、トランジスタ 700 のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位を与える電荷(以下、低電位を与える電荷を電荷 Q_L 、高電位を与える電荷を電荷 Q_H という)のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、第 4 の配線の電位を、トランジスタ 710 がオフ状態となる電位にして、トランジスタ 710 をオフ状態とすることにより、トランジスタ 700 のゲート電極に与えられた電荷が保持される(保持)。20

【0216】

トランジスタ 710 のオフ電流は極めて小さいから、トランジスタ 700 のゲート電極の電荷は長時間にわたって保持される。30

【0217】

次に、情報の読み出しについて説明する。第 1 の配線に所定の電位(定電位)を与えた状態で、第 5 の配線に適切な電位(読み出し電位)を与えると、トランジスタ 700 のゲート電極に保持された電荷量に応じて、第 2 の配線は異なる電位をとる。一般に、トランジスタ 700 を n チャネル型とすると、トランジスタ 700 のゲート電極に Q_H が与えられている場合の見かけのしきい値 $V_{t h - H}$ は、トランジスタ 700 のゲート電極に Q_L が与えられている場合の見かけのしきい値 $V_{t h - L}$ より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ 700 を「オン状態」とするために必要な第 5 の配線の電位をいうものとする。したがって、第 5 の配線の電位を $V_{t h - H}$ と $V_{t h - L}$ の中間の電位 V_0 とすることにより、トランジスタ 700 のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、 Q_H が与えられていた場合には、第 5 の配線の電位が V_0 ($> V_{t h - H}$) となれば、トランジスタ 700 は「オン状態」となる。 Q_L が与えられていた場合には、第 5 の配線の電位が V_0 ($< V_{t h - L}$) となっても、トランジスタ 700 は「オフ状態」のままである。このため、第 2 の配線の電位を見ることで、保持されている情報を読み出すことができる。40

【0218】

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以50

外のメモリセルの情報を読み出さないようにするには、各メモリセル間でトランジスタ700がそれぞれ並列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ700が「オフ状態」となるような電位、つまり、 V_{t_h-H} より小さい電位を与えればよい。また、各メモリセル間でトランジスタ700がそれぞれ直列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ700が「オン状態」となるような電位、つまり、 V_{t_h-L} より大きい電位を与えればよい。

【0219】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ710がオン状態となる電位にして、トランジスタ710をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ700のゲート電極および容量素子720に与えられる。その後、第4の配線の電位を、トランジスタ710がオフ状態となる電位にして、トランジスタ710をオフ状態とすることにより、トランジスタ700のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

10

【0220】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

20

【0221】

なお、トランジスタ710のソース電極またはドレイン電極は、トランジスタ700のゲート電極と電気的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため、図中、トランジスタ710のソース電極またはドレイン電極とトランジスタ700のゲート電極が電気的に接続される部位をフローティングゲート部FGと呼ぶ場合がある。トランジスタ710がオフの場合、当該フローティングゲート部FGは絶縁体中に埋設されたと見ることができ、フローティングゲート部FGには電荷が保持される。酸化物半導体を用いたトランジスタ710のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下であるため、トランジスタ710のリークによる、フローティングゲート部FGに蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ710により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

30

【0222】

例えば、トランジスタ710の室温でのオフ電流が $10^{-12} A$ ($1 zA$ (ゼプトアンペア))は $1 \times 10^{-21} A$ 以下であり、容量素子720の容量値が $10 fF$ 程度である場合には、少なくとも 10^4 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

40

【0223】

また、この場合、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜（トンネル絶縁膜）の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要であった高電圧も不要である。

【0224】

図13(A-1)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図13(A-2)のように考えることが可能であ

50

る。つまり、図13(A-2)では、トランジスタ700および容量素子720が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R1およびC1は、それぞれ、容量素子720の抵抗値および容量値であり、抵抗値R1は、容量素子720を構成する絶縁層による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ700の抵抗値および容量値であり、抵抗値R2はトランジスタ700がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量(ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャネル形成領域との間に形成される容量)の容量値に相当する。

【0225】

トランジスタ710がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値(実効抵抗とも呼ぶ)をROSとすると、トランジスタ710のゲートリークが十分に小さい条件において、R1およびR2が、R1 ROS、R2 ROSを満たす場合には、電荷の保持期間(情報の保持期間ということもできる)は、主としてトランジスタ710のオフ電流によって決定されることになる。10

【0226】

逆に、当該条件を満たさない場合には、トランジスタ710のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ710のオフ電流以外のリーク電流(例えば、ソース電極とゲート電極の間において生じるリーク電流等)が大きいためである。このことから、本実施の形態において開示する半導体装置は、上述の関係を満たすものであることが望ましいといえる。20

【0227】

一方で、C1とC2は、C1 C2の関係を満たすことが望ましい。C1を大きくすることで、第5の配線によってフローティングゲート部FGの電位を制御する際に、第5の配線の電位を効率よくフローティングゲート部FGに与えることができるようになり、第5の配線に与える電位間(例えば、読み出しの電位と、非読み出しの電位)の電位差を低く抑えることができるためである。

【0228】

上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、R1およびR2は、トランジスタ700のゲート絶縁層や容量素子720の絶縁層によって制御される。C1およびC2についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。30

【0229】

本実施の形態で示す半導体装置においては、フローティングゲート部FGが、フラッシュメモリ等のフローティングゲート型のトランジスタのフローティングゲートと同等の作用をするが、本実施の形態のフローティングゲート部FGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有する。フラッシュメモリでは、コントロールゲートに印加される電圧が高いため、その電位の影響が、隣接するセルのフローティングゲートにおよぶことを防ぐために、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。40

【0230】

また、フラッシュメモリの上記原理によって、絶縁膜の劣化が進行し、書き換え回数の限界($10^4 \sim 10^5$ 回程度)という別の問題も生じる。

【0231】

開示する発明に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。50

【0232】

また、トンネル電流による電荷の注入を用いないため、メモリセルの劣化の原因が存在しない。つまり、フラッシュメモリと比較して高い耐久性および信頼性を有することになる。

【0233】

また、高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対するアドバンテージである。

【0234】

なお、容量素子720を構成する絶縁層の比誘電率 r_1 と、トランジスタ700を構成する絶縁層の比誘電率 r_2 とを異ならせる場合には、容量素子720を構成する絶縁層の面積 S_1 と、トランジスタ700においてゲート容量を構成する絶縁層の面積 S_2 とが、 $2 \cdot S_2 = S_1$ （望ましくは $S_2 = S_1$ ）を満たしつつ、 $C_1 = C_2$ を実現することが容易である。すなわち、容量素子720を構成する絶縁層の面積を小さくしつつ、 $C_1 = C_2$ を実現することが容易である。具体的には、例えば、容量素子720を構成する絶縁層においては、酸化ハフニウムなどのhigh-k材料でなる膜、または酸化ハフニウムなどのhigh-k材料でなる膜と酸化物半導体でなる膜との積層構造を採用して r_1 を10以上、好ましくは15以上とし、ゲート容量を構成する絶縁層においては、酸化シリコンを採用して、 $r_2 = 3 \sim 4$ とすることができる。

10

【0235】

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

20

【0236】

なお、上記説明は、電子を多数キャリアとするn型トランジスタ（nチャネル型トランジスタ）を用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることができるるのはいうまでもない。

【0237】

以上示したように、開示する発明の一態様の半導体装置は、オフ状態でのソースとドレイン間のリーク電流（オフ電流）が少ない書き込み用トランジスタ、該書き込み用トランジスタと異なる半導体材料を用いた読み出し用トランジスタ及び容量素子を含む不揮発性のメモリセルを有している。

30

【0238】

書き込み用トランジスタのオフ電流は、使用時の温度（例えば、25°C）で 100 zA ($1 \times 10^{-19} \text{ A}$) 以下、好ましくは 10 zA ($1 \times 10^{-20} \text{ A}$) 以下、さらに好ましくは、 1 zA ($1 \times 10^{-21} \text{ A}$) 以下である。通常のシリコン半導体では、上述のように低いオフ電流を得ることは困難であるが、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては達成しうる。このため、書き込み用トランジスタとして、酸化物半導体を含むトランジスタを用いることが好ましい。

【0239】

さらに酸化物半導体を用いたトランジスタはサブスレッショルドスイッチング値（S値）が小さいため、比較的移動度が低くてもスイッチング速度を十分大きくすることが可能である。よって、該トランジスタを書き込み用トランジスタとして用いることで、フローティングゲート部FGに与えられる書き込みパルスの立ち上がりを極めて急峻にすることができる。また、オフ電流が小さいため、フローティングゲート部FGに保持させる電荷量を少なくすることが可能である。つまり、酸化物半導体を用いたトランジスタを書き込み用トランジスタとして用いることで、情報の書き換えを高速に行うことができる。

40

【0240】

読み出し用トランジスタとしては、オフ電流についての制限はないが、読み出しの速度を高くするために、高速で動作するトランジスタを用いるのが望ましい。例えば、読み出し用トランジスタとしてスイッチング速度が1ナノ秒以下のトランジスタを用いるのが好ましい。

50

【 0 2 4 1 】

このように、酸化物半導体を用いたトランジスタを書き込み用トランジスタとして用い、酸化物半導体以外の半導体材料を用いたトランジスタを読み出し用トランジスタとして用いることにより、長時間に渡っての情報の保持が可能で、且つ情報の読み出しを高速で行うことが可能な、記憶装置として用いることができる半導体装置を実現することができる。

【 0 2 4 2 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【 0 2 4 3 】

10

(実施の形態 5)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図14および図15を用いて説明する。

【 0 2 4 4 】

図14(A)および図14(B)は、図13(A-1)に示す半導体装置(以下、メモリセル750とも記載する。)を複数用いて形成される半導体装置の回路図である。図14(A)は、メモリセル750が直列に接続された、いわゆるNAND型の半導体装置の回路図であり、図14(B)は、メモリセル750が並列に接続された、いわゆるNOR型の半導体装置の回路図である。

【 0 2 4 5 】

20

図14(A)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、複数本の第2信号線S2、複数本のワード線WL、複数のメモリセル750を有する。図14(A)では、ソース線SLおよびビット線BLを1本ずつ有する構成となっているが、これに限られることなく、ソース線SLおよびビット線BLを複数本有する構成としてもよい。

【 0 2 4 6 】

各メモリセル750において、トランジスタ700のゲート電極と、トランジスタ710のソース電極またはドレイン電極の一方と、容量素子720の電極の一方とは、電気的に接続されている。また、第1信号線S1とトランジスタ710のソース電極またはドレイン電極の他方とは、電気的に接続され、第2信号線S2と、トランジスタ710のゲート電極とは、電気的に接続されている。そして、ワード線WLと、容量素子720の電極の他方は電気的に接続されている。

30

【 0 2 4 7 】

また、メモリセル750が有するトランジスタ700のソース電極は、隣接するメモリセル750のトランジスタ700のドレイン電極と電気的に接続され、メモリセル750が有するトランジスタ700のドレイン電極は、隣接するメモリセル750のトランジスタ700のソース電極と電気的に接続される。ただし、直列に接続された複数のメモリセルのうち、一方の端に設けられたメモリセル750が有するトランジスタ700のドレイン電極は、ビット線と電気的に接続される。また、直列に接続された複数のメモリセルのうち、他方の端に設けられたメモリセル750が有するトランジスタ700のソース電極は、ソース線と電気的に接続される。

40

【 0 2 4 8 】

図14(A)に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行の第2の信号線S2にトランジスタ710がオン状態となる電位を与え、書き込みを行う行のトランジスタ710をオン状態にする。これにより、指定した行のトランジスタ700のゲート電極に第1の信号線S1の電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

【 0 2 4 9 】

また、読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WL

50

に、トランジスタ700のゲート電極に与えられた電荷によらず、トランジスタ700がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ700をオン状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ700のゲート電極が有する電荷によって、トランジスタ700のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL - ビット線BL間の複数のトランジスタ700は、読み出しを行う行を除いてオン状態となっているため、ソース線SL - ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ700の状態(オン状態またはオフ状態)によって決定される。読み出しを行う行のトランジスタ700のゲート電極が有する電荷によって、トランジスタのコンダクタンスは異なるから、それに応じて、ビット線BLの電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。
10

【0250】

図14(B)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、第2信号線S2、およびワード線WLをそれぞれ複数本有し、複数のメモリセル750を有する。各トランジスタ700のゲート電極と、トランジスタ710のソース電極またはドレイン電極の一方と、容量素子720の電極の一方とは、電気的に接続されている。また、ソース線SLとトランジスタ700のソース電極とは、電気的に接続され、ビット線BLとトランジスタ700のドレイン電極とは、電気的に接続されている。また、第1信号線S1とトランジスタ710のソース電極またはドレイン電極の他方とは、電気的に接続され、第2信号線S2と、トランジスタ710のゲート電極とは、電気的に接続されている。そして、ワード線WLと、容量素子720の電極の他方は電気的に接続されている。
20

【0251】

図14(B)に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は、上述の図14(A)に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ700のゲート電極に与えられた電荷によらず、トランジスタ700がオフ状態となるような電位を与え、読み出しを行う行以外のトランジスタ700をオフ状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ700のゲート電極が有する電荷によって、トランジスタ700のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL - ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ700の状態(オン状態またはオフ状態)によって決定される。つまり、読み出しを行う行のトランジスタ700のゲート電極が有する電荷によって、ビット線BLの電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。
30

【0252】

なお、上記においては、各メモリセル750に保持させる情報量を1ビットとしたが、本実施の形態に示す記憶装置の構成はこれに限られない。トランジスタ700のゲート電極に与える電位を3種類以上用意して、各メモリセル750が保持する情報量を増加させても良い。例えば、トランジスタ700のゲート電極にあたえる電位を4種類とする場合には、各メモリセルに2ビットの情報を保持させることができる。
40

【0253】

次に、図14に示す半導体装置などに用いることができる読み出し回路の一例について図15を用いて説明する。

【0254】

図15(A)には、読み出し回路の概略を示す。当該読み出し回路は、トランジスタとセンスアンプ回路を有する。
50

【0255】

読み出し時には、端子Aは読み出しを行うメモリセルが接続されたビット線に接続される。また、トランジスタのゲート電極にはバイアス電位V_{bias}が印加され、端子Aの電位が制御される。

【0256】

メモリセル750は、格納されるデータに応じて、異なる抵抗値を示す。具体的には、選択したメモリセル750のトランジスタ700がオン状態の場合には低抵抗状態となり、選択したメモリセル750のトランジスタ700がオフ状態の場合には高抵抗状態となる。

【0257】

メモリセルが高抵抗状態の場合、端子Aの電位が参照電位V_{ref}より高くなり、センスアンプ回路は端子Aの電位に対応する電位を出力する。一方、メモリセルが低抵抗状態の場合、端子Aの電位が参照電位V_{ref}より低くなり、センスアンプ回路は端子Aの電位に対応する電位を出力する。

【0258】

このように、読み出し回路を用いることで、メモリセルからデータを読み出すことができる。なお、本実施の形態の読み出し回路は一例である。他の回路を用いても良い。また、読み出し回路は、プリチャージ回路を有しても良い。参照電位V_{ref}の代わりに参照用のビット線が接続される構成としても良い。

【0259】

図15(B)に、センスアンプ回路の一例である差動型センスアンプを示す。差動型センスアンプは、入力端子V_{in(+)}とV_{in(-)}と出力端子V_{out}を有し、V_{in(+)}とV_{in(-)}の差を増幅する。V_{in(+)} > V_{in(-)}であればV_{out}は、概ねHigh出力、V_{in(+)} < V_{in(-)}であればV_{out}は、概ねLow出力となる。当該差動型センスアンプを読み出し回路に用いる場合、V_{in(+)}とV_{in(-)}の一方は入力端子Aと接続し、V_{in(+)}とV_{in(-)}の他方には参照電位V_{ref}を与える。

【0260】

図15(C)に、センスアンプ回路の一例であるラッチ型センスアンプを示す。ラッチ型センスアンプは、入出力端子V₁およびV₂と、制御用信号S_p、S_nの入力端子を有する。まず、信号S_pをHigh、信号S_nをLowとして、電源電位(V_{dd})を遮断する。そして、比較を行う電位をV₁とV₂に与える。その後、信号S_pをLow、信号S_nをHighとして、電源電位(V_{dd})を供給すると、比較を行う電位V_{1in}とV_{2in}がV_{1in} > V_{2in}の関係にあれば、V₁の出力はHigh、V₂の出力はLowとなり、V_{1in} < V_{2in}の関係にあれば、V₁の出力はLow、V₂の出力はHighとなる。このような関係を利用して、V_{1in}とV_{2in}の差を増幅することができる。当該ラッチ型センスアンプを読み出し回路に用いる場合、V₁とV₂の一方は、スイッチを介して端子Aおよび出力端子と接続し、V₁とV₂の他方には参照電位V_{ref}を与える。

【0261】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0262】**(実施の形態6)**

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図16を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラなどのカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

10

20

30

40

50

【0263】

図16(A)は、ノート型のパーソナルコンピュータであり、筐体601、筐体605、表示部603、キーボード604などによって構成されている。筐体601と筐体605の少なくとも一には、先の実施の形態に示す酸化物半導体を用いたトランジスタと、酸化物半導体以外の半導体材料を用いたトランジスタと、を一体に備えた半導体装置が設けられている。そのため、長時間に渡っての情報の保持および情報の高速読み出しが可能、といった特徴を備えたノート型のパーソナルコンピュータが実現される。

【0264】

図16(B)は、携帯情報端末(PDA)であり、本体610には、表示部613と、外部インターフェイス615と、操作ボタン614等が設けられている。また、携帯情報端末を操作するスタイルス612などを備えている。本体610内には、先の実施の形態に示す酸化物半導体を用いたトランジスタと、酸化物半導体以外の半導体材料を用いたトランジスタと、を一体に備えた半導体装置が設けられている。そのため、長時間に渡っての情報の保持および情報の高速読み出しが可能、といった特徴を備えた携帯情報端末が実現される。10

【0265】

図16(C)は、電子ペーパーを実装した電子書籍620であり、筐体621と筐体623の2つの筐体で構成されている。筐体621及び筐体623には、それぞれ表示部625及び表示部627が設けられている。筐体621と筐体623は、軸部637により接続されており、該軸部637を軸として開閉動作を行うことができる。また、筐体621は、電源631、操作キー633、スピーカー635などを備えている。筐体621、筐体623の少なくとも一には、先の実施の形態に示す酸化物半導体を用いたトランジスタと、酸化物半導体以外の半導体材料を用いたトランジスタと、を一体に備えた半導体装置が設けられている。そのため、長時間に渡っての情報の保持および情報の高速読み出しが可能、といった特徴を備えた電子書籍が実現される。20

【0266】

図16(D)は、携帯電話機であり、筐体640と筐体641の2つの筐体で構成されている。さらに、筐体640と筐体641は、スライドし、図16(D)のように展開している状態から重なり合った状態とすることができます、携帯に適した小型化が可能である。また、筐体641は、表示パネル642、スピーカー643、マイクロフォン644、ポイントティングデバイス646、カメラ用レンズ647、外部接続端子648などを備えている。また、筐体640は、携帯電話機の充電を行う太陽電池セル649、外部メモリスロット651などを備えている。また、表示パネル642はタッチパネル機能を備えており、図16(D)には映像表示されている複数の操作キー645を点線で示している。また、アンテナは、筐体641に内蔵されている。筐体640と筐体641の少なくとも一には、先の実施の形態に示す酸化物半導体を用いたトランジスタと、酸化物半導体以外の半導体材料を用いたトランジスタと、を一体に備えた半導体装置が設けられている。そのため、長時間に渡っての情報の保持および情報の高速読み出しが可能、といった特徴を備えた携帯電話機が実現される。30

【0267】

図16(E)は、デジタルカメラであり、本体661、表示部667、接眼部663、操作スイッチ664、表示部665、バッテリー666などによって構成されている。本体661内には、先の実施の形態に示す酸化物半導体を用いたトランジスタと、酸化物半導体以外の半導体材料を用いたトランジスタと、を一体に備えた半導体装置が設けられている。そのため、長時間に渡っての情報の保持および情報の高速読み出しが可能、といった特徴を備えたデジタルカメラが実現される。40

【0268】

図16(F)は、テレビジョン装置670であり、筐体671、表示部673、スタンド675などで構成されている。テレビジョン装置670の操作は、筐体671が備えるスイッチや、リモコン操作機680により行うことができる。筐体671及びリモコン操作50

機 6 8 0 の少なくとも一には、先の実施の形態に示す酸化物半導体を用いたトランジスタと、酸化物半導体以外の半導体材料を用いたトランジスタと、を一体に備えた半導体装置が設けられている。そのため、長時間に渡っての情報の保持および情報の高速読み出しが可能、といった特徴を備えたテレビジョン装置が実現される。

【 0 2 6 9 】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、小型、高速動作、低消費電力、といった特徴を備えた電子機器が実現される。

【 実施例 1 】

【 0 2 7 0 】

本実施例では、イオン注入法を用いて高エネルギーの酸素を酸化物半導体層に添加し、次いで加熱処理を施すことにより酸化物半導体層を極めて高い純度にまで精製した方法について、二次イオン質量分析による分析結果と共に説明する。

【 0 2 7 1 】

本実施例で作製した高純度化した酸化物半導体層の作製方法について図 1 0 を用いて説明する。

【 0 2 7 2 】

< 試料 1 の作製方法 >

試料 1 は高純度化処理を施す前の酸化物半導体層 4 1 3 a を有する。試料 1 の作製方法を以下に説明する。

【 0 2 7 3 】

厚さ 0 . 7 mm のガラスを基板 4 0 0 に用い、基板 4 0 0 上に絶縁膜 4 0 1 として 1 0 0 nm の酸化窒化珪素 (SiO_xN_y x > y) を、プラズマ CVD 法を用いて成膜した (図 1 0 (A) 参照) 。

【 0 2 7 4 】

次いでスパッタリング法により、 In - Ga - Zn - O 系酸化物ターゲットを用いて、 2 0 0 nm の酸化物半導体層 4 1 3 a を絶縁膜 4 0 1 上に成膜した。ターゲットはインジウム (In) 、ガリウム (Ga) 、及び亜鉛 (Zn) を含む酸化物ターゲットを用いた。なお、酸化物ターゲットが含む金属の組成比は、 In : Ga : Zn = 1 : 1 : 0 . 5 [atom 比] であり、酸化物ターゲットの充填率は 9 5 % 以上 1 0 0 % 以下であった。

【 0 2 7 5 】

酸化物半導体層 4 1 3 a は、排気手段としてクライオポンプを設けた成膜室内で成膜した。成膜条件は、基板とターゲットとの間との距離を 6 0 mm 、圧力 0 . 4 Pa 、直流 (DC) 電源 0 . 5 kW とし、成膜ガスとして流量 3 0 sccm のアルゴンガスと、流量 1 5 sccm の酸素ガスを成膜室に流した。

【 0 2 7 6 】

以上のようにして、基板 4 0 0 上の絶縁膜 4 0 1 上に酸化物半導体層 4 1 3 a を設けたものを試料 1 とした (図 1 0 (B) 参照) 。

【 0 2 7 7 】

< 試料 2 の作製方法 >

試料 2 は酸素を添加した酸化物半導体層 4 1 3 b を有する。試料 2 の作製方法を以下に説明する。

【 0 2 7 8 】

試料 1 と同様の方法で作製した酸化物半導体層 4 1 3 a にイオン注入装置を用いて酸素イオンを注入し、酸素が添加された酸化物半導体層 4 1 3 b を形成した。酸素イオンの注入量は 1×10^{16} [ions / cm²] 、加速エネルギーは 5 0 keV 、試料に対する注入角を 7 ° とした (図 1 0 (C) 参照) 。なお、本実施例では質量数 1 8 の酸素¹⁸O イオンを注入したが、注入する酸素イオンは質量数 1 8 に限られない。また、注入した質量数 1 8 の酸素¹⁸O の酸化物半導体層中における分布は、二次イオン質量分析法 (SIMS : Secondary Ion Mass Spectrometry) を用いて測

定できる。

【0279】

<試料3の作製方法>

試料3は酸素を添加したのち、加熱処理を施した酸化物半導体層413cを有する。試料3の作製方法を以下に説明する。

【0280】

試料2と同様の方法で作製した酸素が添加された酸化物半導体層413bを窒素雰囲気下で600、60分加熱し、酸素を添加したのち加熱処理を施した酸化物半導体層413cを作製した(図10(D)参照)。

【0281】

<比較試料1の作製方法>

比較試料1は試料1に酸素を添加することなく加熱処理を施した酸化物半導体層を有する。比較試料1の作製方法を以下に説明する。

【0282】

高純度化処理を施す前の酸化物半導体層413aを窒素雰囲気下で600、60分加熱し、加熱処理のみを施した酸化物半導体層413dを作製した(図10(E)参照)。

【0283】

<二次イオン質量分析による分析結果1>

試料1乃至試料3、及び比較試料1が有する酸化物半導体層中の水素濃度を、二次イオン質量分析法を用いて測定した。結果を図11に示す。図11の縦軸は水素濃度であり、横軸は表面からの深さ(膜厚)である。

【0284】

ここで、二次イオン質量分析法の測定結果には有効範囲がある。なお、二次イオン質量分析法の測定結果の有効範囲は測定条件、試料の作製条件等によって変わる。なお、本実施例における酸化物半導体層中の水素濃度の測定下限は 2×10^{18} [ions/cm³]程度である。

【0285】

図11の結果においては、酸化物半導体層の表面(深さが0nm以上10nm未満の範囲)、及び酸化物半導体層と絶縁膜401との界面(深さが165nm以上185nm未満の範囲)について正確な値を算出しにくくなっている。したがって、本実施例の場合は、深さが10nm以上165nm未満の範囲を二次イオン質量分析の測定結果の有効範囲とする。

【0286】

試料1乃至試料3、及び比較試料1が有する酸化物半導体層に含まれる水素濃度の測定結果を表1に示す。

【0287】

【表1】

試料名	水素濃度 [atoms/cm ³]
試料1	3×10^{19}
試料2	3×10^{19}
試料3	測定下限以下
比較試料1	6×10^{18}

【0288】

試料1の酸化物半導体層中に含まれる水素濃度は、およそ 3×10^{19} [ions/cm³]であった。試料1に酸素を添加した試料2の酸化物半導体層中に含まれる水素濃度は、およそ 3×10^{19} [ions/cm³]であった。試料2を加熱処理した試料3の酸化物半導体層中に含まれる水素濃度は、測定下限以下のおよそ 1×10^{18} [ions/cm³]以下であった。また、試料1を加熱処理した比較試料1の酸化物半導体層中に含

10

20

30

40

50

まれる水素濃度はおよそ 6×10^{-8} [ions / cm³] であった。

【0289】

本実施例において、比較試料1に含まれる水素濃度に比べ、試料3に含まれる水素濃度は低いことが示された。

【0290】

以上の結果は、酸化物半導体層に酸素を添加して加熱処理する方法は、酸化物半導体層に加熱処理を施す方法に比べ、酸化物半導体層に含まれる水素濃度を低減する効果が大きいことを示している。

【0291】

本実施例に例示する方法を用いて、酸化物半導体層に酸素を添加し、さらに加熱処理することで酸化物半導体層に残留する不純物を除去し、極めて高い純度にまで酸化物半導体層を精製できた。 10

【0292】

<二次イオン質量分析による分析結果2>

試料2乃至試料4が有する酸化物半導体層中の質量数16の酸素と質量数18の酸素の濃度を、二次イオン質量分析法を用いて測定した。

【0293】

<試料4の作製方法>

試料4は酸素を添加したのち、加熱処理を施した酸化物半導体層を有する。試料4の作製方法を以下に説明する。 20

【0294】

試料2と同様の方法で酸素が添加された酸化物半導体層を作製し、該酸化物半導体層を窒素雰囲気下で650、60分加熱し、酸素を添加したのち加熱処理を施した酸化物半導体層を作製した。

【0295】

結果を図12に示す。なお、図12の縦軸は酸素イオンに由来する二次イオン強度であり、酸化物半導体層に含まれる酸素濃度の指標となる。横軸は表面からの深さ(膜厚)である。質量数16の酸素はIn-Ga-Zn-O系酸化物半導体層の主成分であり、試料2乃至試料4の酸化物半導体層中において強い二次イオン強度を観測した。

【0296】

検出した質量数18の酸素の多くは、イオン注入装置から注入した酸素イオンに由来する。試料2において、酸化物半導体層に注入した酸素イオンは深さ50nm付近にピークを有している。さらに、600の加熱を施した試料3において、質量数18の酸素の分布が広くなり、650の加熱を施した試料4において、さらに質量数18の酸素の分布が広くなることが確認できた。この結果から、注入した酸素イオンが加熱により酸化物半導体層に拡散することが確かめられた。 30

【0297】

また、注入した酸素イオンは加熱により酸化物半導体層全体に拡散し、その濃度が平均化することから、注入した酸素イオンは酸化物半導体層内で安定に存在し、酸化物半導体層の表面から放出され難いことが示唆された。 40

【0298】

従って、イオン注入装置などを用いて酸化物半導体層に酸素を添加することにより、酸化物半導体層に生じた酸素欠損を補えることが確認できた。

【実施例2】

【0299】

本実施例では、酸化物半導体層を極めて高い純度にまで精製した方法について説明する。具体的には、酸化物半導体層にイオン注入法を用いて高エネルギーの酸素を添加し、次いで該酸化物半導体層に加熱処理を施して、極めて高い純度にまで精製した結果について、低温フォトルミネッセンス分光測定の結果と共に説明する。

【0300】

50

20

30

40

50

<試料5の作製方法>

本実施例で例示する試料5は石英製の基板上に酸化物半導体層を備える。また、該酸化物半導体層はイオン注入装置を用いて酸素が添加され、さらに加熱処理が施されている。試料5の作製方法の詳細を以下に説明する。

【0301】

厚さ100nmの酸化物半導体層を、スパッタリング法を用いて厚さ0.7mmの石英製の基板上に成膜した。ターゲットはインジウム(Indium)、ガリウム(Gallium)、及び亜鉛(Zinc)を含む酸化物ターゲットを用いた。なお、酸化物ターゲットが含む金属の組成比は、Indium:Gallium:Zinc = 1:1:1 [atom比] であり、酸化物ターゲットの充填率は95%以上100%以下であった。10

【0302】

当該酸化物半導体層は、基板とターゲットとの間との距離を60mmとして、圧力0.4Pa、直流(DC)電源を用いて電力0.5kWの条件で成膜した。また、排気手段としてクライオポンプを設けた成膜室内に成膜ガスとして流量30sccmのアルゴンガスと、流量15sccmの酸素ガスを流した。

【0303】

次いで、当該酸化物半導体層にイオン注入装置を用いて酸素イオンを注入した。酸素イオンの注入量は 1×10^{16} [ions/cm²]、加速エネルギーは50keV、試料に対する注入角は7°とした。なお、本実施例では質量数18の酸素¹⁸Oイオンを注入したが、注入する酸素イオンは質量数18に限られない。20

【0304】

次いで、酸素イオンが注入された上記酸化物半導体層に加熱処理を施した。加熱処理は、窒素ガス雰囲気下、一時間、650°の温度にて、縦型炉を用いて行った。以上の工程により試料5を作製した。

【0305】

<比較試料2の作製方法>

比較試料2は、石英製の基板上に加熱処理のみが施された酸化物半導体層を備える。比較試料2の作製方法を以下に説明する。

【0306】

はじめに、厚さ100nmの酸化物半導体層を、試料5と同様の方法を用いて厚さ0.7mmの石英製の基板上にスパッタリング法を用いて成膜した。30

【0307】

次いで、酸素イオンを注入することなく、加熱処理を施した。加熱処理は窒素ガス雰囲気下、一時間、650°の温度にて、縦型炉を用いて行った。以上の工程により比較試料2を作製した。

【0308】

<低温フォトルミネッセンス分光測定の結果>

試料5及び比較試料2のそれぞれ3箇所について、低温フォトルミネッセンス分光測定を行った。温度10Kのヘリウムガス中において試料に、励起光として325nmの光(Hg-Cdレーザ)を照射して、フォトルミネッセンスを測定した。比較試料2または試料5が発する光を分光し、その強度を、その光の波長をエネルギーに換算した値に対してプロットした。それぞれの試料について、3箇所測定した結果を図17に示す。40

【0309】

試料5及び比較試料2からは、1.8eV付近のエネルギーに相当する発光が観測され、その発光強度は比較試料2に比べ試料5の方が弱かった。なお、3.1eV近辺に認められるなどらかなピークは、石英製の基板に由来する発光ピークであり、酸化物半導体層からの発光ではないことが確認されている。なお、1.8eV付近のエネルギーに相当する発光は、酸化物半導体の酸素欠損に由来するトラップ準位からの発光である。つまり、試料5は比較試料2に比べて酸素欠損に由来するトラップ準位からの発光が弱かった。

【0310】

10

20

40

50

よって試料5は比較試料2に比べて、酸素欠損に由来するトラップ準位の数が低減されていることが確認できた。すなわち、イオン注入装置を用いて酸素を添加した後に加熱処理を施した酸化物半導体層は、イオン注入装置を用いて酸素を添加することなく加熱処理を施した酸化物半導体層に比べ、酸素欠損を少なくできる効果が確認できた。

【符号の説明】

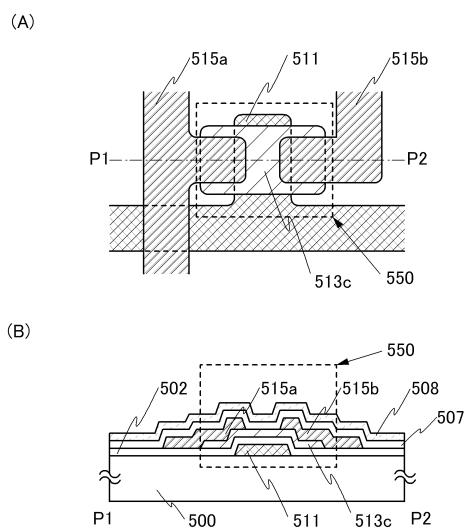
【0311】

104	半導体領域	
130	絶縁層	
148a	ゲート電極	
150	絶縁層	10
152	絶縁層	
200	基板	
202	保護層	
204	半導体領域	
206	素子分離絶縁層	
208	ゲート絶縁層	
210	ゲート電極	
216	チャネル形成領域	
220	不純物領域	
222	金属層	20
224	金属化合物領域	
228	絶縁層	
230	絶縁層	
242a	電極	
242b	電極	
243a	絶縁層	
243b	絶縁層	
244	酸化物半導体層	
246	ゲート絶縁層	
248a	ゲート電極	30
248b	電極	
250	絶縁層	
252	絶縁層	
254	電極	
256	配線	
260	トランジスタ	
262	トランジスタ	
264	容量素子	
400	基板	
401	絶縁膜	40
413a	酸化物半導体層	
413b	酸化物半導体層	
413c	酸化物半導体層	
413d	酸化物半導体層	
500	基板	
502	ゲート絶縁層	
507	絶縁層	
508	保護絶縁層	
511	ゲート電極	
513a	酸化物半導体層	50

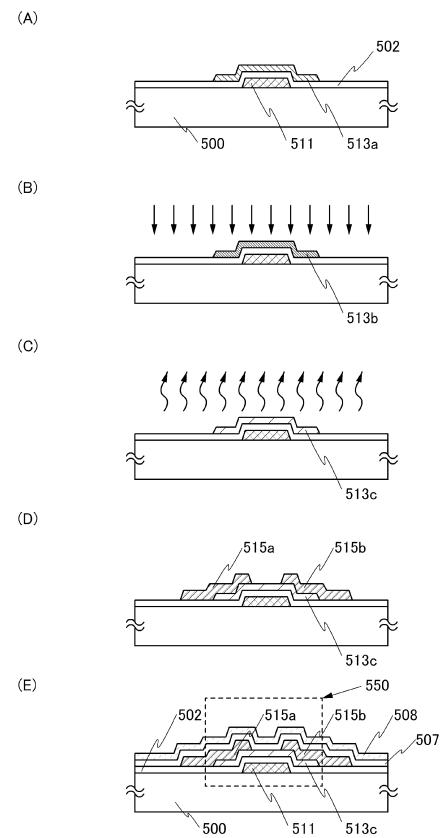
5 1 3 b	酸化物半導体層	
5 1 3 c	酸化物半導体層	
5 1 5 a	電極	
5 1 5 b	電極	
5 5 0	トランジスタ	
6 0 0	基板	
6 0 1	筐体	
6 0 2	ゲート絶縁層	
6 0 5	筐体	10
6 0 3	表示部	
6 0 4	キー ボード	
6 0 8	保護絶縁層	
6 1 0	本体	
6 1 1	ゲート電極	
6 1 2	スタイルス	
6 1 3	表示部	
6 1 3 a	酸化物半導体層	
6 1 3 b	酸化物半導体層	
6 1 3 c	酸化物半導体層	
6 1 4	操作ボタン	20
6 1 5	外部インターフェイス	
6 1 5 a	電極	
6 1 5 b	電極	
6 2 0	電子書籍	
6 2 1	筐体	
6 2 3	筐体	
6 2 5	表示部	
6 2 7	表示部	
6 3 1	電源	
6 3 3	操作キー	30
6 3 5	スピーカー	
6 3 7	軸部	
6 4 0	筐体	
6 4 1	筐体	
6 4 2	表示パネル	
6 4 3	スピーカー	
6 4 4	マイクロフォン	
6 4 5	操作キー	
6 4 6	ポインティングデバイス	
6 4 7	カメラ用レンズ	40
6 4 8	外部接続端子	
6 4 9	太陽電池セル	
6 5 0	トランジスタ	
6 5 1	外部メモリスロット	
6 6 1	本体	
6 6 3	接眼部	
6 6 4	操作スイッチ	
6 6 5	表示部	
6 6 6	バッテリー	
6 6 7	表示部	50

6 7 0 テレビジョン装置
 6 7 1 筐体
 6 7 3 表示部
 6 7 5 スタンド
 6 8 0 リモコン操作機
 7 0 0 トランジスタ
 7 1 0 トランジスタ
 7 2 0 容量素子
 7 5 0 メモリセル

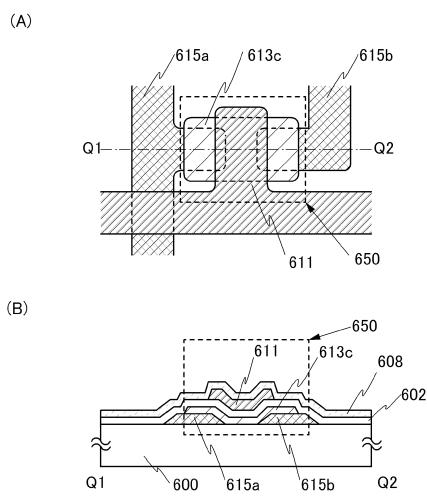
【図 1】



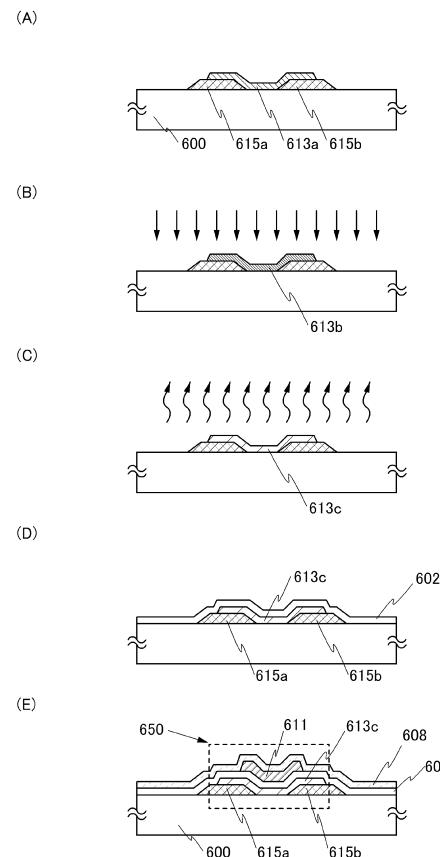
【図 2】



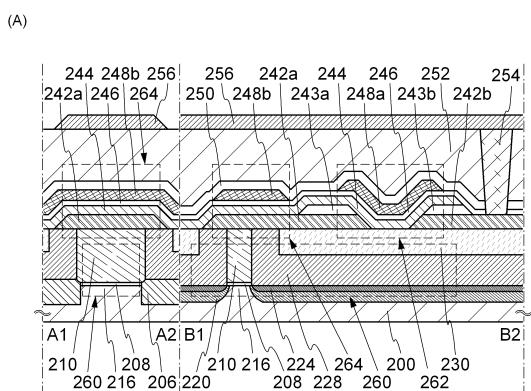
【図3】



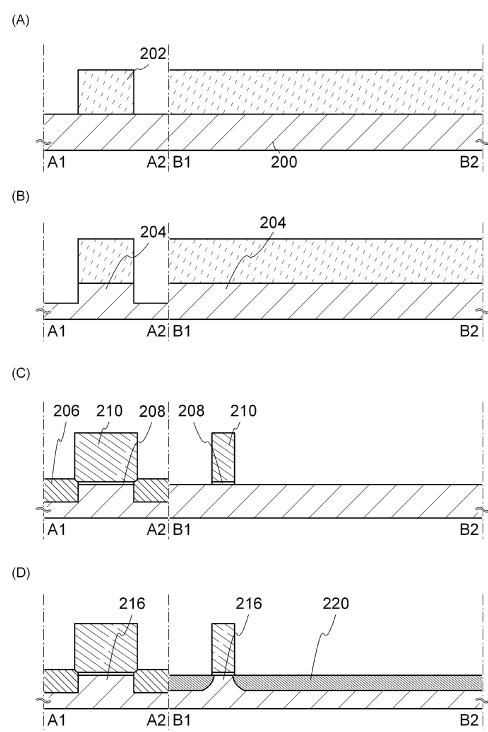
【図4】



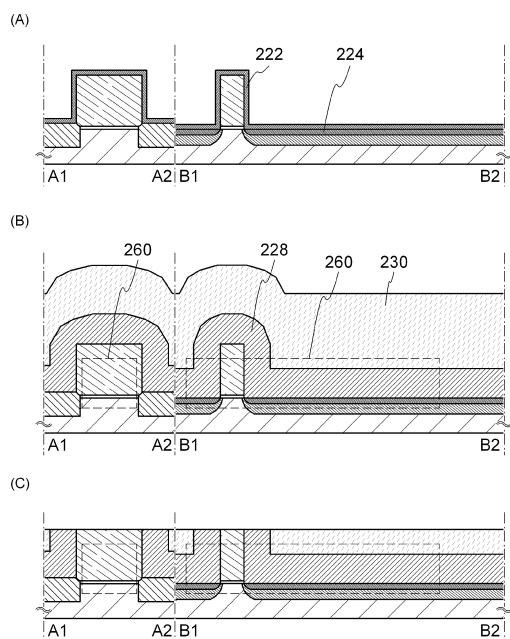
【図5】



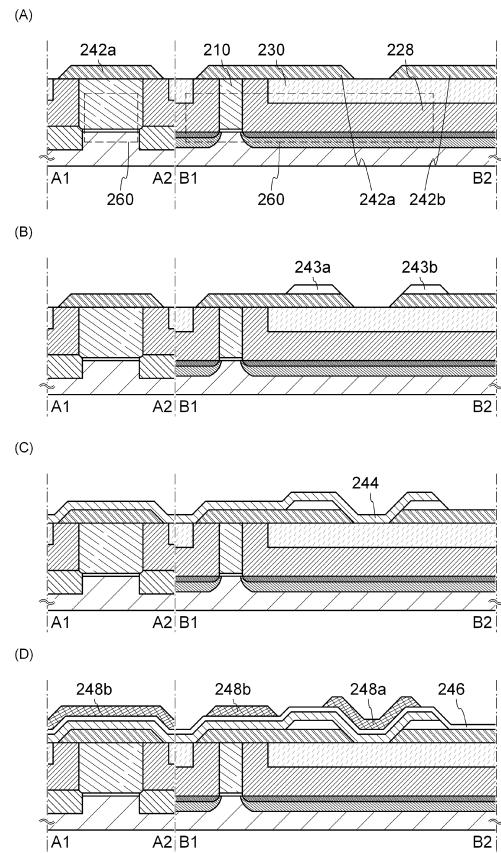
【図6】



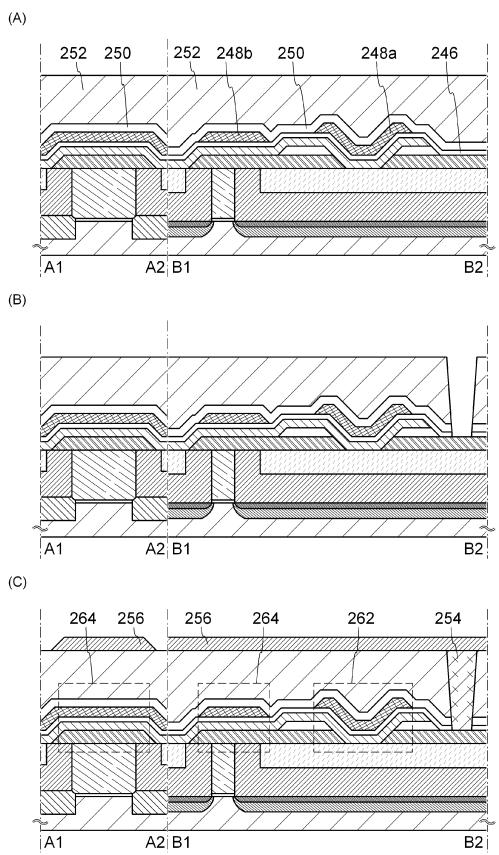
【図7】



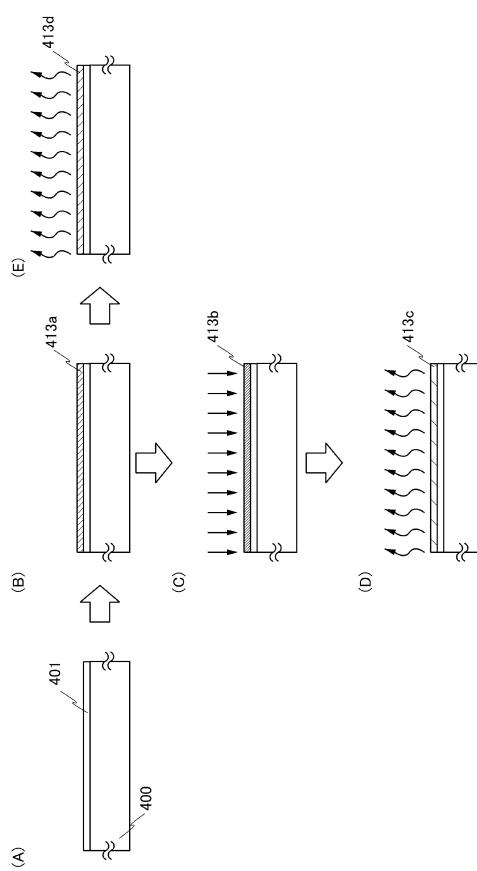
【図8】



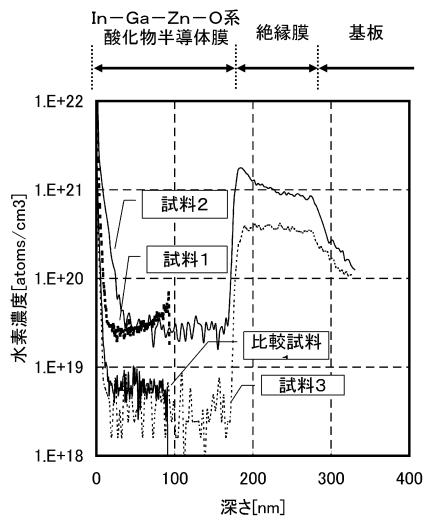
【図9】



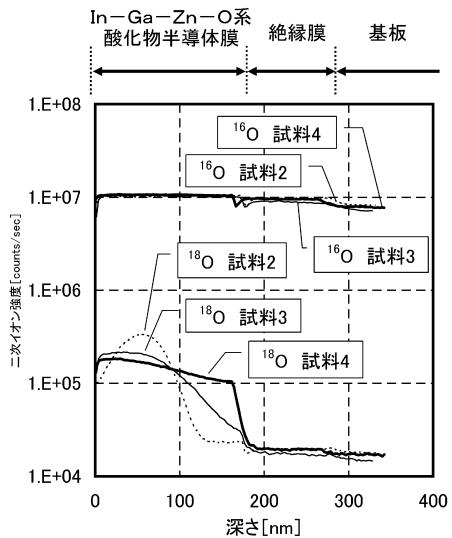
【図10】



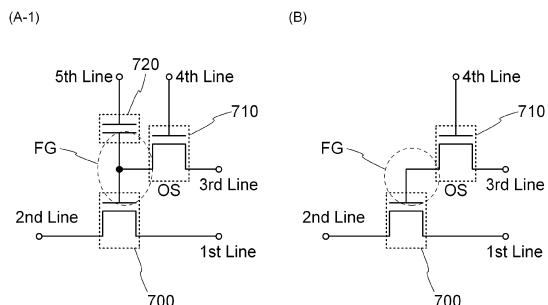
【図11】



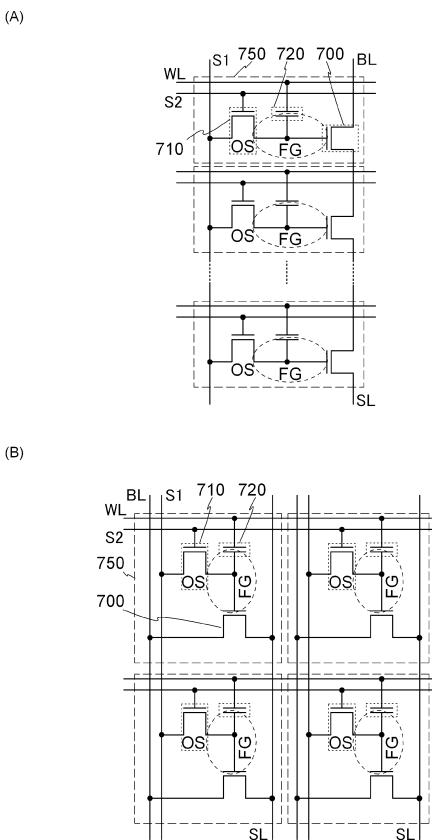
【図12】



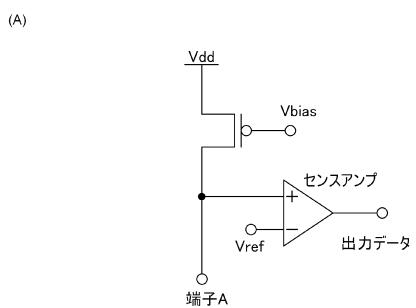
【図13】



【図14】

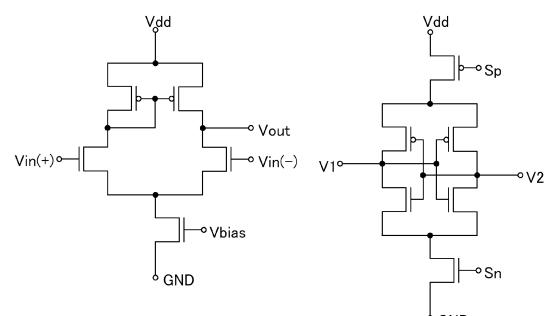


【図15】

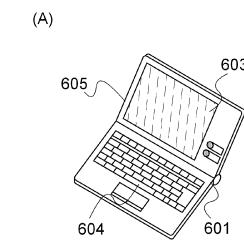


(B)

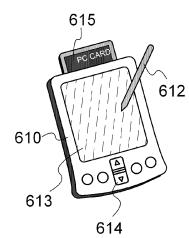
(C)



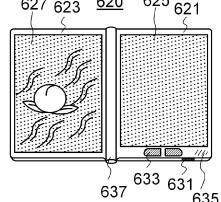
【 図 1 6 】



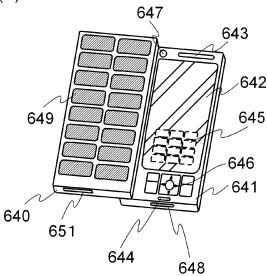
(B)



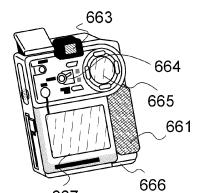
(C)



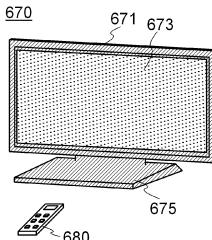
(D)



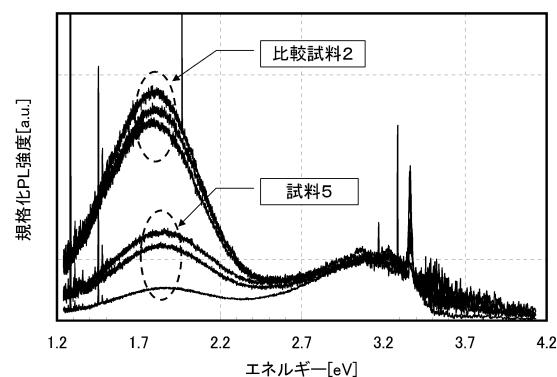
(E)



(F)



【図17】



フロントページの続き

(56)参考文献 米国特許出願公開第2009/0142887(US, A1)
特開2010-021520(JP, A)
特開2009-290113(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/265
H01L 21/336
H01L 21/425
H01L 29/786