(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-300396
(P2008-300396A)
(43)公開日　平成20年12月11日(2008.12.11)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 21/8246	(2006.01)	H01L 27/10	444B	5F083
H01L 27/105	(2006.01)			

審査請求 未請求　請求項の数 6　OL　（全 14 頁）

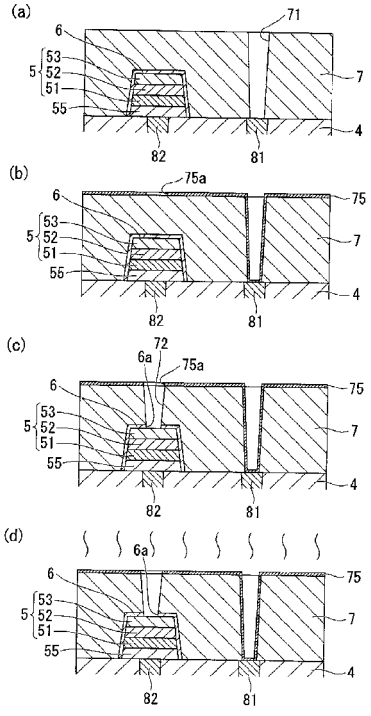
(21)出願番号　特願2007-141672 (P2007-141672)
(22)出願日　平成19年5月29日 (2007.5.29)

(71)出願人　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100107836
弁理士　西　和哉
(74)代理人　100064908
弁理士　志賀　正武
(74)代理人　100101465
弁理士　青山　正和
(72)発明者　漆戸　達大
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

Fターム(参考)　5F083 FR02 GA25 GA27 JA15 JA36 JA38 JA39 JA40 JA43 JA56 MA05 MA06 MA17 MA18 MA20 PR05 PR33 PR40

(54)【発明の名称】強誘電体キャパシタの製造方法及び強誘電体キャパシタ

(57)【要約】
【課題】強誘電体膜の劣化を防止した強誘電体キャパシタとその製造方法を提供する。
【解決手段】本発明の強誘電体キャパシタの製造方法は、ビット線側下部プラグ８１を露出させるビット線側上部コンタクトホール７１を形成する工程と、層間絶縁膜７上に酸素バリア性の導電材料を成膜して、層間絶縁膜７上とビット線側上部コンタクトホール７１内に露出したビット線側下部プラグ８１上とに第１バリア導電膜７５を形成する工程と、第１バリア導電膜７５の電荷蓄積部５と対応する位置に開口部７５ａを形成する工程と、第１バリア導電膜７５をマスクにして、層間絶縁膜７及び水素バリア膜６をエッチングし、層間絶縁膜７上と上部電極５３とを接続するグランド線側上部コンタクトホール７２を形成する工程と、グランド線側上部コンタクトホール７２を形成した後に、酸素雰囲気でアニール処理を行う工程と、を有する。
【選択図】図３



【特許請求の範囲】
【請求項１】
基板上に下地絶縁膜を形成し、この下地絶縁膜の所定位置に第１プラグ導電部を形成する工程と、
前記下地絶縁膜上に、下部電極と強誘電体膜と上部電極とからなる電荷蓄積部を形成する工程と、
前記電荷蓄積部を覆って水素バリア膜を形成する工程と、
前記水素バリア膜を覆って層間絶縁膜を形成する工程と、
前記層間絶縁膜の前記第１プラグ導電部と対応する位置に、前記第１プラグ導電部を露出させる第１コンタクトホールを形成する工程と、
前記第１コンタクトホールが形成された層間絶縁膜上に、酸素バリア性の導電材料を成膜して、前記層間絶縁膜と、少なくとも前記第１コンタクトホール内に露出した前記第１プラグ導電部と、を覆って第１バリア導電膜を形成する工程と、
前記第１バリア導電膜の前記電荷蓄積部と対応する位置に開口部を形成する工程と、
前記第１バリア導電膜をマスクにして、前記層間絶縁膜及び前記水素バリア膜をエッチングし、前記電荷蓄積部の上部電極を露出させる接続する第２コンタクトホールを形成する工程と、
前記第２コンタクトホールを形成した後に、酸素雰囲気でアニール処理を行う工程と、
前記アニール処理後に、前記第１コンタクトホール内及び前記第２コンタクトホール内に導電材料を埋め込んで、第１コンタクトホール内及び第２コンタクトホール内にそれぞれ第２プラグ導電部を形成する工程と、を有することを特徴とする強誘電体キャパシタの製造方法。
【請求項２】
前記第１バリア導電膜を、イリジウムを含有する材料で形成することを特徴とする請求項１に記載の強誘電体キャパシタの製造方法。
【請求項３】
前記第２プラグ導電部を形成する工程では、少なくとも前記第１コンタクトホール内の前記第１バリア導電部と、第２コンタクトホール内に露出した前記電荷蓄積部の上部電極と、を覆って水素バリア性の導電材料で第２バリア導電膜を形成した後、導電材料を埋め込むことを特徴とする請求項２に記載の強誘電体キャパシタの製造方法。
【請求項４】
前記第２バリア導電膜を、チタンを含有する材料で形成することを特徴とする請求項３に記載の強誘電体キャパシタの製造方法。
【請求項５】
基板上に形成された下地絶縁膜と、
前記下地絶縁膜上に形成された下部電極と強誘電体膜と上部電極とからなる電荷蓄積部と、
前記電荷蓄積部を覆って形成された水素バリア膜と、
前記水素バリア膜を覆って形成された層間絶縁膜と、
前記下地絶縁膜の所定の位置の形成された第１プラグ導電部と、
前記層間絶縁膜に形成され、前記第１プラグ導電部の上面に通じる第１コンタクトホールと、
前記層間絶縁膜に形成され、前記電荷蓄積部の上部電極上面に通じる第２コンタクトホールと、
前記第１コンタクトホール内及び前記第２コンタクトホール内に形成された第２プラグ導電部と、を備え、
前記第１プラグ導電部とこの上に形成された第２プラグ導電部との間には、前記第１プラグ導電部の上面を覆って、酸素バリア性の導電材料からなる第１バリア導電膜が形成されていることを特徴とする強誘電体キャパシタ。
【請求項６】

前記第１バリア導電膜と前記第２プラグ導電部との間に、水素バリア性の導電材料からなる第２バリア導電膜が形成されていることを特徴とする請求項５に記載の強誘電体キャパシタ。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、強誘電体キャパシタの製造方法及び強誘電体キャパシタに関する。

【背景技術】

【０００２】

強誘電体メモリ装置（ＦｅＲＡＭ）は、強誘電体材料の自発分極を利用した低電圧及び高速動作が可能な不揮発性メモリであり、メモリセルが１トランジスタ／１キャパシタ（１Ｔ／１Ｃ）で構成できる。そのため、ＤＲＡＭ並の集積化が可能であることから、大容量の不揮発性メモリとして期待されている。

【０００３】

一般に、強誘電体メモリ装置のメモリセルは、基板上にトランジスタ、下地絶縁膜、電荷蓄積部、層間絶縁膜、配線層が順次形成されたスタック構造となっている。トランジスタは、ゲート電極と一対のソース／ドレイン領域とを有しており、例えばゲート電極は配線層に設けられたワード線に、ソース領域は配線層に設けられたビット線に、ドレイン領域は電荷蓄積部の下部電極に、それぞれ電気的に接続されており、電荷蓄積部の上部電極は配線層に設けられたグランド線に接続されている。これらの接続は、下地絶縁膜や層間絶縁膜に設けられたプラグ導電部を介して行われている。以上のような構成のメモリセルは、ゲート電極に電圧が印加されると、一対のソース／ドレイン領域間で電流が流れることにより、電荷蓄積部にデータ（電荷）を書込み、あるいは電荷蓄積部からデータを読出しできるようになっている。

【０００４】

先述の電荷蓄積部は、上部電極と下部電極との間に強誘電体材料からなる強誘電体膜を備えている。強誘電体材料としては、ABO_3の一般式で示されるペロブスカイト型の結晶構造を有するもの、具体的にはチタン酸ジルコン酸鉛（Ｐｂ（Ｚｉ，Ｔｉ）O_3：ＰＺＴ）等が一般的である。このように、強誘電体材料は酸化物であるので、強誘電体メモリ装置を製造する際には、強誘電体膜が還元されて劣化してしまうことが無いように留意する必要がある。強誘電体膜の劣化を防止する方法としては、電荷蓄積部を水素バリア膜で覆う方法（例えば、特許文献１）や、強誘電体膜の酸素欠損を回復させる酸素アニール処理を行う方法（例えば、特許文献２）が挙げられる。

【特許文献１】特開２００６－５２３４号公報

【特許文献２】特開２００６－６００１９号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

特許文献１、２に開示されている方法によれば、強誘電体膜の劣化を低減できると考えられるが、以下に述べるような改善点があった。先述の層間絶縁膜形成時には水素ガスや水蒸気等の還元ガスが発生するので、特許文献２の酸素アニール処理は、層間絶縁膜を形成した後に、すなわち電荷蓄積部を水素バリア膜で保護し、この上に層間絶縁膜を形成して、層間絶縁膜に電荷蓄積部の上部電極を露出させるコンタクトホールを形成した後に、行うことで十分な効果が得られると考えられる。

【０００６】

ところが、コンタクトホールのパターニングに用いたレジストパターンを除去するために、例えばアッシング処理し残渣をウエット洗浄処理で除去すると、水素バリア膜の開口側壁が洗浄液でエッチングされてしまい、ここにエッチングによるえぐれ等が生じることがあった。このえぐれは、ビット線等の配線に接続するプラグ用の他のコンタクトホールをパターニングした後にも、洗浄液によってエッチングされて拡大し顕在化して、水素バ

リア膜と電荷蓄積部との剥離部分となってしまう。

【０００７】

すると、このような剥離部分は、例えばコンタクトホール内に水素バリア性のバリア導電膜（バリアメタル膜）を形成する際に、バリア導電膜材料のカバレッジ性が悪くなるので、バリア導電膜のウィークポイントとなってしまう。そして、コンタクトホール内に還元雰囲気でプラグを形成する際には、バリア導電膜のウィークポイントを通って電荷蓄積部に侵入した還元ガスが、強誘電体膜を劣化させてしまう。

【０００８】

そこで、えぐれの発生を抑制するために、例えば電荷蓄積部上のコンタクトホールよりも先に配線接続プラグ用の他のコンタクトホールを形成して、水素バリア膜が洗浄液に曝される時間を短縮する方法が考えられる。しかしながら、この方法では、後に電荷蓄積部上にコンタクトホールを形成して酸素アニール処理を行うと、先に形成した配線接続プラグ用のコンタクトホール内に露出した下層のプラグ導電部上面が、酸素雰囲気に曝されて酸化されてしまい、下層プラグの高抵抗化等の不具合を生じる問題がある。

【０００９】

本発明は、以上のような事情を鑑みてなされたもので、水素バリア膜のえぐれ等を防止するとともに、下層のプラグ導電部が酸化されることを防止することによって効果的に酸素アニール処理することを可能とし、優れたヒステリシス特性を有する強誘電体キャパシタとその製造方法を提供することを目的とする。

【課題を解決するための手段】

【００１０】

本発明の強誘電体キャパシタの製造方法は、

基板上に下地絶縁膜を形成し、この下地絶縁膜の所定位置に第１プラグ導電部を形成する工程と、

前記下地絶縁膜上に、下部電極と強誘電体膜と上部電極とからなる電荷蓄積部を形成する工程と、

前記電荷蓄積部を覆って水素バリア膜を形成する工程と、

前記水素バリア膜を覆って層間絶縁膜を形成する工程と、

前記層間絶縁膜の前記第１プラグ導電部と対応する位置に、前記第１プラグ導電部を露出させる第１コンタクトホールを形成する工程と、

前記第１コンタクトホールが形成された層間絶縁膜上に、酸素バリア性の導電材料を成膜して、前記層間絶縁膜と、少なくとも前記第１コンタクトホール内に露出した前記第１プラグ導電部と、を覆って第１バリア導電膜を形成する工程と、

前記第１バリア導電膜の前記電荷蓄積部と対応する位置に開口部を形成する工程と、

前記第１バリア導電膜をマスクにして、前記層間絶縁膜及び前記水素バリア膜をエッチングし、前記電荷蓄積部の上部電極を露出させる接続する第２コンタクトホールを形成する工程と、

前記第２コンタクトホールを形成した後に、酸素雰囲気でアニール処理を行う工程と、

前記アニール処理後に、前記第１コンタクトホール内及び前記第２コンタクトホール内に導電材料を埋め込んで、第１コンタクトホール内及び第２コンタクトホール内にそれぞれ第２プラグ導電部を形成する工程と、を有することを特徴とする。

【００１１】

このようにすれば、水素バリア膜が層間絶縁膜に覆われた状態で第１コンタクトホールを形成しているので、水素バリア膜は第１コンタクトホールを形成する工程で洗浄液等によってエッチングされることがなく、水素バリア膜の開口側壁にえぐれや剥離を生じることが格段に低減される。詳しくは、第１、第２コンタクトホールをパターニングするために用いたレジストを除去する際には、例えばアッシング処理し残渣をウエット洗浄処理して除去するが、前記水素バリア膜は洗浄液に曝されるとエッチングされてしまい、その開口側壁に結晶欠陥が顕在化したピット等のえぐれを生じる。

従来の方法では、第２コンタクトホールを形成後に第１コンタクトホールを形成するの

で、前記水素バリア膜の開口側壁は、例えば２回の洗浄処理によって長時間洗浄液に曝されてしまい、えぐれが顕在化して水素バリア膜と上部電極との密着力が低下し剥離部分を生じることもある。

ところが、本発明の方法では、第１コンタクトホール形成時に前記水素バリア膜が洗浄液に曝されないので、開口側壁が洗浄液に曝される時間を格段に短縮することができ、えぐれの顕在化を抑制することができる。

【００１２】

したがって、例えば第２コンタクトホール内に前記電荷蓄積部の上部電極を覆って水素バリア性の導電膜（密着層）を形成する際には、えぐれや剥離部分等によって導電膜材料のカバレッジ性が損なわれないので、導電膜にウィークポイントが形成されることが防止される。よって、例えば第２プラグ導電部形成時に用いられる還元ガス等がウィークポイントを通って電荷蓄積部に侵入し強誘電体膜を劣化させることが防止される。このようにして、強誘電体膜が劣化されることなくヒステリシス特性が優れた強誘電体キャパシタを製造することができる。

【００１３】

また、前記第１プラグ導電部上面を覆って、酸素バリア性の導電材料で第１バリア導電膜を形成しているので、酸素雰囲気でアニール処理を行った際に、第１プラグ導電部が酸化されることが防止される。したがって、第１プラグ導電部が酸化されて高抵抗化される等の不具合を生じることなく効果的にアニール処理を行うことができ、前記電荷蓄積部の強誘電体膜の酸素欠損を回復させることができる。よって、優れた強誘電体特性の強誘電体膜とすることができ、ヒステリシス特性が優れた強誘電体キャパシタを製造することができる。

【００１４】

また、前記第１バリア導電膜を、イリジウムを含有する材料で形成することが好ましい。

このようにすれば、イリジウム及びその酸化物は導電体であるので、イリジウムからなる第１バリア導電膜は、前記アニール処理で酸化されても導電性が損なわれず、したがって、前記第１プラグ導電部とこの上に形成された第２プラグ導電部とを確実に導通させることができる。また、第１バリア導電膜は、第２コンタクトホールを形成する際のマスクパターンとしても用いるが、イリジウムは無機材料であるので、レジスト等の有機材料からなるマスクパターンを用いた場合のような有機汚染を生じることがなく、ウエット洗浄処理の処理時間を短縮することができる。したがって、水素バリア膜が洗浄液に曝される時間をさらに短縮することができ、先述のえぐれの発生や顕在化をさらに抑制することができる。

【００１５】

また、前記第２プラグ導電部を形成する工程では、少なくとも前記第１コンタクトホール内の前記第１バリア導電部と、第２コンタクトホール内に露出した前記電荷蓄積部の上部電極と、を覆って水素バリア性の導電材料で第２バリア導電膜を形成した後、導電材料を埋め込むことが好ましい。

このようにすれば、前記第２プラグ導電部は、通常は還元雰囲気中でタングステン等を材料に用いて形成するが、水素バリア性の第２バリア導電膜を形成するので、第２プラグ導電部形成時の水素ガスや水蒸気等の還元ガスが、強誘電体膜に侵入してこれを劣化させることが防止される。

【００１６】

また、前記第２バリア導電膜を、チタンを含有する材料で形成することが好ましい。

このようにすれば、第２コンタクトホール内壁側にタングステン等の第２プラグ導電部材料を密着させることができる。

【００１７】

本発明の強誘電体キャパシタは、

基板上に形成された下地絶縁膜と、

前記下地絶縁膜上に形成された下部電極と強誘電体膜と上部電極とからなる電荷蓄積部と、
前記電荷蓄積部を覆って形成された水素バリア膜と、
前記水素バリア膜を覆って形成された層間絶縁膜と、
前記下地絶縁膜の所定の位置の形成された第１プラグ導電部と、
前記層間絶縁膜に形成され、前記第１プラグ導電部の上面に通じる第１コンタクトホールと、
前記層間絶縁膜に形成され、前記電荷蓄積部の上部電極上面に通じる第２コンタクトホールと、
前記第１コンタクトホール内及び前記第２コンタクトホール内に形成された第２プラグ導電部と、を備え、
前記第１プラグ導電部とこの上に形成された第２プラグ導電部との間には、前記第１プラグ導電部の上面を覆って、酸素バリア性の導電材料からなる第１バリア導電膜が形成されていることを特徴とする。

【００１８】

このようにすれば、第１プラグ導電部の上面を覆って酸素バリア性の第１バリア導電膜が形成されているので、前記第１コンタクトホール内に酸素ガスが流通しても、第１プラグ導電部が酸化されることが防止され、第１プラグ導電部が酸化されて高抵抗化することや異常成長すること等が防止される。したがって、前記のように酸素雰囲気でアニール処理して強誘電体膜の酸素欠損を回復させた場合、前記第１プラグ導電部が酸化されることによる不具合が回避されるので、強誘電体膜を酸素欠陥のないものとすることができる。よって、優れた強誘電体特性の強誘電体膜を備えた強誘電体キャパシタとすることができ、優れたヒステリシス特性の強誘電体キャパシタとなる。

【００１９】

また、前記のように前記第１プラグ導電部が酸化されることが防止されているので、前記第２コンタクトホールを前記第１コンタクトホールより後に形成されてなるものとすることができる。したがって、前記第１コンタクトホールのパターニングに用いたレジストパターンを除去する際に、前記水素バリア膜がレジストパターンを除去するウエット洗浄処理用の洗浄液に曝されることがなくなるので、水素バリア膜が洗浄液に曝される時間を格段に短縮することができ、開口側壁が洗浄液によってエッチングされることによって生じるえぐれ等が格段に低減される。よって、例えば第２コンタクトホール内に水素バリア性の導電膜を形成する場合に、ウィークポイントがない良好な導電膜とすることができ、第２プラグ導電部形成時の還元ガス等が前記ウィークポイントを通って前記電荷蓄積部に侵入して、強誘電体膜が還元され劣化されることが防止される。このようにして、強誘電体膜の劣化が防止され、優れたヒステリシス特性の強誘電体キャパシタとなる。

【００２０】

また、前記第１バリア導電膜と前記第２プラグ導電部との間に、水素バリア性の導電材料からなる第２バリア導電膜が形成されていることが好ましい。

このようにすれば、第２コンタクトホール内壁側に対する第２プラグ導電部材料の密着性を高めることができる。また、第２プラグ導電部形成時の還元ガスが強誘電体膜を還元して劣化させることが防止される。

【発明を実施するための最良の形態】

【００２１】

以下、図面を参照して本発明の一実施形態を、強誘電体キャパシタを備えた強誘電体メモリ装置のメモリセルを例に用いて説明するが、本発明の技術範囲は以下の実施形態に限定されるものではない。また、以下の説明に用いる各図面では、各部材を認識可能な大きさとするため、各部材の縮尺を適宜変更している。

【００２２】

図１（ａ）は、本発明に係る強誘電体キャパシタの一実施形態を示すメモリセルの断面構成図である。図１（ａ）に示すように、メモリセル１は、単結晶シリコン等からなる基

板２上に形成されたスイッチングトランジスタ３と、スイッチングトランジスタ３を覆って形成された下地絶縁膜４と、下地絶縁膜４上に形成された電荷蓄積部５と、電荷蓄積部５を覆って形成された水素バリア膜６と、水素バリア膜６を覆って形成された層間絶縁膜７と、を備えて構成されている。また、層間絶縁膜７上には、例えばＡｌ（アルミニウム）等からなる配線パターン９が形成されており、本実施形態では配線パターン９はビット線９１とグランド線９２とを備えている。

【００２３】

前記スイッチングトランジスタ３は、本実施形態では基板２上に熱酸化法等で形成されたゲート絶縁膜３１と、ゲート絶縁膜３１上に形成された多結晶シリコン等からなるゲート電極３２と、イオン注入法等で形成されたドープ領域３３、３４と、ＳｉＮ等からなるサイドウォール３５と、から構成されている。本実施形態では、ドープ領域３３はソース領域となっており、ドープ領域３４はドレイン領域となっている。このような構成により、図示しないワード線によってゲート電極３２に電圧が印加されると、ソース領域３３からドレイン領域３４へ電流が流れることが可能になる。

【００２４】

前記下地絶縁膜４は、例えばSiO_2からなるものであり、この下地絶縁膜４を貫通してビット線側下部コンタクトホール４１及びグランド線側下部コンタクトホール４２が形成されている。これらビット線側下部コンタクトホール４１内壁及びグランド線側下部コンタクトホール４２内壁には、例えばＴｉやＴｉＮ等からなる密着層（図示せず）が形成されている。また、前記ビット線側下部コンタクトホール４１内にはビット線側下部プラグ８１が形成されており、前記グランド線側下部コンタクトホール４２内にはグランド線側下部プラグ８２が形成されている。

【００２５】

前記電荷蓄積部５は、例えば下部電極５１、強誘電体膜５２、上部電極５３が下地絶縁膜４のグランド線側下部プラグ８２上に、順次形成されてなるものである。また、本実施形態では、下部電極５１とグランド線側下部プラグ８２との間に、下地導電部５５が形成されている。下地導電部５５は、本実施形態ではＴｉＡｌＮからなるものであり、前記グランド線側下部プラグ８２と前記下部電極５１とを電気的に接続するものである。また、下地導電部５５は、ＴｉＡｌＮが自己配向性を有しているので下部電極５１を結晶配向が揃ったものとすることができる。また、下地導電部は、ＴｉＡｌＮが水素バリア性と酸素バリア性とを兼ね備えているので、下部電極５１側が還元されることや、グランド線側下部プラグ８２側が酸化されることが防止できるようになっている。

【００２６】

前記下部電極５１は、前記下地導電部５５上に例えばＩｒ（イリジウム）薄膜、ＩｒＯｘ（イリジウム酸化物）薄膜、Ｐｔ（プラチナ）薄膜が順次形成されてなるもので、前記Ｉｒ薄膜は、前記下地導電部５５及び前記グランド線側下部プラグ８２を介して前記スイッチングトランジスタ３のドレイン領域３４に接続されている。また、前記強誘電体膜５２は、ABO_3の一般式で示されるペロブスカイト型の結晶構造を有する材料からなるもので、ＰＺＴ（Ｐｂ（Ｚｒ、Ｔｉ）O_3）やＰＬＺＴ（（Ｐｂ、Ｌａ）（Ｚｒ、Ｔｉ）O_3）、さらに、これら材料にニオブ（Ｎｂ）等の金属が加えられた強誘電体材料によって形成されている。また、前記上部電極５３は、強誘電体膜５２上にＰｔ薄膜、ＩｒＯｘ薄膜、Ｉｒ薄膜が順次形成されてなるもので、Ｉｒ薄膜は後述するグランド線側上部プラグ（第２プラグ導電部）８４を介してグランド線９２に接続されている。下部電極５１と上部電極５３との間に電圧が印加されると、これら電極に挟持された前記強誘電体膜５２に電荷を蓄積できるようになっている。

【００２７】

前記水素バリア膜６は、例えばＡｌＯｘ（アルミニウム酸化物）からなるものであり、後述する層間絶縁膜７を形成する際の水素ガスや水蒸気等の還元ガスに、前記電荷蓄積部５が曝されることを防止できるようになっている。電荷蓄積部５の強誘電体膜５２は、先述したように酸化物を材料としているので、還元ガスに曝されて還元されると強誘電体特

性が損なわれて劣化してしまうが、水素バリア膜６によって劣化が防止できるようになっている。

【００２８】

前記層間絶縁膜７は、例えばＴＥＯＳ（テトラエトキシシラン）等を材料に用いて形成されたものである。また、前記下地絶縁膜４のビット線側下部プラグ８１と対応する位置には、ビット線側上部コンタクトホール（第１コンタクトホール）７１が形成されており、前記電荷蓄積部５上にはグランド線側上部コンタクトホール（第２コンタクトホール）７２が形成されている。また、前記ビット線側上部コンタクトホール７１には、前記ビット線側下部プラグ８１と電気的に接続してビット線側上部プラグ（第２プラグ導電部）８３が形成されており、前記グランド線側上部コンタクトホール７２には、前記電荷蓄積部５の上部電極５３と電気的に接続してグランド線側上部プラグ（第２プラグ導電部）８４が形成されている。

【００２９】

図１（ｂ）は、ビット線側上部コンタクトホール７１内に形成されたビット線側上部プラグ（第２プラグ導電部）８３を拡大して示す図である。図１（ｂ）に示すように、本実施形態では、前記ビット線側下部プラグ８１上面及び前記ビット線側上部コンタクトホール７１内壁を覆って、第１バリア導電膜７５が形成されており、この第１バリア導電膜７５を覆って第２バリア導電膜７６が形成されている。このように第１バリア導電膜７５及び第２バリア導電膜７６に内壁を覆われたビット線側上部コンタクトホール７１内に、タングステン等からなるビット線側上部プラグ８３が形成されている。

【００３０】

前記第１バリア導電膜７５は、例えばＩｒＯｘからなるもので、前記ビット線側下部プラグ８１が酸素雰囲気に曝されることを防止し、酸化によるビット線側下部プラグ８１の高抵抗化や異常成長を防止できるようになっている。また、この第１バリア導電膜７５は、酸化されても導電性が損なわれない酸素バリア性の材料（ＩｒＯｘ）からなっているので、後述するように酸素雰囲気でアニール処理されても、これを介して接続された前記ビット線側下部プラグ８１と前記ビット線側上部プラグ８３とを良好に導通させることができるようになっている。

また、第２バリア導電膜７６は、例えばＴｉ及びＴｉＮからなるものであり、ビット線側上部プラグ８３の材料（タングステン）とビット線側上部コンタクトホール７１内壁側との間の密着力、及びグランド線側上部プラグ８４の材料とグランド線側上部コンタクトホール７２内壁側との間の密着力を高めることができるようになっている。

【００３１】

以上のように、電荷蓄積部５の上部電極５３がグランド線側上部プラグ８４等を介してグランド線９２に接続され、下部電極５１が、下地導電部５５、グランド線側下部プラグ８２、ビット線側下部プラグ８１、ビット線側上部プラグ８３等を介してビット線９１に接続されることにより、上部電極５３と下部電極５１との間に電圧を印加することができ、これら電極間に挟持された強誘電体膜５２に電荷を蓄積することができるようになっている。したがって、電荷蓄積部５は強誘電体キャパシタとして機能させることができるようになっている。

【００３２】

また、ビット線側下部プラグ８１とグランド線側下部プラグ８２との間にスイッチングトランジスタ３を介することにより、ビット線９１から電荷蓄積部５へ伝達される電気信号をオンオフすることが可能となり、強誘電体キャパシタとスイッチングトランジスタ３とを備えたメモリセル１はデータを読出し、あるいは書込みすることができるようになっている。

【００３３】

次に、本発明の強誘電体キャパシタの製造方法を、前記メモリセル１の製造に適用した場合を例として説明する。なお、以下の説明で用いる図のうち、図３（ａ）～（ｄ）及び図４（ａ）では、基板２（図１参照）等の下層構造を一部省略して示している。

まず、図２（ａ）に示すように、基板２上にスイッチングトランジスタ３を形成する。具体的には、まず、単結晶シリコン等からなる基板２の所定位置に、ＬＯＣＯＳ法で素子分離領域２１を形成する。素子分離領域２１が形成されることにより、素子分離領域２１の間が、メモリセル領域となる。そして、基板２上に熱酸化法等でゲート絶縁膜３１を形成し、この上に多結晶シリコン等からなるゲート電極３２を形成する。そして、ゲート電極３２と素子分離領域２１との間の基板２中にイオン注入法で不純物イオンを注入し、ドープ領域３３、３４を形成する。そして、例えば基板２上の全面にＳｉＮを成膜し、エッチバックすることによりサイドウォール３５を形成する。そして、素子分離領域２１とサイドウォール３５との間のドープ領域３３、３４にイオン注入法で再度不純物イオンを注入することで、この部分のイオン濃度を高めて高濃度不純物領域（図示せず）を形成する。これらは公知の方法で形成することができる。

【００３４】

次に、図２（ｂ）に示すように、スイッチングトランジスタ３が形成された基板２上に、下地絶縁膜４を形成し、下地絶縁膜４の所定位置にビット線側下部プラグ８１及びグランド線側下部プラグ８２を形成する。具体的には、例えばＴＥＯＳを原料ガスとしてＣＶＤ法で下地絶縁膜４を形成する。そして、下地絶縁膜４上に例えばポジ型のフォトレジストを成膜し、前記ドープ領域３３、３４と対応する位置を露光／現像してこの部分を除去し、レジストパターン（図示せず）を形成する。そして、このレジストパターンをマスクとして下地絶縁膜４をエッチングし、前記ドープ領域３３に通じるビット線側下部コンタクトホール４１と、前記ドープ領域３４に通じるグランド線側下部コンタクトホール４２と、を形成する。

【００３５】

そして、ビット線側下部コンタクトホール４１及びグランド線側下部コンタクトホール４２内に、例えばスパッタリング法でＴｉ、ＴｉＮを順次成膜して、密着層（図示せず）を形成する。そして、下地絶縁膜４の全面に例えばＷ（タングステン）をＣＶＤ法で成膜して、これをビット線側下部コンタクトホール４１及びグランド線側下部コンタクトホール４２内に埋め込む。ここで、ビット線側下部コンタクトホール４１内壁及びグランド線側下部コンタクトホール４２内壁には、前記密着層が形成されており、ビット線側下部コンタクトホール４１内及びグランド線側下部コンタクトホール４２内にタングステンを良好に埋め込むことができる。そして、下地絶縁膜４上を下地絶縁膜４が露出するまでＣＭＰ法等で研磨し、下地絶縁膜４上のＴｉ膜、ＴｉＮ膜、タングステン膜を除去する。このようにして、ビット線側下部コンタクトホール４１内にビット線側下部プラグ８１を、グランド線側下部コンタクトホール４２内にグランド線側下部プラグ８２を、それぞれ形成する。これらは公知の方法で形成することができる。

【００３６】

次に、図２（ｃ）に示すように、前記下地絶縁膜４上に下地導電部５５を形成し、この上に下部電極５１と、強誘電体膜５２と、上部電極５３とからなる電荷蓄積部５を形成し、電荷蓄積部５を覆って水素バリア膜６を形成する。具体的には、まず、前記下地絶縁膜４上に、下地導電部５５の材料として、例えばＴｉＡｌＮ（チタンアルミナイトライド）をスパッタリング法で形成する。そして、この上に下部電極５１の材料として、例えばＩｒ（イリジウム）、ＩｒＯｘ（イリジウム酸化物）、Ｐｔ（プラチナ）をスパッタリング法で順次成膜する。そして、この上に強誘電体膜５２の材料として、例えば（Ｐｂ（Ｚｉ，Ｔｉ）$Ｏ_3$（チタン酸ジルコン酸鉛）をゾルゲル法やスパッタリング法等で成膜する。そして、この上に上部電極５３の材料として、例えばＰｔ、ＩｒＯｘ、Ｉｒをスパッタリング法で順次成膜する。

【００３７】

そして、これら材料膜の上面、すなわち上部電極５３となる膜上に、例えばフォトリソグラフィ法でレジストパターンを形成し、これをマスクとして前記材料膜をエッチングして、下地導電部５５と、この上に下部電極５１、強誘電体膜５２、上部電極５３が順次積層された電荷蓄積部５とを形成する。そして、電荷蓄積部５を含む前記下地絶縁膜４の全

面に、例えばＡｌＯｘ（アルミニウム酸化物）をスパッタリング法で成膜して、これをパターニングすることにより、少なくとも電荷蓄積部５の側壁と上部を覆う水素バリア膜６を形成する。

【００３８】

次に、図３（ａ）に示すように、前記水素バリア膜６を覆って層間絶縁膜７を形成し、前記ビット線側下部プラグ（第１プラグ導電部）８１と対応する位置に、ビット線側上部コンタクトホール（第１コンタクトホール）７１を形成する。具体的には、前記水素バリア膜６を含む下地絶縁膜４上の全面に、例えばＴＥＯＳ等を原料ガスに用いてＣＶＤ法で層間絶縁膜７を形成する。ここで、層間絶縁膜７の原料ガスが化学反応する際には、水素ガスや水蒸気等の還元ガスが発生する。前記電荷蓄積部５の強誘電体膜５２は、酸化物であるＰＺＴが前記還元ガスに還元されると、強誘電体特性が損なわれて劣化してしまう。しかしながら本実施形態の製造方法では、電荷蓄積部５を覆って水素バリア膜６を形成しており、前記電荷蓄積部５が水素ガスに曝されないので、強誘電体膜５２が劣化されることなく層間絶縁膜７を形成することができる。

【００３９】

そして、層間絶縁膜７上に例えばフォトレジストを成膜し、前記ビット線側下部プラグ８１と対応する位置を露光／現像してこの部分を除去し、レジストパターン（図示せず）を形成する。そして、このレジストパターンをマスクとして前記層間絶縁膜７をエッチングして、前記ビット線側下部プラグ８１の上面を露出させるビット線側上部コンタクトホール７１を形成する。

【００４０】

次に、図３（ｂ）に示すように、ビット線側上部コンタクトホール７１が形成された層間絶縁膜７上に酸素バリア性の導電材料を成膜して、本実施形態では、層間絶縁膜７上と、ビット線側上部コンタクトホール７１内に露出したビット線側下部プラグ８１上面を含むビット線側上部コンタクトホール７１内壁全面と、に第１バリア導電膜７５を形成する。また、第１バリア導電膜７５の前記電荷蓄積部５と対応する位置には、開口部７５ａを形成する。第１バリア導電膜７５は、その材料としてＴｉＡｌＮやＩｒ、ＩｒＯｘ等の酸素バリア性の導電材料、すなわち酸素を透過せず、かつ材料自身が酸化されにくい又は酸化されても導電性を損なわない材料を用いることができる。また、第１バリア導電膜７５は、後述するようにエッチングマスクとしても機能させるので、水素バリア膜６及び層間絶縁膜７に対するエッチングの選択比が３以上である材料で形成することが好ましく、１０以上である材料で形成することがより好ましい。本実施形態では、Ｉｒをスパッタリング法で成膜し、厚さが１０～５０ｎｍ程度の第１バリア導電膜７５を形成する。

【００４１】

そして、本実施形態では第１バリアメタル膜７５上に例えばフォトリソグラフィ法でレジストパターン（図示せず）を形成し、これをマスクとして第１バリア導電膜７５をエッチングして開口部７５ａを形成する。そして、開口部７５ａを形成した後に、例えばアッシング処理してレジストパターンを灰化し、その残渣をウエット洗浄処理等で除去して、ビット線側上部コンタクトホール７１内と層間絶縁膜７上を清浄化する。具体的なウエット洗浄処理の方法としては、硫酸及び過酸化水素水の混合溶液（硫酸過水）を洗浄液として用いる方法（ＳＰＭ洗浄）や、アンモニア水溶液及び過酸化水素水の混合溶液（アンモニア過水）を洗浄液として用いる方法（ＡＰＭ洗浄）等が挙げられる。本実施形態では、アンモニア、過酸化水素水、水を適切な割合で混合したアンモニア過水を洗浄液とし、これを７５～８５℃程度に加熱してＡＰＭ洗浄を行う。

【００４２】

次に、図３（ｃ）に示すように、前記第１バリア導電膜７５をマスクとして、前記層間絶縁膜７及び前記水素バリア膜６をエッチングして、前記電荷蓄積部５の上部電極５３を露出させるグランド線側上部コンタクトホール７２を形成する。ここで、グランド線側上部コンタクトホール７２形成前に、ビット線側上部コンタクトホール７１内と層間絶縁膜７上とを清浄化しており、かつグランド線側上部コンタクトホール７２を形成する際には

レジストパターン等の有機物を用いないので、グランド線側上部コンタクトホール７２内や層間絶縁膜７上等は有機汚染等が極めて少ない清浄な状態となっている。したがって、グランド線側上部コンタクトホール７２形成直後に、ウエット洗浄処理を行う必要がなく、ウエット洗浄処理を行う場合でも短時間の処理時間で清浄化することができる。よって、前記水素バリア膜６の開口側壁６ａにえぐれを生じることや、水素バリア膜６と前記電荷蓄積部５との間に剥離を生じることが格段に低減され、あるいは防止される。

【００４３】

詳しくは、例えばレジストパターンをアッシング処理した後の残滓を除去（有機汚染物除去）するためには、通常は先述のようにアンモニア過水を洗浄液に用いたＡＰＭ洗浄を行う。このような洗浄液に長時間曝されると、前記水素バリア膜６の開口側壁６ａがエッチングされてしまい、微小な表面粗さ（マイクロラフネス）や結晶欠陥が拡大して開口側壁６ａにえぐれ（ピット）が生じることがある。さらに、このようなえぐれが顕在化して、前記電荷蓄積部５の上部電極５３と前記水素バリア膜６との間の密着力が損なわれて、剥離を生じることもある。ところが、本実施形態の方法によれば、ウエット洗浄処理の処理時間を格段に短縮することができるので、前記したえぐれや剥離が格段に低減され、あるいは防止される。

【００４４】

次に、図３（ｄ）に示すように、グランド線側上部コンタクトホール７２が形成された基板２（図１（ａ）参照）を、６００℃の酸素雰囲気に５分間保持することにより、アニール処理を行う。このようにすることで、前記電荷蓄積部５の強誘電体膜５２を熱酸化することができ、このアニール処理以前の工程で強誘電体膜５２が還元された場合でも、その酸素欠損を回復させることができる。このとき、ビット線側下部プラグ（第１プラグ導電部）８１の上面を覆って、酸素バリア性の材料で第１バリア導電膜７５を形成しているので、酸化されやすいタングステンからなるビット線側下部プラグ８１が酸素雰囲気に曝されることがなく、ビット線側下部プラグ８１が酸化されることが防止されている。したがって、ビット線側下部プラグ８１が酸化されて高抵抗化することや異常成長することが防止されている。

【００４５】

従来の方法を用いてビット線側下部プラグ８１の酸化を回避するためには、グランド線側上部コンタクトホール７２を先に形成してビット線側下部プラグ８１が層間絶縁膜７に覆われている状態で前記アニール処理を行う方法が考えられるが、この場合には先述のように水素バリア膜６にえぐれや剥離が生じるおそれがある。つまり、ビット線側上部コンタクトホール７１を形成する前に、グランド線側上部コンタクトホール７２のパターニングに用いたレジストパターン等を除去する必要がある。ところが、前記したようにレジストパターンの除去にはウエット洗浄処理を行うので、水素バリア膜６の開口側壁６ａが洗浄液に長時間曝されてしまい、開口側壁６ａにえぐれ等が生じる。

しかしながら、本実施形態の方法では、ビット線側下部プラグ８１が酸化されることを防止し、グランド線側上部コンタクトホール７２をビット線側上部コンタクトホール７１の後で形成するので、前記水素バリア膜６が洗浄液に曝される時間を格段に短縮することができ、前記したえぐれや剥離が格段に低減され、あるいは防止される。

【００４６】

次に、図４（ａ）に示すように、ビット線側上部コンタクトホール７１内にビット線側上部プラグ（第２プラグ導電部）８３を形成し、グランド線側上部コンタクトホール７２内にグランド線側上部プラグ（第２プラグ導電部）８４を形成する。具体的には、ビット線側上部コンタクトホール７１内壁及びグランド線側上部コンタクトホール７２内壁に、例えばスパッタリング法でＴｉ、ＴｉＮを順次成膜して、第２バリア導電膜（密着層）７６を形成する。ここで、水素バリア膜６のえぐれや剥離等を防止しているので、水素バリア膜６の開口側壁６ａでの密着層材料のカバレッジ性がえぐれ等によって損なわれることが防止され、弱い部分（ウィークポイント）を生じることなく良好な第２バリア導電膜７６を形成することができる。

【００４７】
そして、層間絶縁膜７上の全面に例えばＣＶＤ法でタングステンを成膜して、タングステンをビット線側上部コンタクトホール７１内及びグランド線側上部コンタクトホール７２内に埋め込む。このとき、通常は還元雰囲気でタングステンを成膜するが、前記電荷蓄積部５の上部電極５３上には水素バリア性のＴｉ、ＴｉＮで第２バリア導電膜７６を形成しており、先述したように第２バリア導電膜７６にウィークポイントが生じることを防止しているので、還元ガスがウィークポイントを通って前記電荷蓄積部５に侵入し強誘電体膜５２を還元して劣化させることが防止される。
【００４８】
そして、例えば層間絶縁膜７上をＣＭＰ法で層間絶縁膜７上面が露出するまで研磨して、層間絶縁膜７上のタングステン膜や、第２バリア導電膜、第１バリア導電膜を除去して、ビット線側上部コンタクトホール７１内にビット線側上部プラグ８３を、グランド線側上部コンタクトホール７２内にグランド線側上部プラグ８４を、それぞれ形成する。
【００４９】
次に、図４（ｂ）に示すように、層間絶縁膜７上に配線パターン９を形成する。具体的には、層間絶縁膜７上に例えばＡｌをスパッタリング法で成膜する。そして、Ａｌ膜上にフォトレジストを成膜し、その所定位置を露光／現像してレジストパターン（図示せず）を形成する。そして、レジストパターンをマスクとしてＡｌ膜をエッチングし、配線パターン９を形成する。本実施形態では、電荷蓄積部５上のグランド線側上部プラグ８４と接続する配線パターン９をグランド線９２とし、ビット線側上部プラグ８３と接続する配線パターン９をビット線９１とする。このようにして、メモリセル１を製造する。
【００５０】
以上のような本実施形態の強誘電体キャパシタの製造方法によれば、第１バリア導電膜７５を形成して第１プラグ導電部（ビット線側下部プラグ）８１を酸素雰囲気から保護しているので、ビット線側下部プラグ８１が酸化されることなく強誘電体膜５２を酸素雰囲気でアニール処理することができ、ビット線側下部プラグ８１が高抵抗化や異常成長を生じることなく、しかも優れた強誘電体特性の強誘電体膜５２を形成することができる。
【００５１】
また、第２コンタクトホール（グランド線側上部コンタクトホール）７２を第１コンタクトホール（ビット線側上部コンタクトホール）７１よりも後で形成しているので、水素バリア膜６が洗浄液に曝される時間を格段に短縮することができる。したがって、水素バリア膜６の開口側壁６ａが洗浄液にエッチングされることによるえぐれの発生や顕在化を格段に低減することができる。
また、第１バリア導電膜７５をマスクとしてグランド線側上部コンタクトホール（第２コンタクトホール）７２を形成しているので、有機材料からなるレジストパターンをマスクとして用いる場合よりも有機汚染を低減でき、グランド線側上部コンタクトホール７２を形成した後に有機汚染物を除去するウエット洗浄処理の処理時間を短縮することができる。したがって、えぐれの発生や顕在化をさらに低減することができる。
以上のように、水素バリア膜６の開口側壁６ａにえぐれや剥離が生じることを防止しているので、えぐれ等によって第２バリア導電膜材料のカバレッジ性が損なわれることが防止される。よって、ウィークポイントを生じることなく良好な第２バリア導電膜７６を形成することができ、第２プラグ導電部（グランド線側上部プラグ）８４を形成する際に、還元ガスがウィークポイントを通って強誘電体膜５２を劣化させることが防止される。
【００５２】
本発明の強誘電体キャパシタの製造方法によれば、水素バリア膜６のえぐれや剥離を防止しているので、強誘電体膜５２の劣化が防止され、優れたヒステリシス特性の強誘電体キャパシタを製造することができる。また、ビット線側下部プラグ８１に高抵抗化等の不具合を生じることなく、強誘電体膜５２の酸素欠損を回復させているので、優れたヒステリシス特性の強誘電体キャパシタを製造することができる。
【００５３】

以上のような製造方法で得られた本発明の強誘電体キャパシタにあっては、第１バリア導電膜７５を有しているので、ビット線側下部プラグ８１が酸化され高抵抗化すること等の不具合を生じることなく、酸素欠損を回復させた強誘電体膜を備えることができ、優れたヒステリシス特性の強誘電体キャパシタとなっている。

また、水素バリア膜６の開口側壁６ａのえぐれ等を防止しているので、ウィークポイント等がない良好な第２バリア導電膜を有することができ、強誘電体膜が還元されて劣化されることが防止され、優れたヒステリシス特性の強誘電体キャパシタとなっている。

【００５４】

なお、本実施形態では、電荷蓄積部５の上部電極５３側の配線パターン９をグランド線９１としたが、これをビット線として構成することもできる。また、例えば層間絶縁膜７上にワード線等の配線を形成して、これとゲート電極３２とをプラグを介して接続する場合には、このプラグもビット線側上部プラグ８３と同様にして形成することができる。

【００５５】

また、層間絶縁膜７上のタングステン膜やＴｉ、膜ＴｉＮ膜等は、ＣＭＰ法で研磨して除去するのではなく、配線パターン９を形成する際にＡｌ膜をエッチングする工程でＡｌ膜の除去部分とともに除去してもよい。

【図面の簡単な説明】

【００５６】

【図１】（ａ）、（ｂ）は、強誘電体キャパシタの断面構成図と要部拡大図である。

【図２】（ａ）～（ｃ）は、強誘電体キャパシタの製造方法を説明する図である。

【図３】（ａ）～（ｄ）は、強誘電体キャパシタの製造方法を説明する図である。

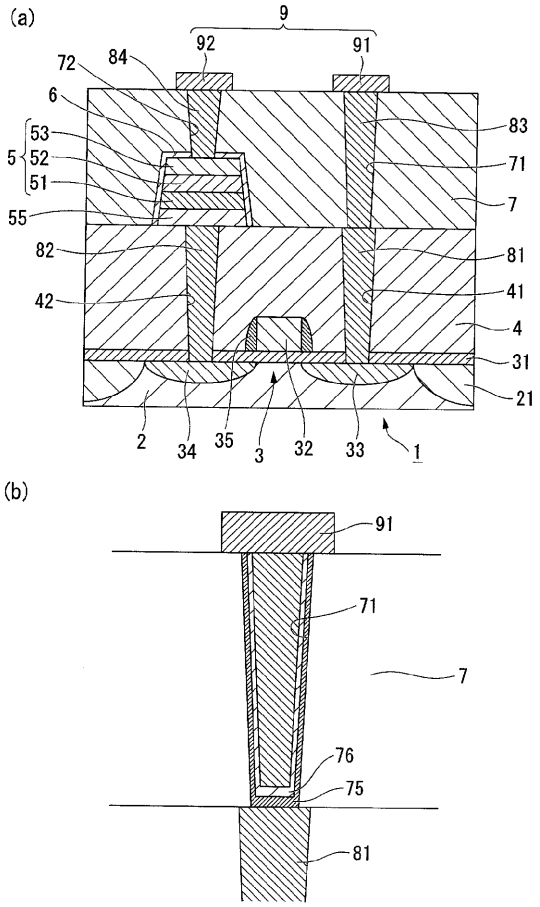
【図４】（ａ）、（ｂ）は、強誘電体キャパシタの製造方法を説明する図である。

【符号の説明】

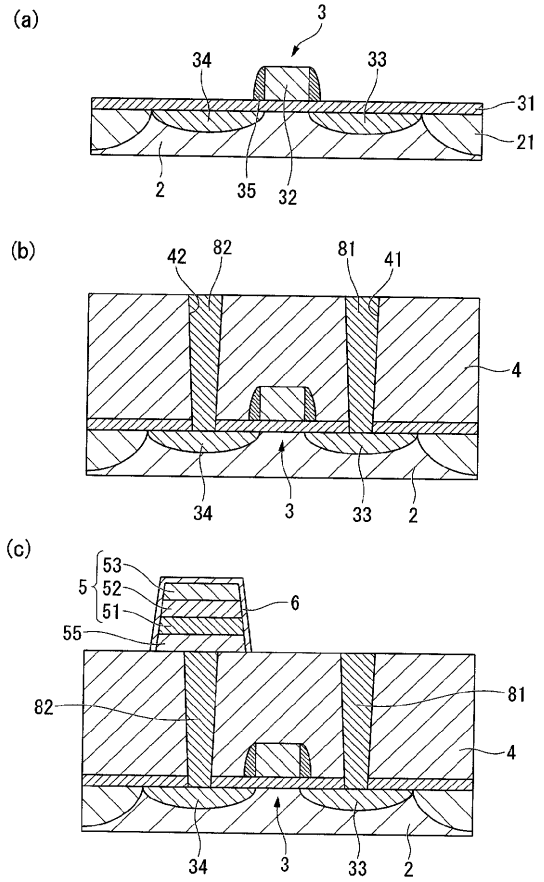
【００５７】

１・・・メモリセル、２・・・基板、３・・・スイッチングトランジスタ、４・・・下地絶縁膜、４１・・・ビット線側下部コンタクトホール、４２・・・グランド線側下部コンタクトホール、５・・・電荷蓄積部、５１・・・下部電極、５２・・・強誘電体膜、５３・・・上部電極、５５・・・下地導電部、６・・・水素バリア膜、６ａ・・・開口側壁、７・・・層間絶縁膜、７１・・・ビット線側上部コンタクトホール（第１コンタクトホール）、７２・・・グランド線側上部コンタクトホール（第２コンタクトホール）、７５・・・第１バリア導電膜、７６・・・第２バリア導電膜、８１・・・ビット線側下部プラグ（第１プラグ導電部）、８２・・・グランド線側下部プラグ、８３・・・ビット線側上部プラグ（第２プラグ導電部）、８４・・・グランド線側上部プラグ（第２プラグ導電部）、９・・・配線パターン、９１・・・ビット線、９２・・・グランド線

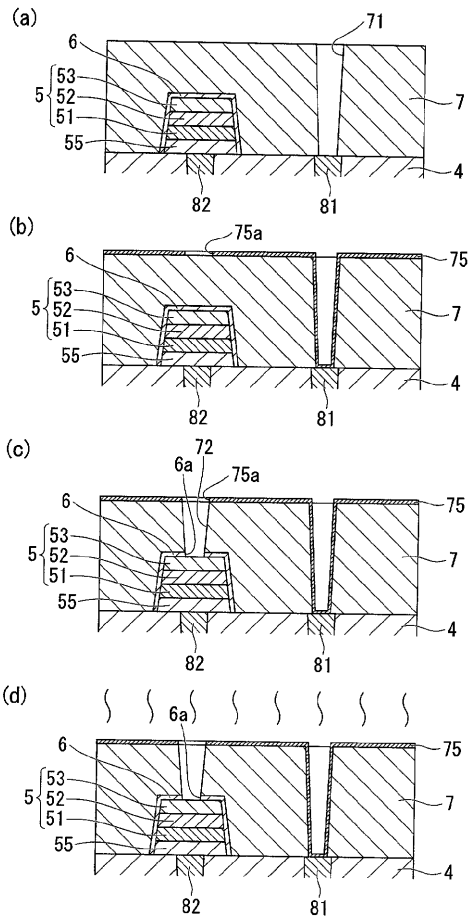
【図１】


(a)
9
92
91
72
84
6
5
53
52
51
55
83
71
7
82
81
42
41
4
31
21
2
34
35
3
32
33
1
(b)
91
71
7
76
75
81

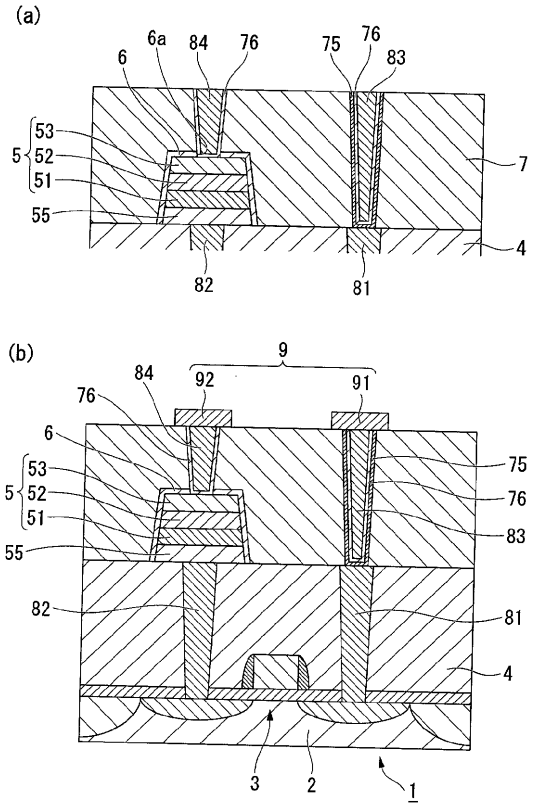
【図２】


(a)
3
34
33
31
21
2
35
32
(b)
42
82
81
41
4
34
3
33
2
(c)
5
53
52
51
6
55
82
81
4
34
3
33
2

【図３】


(a)
71
6
5
53
52
51
55
7
4
82
81
(b)
75a
6
75
5
53
52
51
55
7
4
82
81
(c)
72
6a
75a
6
75
5
53
52
51
55
7
4
82
81
(d)
6a
6
75
5
53
52
51
55
7
4
82
81

【図４】


(a)
6a
84
76
75
76
6
83
5
53
52
51
55
7
4
82
81
(b)
9
84
92
91
76
6
5
53
52
51
55
75
76
83
82
81
4
3
2
1