

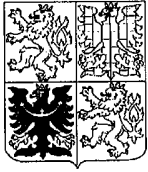
# PŘIHLÁŠKA VYNÁLEZU

zveřejněná podle § 31 zákona č. 527/1990 Sb.

(21) Číslo dokumentu:

**1999 - 3540**

(19)  
ČESKÁ  
REPUBLIKA



ÚŘAD  
PRŮMYSLOVÉHO  
VLASTNICTVÍ

(22) Přihlášeno: **08.04.1997**

(32) Datum podání prioritní přihlášky: **07.04.1997**

(31) Číslo prioritní přihlášky: **1997/826789**

(33) Země priority: **US**

(40) Datum zveřejnění přihlášky vynálezu: **14.06.2000**  
(Věstník č. 6/2000)

(86) PCT číslo: **PCT/US97/05726**

(87) PCT číslo zveřejnění: **WO98/45786**

(13) Druh dokumentu: **A3**

(51) Int. Cl. <sup>7</sup>:

**G 06 F 13/00**

(71) Přihlašovatel:

INTERNATIONAL BUSINESS MACHINES  
CORPORATION, Armonk, NY, US;

(72) Původce:

Bass Brian M., Apex, NC, US;  
Hubbard James A., Raleigh, NC, US;  
Oman Price W., Raleigh, NC, US;  
Pita Frank J., Cary, NC, US;

(74) Zástupce:

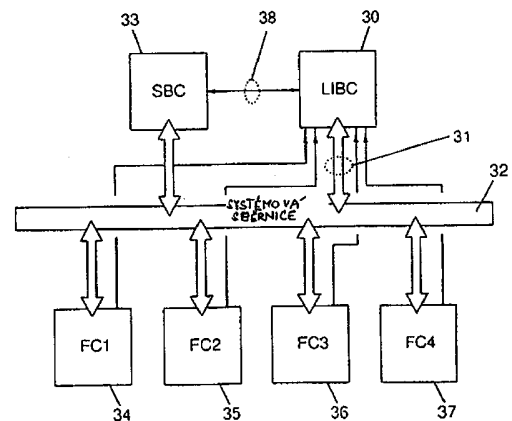
Kalenský Petr JUDr., Hálkova 2, Praha 2,  
120 00;

(54) Název přihlášky vynálezu:

**Způsob a systém umožňující nenarušující  
zasouvání a odstraňování funkčních karet do  
počítačového systému za chodu**

(57) Anotace:

Způsob a systém pro řízení stavu systémové sběrnice (32) během zasouvání a odstraňování připojitelných karet FC (34) až (37) za chodu nabuzením signálů sběrnice na předdefinovaný stav a tím způsobení toho, že se systémová sběrnice (32) stane odolná vůči rušení signálů. Během zasouvání a odstraňování za chodu přistupuje řadič sběrnice pro zasouvání za chodu LIBC (30) k systémové sběrnici (32) prostřednictvím rozhraní (38) s řadičem systémové sběrnice SBC (33) pro přijetí indikace toho, že se FC právě zasouvá nebo odstraňuje za chodu. LIBC (30) pak nabudí podskupinu řídicích signálů do stavu, který je odolný vůči rušení signálů. LIBC (30) způsobí potlačení probíhajících operací časově prodelevy a hlídání, které provádí SBC (33). Po dokončení zasouvání nebo odstraňování za chodu se řízení vrátí SBC (33).



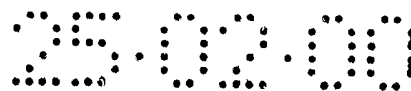
ZPŮSOB A SYSTÉM UMOŽŇUJÍCÍ NENARUŠUJÍCÍ ZASOUVÁNÍ A  
ODSTRAŇOVÁNÍ FUNKČNÍCH KARET DO POČÍTAČOVÉHO SYSTÉMU ZA  
CHODU

Oblast techniky

Vynález se týká počítačových systémů, do kterých je nutné zasouvat nebo ze kterých je nutné vysouvat připojitelné jednotky při zapnutém systému. Vynález se podrobně týká způsobu a systému, který umožňuje náhradu nebo přidání takové jednotky, aniž by se také požadovalo vypnutí systému a tím se zamezilo rušení signálů na systémové sběrnici počítačového systému, způsobenému takovým zasouváním za chodu.

Dosavadní stav techniky

V oboru jsou známa různá zařízení a způsoby pro rychlé propojení elektrických obvodů, jako jsou rozhraní periferních zařízení nebo řídicí obvody počítačových sběrnic. Při úsilí o minimalizaci vlivu zapojování do digitální sběrnice bylo normálním postupem ukončit běh nebo zablokovat sběrnici tak, aby nová zařízení nenarušila datový tok na sběrnici. K tomu se používají určité řídicí obvody, které obvykle obsahují regulátor napětí. Propojení obvodů se sběrnicí a přenos napájení a dat jsou provedena okrajovými konektory. Okrajové konektory jsou připojeny k desce s spoji, která je zapojena do odpovídající zásuvky kvůli spojení se sběrnicí. Zapojení desky ustaví elektrický



kontakt mezi okrajovými konektory a odpovídající zásuvkou sběrnice a tudíž jednak zajišťuje napájení elektronických komponent na desce a jednak jí také jednou operací propojuje se sběrnici. Co se týče připojování za chodu, je běžnou metodou připojování zvětšit délku alespoň zemnicího kontaktu na okrajovém konektoru tak, aby se zemnicí kontakt připojil před elektrickým připojením dalších kontaktů kvůli přívodu napájení a přenosu datových signálů.

Jiné pojetí řízeného zasouvání a vysouvání modulů s obvody, které jsou propojovány sběrnici, je známé z US patentu č. 4 835 737. Podle popisu v tomto odkaze je činnost sběrnice potlačena po dobu, kdy se modul zasouvá do konektoru připojeného ke sběrnici, a sběrnice se znovu aktivuje po zasunutí modulu. Pokud se má modul zasunout do přidruženého konektoru, manipuluje se s přepínačem na modulu, aby se zajistil potlačovací signál prostřednictvím přidruženého konektoru do řídicího obvodu, který potlačí činnost sběrnice. Po úplném zasunutí modulu do přidruženého konektoru se přepínač uvede do druhého stavu, ve kterém se znovu aktivuje potlačovací signál do řídicího obvodu. Následkem toho řídicí obvod znovu umožní sběrnici provádět normální operace. Znehybnění sběrnice během zasouvání má však vážné nevýhody, protože neexistuje žádný elegantní způsob toho, jak spravovat periferní zařízení nebo vstupně/výstupní (I/O) zařízení během útlumu.

Další přístup je zveřejněn v US patentu 5 310 998 "Method and System for Placing a Bus on Hold During the Insertion/Extraction of an IC Card Into/From a Computer" podaném společností Toshiba Corporation, který se podrobně týká přenosných počítačů, kam se má vložit/ze kterého se má vyjmout hostitelská IC karta za provozu počítače. V těchto

počítačových systémech, jakmile se IC karta vytahuje z úchyty IC karet, musí se obvykle otevřít dveře. Detekční signál se pošle na výstup detekčního obvodu na řadič sběrnice po zjištění, že se dveře otevřely. Po přijetí detekčního signálu se pošle signál požadavku na stav "hold" na výstup řadiče sběrnice do centrální procesorové jednotky (CPU). Odezvou na požadavek na hold se po dokončení počítačového procesu, který se má spustit, pošle signál potvrzení "hold" na výstup CPU řadiči sběrnice. Řídící signál vyrovnávací paměti pro zablokování vyrovnávací paměti se pošle na výstup řadiče sběrnice přijetím signálu potvrzení "hold" a tím se přeruší přístupový signál z CPU, aby uvedl sběrnici do stavu "hold". Nevýhodou tohoto přístupu je, že neexistují žádná opatření, která by zamezila rušením sběrnice těmito signály, které nepříznivě ovlivňují systém, ale umožňovala další správu periférií během zasouvání za chodu. Přesto není tento přístup obecně použitelný v jiných systémech pro zasouvání za chodu. Přístup například definuje použití otevíraných nebo zavíraných dvířek ke zjištění průběhu zasouvání do systému za chodu. Vyžaduje použití vyrovnávací paměti k oddělení CPU od sběrnice, do které se provádí zasouvání za chodu.

Další mechanismus, který zajišťuje schopnost uvedení systémové sběrnice do klidového stavu kvůli její ochraně vůči selhání systému, je zveřejněn v přehledu IBM Technical Disclosure Bulletin Vol. 35, No. 5, Říjen 1992, str. 391 - 394, nazvaném "Method for Card Hot Plug Detection and Control" (Způsob detekce a řízení karet pro zasouvání za chodu). Navrhovaný způsob slouží k řízení rušení signálů systémové sběrnice, které mohou nastat následkem připojování karty za provozu. Přijímací obvod na každé kartě zjistí, kdy byla karta zasunuta, a způsobí uvedení systémové sběrnice do

klidového stavu. Po úplném zasunutí karty, zapnutí karty, a jiné přípravě karty k provozu na sběrnici, se systémové sběrnici povolí spuštění. Jakmile se zjistí odstraňování karty prostřednictvím obslužné sběrnice, může být systémová sběrnice opět uvedena do klidového stavu.

Z materiálu IBM Technical Disclosure Bulletin, Volume 29, No.7, prosinec 1986, strana 2877, jsou známy obvody, které umožňují zapojit za provozu datovou cartridge do pracovního terminálu bez přerušování provozu terminálu. Do těchto obvodů jsou přidány jiné obvody kvůli izolaci konektoru cartridge od adresové, datové a řídicí sběrnice, ke které je logicky připojen. Obvody s vyrovnávací pamětí jsou přerušeny mezi konektorem cartridge a sběrnicemi, aby se zamezilo šumu na sběrnici. Vyrovnávací paměť se udržuje ve stavu vysoké impedance, dokud nebyla zjištěna přítomnost cartridge signálem přerušování přivedeným přímo do mikroprocesoru.

Vylepšený obvod zapojitelný za provozu je dále zveřejněn v US patentu č. 5 432 916 nazvaném "Precharge for Non-Disruptive Bus Live Insertion" který byl podán společností IBM. Tento materiál popisuje připojování za provozu elektrického obvodu do oddělené signální sítě, která není uvedena do klidového stavu, v aktivním systému, jako je digitální nebo analogová sběrnice. Nové navrhované pojetí je přidání předpokládající sítě kvůli uvedení zasouvaného elektrického obvodu za chodu do výchozího stavu částečným předběžným nabitím parazitních vstupních kapacitancí elektrického obvodu před připojením za provozu. Předběžné nabití parazitních vstupních kapacitancí slouží k minimalizaci elektrických přechodových jevů v aktivním systému. Podle tohoto přístupu je každá zapojitelná jednotka

předběžně nabita; samotná sběrnice není uvedena do tohoto stavu.

Jakmile se elektrický obvod, jako je deska se spoji, vloží za provozu do signální sítě analogového nebo digitálního systému, může být signální napětí aktivního systému na vysoké nebo nízké úrovni, nebo v přechodu mezi těmito dvěma stavy. V aktivním systému není možné zjistit přesnou úroveň napětí. Připojení desky na analogovou nebo digitální sběrnici může tudíž nastat, jakmile jsou systémové signály v libovolném z výše uvedených stavů.

Podrobnější přístup v zamezení generování turbulencí na sběrnici jakmile se substrát připojený ke sběrnici, tj. připojitelná jednotka, zasouvá nebo vysouvá za provozu počítačového systému, je zveřejněn v japonské patentové publikaci č. JP 512 7777 nazvané "Substrate Insertion and Extraction in Hot-Line State", kterou podal Fujitsu Ltd. Substrát je vybaven prvním konektorem a druhým konektorem. Pomocí prvního konektoru je substrát připojen ke sběrnici CPU a ke zdroji energie, kde druhý konektor slouží k připojení substrátu k napájení elektrickou energií. Dále je opatřen přepínač, se kterým se manipuluje v době zasouvání nebo vysouvání substrátu za provozu a také obvod zahajující přerušování, který zahajuje přerušování do CPU jakmile se manipuluje s přepínačem a první a druhý detekční obvod zjišťující připojení/rozpojení. První z těchto obvodů generuje první signál připojení/odpojení konektoru jakmile je připojen první konektor; druhý obvod generuje druhý signál připojení/odpojení konektoru jakmile je druhý konektor připojen. Zejména je opatřen řídicí obvod budiče sběrnice, který drží budič sběrnice na vysoké impedanci s výše uvedenými signály konektoru. Dále je zajištěn

zápisový registr, který drží oprávnění k zasunutí nebo vysunutí CPU ve stavu za provozu a která generuje signál povolení k zasunutí/vysunutí. Jakmile CPU vydá oprávnění k zasunutí nebo vysunutí za provozu, zastaví se přístup ke sběrnici. Podstata dané patentové přihlášky tudíž také závisí na uvedení sběrnice do stavu "hold" a zastavení sběrnice a jejím uvedení do stavu o vysoké impedanci během zasouvání za provozu. Neexistují však žádná další zajištění odolnosti vůči nežádoucím rušením. Přepínač se používá k přerušování činnosti CPU analogicky jako dvířka ve výše uvedeném U. S. patentu 5 310 998.

Jiný přístup, kde je sběrnice nastavena na vysokou úroveň, je zveřejněn v japonské patentové přihlášce č. JP 2094 271 nazvané "Interface Package", kterou podala společnost NEC Corporation. Aby se zabránilo nepříznivému účinku na sběrnici, zejména se navrhuje použít kolíky konektoru se dvěma druhy délek a nastavení výstupu sběrnice na otevřenou vysokou úroveň. Horní kolíky a spodní kolíky styčné sestavy (IP) jsou nastaveny na dlouhé kolíky; prostřední kolíky jsou nastaveny na krátké kolíky. Určitý kolík z dlouhých kolíků je určen jako napájecí vývod, při zasunutí IP se spojí nejdříve, a jako poslední se rozpojí při vysouvání IP. Dlouhé kolíky jsou přizpůsobené pro detekční integrovaný obvod (IC) zjišťující odpojení napájení a integrovaný obvod s vyrovnávací pamětí. Po zasunutí IP se s detekčním IC manipuluje jakmile se terminál přivede do kontaktu s IP a výstup z IC s vyrovnávací pamětí se nastaví na otevřenou vysokou úroveň. Proto daný vynález umožňuje sběrnici během zasouvání za provozu naplnit se do otevřené vysoké úrovně. Pořadí při zasouvání za provozu je řízeno různými rozloženými délkami kolíků oproti dvířkům jako v U. S. patentu 5 310 998 nebo přepínačem jako v JP 512 7777.

Řazení kolíků s rozloženými délkami však není problémem tohoto vynálezu.

### Podstata vynálezu

Je předmětem tohoto vynálezu zajistit způsob a systém, který umožňuje náhradu nebo přidání zapojitelné jednotky aniž by se také vyžadovalo vypnutí základního počítačového systému.

Jiným předmětem tohoto vynálezu je zajistit způsob zasouvání za chodu a systém, který je značně nezávislý na vlastnostech základního systému sběrnice a tak umožnit následné přidání schopnosti zasouvání za chodu a umožnit zasouvání připojitelných jednotek za chodu do systémové sběrnice, která není navržena tak, aby podporovala funkci zasouvání za chodu.

Dalším předmětem je zajištění způsobu zasunutí za chodu a systém, který by zamezil rušení systémové sběrnice počítačového systému, způsobenému nenabitými kapacitancemi na zasunuté jednotce.

Podle jednoho hlediska tohoto vynálezu je zajištěn způsob řízení stavu systémové sběrnice během zasouvání/odstraňování připojitelné jednotky za chodu nabuzením řídicích signálů, které se přenášejí sběrnicí, na aktivní úroveň signálu, nebo nabuzením "nízkourovňových" aktivních řídicích signálů na nízkou úroveň signálu poblíž zemní úrovně. Tak se systém stává odolným vůči rušení signálů a tím umožňuje zasouvání a vysouvání zapojitelných jednotek za chodu, aniž by to mělo nepříznivé účinky na

system, jako například reset systému, nebo ohrozilo integritu dat.

Podle jiného hlediska tohoto vynálezu jsou vytvářeny pseudo operace sběrnice, tj. prázdné operace (NOOP) tak, aby se neovlivnily nepříznivě normální funkce systému. Termín "pseudo operace sběrnice" definuje výsledný stav sběrnice po nabuzení požadovaných podskupin řídicích signálů na aktivní dolní úrovně.

Navíc vynález zajišťuje systém zpracovávající informace, kde je implementováno výše uvedené metodologické pojetí a nástroj pro zasouvání za chodu, který může být připojen do počítačového systému, aby se umožnilo zasouvání/vysouvání připojitelných jednotek za chodu.

Funkce zasouvání za chodu podle tohoto vynálezu umožňují náhradu nebo přidání připojitelných jednotek, aniž by se také vyžadovalo vypnutí systému. To dále zlepšuje charakteristiku průběžné dostupnosti systému tím, že se umožní nepřetržitá činnost během obslužných, výměnných operací nebo aktualizace hardwaru. Je třeba zdůraznit důležitost narušení integrity signálu sběrnice a možné nepříznivé účinky na systém přesto, že systémovou sběrnici lze uvést do klidového stavu během zasouvání nebo vysouvání karty za chodu. To se děje kvůli tomu, že nenabitá kapacitance signálu na zasouvané kartě představuje mžikový zkrat se zemí pro odpovídající signál systémové sběrnice.

Přesto má vynález následující další výhody oproti předchozímu stavu techniky. Za prvé umožňuje zasouvání za chodu bez katastrofálního rušení a současně zachovává integritu signálu pro systémové sběrnice nebo systémy se

standardní sběrnicí (architektury), které nebyly úmyslně navrženy tak, aby podporovaly funkce zasouvání a odstraňování karet za chodu, jako je IBM Micro Channel; IBM GHBA Adapter Bus (GAB), architektura sběrnice definovaná pro architekturu Generic High Bandwidth Architecture (GHBA) a používaná k propojení GHBA adaptérů, která byla vyvinuta IBM pro rychlé přepínání paketů; standard sběrnice Peripheral Component Interconnect (PCI); konkrétní standard systémové sběrnice VME/VME64 (Versa Module Eurocard); a specifikace ISA a EISA sběrnic, kde se dá tento vynález také použít. Tudiž je značně nezávislý na vlastnostech spodní systémové sběrnice v tom, že umožňuje implementaci funkce zasouvání za chodu pomocí doplňku, který může být tudiž realizován odděleným nástrojem jako bylo uvedeno výše. Také nevyžaduje změny v logice rozhraní systémové sběrnice příslušných zásuvných jednotek, aby se přizpůsobily schopnosti zasouvání za chodu. Dále je řešení použitelné na standardní a široce dostupné sběrnice, kde se nevyžaduje žádná důkladná změna v konstrukci. Tudiž je navrhované řešení nezávislé na softwaru, který běží v základním systému, protože nezbytný hardware funguje stejně jako jiná hlavní zařízení sběrnice, tj. nevyžadují se žádné změny v softwaru navíc kromě změn v konfiguraci. Další výhody vynálezu oproti předchozímu stavu techniky jsou popsány nebo se vyjasní v následujícím podrobném popise.

#### Přehled obrázků na výkresech

Vynález bude blíže vysvětlen prostřednictvím konkrétních příkladů provedení znázorněných na výkresech, na kterých představuje

- obr. 1 schematické znázornění účinku na signál sběrnice, která je uvedena o klidového stavu ve vysokém stavu a kde narušení tohoto signálu při zasouvání za chodu je způsobeno zapojením nevybité kapacitance zátěže představované dynamicky zasouvanou funkční kartou;
- obr. 2 blokové schéma, které ukazuje komponenty systému zpracovávajícího informace podle upřednostňovaného provedení tohoto vynálezu;
- obr. 3 blokové schéma ukazující upřednostňovanou proceduru pro zasouvání funkční karty za chodu do/ze systému sběrnice;
- obr. 4 schematický diagram ukazující mechanické detekční prvky pro indikaci procesu zasouvání/odstraňování funkční karty;
- obr. 5 podrobnější blokové schéma řadiče systémové sběrnice (SBC) a řadič sběrnice pro zasouvání za chodu (LIBC) jak je ukázáno na obrázku 2; a
- obr. 6 až 9 časová schémata znázorňující vzorové protokoly sběrnice s ohledem na různá prostředí pro použití vynálezu, kde zasouvání funkční karty za chodu se provádí prostřednictvím architektury rozhraní Micro Channel, architektury rozhraní GAB, architektury rozhraní PCI a architektury rozhraní VME-Bus, v uvedeném pořadí.

### Příklady provedení vynálezu

Nyní bude podrobně popsáno provedení tohoto vynálezu s odkazem na doprovodné výkresy.

Horní část schematického diagramu označená na obrázku 1 ukazuje typickou situaci, kdy je signál 10 sběrnice uveden do klidového stavu do vysokého stavu 11 nad zemní úroveň 12 signálů. Ukázané rušení signálů 13 směrem k zemní úrovni je způsobeno zasouváním zapojitelné jednotky do systémové sběrnice uvedené do klidového stavu. Poznamenáváme, že je sledováno porušení integrity signálu sběrnice a možné nepříznivé účinky na počítačový systém přestože systémová sběrnice může být "uvedena do klidového stavu" během zasouvání a/nebo odstraňování karty za chodu.

Ve spodní části diagramu je ukázána systémová sběrnice 20, kde ke sběrnici jsou již připojena dvě zařízení 21, 22 prostřednictvím linek 23, 24 a kde se ke sběrnici má připojit další zařízení 25. Všechna tato zařízení obsahují budící (DRV) a přijímací (RCV) signální linky a na nich nenabitě kapacitance zátěže (CLx, CLy, CLz) oproti zemi. Tyto nenabitě kapacitance nebo proudový spotřebič, který se přidává, představuje okamžitý zkrat se zemí pro odpovídající signál systémové sběrnice. Pokud se zařízení 25 zasouvá do konektoru systému a tudíž připojuje k systémové sběrnici, způsobí toto zasouvání falešné přepínání na signálech sběrnice uvedené do klidového stavu na vysoké úrovni. Toto rušení signálu je znázorněno s ohledem na horní část diagramu.

Stojí za zmínku, že zasouvání za chodu nezpůsobuje žádné falešné přepínání signálu na nízké úrovni nebo na

zemní úrovni, tj. kritické řídicí signály pro většinu dobře známých systémových sběrnic jsou aktivní "na dolní úrovni". To znamená, že kritické řídicí signály musí mít zápornější úroveň, tj. úroveň blízko země signálu, aby mohly řídit operace sběrnice.

Obrázek 2 ukazuje základní komponenty upřednostňovaného provedení vynálezu, kde je výše uvedená funkčnost implementována jako oddělený řadič 30 sběrnice pro zasouvání za chodu (LIBC), který má rozhraní 31 se systémovou sběrnicí 32 systému zpracovávajícího informace a existující řadič 33 systémové sběrnice (SBC). Přestože je funkce LIBC ukázána v tomto provedení jako oddělená jednotka, lze jí také integrovat do SBC. V provedení zobrazeném na obrázku 2 jsou připojeny nebo mohou být připojeny k systémové sběrnicí čtyři připojitelné jednotky 34 až 37, které představují funkční karty (FC), přičemž každá obsahuje elektronické obvody.

V každém případě musí existovat jistá úroveň koordinace mezi prací SBC 33 a LIBC 30 jak je vyznačeno rozhraním 38 mezi nimi. Jak bude podrobněji popsáno později, bere tato koordinace v úvahu například pozastavení časové prodlevy systémové sběrnice a pozastavení hlídání systémové sběrnice během zasouvání/odstraňování funkční karty. Podle tohoto provedení se toto rozhraní zejména používá jak k získání přístupu k systémové sběrnicí, např. prostřednictvím běžného arbitrážního mechanismu systému, tak buďto k pozastavení operací časové prodlevy/sledování systémové sběrnice po dobu zasouvání/odstraňování za provozu, nebo k potlačení veškerého ohlašování chyb a obnovovacím akcím, které mohou vzniknout následkem vypršení časové prodlevy.

V upřednostňovaném provedení se řadič 30 sběrnice pro zasouvání za chodu (LIBC) připojí pouze ke kritickým řídicím signálům systémové sběrnice, které jsou ovlivněny rušením signálu, tj. jistá podmnožina těchto signálů a zejména jistá podmnožina na nízké úrovni aktivních řídicích signálů, které určují, které operace pseudo systémové sběrnice se mají provést.

Blokové schéma na obrázku 3 znázorňuje upřednostňované procedurální kroky pro zasouvání za chodu (a odstraňování) funkční karty do a ze systému sběrnice. LIBC 30 získá přístup k systémové sběrnici (blok 41) prostřednictvím svého rozhraní s řadičem systémové sběrnice (SBC) 33 poté co mechanismus zasouvání za chodu spojený s funkční kartou (FC) signalizoval, že se FC právě zasouvá nebo vysouvá za chodu (blok 40). Po získání přístupu k systémové sběrnici od LIBC a poté co LIBC převzala řízení systémové sběrnice, nabudí LIBC podskupinu ze skupiny řídicích signálů systémové sběrnice (blok 42) do stavu, který je odolný vůči rušení signálů při zasouvání/odstraňování a který je v tomto provedení úroveň země. Současně LIBC provede potlačení probíhající časové prodlevy a operací hlídání (blok 43), které právě provádí SBC. Jakmile je LIBC informován o dokončení procesu zasouvání (blok 44), získá SBC znovu řízení systémové sběrnice (blok 45). Stejné procedurální kroky se provádějí v případě odstraňování FC. Další hlediska procedurálních kroků se ozřejmí pomocí obrázku 5, který podrobněji ukazuje rozhraní SBC-LIBC.

Je tudíž zapotřebí mechanismus, který definuje a řídí počáteční a koncový čas pro LIBC, kdy se stane hlavním zařízením systémové sběrnice. Jak bylo již uvedeno, musí LIBC přijmout od FC nebo mechanismů spojených s FC, signály,

keré udávají stav zasouvání FC za chodu. V tomto ohledu je proveden odkaz na dvě výše uvedené publikace z předchozího stavu techniky, tj. JP 2094 271 a USP 4 835 737, přičemž obě jsou zde zcela začleněny odkazem. Známé přístupy poskytují dlouhé a krátké kolíky kontaktů o různých délkách v cílovém konektoru FC pro elektrické spojení mezi FC a systémovou sběrnicí. Časový okamžik, kdy se má FC zasunout nebo kdy byla zcela odstraněna, může být vyznačen dlouhým kontaktním kolíkem nebo ekvivalentními prostředky. Jakmile byla FC zcela zasunuta nebo se má odstranit, může být podobně vyznačeno krátkým kontaktním kolíkem nebo jeho ekvivalentem.

V upřednostňovaném provedení tohoto vynálezu jsou opatřeny dodatečné kontaktní kolíky 50, 51 kromě kolíku 52 používaného ke spojení se systémovou sběrnicí, které umožňují indikaci zasouvání FC 53 před spojením vnitřní sběrnice FC se systémovou sběrnicí. To je znázorněno na obrázku 4. Počátek zasouvání je detekován dlouhým kolíkem 50, zatímco konec procesu zasouvání je indikován krátkým kolíkem 51. V případě odstranění FC se tato funkce těchto dvou kolíků obrátí. Jiné techniky obsahují mechanické přepínače, které se aktivují před zasouváním, mechanismy zjišťování přítomnosti karty, nebo kombinaci těchto technik. Minimální požadavky jsou dostatečná doba k zahájení převzetí systémové sběrnice od LIBC před vytvořením nebo přerušením kontaktu s kolíky karty a indikace toho, kdy lze tyto operace ukončit po správném usazení karty nebo jejím úplném odstranění ze systému. Poznamenejme, že tento časový požadavek je běžně funkcí mechanické rychlosti spojené se zasouváním funkční karty za chodu.

Obrázek 5 je podrobnější blokové schéma řadiče 60 systémové sběrnice (SBC) a řadiče 61 sběrnice pro zasouvání

za chodu (LIBC) podle upřednostňovaného provedení. Ukazuje podrobnosti řídicí logiky pro SBC 60, LIBC 61 a funkční kartu 62 v tomto provedení. Tyto logické komponenty jsou připojeny systémovou sběrnicí 63 a dvousměrným rozhraním 65 mezi SBC a LIBC. V LIBC drží vnitřní zvyšovací rezistory "R1" a "R2" stav signálů "Start" 66 a "End" 67, v uvedeném pořadí, ve vysokém (H) stavu, dokud nejsou vytaženy do nízkého stavu (L) tím, že se připojí k "logické zemi systému" 68 odpovídajícím připojením dlouhým kolíkem (LP) 69 nebo krátkým kolíkem (SP) 70 na funkční kartě 62, která se zasouvá nebo odstraňuje za chodu ze systému. Povšimněte si, že existují alternativní implementace funkcí Start/End. Pokud je k dispozici napětí pro funkční kartu, které je přivedeno dlouhým kolíkem, které lze použít k napájení logických obvodů, lze implementovat signál, který poklesne (nebo vzroste) za podmínky Start a vzroste (nebo poklesne) za podmínky End.

Dekódovací logika 81 dekóduje stav Start a End takto:

Start	End	Dekódovaný stav
H	H	Funkční karta není přítomna
L	H	Probíhá zasouvání/vysouvání karty
L	L	Funkční karta přítomna
H	L	Neplatný stav

Řídicí logika 74 kritických signálů sběrnice LIBC aktivuje "Bus request" (Požadavek na sběrnici) 71 do řídicí logiky 72 arbitrážní sběrnice SBC jakmile stav dekódování Start/End ukazuje, že se zasouvá nebo vysouvá funkční karta. Když řídicí logika 72 arbitrážní sběrnice odpovídá na "Bus request" (požadavek na sběrnici) 71 signálem "Bus Grant" 73

(sběrnice přidělena), který udává, že LIBC 61 může převzít řízení sběrnice 63, řídicí logika 74 kritických signálů sběrnice prozkoumá stav signálů "Bus Critical" (kritické signály sběrnice) (pokud je to nezbytné, podle specifikace konkrétní sběrnice) a aktivuje signál 75 "LIBC Interrupt" (LIBC přerušeni) nebo "LIBC Request" (požadavek na LIBC). Signál 75 "LIBC Interrupt/Request" (LIBC přerušeni/požadavek) indikuje řídicí logice 76 přerušeni a požadavku systému SBC, že se mají pozastavit všechny funkce časové prodlevy nebo hlídání na dobu, po kterou LIBC 61 přebírá řízení sběrnice 63. Signál 75 LIBC přerušeni/požadavku také způsobí nabuzení více obvodů 77, 78 budiče sběrnice (Bus Drv) připojených k řídicí logice 74 kritických signálů sběrnice na zemní nebo signální nízkou úroveň. Tyto obvody 77, 78 budičů sběrnice jsou stejné jako obvody, které byly specifikovány pro implementaci konkrétní systémové sběrnice (např., TTL tri-state, TTL s otevřeným kolektorem, budiče PCI sběrnice, atd.). Signály "Bus Critical" jsou tudíž v zemním nebo signálním nízkou úrovněm stavu předtím, než se funkční karta 62 připojí k signálům sběrnice nebo odpojí od signálů sběrnice. Spojení logických signálů 79 sběrnice funkční karty se systémovou sběrnici 63 prostřednictvím středně dlouhých kolíků 80 (MP), které vytvoří spojení po dlouhých kolících 69 (LP) během zasouvání karty a které rozpojí spojení po krátkých kolících 70 (SP) během odstraňování karty.

Jakmile dekódovací logika 81 Start/End indikuje dokončení zasouvání nebo odstraňování karty 62 za chodu (tj. indikuje se "Funkční karta přítomna nebo nepřítomna" a nikoli "probíhá zasouvání/odstraňování karty"), řídicí logika 74 kritických signálů sběrnice pak deaktivuje svůj "Interrupt Request" (požadavek na přerušeni), což umožňuje

navrácení signálů "Bus Critical" do neaktivního stavu a také deaktivuje svůj požadavek na sběrnici "Bus Request".

SBC 60 typicky implementuje funkce hlídání (watchdog) kvůli zjišťování situací, kdy je systémová sběrnice v uváznutém stavu nebo ovládána konkrétním zařízením. V případě vypršení časové prodlevy generují běžné implementace hlídání (watchdog) signál "system reset" nebo "machine check reset". Protože je doba připojování FC za chodu určena dobou mechanického zasouvání a odstraňování a protože to může být relativně dlouhá doba, může být během zasouvání/vysouvání za chodu pro některé SBC nezbytné zablokovat hlídající časovač.

Jiným zvláštním znakem tohoto vynálezu je, že pouze kritické řídicí signály, tj. signály, které jsou na nízké úrovni aktivní a tudíž jsou náchylné na nenabitě kapacitance signálové linky (zkrat se zemí), vzniklé v systému sběrnice zasunutím zapojitelné jednotky, jsou nabuzeny do aktivního nebo nízko úrovněvého stavu, což má za následek odolnou systémovou sběrnici vůči rušení při zasouvání takové jednotky za chodu. Je třeba zdůraznit, že kritické řídicí signály pro různé architektury sběrnic, jsou také zcela různé. Co se týče několika řídicích signálů v architekturách sběrnic, je proveden odkaz na obrázky 6 až 9 a následující popis.

#### Prostředí sběrnice Micro Channel

Řízení systémové sběrnice je předáno LIBC během zasouvání/nebo vysouvání funkce. Řízení se vrátí SBC poté co byla FC zcela vložena do systému nebo odstraněna ze systému. V podstatě je LIBC jako speciální hlavní zařízení sběrnice

s funkcemi, které mu umožňují řídit sběrnici během zasouvání za chodu, a zajišťovat integritu systému. Podrobně umožňuje tato speciální funkčnost hlavního zařízení sběrnice použitím vynálezu na sběrnice, které nejsou navrženy pro zasouvání za chodu, přidat jim tuto schopnost.

Obrázek 6 ukazuje časování během zasouvání za chodu pro kritické řídicí signály pro Micro Channel během pseudo operací LIBC. V prostředí této architektury jsou kritické řídicí signály tyto:

- ADL (Střadač pro dekodování adresy) tento signál, nabuzený řídicím hlavním zařízením sběrnice, je opatřen jako výhodný způsob pro vedlejší zařízení sběrnice k zachycení dekodovaných adres a stavových bitů na sběrnici Micro Channel.
- REFRESH tento signál je buzen systémovou logikou a používá se k indikaci toho, že právě probíhá operace obnovy paměti. Vedlejší zařízení paměti, která nepotřebují provádět operace obnovy, nepotřebují přijímat tento signál.
- CMD (Příkaz) tento signál je buzen hlavním zařízením řídicí sběrnice a používá se k definici toho, kdy jsou data na datové sběrnici platná. Závěrná hrana tohoto signálu udává konec cyklu sběrnice. Tento signál udává vedlejšímu zařízení sběrnice to, jak dlouho jsou data platná. Během operací zápisu jsou data platná po dobu, kdy je -CMD aktivní. Během cyklů čtení jsou data platná po náběžné hraně, avšak před sestupnou hranou CMD, a jsou držena na sběrnici, dokud -CMD nepřejde do neaktivního

stavu. Vedlejší zařízení mohou zachycovat informace o adrese a stavu náběžnou hranou -CMD.

-S0,-S1 (Stav 0, Stav 1) Tyto stavové signály jsou řízeny hlavním zařízením řídicí sběrnice a udávají počátek cyklu přenosu dat a také definují typ datového přenosu. Pokud se použijí s M/-IO (Paměť/-Vstup Výstup), jsou cykly čtení z paměti nebo zápisu do paměti rozlišovány od cyklů I/O čtení nebo zápisu. Tyto signály jsou podle potřeby zachycovány vedlejším zařízením sběrnice pomocí náběžné hrany -CMD nebo náběžné hrany -ADL.

ARB/-GNT (Rozhodnout/-Přidělit) Tento signál řídí pouze centrální arbitrážní řídicí bod. Přejechod ARB/-GNT ze záporné hodnoty na kladnou zahajuje arbitrážní cyklus. Pokud je tento signál v ARB stavu, udává probíhající arbitrážní cyklus. Pokud je ve stavu -GNT, udává tento signál potvrzení od centrálního arbitrážního řídicího bodu účastníkům rozhodování a řadiči DMA (přímého přístupu do paměti), že bylo přiděleno vlastnictví kanálu. Tento signál nabudí do stavu ARB centrální arbitrážní řídicí bod po konci přenosu (EOT). Poznamenejme, že centrální arbitrážní řídicí bod je obvykle implementován v SBC.

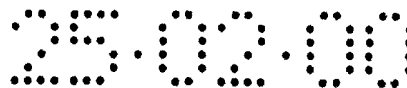
Jakmile LIBC přijal indikační signál od cílového FC, který se má vložit, LIBC získá řízení systémové sběrnice prostřednictvím arbitrážního signálu "ARB/-GNT" sběrnice. V této době zahájí LIBC odbuzování signálu "ARB/-GNT" směrem k úrovni logické nuly. Časový interval vyznačený "/" udává proměnnou mechanicky určenou dobu pro proceduru



zasunutí/vysunutí FC za chodu do/ze systémové sběrnice. Podle protokolu sběrnice IBM Micro Channel, na který je proveden odkaz na oddíl "Micro Channel Architecture" v publikaci "IBM Personal System/2 Hardware Interface Technical Reference - Architectures" (IBM P/N 84F8933), jsou úrovně příkazového signálu "-REFRESH", "-SO" a "-S1" nabuzeny na úroveň logické nuly se zpožděním jednoho cyklu. To také platí pro signály "-ADL" a "-CMD". V době, kdy byly všechny kritické příkazové signály sběrnice přivedeny na úroveň země, stane se Micro Channel odolná vůči rušení při zasouvání za chodu. Je třeba zdůraznit, že v závislosti na konkrétním základním systému sběrnice je nutné tuto podskupinu signálů v určitém kroku uvést do aktivního stavu a uvolnit tak, aby byla neaktivní.

Doba této odolnosti vůči rušení trvá, dokud se první kritický příkazový signál nevrátí na úroveň počátečního bodu. V tomto prostředí je první signál příkaz "-ADL", který ukončuje interval doby odolnosti a z výše uvedených důvodů musel být proces zasunutí/odstranění dokončen v této době. Fakt, že je signál "-ADL" přiveden na vysokou úroveň před tím, nežli LIBC uvolní sběrnici, vyžadován definicí architektury sběrnice Micro Channel. Potom doba "odolnosti" pro Micro Channel trvá po dobu, dokud se kritický signál "-ADL" nevrátí na úroveň počátečního bodu. Ostatní kritické signály jsou během této doby v aktivní nebo na nízké úrovni signálu (obr. 6). Podrobnosti o kritických příkazových signálech sběrnice Micro Channel nalezne čtenář v oddíle "Micro Channel Architecture" ve výše uvedeném odkaze. Tudiž musí po této době LIBC přijmout indikační signál z FC udávající konec procesu zasouvání/odstraňování.

Existuje více jiných příkazů protokolů sběrnice Micro



Channel, které vyžadují speciální pozornost, ale nejsou ukázány na obrázku 6:

CHRESET (reset kanálu) je kladně aktivní signál, který je nutné zapojit dvoubodově ke každé FC štěrbině nebo nabudit aktivně na neaktivní nízkou úroveň během zasouvání funkční karty za chodu;

14.3MHz OCS volně běžící signál hodin se musí oddělit a dvoubodově připojit ke každé štěrbině;

-IRQn (signály požadavku přerušeni) se musí oddělit ze systémového procesoru, což lze dosáhnout prostřednictvím řízení SBC nebo izolační hradlovou logikou;

-CHCK (signál ověření kanálu) je buďto "není důležité" během pseudo operací řízených LIBC, nebo se musí oddělit od systémového procesoru stejným způsobem jako signály -IRQn.

Navíc se předpokládá, že žádný FC v systému nemá požadavek na obnovovací cykly, protože žádné se nemohou generovat během procesu zasouvání. Také, pokud se FC, který se zasouvá za chodu, během zasouvání vypne, nepotřebuje obnovovací cykly.

#### Prostředí GHBA GAB

U architektury GHBA GAB jsou kritické signály, ukázané na obrázku 7 -BR, -BG, -BUSY, -CMD, -SM a -RESP. "< >" znamená, že tento signál může být ve vysokém nebo nízkém stavu, musí však být v jednom nebo ve druhém z těchto stavů a nikoli se měnit mezi vysokým a nízkým stavem. "<XX>" znamená, že adresové signály musí mít nějakou zadanou

hodnotu a tato hodnota bude ve skupině adres, které právě nejsou používány systémem, například vyhrazené systémové adresy. Rozdělená část deaktivace signálů "BR" a "-BG" udává, že architektura sběrnice umožňuje, aby tyto signály byly během této doby ve vysokém nebo nízkém stavu.

#### Prostředí sběrnice PCI

U sběrnice PCI je jediný kritický signál mezi signály zobrazenými na obrázku 8 FRAME#, kde znak "#" udává záporně aktivní signál. Časové chování adresového signálu "<XXX>" je posunuté podle signálu "<XX>" na obrázku 7.

#### Prostředí sběrnice VME/ VME64

U sběrnice VME/VME64 jsou kritické signály zobrazené na obrázku 9 BBSY\* a AS\*, kde znak "\*" udává záporně aktivní signál.

Také je zajištěn mechanismus, který řídí stav nečasových kritických signálů, které jsou aktivní na vysoké úrovni, jako je řídicí signál "-RESET", nebo které se musí držet neaktivované na aktivní nízkou úroveň, jako je systémový signál "-ERROR".

- RESET: Systém řídí stav tohoto signálu během zasouvání za chodu připojením jednotlivého signálu -RESET do jednotlivých pozic štěrbin pro FC. Po dokončení lze jednotlivý -RESET pro neobsazenou štěrbinu aktivovat, aniž by se ovlivnila činnost funkčních karet v obsazených štěrbinách. Také pokud se systém rozhodne neaktivovat RESET, dokud není štěrbinu pro FC obsazena, nešíří se do obsazených a

provozuschopných štěrbin pro FC žádná rušení -RESET, která nastávala během zasouvání za chodu.

- ERROR: Systém řídí účinek tohoto signálu použitím signálu LIBC Interrupt/Request do SBC a udává, že se má potlačit nebo zablokovat ohlašování chyb po dobu, kdy nastávají pseudo operace sběrnice pro zasouvání za chodu nebo pokud by se například měl nastavit chybový bit ve stavovém registru pro ohlašování chyb, vyčistí jej systém po dokončení pseudo operací sběrnice pro zasouvání za chodu.

Na rozdíl od nečasových kritických signálů jsou časovací kritické signály, jako například hodiny, distribuovány dvoubodově do jednotlivých zařízení, která lze zasouvat za chodu tak, aby se rušení hodin pro takové zařízení nešířilo na jiná zařízení, který tvoří rozhraní se sběrnici. Rozvod hodin tímto způsobem může být nezbytný s ohledem na požadavky řízení úhlového natočení hodin pro výkonnější sběrnice. Je běžnou praxí u výkonných hodinami časovaných synchronních sběrnic (tj. viz specifikace "PCI Local Bus Specification", verze 2.1) přivést jednotlivé hodiny do každé FC štěrbině pro účely řízení úhlového natočení hodin. Budič hodin s více hodinovými výstupy by byl běžně opatřen SBC logikou. To také slouží k oddělení veškerého rušení, při zasouvání hodin sběrnice za chodu do štěrbin, kam se právě zasouvá FC (tj. každá štěrbina FC, která je obsazená a provozuschopná, má hodiny sběrnice, které nejsou připojené do štěrbin, kde nastává zasouvání za chodu).

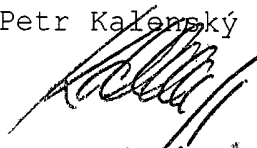
Konkrétní implementací tohoto vynálezu je nástroj, který je oddělená jednotka vzhledem k LIBC a může se

připojit k systémové sběrnici před zasouváním za chodu a odpojit opět po dokončení zasouvání. Nástroj LIBC může být například implementován jako karta adaptéru, planární karta nebo jiný diagnostický nástroj, jako například "černá skříňka", kterou s sebou zákazník - technik může nosit nebo instalovat v cílovém systému ještě předtím, než se bude používat. Nástroj by byl připojen rozhraním k cílovému systému, do kterého se má přidat funkce zasouvání za chodu buďto připojením karty adaptéru nebo desky k cílovému systému, nebo připojením nástroje nebo "černé skříňky" k cílovému systému. Způsoby podle předchozího stavu techniky lze použít k dynamickému připojení nástroje k cílovému systému za provozu systému (tj. předběžné nabití, vysunuté kolíky, atd.). Jakmile je nástroj připojen k cílovému systému, přidá se dočasná funkčnost LIBC prostřednictvím tohoto nástroje. S touto nyní nainstalovanou funkčností je zajištěna schopnost zasouvání za chodu prostřednictvím LIBC zavedené do systému tímto nástrojem. S nainstalovaným nástrojem LIBC lze nyní zasouvat karty nebo funkce do cílového systému za chodu nebo odstraňovat za chodu. To se dá použít k odstraňování nebo k novému zasouvání karet kvůli určení zdroje selhání hardwaru nebo jiných problémů systému. Také se to dá použít k povolení dynamického přidávání nebo odstraňování zařízení a tudíž dynamické změně konfigurace hardwarových prostředků v systému. Tento nástroj se může později odstranit a může si jej technik zákazníka odnést, aby mohl řešit problémy na jiných cílových systémech. Nástroj LIBC mohou být přenosné prostředky pro technika-zákazníka k přidání schopnosti zasouvání za chodu do systému zákazníka kvůli výše uvedeným operacím, není však žádným způsobem omezen v potenciálním použití na výše uvedené operace.

Přestože konkrétní provedení tohoto vynálezu bylo znázorněno na doprovodných výkresech a popsáno v předchozím podrobném popise, rozumí se, že vynález není omezen na zde popsaná konkrétní provedení, ale připouští více uspořádání, úprav a náhrad bez odchýlení od rozsahu vynálezu.

Zastupuje:

Dr. Petr Kalenský v.r.



**JUDr. Petr Kalenský**  
advokát  
č. osv.: 0254  
Společná advokátní kancelář  
Všetečka Zelený Švorčák  
Kalenský a Partneři, Hájkova 2  
Praha 2, 120 00  
Tél.: 02/24942434, Fax: 02/24943092-3

## P A T E N T O V É   N Á R O K Y

1. V systému zpracovávajícím informace, který má systémovou sběrnici, vyhovující standardu systémových sběrnic, pro přenos informací mezi zařízeními připojenými ke sběrnici, řadič systémové sběrnice připojený k systémové sběrnici pro řízení práce sběrnice, alespoň jednu připojitelnou jednotku, která je připojitelná za chodu k systémové sběrnici, obvod pro zjištění připojení připojitelné jednotky k systémové sběrnici, a alespoň jeden na nízké úrovni aktivní řídicí signál, přítomný ve standardu systémové sběrnice, který je přenášen systémovou sběrnici, způsob řízení stavu systémové sběrnice během připojování připojitelné jednotky za chodu, přičemž způsob **se vyznačuje tím**, že obsahuje kroky:

zjištění počáteční doby a koncové doby pro připojení připojitelné jednotky k systémové sběrnici; a nabuzení na nízké úrovni aktivního řídicího signálu systémové sběrnice na nízkou úroveň alespoň v časovém intervalu mezi počáteční dobou a koncovou dobou.

2. Způsob podle nároku 1, **vyznačující se tím**, že nabuzení na nízké úrovni aktivního řídicího signálu na nízkou úroveň vytvoří stav na systémové sběrnici, ve kterém se neprovádí žádné operace sběrnice.

3. Způsob podle nároku 1, **vyznačující se tím**, že dále obsahuje kroky:

zjištění okamžiku, kdy je připojitelná jednotka správně

připojena k systémové sběrnici; a

ukončení nabuzení na nízké úrovni aktivního řídicího signálu na nízkou úroveň poté co nastal uvedený okamžik.

4. Způsob podle nároku 1, **vyznačující se tím**, že obsahuje distribuci na nízké úrovni aktivních časovacích signálů dvoubodově do alespoň jedné připojitelné jednotky.

5. V systému zpracovávajícím informace, který má systémovou sběrnici, vyhovující standardu systémové sběrnice, pro přenos informací mezi zařízeními připojenými ke sběrnici, řadič systémové sběrnice připojený k systémové sběrnici pro řízení práce sběrnice, alespoň jednu připojitelnou jednotku, která je za chodu připojitelná k systémové sběrnici, obvod pro zjištění připojení připojitelné jednotky do systémové sběrnice a alespoň jeden řídicí signál, přítomný ve standardu systémové sběrnice, který je přenášen systémovou sběrnici, způsob pro řízení stavu systémové sběrnice během zasouvání za chodu připojitelné jednotky, přičemž způsob, **se vyznačuje tím**, že obsahuje kroky:

zjištění počáteční doby a koncové doby pro připojení připojitelné jednotky k systémové sběrnici; a

nabuzení řídicího signálu systémové sběrnice na aktivní nízkou úroveň alespoň v časovém intervalu mezi počáteční dobou a koncovou dobou.

6. Způsob podle nároku 5, **vyznačující se tím**, že nabuzení řídicího signálu na aktivní nízkou úroveň vytvoří stav na systémové sběrnici, ve kterém se neprovádí žádné operace sběrnice.

7. Způsob podle nároku 5, **vyznačující se tím**, že dále obsahuje kroky

zjištění okamžiku, kdy je připojitelná jednotka správně připojena k systémové sběrnici; a

ukončení nabuzení řídicího signálu na aktivní nízkou úroveň poté co nastal uvedený okamžik.

8. V systému zpracovávajícím informace, který má systémovou sběrnici, vyhovující standardu systémové sběrnice, pro přenos informací mezi zařízeními připojenými ke sběrnici, řadič systémové sběrnice připojený k systémové sběrnici pro řízení práce sběrnice, alespoň jedna připojitelná jednotka, která je za chodu připojitelná k systémové sběrnici, obvod pro zjištění připojení připojitelné jednotky k systémové sběrnici, a alespoň jeden na nízké úrovni aktivní řídicí signál, přítomný ve standardu systémové sběrnice, který je přenášený systémovou sběrnici, systém pro řízení stavu systémové sběrnice během připojování připojitelné jednotky za chodu k systémové sběrnici, **vyznačující se tím**, že obsahuje:

prostředky pro zjištění počáteční doby a koncové doby připojování připojitelné jednotky k systémové sběrnici; a

prostředky pro nabuzení na nízké úrovni aktivního řídicího signálu systémové sběrnice na nízkou úroveň alespoň po časový interval mezi počáteční dobou a koncovou dobou.

9. Systém podle nároku 8, **vyznačující se tím**, že dále obsahuje:

prostředky pro zjištění okamžiku, kdy je připojitelná jednotka správně připojena k systémové sběrnici; a

prostředky pro ukončení nabuzení na nízké úrovni aktivního řídicího signálu na nízkou úroveň poté co nastal uvedený okamžik.

10. Systém podle nároku 8, **vyznačující se tím**, že dále obsahuje prostředky distribuce na nízké úrovni aktivních časovacích signálů dvoubodově do alespoň jedné připojitelné jednotky

11. V systému zpracovávajícím informace, který má systémovou sběrnici, vyhovující standardu systémové sběrnice, pro přenos informací mezi zařízeními připojenými ke sběrnici, řadič systémové sběrnice připojený k uvedené systémové sběrnici pro řízení práce sběrnice, alespoň jednu připojitelnou jednotku, která je za chodu připojitelná k systémové sběrnici, prostředky pro zjištění připojení připojitelné jednotky do systémové sběrnice a alespoň jeden řídicí signál, přítomný ve standardu systémové sběrnice, který je přenášen systémovou sběrnici, systém pro řízení stavu systémové sběrnice během zasouvání za chodu připojitelné jednotky do systémové sběrnice, **vyznačující se tím**, že obsahuje:

prostředky pro zjištění počáteční doby a koncové doby pro připojení připojitelné jednotky do systémové sběrnice; a

prostředky pro nabuzení řídicího signálu systémové sběrnice na aktivní nízkou úroveň alespoň v časovém intervalu mezi počáteční dobou a koncovou dobou.

12. Systém podle nároku 11, **vyznačující se tím**, že dále obsahuje:

prostředky pro zjištění okamžiku, kdy je připojitelná jednotka správně připojena k systémové sběrnici; a

prostředky pro ukončení nabuzení řídicího signálu na aktivní nízkou úroveň poté co nastal uvedený okamžik.

13. Systém podle nároků 8 nebo 11, **vyznačující se tím**, že připojitelná jednotka obsahuje:

první prostředky pro zajištění počátečního signálu k indikaci začátku připojování připojitelné jednotky k systémové sběrnici;

druhé prostředky pro zajištění koncového signálu kvůli indikaci konce připojování připojitelné jednotky k systémové sběrnici; a

třetí prostředky pro připojení připojitelné jednotky k systémové sběrnici v intervalu mezi počátečním signálem a koncovým signálem.

14. Systém podle nároku 8 nebo 11, **vyznačující se tím**, že dále obsahuje řadič sběrnice pro zasouvání za chodu, obsahující:

dekódovací logiku pro zjištění od prostředků pro zjištění počáteční doby a koncové doby toho, zda je dokončeno připojování připojitelné jednotky do systémové sběrnice, nebo zda je v procesu dokončování;

řídicí logiku kritických signálů sběrnice pro aktivaci signálu požadavku na sběrnici do rozhodovací logiky řadiče systémové sběrnice v řadiči systémové sběrnice a pro deaktivaci signálu požadavku na sběrnici poté co nastalo dokončení připojování připojitelné jednotky k systémové

sběrnici jak je indikováno dekodovací logikou; a  
jeden nebo více budících obvodů sběrnice připojených k  
řídící logice kritických signálů sběrnice pro nabuzení  
systémové sběrnice na zemní úroveň nebo nízkou úroveň  
signálu.

15. Systém podle nároku 14, **vyznačující se tím**, že řadič sběrnice pro zasouvání za chodu je komponenta  
řadiče systémové sběrnice.

16. Řídící zařízení sběrnice pro zasouvání za chodu  
pro řízení stavu systémové sběrnice, vyhovující standardu  
systémové sběrnice, cílového systému zpracovávajícího  
informace během připojování připojitelné jednotky za chodu  
do systémové sběrnice, **vyznačující se tím**, že  
obsahuje:

prostředky pro zjišťování připojení připojitelné  
jednotky k systémové sběrnici;

prostředky pro řízení stavu systémové sběrnice během  
zasouvání za chodu připojitelné jednotky do systémové  
sběrnice;

prostředky pro záznam počáteční doby a koncové doby  
připojování k systémové sběrnici; a

prostředky pro nabuzení řídicího signálu, přítomného ve  
standardu systémové sběrnice, systémové sběrnice, na aktivní  
nízkou úroveň signálu alespoň v časovém intervalu mezi  
počáteční dobou a koncovou dobou.

17. Řídící zařízení sběrnice pro zasouvání za chodu  
podle nároku 16, **vyznačující se tím**, že dále  
obsahuje styčné prostředky pro zajištění dočasné funkčnosti  
zasouvání za chodu do cílového systému zpracovávajícího  
informace.

18. V systému zpracovávajícím informace, který má systémovou sběrnici, vyhovující standardu systémové sběrnice, pro přenos informací mezi zařízeními připojenými ke sběrnici, řadič systémové sběrnice, připojený k systémové sběrnici pro řízení práce sběrnice, alespoň jednu připojitelnou jednotku, která je odpojitelná za chodu od systémové sběrnice, obvod pro zjištění odpojení připojitelné jednotky od systémové sběrnice, a alespoň jeden na nízké úrovni aktivní řídicí signál, přítomný ve standardu systémové sběrnice, který je přenášen systémovou sběrnici, způsob pro řízení stavu systémové sběrnice během odpojování připojitelné jednotky za chodu, přičemž způsob **se vyznačuje tím**, že obsahuje kroky:

zjištění počáteční doby a koncové doby pro odpojení připojitelné jednotky od systémové sběrnice; a

nabuzení na nízké úrovni aktivního řídicího signálu systémové sběrnice na nízkou úroveň alespoň v časovém intervalu mezi počátečním časem a koncovým časem

19. Způsob podle nároku 18, **vyznačující se tím**, že nabuzení na nízké úrovni aktivního řídicího signálu na nízkou úroveň vytváří stav na systémové sběrnici, ve kterém se neprovádí žádné operace sběrnice.

20. Způsob podle nároku 18, **vyznačující se tím**, že dále obsahuje kroky:

zjištění okamžiku, kdy je připojitelná jednotka správně odpojena od systémové sběrnice; a

ukončení nabuzení na nízké úrovni aktivního řídicího signálu na nízkou úroveň poté co nastal uvedený okamžik.

21. Způsob podle nároku 18, **vyznačující se**

**tím**, že obsahuje distribuci na nízké úrovni aktivní časovacích signálů dvoubodově do alespoň jedné připojitelné jednotky.

22. V systému zpracovávajícím informace, který má systémovou sběrnici, vyhovující standardu systémové sběrnice, pro přenos informací mezi zařízeními připojenými ke sběrnici, řadič systémové sběrnice připojený k systémové sběrnici pro řízení práce sběrnice, alespoň jednu připojitelnou jednotku, která je za chodu odpojitelná od systémové sběrnice, obvod pro zjištění odpojení připojitelné jednotky od systémové sběrnice a alespoň jeden řídicí signál, přítomný ve standardu sběrnice, který je přenášen systémovou sběrnici, způsob pro řízení stavu systémové sběrnice během odpojování připojitelné jednotky za chodu, přičemž způsob **se vyznačuje tím**, že obsahuje kroky:

zjištění počátečního času a koncového času pro odpojení připojitelné jednotky od systémové sběrnice; a

nabuzení řídicího signálu systémové sběrnice na aktivní nízkou úroveň alespoň v časovém intervalu mezi počátečním časem a koncovým časem

23. Způsob podle nároku 22, **vyznačující se tím**, že nabuzení řídicího signálu na aktivní nízkou úroveň vytvoří stav na systémové sběrnici, ve kterém se neprovádějí žádné operace sběrnice

24. Způsob podle nároku 22, **vyznačující se tím**, že dále obsahuje kroky:

zjištění okamžiku, kdy je připojitelná jednotka správně odpojena od systémové sběrnice; a

ukončení nabuzení řídicího signálu na aktivní nízkou úroveň poté, co nastal uvedený okamžik.

25. V systému zpracovávajícím informace, který má systémovou sběrnici, vyhovujícím standardu systémové sběrnice, pro přenos informací mezi zařízeními připojenými ke sběrnici, řadič systémové sběrnice připojený k systémové sběrnici pro řízení práce sběrnice, alespoň jednu připojitelnou jednotku, která je za chodu odpojitelná od systémové sběrnice, obvod pro zjištění odpojení připojitelné jednotky od systémové sběrnice a alespoň jeden na nízké úrovni aktivní řídicí signál, přítomný ve standardu systémové sběrnice, který se přenáší systémovou sběrnici, systém pro řízení stavu systémové sběrnice během odpojování za chodu připojitelné jednotky od systémové sběrnice, **vyznačující se tím**, že obsahuje:

prostředky pro zjištění počátečního času a koncového času odpojení připojitelné jednotky od systémové sběrnice; a  
prostředky pro nabuzení na nízké úrovni aktivního řídicího signálu systémové sběrnice na nízkou úroveň alespoň v časovém intervalu mezi počátečním časem a koncovým časem.

26. Systém podle nároku 25, **vyznačující se tím**, že dále obsahuje:

prostředky pro zjištění okamžiku, kdy je připojitelná jednotka správně odpojena od systémové sběrnice; a

prostředky pro ukončení nabuzení na nízké úrovni aktivního řídicího signálu na nízkou úroveň poté co nastal uvedený časový okamžik.

27. V systému zpracovávajícím informace, který má systémovou sběrnici, vyhovující standardu systémové sběrnice, pro přenos informací mezi zařízeními připojenými ke sběrnici, řadič systémové sběrnice připojený k systémové sběrnici pro řízení práce sběrnice, alespoň jednu

připojitelnou jednotku, která je za chodu odpojitelná od systémové sběrnice, obvod pro zjištění odpojení připojitelné jednotky od systémové sběrnice, a alespoň jeden řídicí signál, přítomný ve standardu systémové sběrnice, který se přenáší systémovou sběrnici, systém pro řízení stavu systémové sběrnice během odpojování připojitelné jednotky za chodu od systémové sběrnice, **vyznačující se tím**, že obsahuje:

prostředky pro zjištění počáteční doby a koncové doby pro odpojení připojitelné jednotky od systémové sběrnice; a

prostředky pro nabuzení řídicího signálu systémové sběrnice na neaktivní nízkou úroveň alespoň v časovém intervalu mezi počáteční dobou a koncovou dobou

28. Systém podle nároku 27, **vyznačující se tím**, že dále obsahuje:

prostředky pro zjištění okamžiku, kdy se připojitelná jednotka správně odpojí od systémové sběrnice; a

prostředky pro ukončení nabuzení řídicího signálu na aktivní nízkou úroveň poté, co nastal uvedený okamžik.

29. Systém podle nároku 25 nebo 27, **vyznačující se tím**, že dále obsahuje prostředky pro distribuci na nízké úrovni aktivních časovacích signálů dvoubodově do alespoň jedné připojitelné jednotky.

30. Systém podle nároku 25 nebo 27, **vyznačující se tím**, že připojitelná jednotka obsahuje:

první prostředky pro zajištění signálu start, který udává počátek odpojování připojitelné jednotky od systémové sběrnice;

druhé prostředky pro zajištění signálu end, který udává konec odpojování připojitelné jednotky od systémové

sběrnice; a

třetí prostředky pro odpojení připojitelné jednotky od systémové sběrnice v intervalu mezi signálem start a signálem end

31. Systém podle nároku 25 nebo 27, **vyznačující se tím**, že dále obsahuje řadič sběrnice pro zasouvání za chodu obsahující:

dekódovací logiku pro určení od prostředků pro zjištění počátečního času a koncového času, zda je odpojení připojitelné jednotky od systémové sběrnice dokončeno, či zda probíhá jeho dokončování;

řídící logika kritických signálů sběrnice pro aktivaci signálu požadavku na sběrnici do rozhodovací logiky řadiče systémové sběrnice v řadiči systémové sběrnice a pro deaktivaci signálu požadavku na sběrnici jakmile nastane dokončení odpojení připojitelné jednotky od systémové sběrnice jak je indikováno dekódovací logikou; a

jeden nebo více budících obvodů sběrnice připojených k uvedené řídící logice kritických signálů sběrnice pro nabuzení systémové sběrnice na zemní úroveň nebo nízkou úroveň signálu.

32. Systém podle nároku 31, **vyznačující se tím**, že řadič sběrnice pro zasouvání za chodu je komponenta řadiče systémové sběrnice.

33. Řídící zařízení sběrnice pro zasouvání za chodu pro řízení stavu systémové sběrnice, vyhovující standardu systémové sběrnice, cílového systému zpracovávajícího informace během odpojování za chodu připojitelné jednotky od systémové sběrnice, **vyznačující se tím**, že obsahuje:

prostředky pro zjištění odpojení připojitelné jednotky

od systémové sběrnice;

prostředky pro řízení stavu systémové sběrnice během odpojování připojitelné jednotky za chodu od systémové sběrnice;

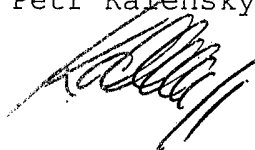
prostředky pro záznam počáteční doby a koncové doby odpojování od systémové sběrnice; a

prostředky pro nabuzení řídicího signálu, přítomného ve standardu systémové sběrnice, systémové sběrnice, na aktivní nízkou úroveň signálu alespoň v časovém intervalu mezi počátečním časem a koncovým časem

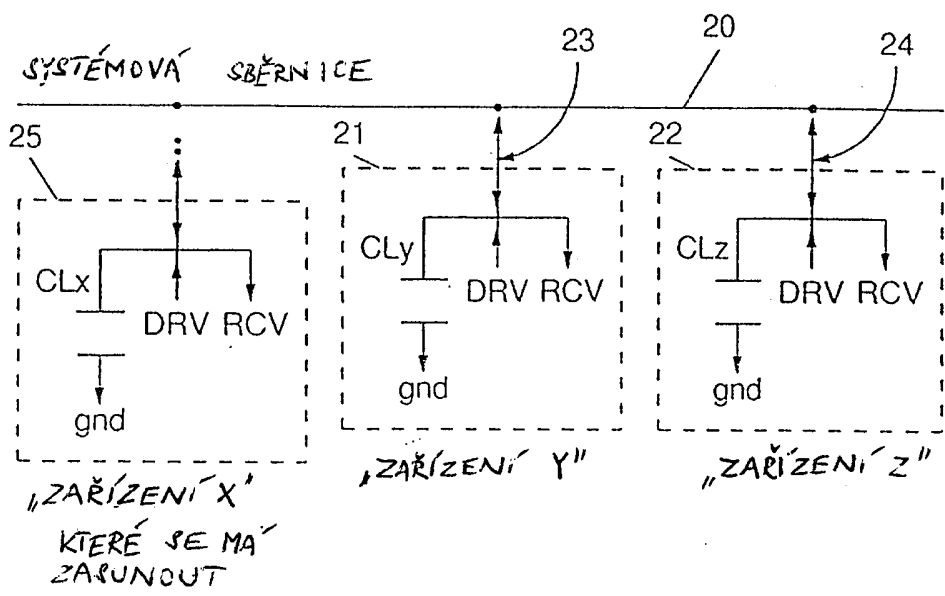
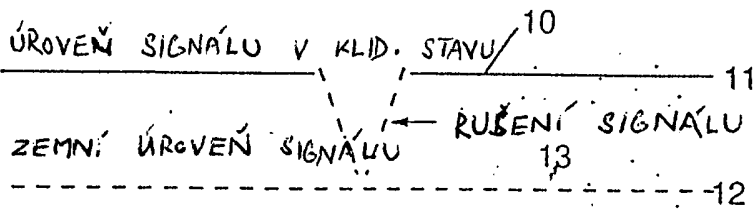
34. Řídící zařízení sběrnice pro zasouvání za chodu podle nároku 33, **vyznačující se tím**, že dále obsahuje styčné prostředky pro zajištění dočasné funkčnosti zasouvání za chodu do cílového systému zpracovávajícího informace.

Zastupuje:

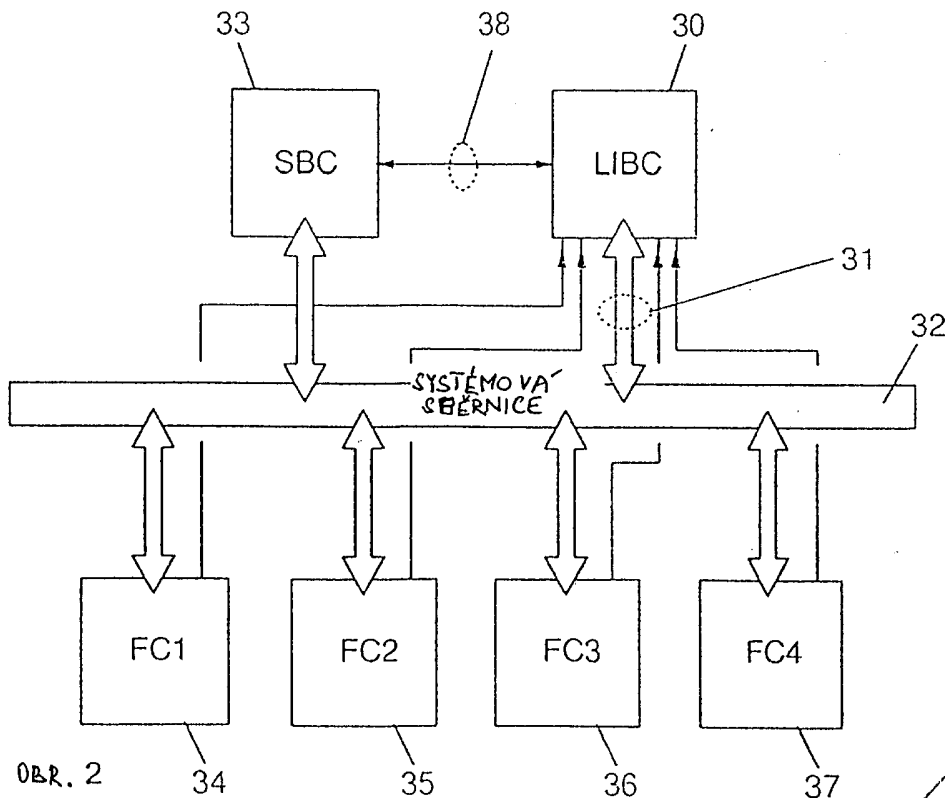
Dr. Petr Kalenský v.r.



JUDr. Petr Kalenský  
advokát  
č. osv.: 0254  
Společná advokátní kancelář  
Všetečka Zelený Švorčík  
Kalenský a Partneři, Hálkova 2  
Praha 2, 120 00  
Tel: 24942434 Fax: 02/24943092-3

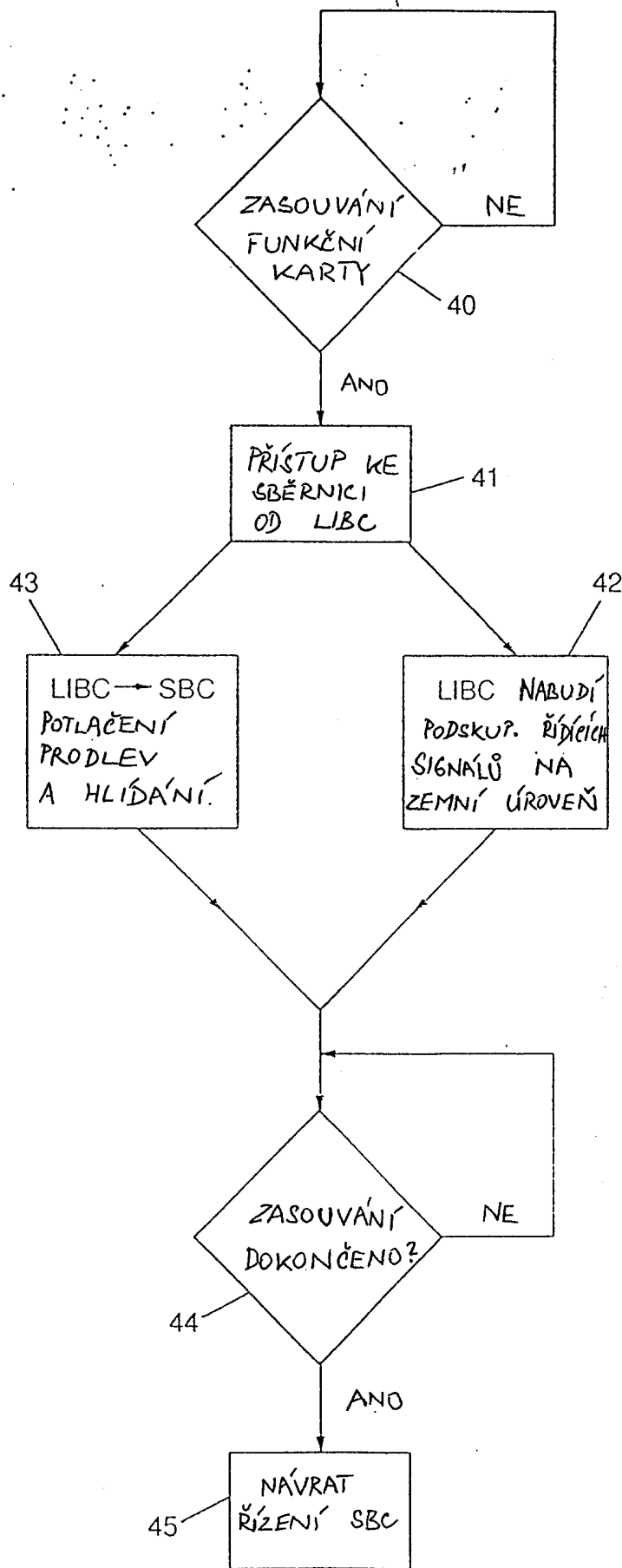


OBR. 1



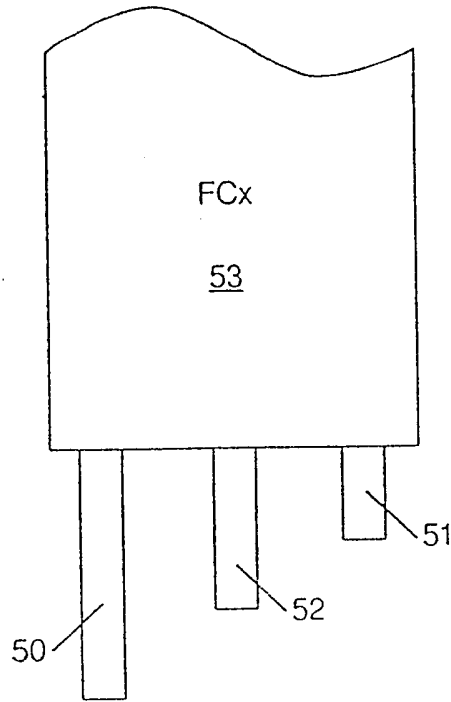
OBR. 2

*Petr Kalenský*  
 PETR KALENSKÝ  
 ATTORNEY AT LAW



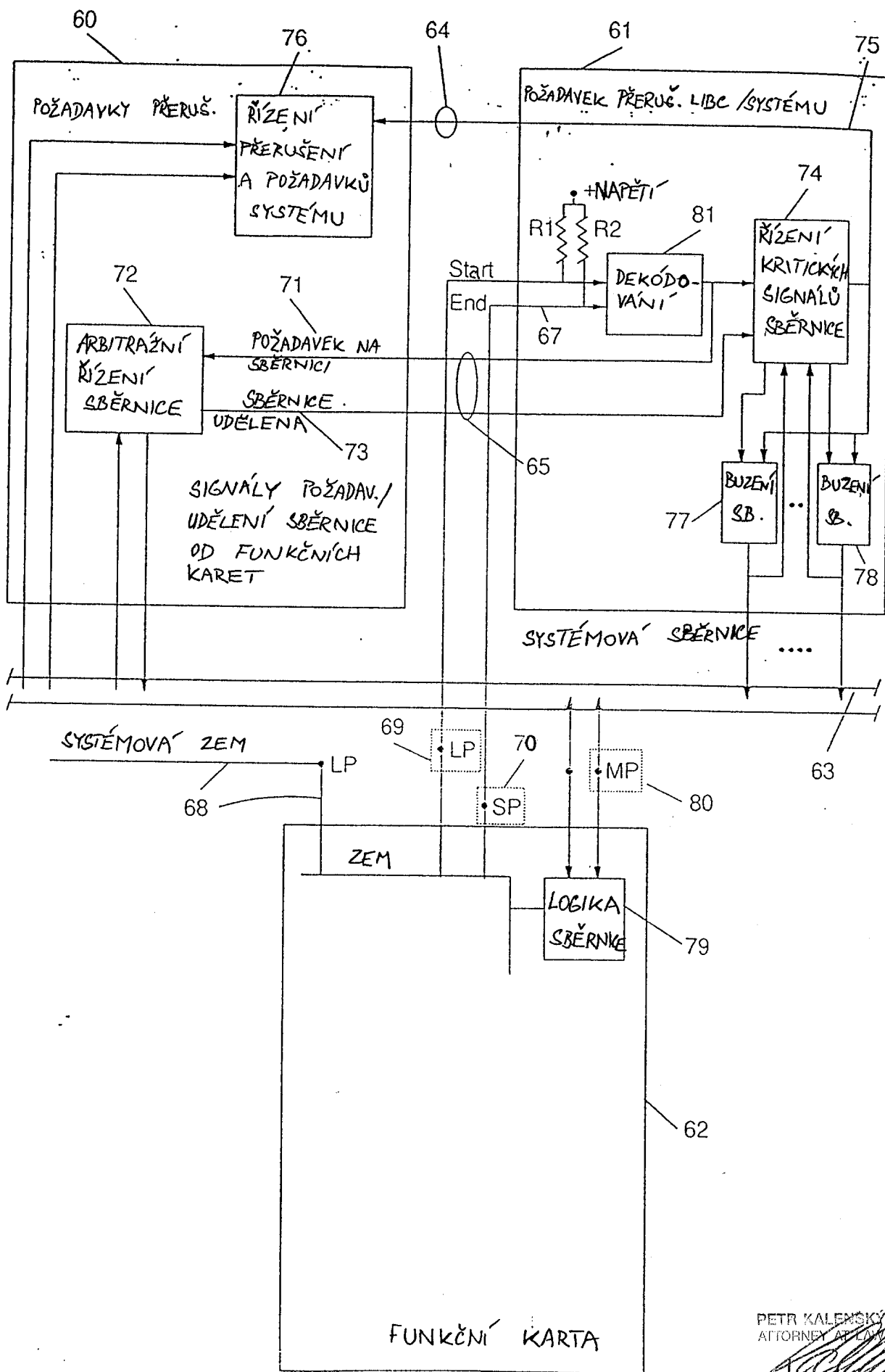
3/6

PV 3540-99  
25000



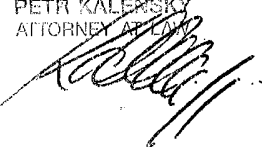
OBR. 4

PETR KALENSKY  
ATTORNEY AT LAW

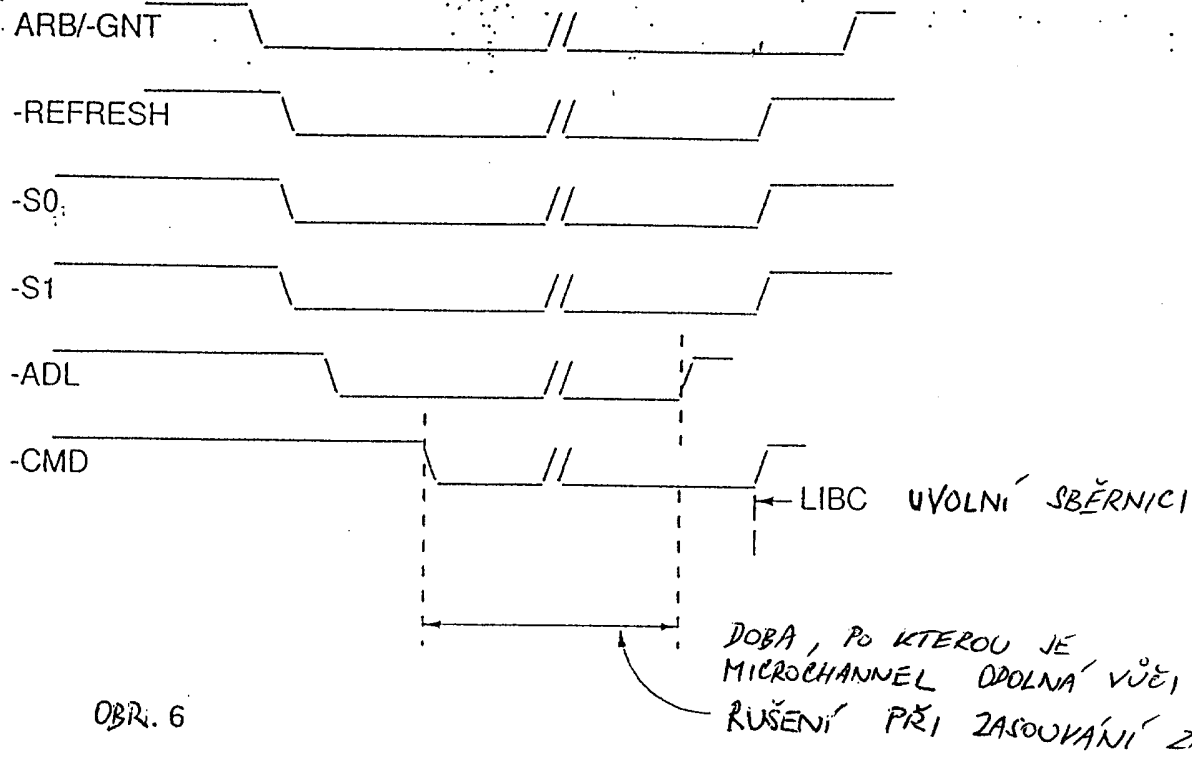


OBR. 5

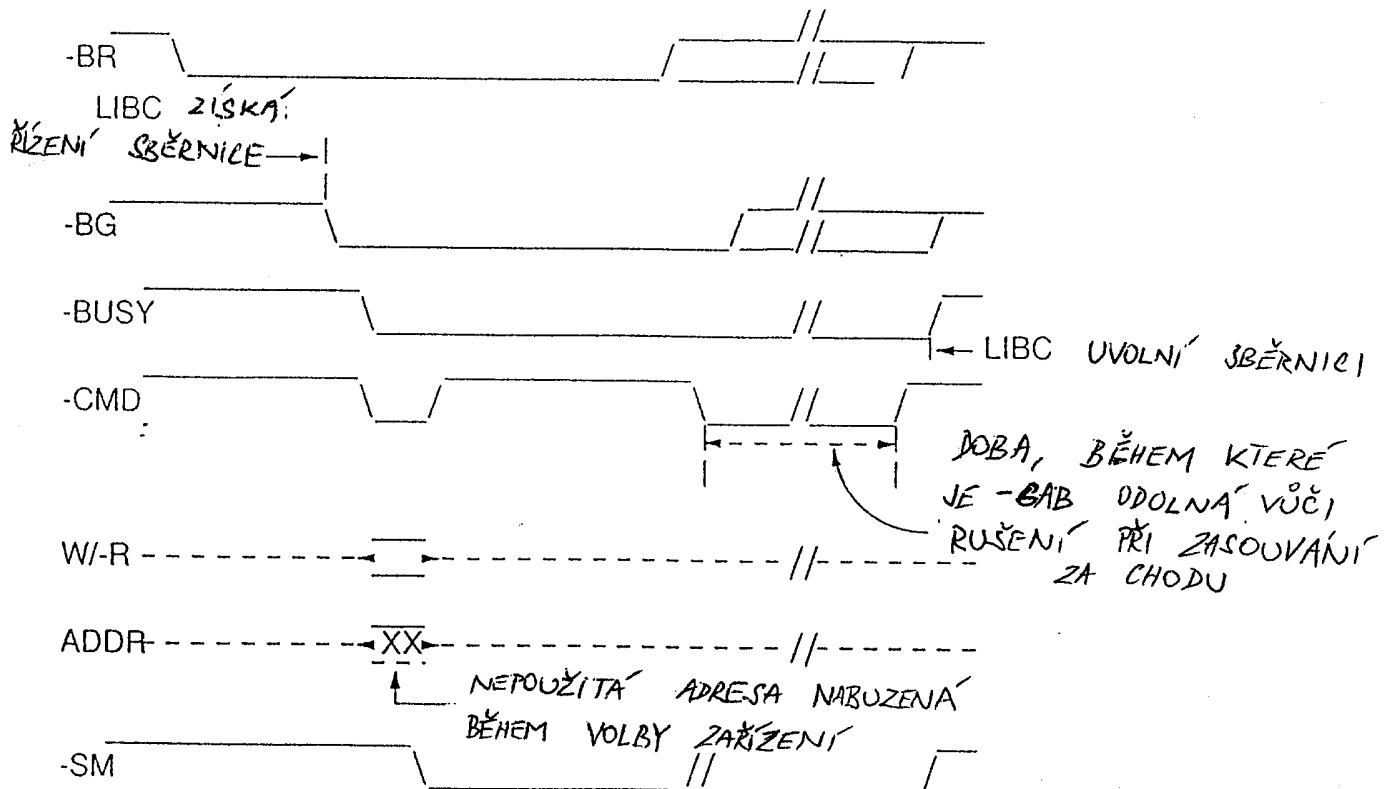
PETR KALENSKÝ  
ATTORNEY AT LAW



LIBC ZÍSKA' RÍZENÍ SBĚRNICE

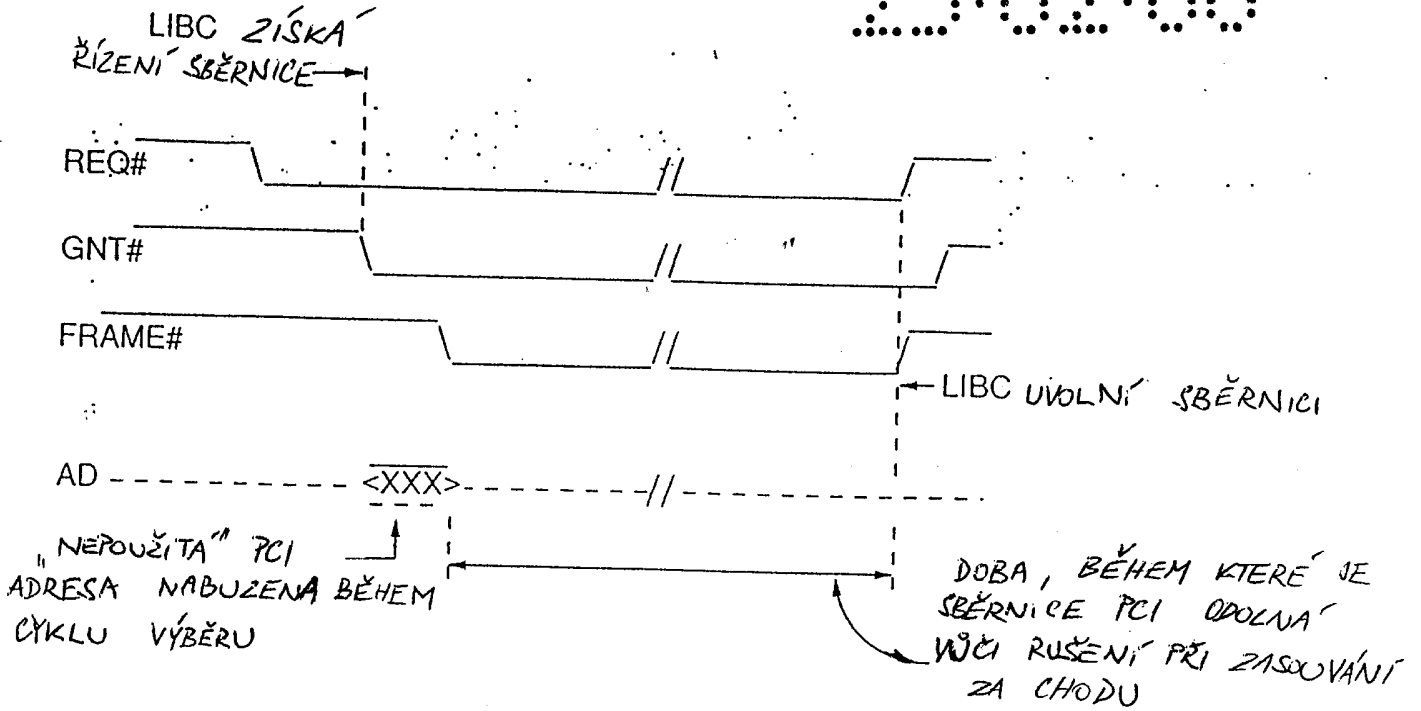


OBR. 6

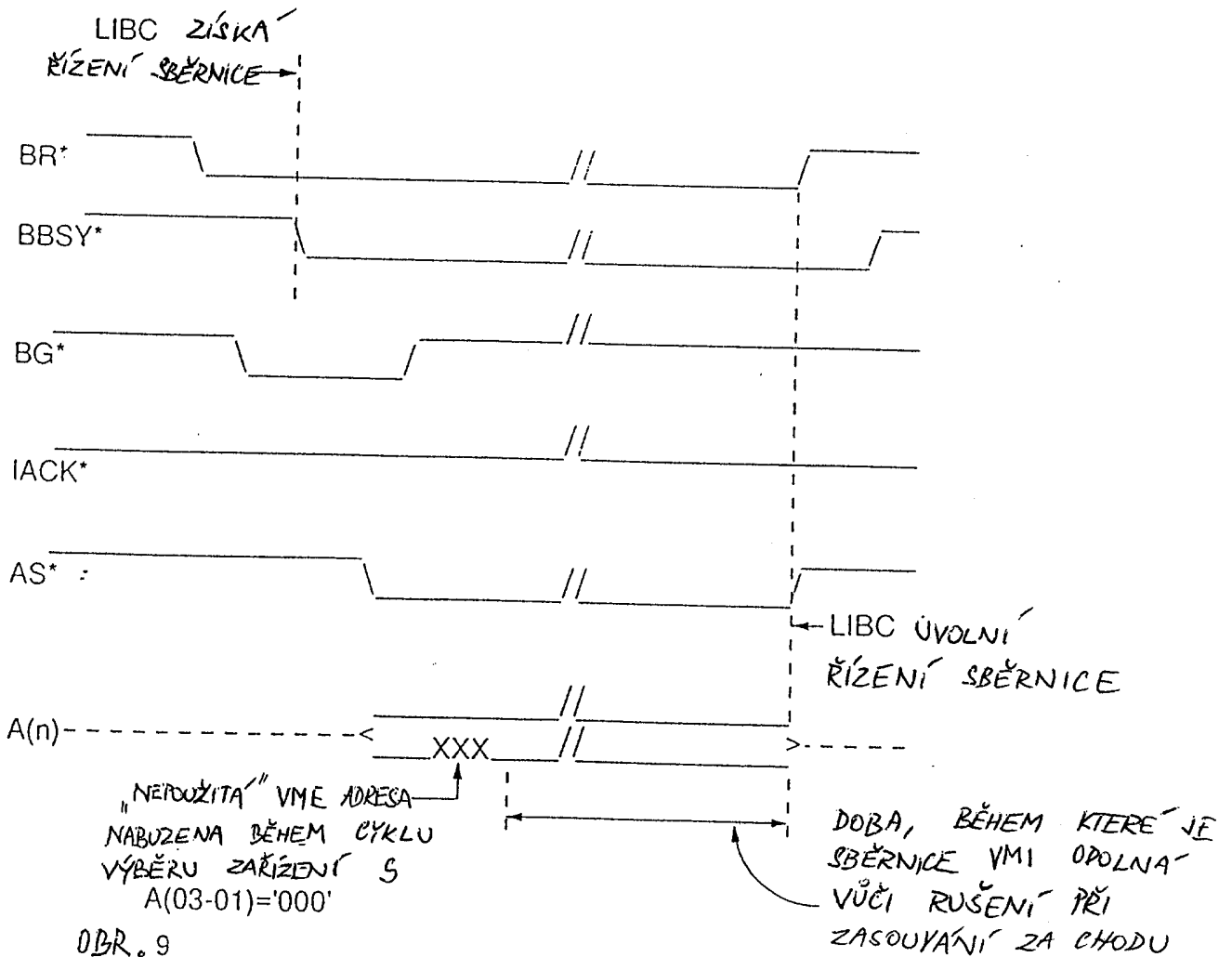


OBR. 7

25.02.00



OBR. 8



OBR. 9