

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】令和6年9月26日(2024.9.26)

【公開番号】特開2023-141616(P2023-141616A)  
 【公開日】令和5年10月5日(2023.10.5)  
 【年通号数】公開公報(特許)2023-188  
 【出願番号】特願2022-48021(P2022-48021)  
 【国際特許分類】

H 1 0 B 43/27(2023.01)

10

H 1 0 B 43/40(2023.01)

H 1 0 B 43/50(2023.01)

H 0 1 L 21/336(2006.01)

H 0 1 L 21/3205(2006.01)

H 0 1 L 25/07(2006.01)

H 0 1 L 21/60(2006.01)

【F I】

H 0 1 L 27/11582

H 0 1 L 27/11573

H 0 1 L 27/11575

20

H 0 1 L 29/78 3 7 1

H 0 1 L 21/88 S

H 0 1 L 21/88 T

H 0 1 L 21/88 Z

H 0 1 L 25/08 C

H 0 1 L 21/60 3 1 1 Q

【手続補正書】

【提出日】令和6年9月17日(2024.9.17)

【手続補正1】

30

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1領域、前記第1領域を囲む第2領域、及び前記第2領域を囲む第3領域に分けられる第1面で接する第1チップ及び第2チップを備え、

前記第1チップは、

第1導電型の第1拡散領域及び前記第1導電型と異なる第2導電型の第2拡散領域が設けられる基板と、

40

前記第2領域で前記第1領域を囲む連続した1個の導電体を含む第1電極部と、

前記第2領域で前記第1電極部と離れて前記第1領域を囲む第2電極部と、

を含み、

前記第2チップは、

第1配線層と、

前記第2領域で前記第1領域を囲む連続した1個の導電体を含み、前記第1電極部と接する第3電極部と、

前記第2領域で前記第3電極部と離れて前記第1領域を囲み、前記第2電極部と接する第4電極部と、

50

前記第 1 配線層に接し、前記第 1 領域を囲む連続した 1 個の導電体を含み、前記第 3 電極部及び前記第 1 電極部を介して前記第 1 拡散領域と電氣的に接続される第 1 壁部と、

前記第 1 配線層に接し、前記第 1 壁部と離れて前記第 1 領域を囲み、前記第 4 電極部及び前記第 2 電極部を介して前記第 2 拡散領域と電氣的に接続される第 2 壁部と、  
を含み、

前記第 1 電極部及び前記第 2 電極部が前記第 2 領域に占める面積の第 1 割合、並びに前記第 3 電極部及び前記第 4 電極部が前記第 2 領域に占める面積の第 2 割合の各々は、3 % 以上 40 % 以下である、

メモリデバイス。

【請求項 2】

10

前記第 1 チップは、前記第 3 領域に設けられる第 5 電極部を更に含み、

前記第 2 チップは、前記第 3 領域に設けられ、前記第 5 電極部と接する第 6 電極部を更に含み、

前記第 5 電極部及び前記第 6 電極部は、前記基板から電氣的に絶縁される、

請求項 1 記載のメモリデバイス。

【請求項 3】

前記第 5 電極部が前記第 3 領域に占める面積の第 3 割合、及び前記第 6 電極部が前記第 3 領域に占める面積の第 4 割合の各々は、3 % 以上 20 % 以下である、

請求項 2 記載のメモリデバイス。

【請求項 4】

20

前記第 5 電極部が前記第 3 領域に占める面積の第 3 割合は、前記第 1 割合の  $1/3$  以上  $2/3$  以下であり、

前記第 6 電極部が前記第 3 領域に占める面積の第 4 割合は、前記第 2 割合の  $1/3$  以上  $2/3$  以下である、

請求項 2 記載のメモリデバイス。

【請求項 5】

第 1 領域、及び前記第 1 領域を囲む第 2 領域に分けられる第 1 面で接する第 1 チップ及び第 2 チップを備え、

前記第 1 チップは、

第 1 導電型の第 1 拡散領域及び前記第 1 導電型と異なる第 2 導電型の第 2 拡散領域を有する基板と、

30

前記第 2 領域で前記第 1 領域を囲む第 1 電極部と、

前記第 2 領域で前記第 1 電極部と離れて前記第 1 領域を囲む第 2 電極部と、

を含み、

前記第 2 チップは、

第 1 配線層と、

前記第 2 領域で前記第 1 領域を囲み、前記第 1 電極部と接する第 3 電極部と、

前記第 2 領域で前記第 3 電極部と離れて前記第 1 領域を囲み、前記第 2 電極部と接する第 4 電極部と、

前記第 1 配線層に接し、前記第 1 領域を囲み、前記第 3 電極部及び前記第 1 電極部を介して前記第 1 拡散領域と電氣的に接続される第 1 壁部と、

40

前記第 1 配線層に接し、前記第 1 壁部と離れて前記第 1 領域を囲み、前記第 4 電極部及び前記第 2 電極部を介して前記第 2 拡散領域と電氣的に接続される第 2 壁部と、

を含み、

前記第 3 電極部と前記第 4 電極部との間の距離は、前記第 1 壁部と前記第 2 壁部との間の距離より長い、

メモリデバイス。

【請求項 6】

第 1 領域、及び前記第 1 領域を囲む第 2 領域に分けられる第 1 面で接する第 1 チップ及び第 2 チップを備え、

50

前記第 1 チップは、

基板と、

前記第 2 領域で前記第 1 領域を囲む連続した 1 個の導電体を含む第 1 電極パッドと、

を含み、

前記第 2 チップは、

前記第 2 領域で前記第 1 領域を囲む連続した 1 個の導電体を含み、前記第 1 電極パッドと接する第 2 電極パッドと、

前記第 1 領域を囲む連続した 1 個の導電体を含み、前記第 2 電極パッド及び前記第 1 電極パッドを介して前記基板と電氣的に接続される第 1 壁部と、

を含み、

10

前記第 2 チップは、

前記第 1 面と交差する第 1 方向に見て、前記第 1 壁部及び前記第 2 電極パッドとそれぞれ互いに異なる位置で重なる第 1 部分及び第 2 部分を有する第 1 導電体と、

前記第 1 方向に延び、前記第 1 壁部と前記第 1 部分との間を接続する第 2 導電体と、

前記第 1 方向に延び、前記第 2 電極パッドと前記第 2 部分との間を接続する第 3 導電体と

—

を更に含む、

メモリデバイス。

20

30

40

50