



# [12] 发明专利说明书

[21] ZL 专利号 01144842.3

[45] 授权公告日 2004 年 10 月 20 日

[11] 授权公告号 CN 1172249C

[22] 申请日 2001.10.31 [21] 申请号 01144842.3

[30] 优先权

[32] 2000.10.31 [33] JP [31] 332493/2000

[71] 专利权人 精工爱普生株式会社

地址 日本东京都

[72] 发明人 神原义幸

审查员 马晓亚

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 罗朋 叶恺东

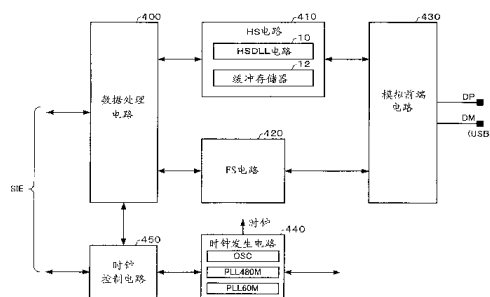
权利要求书 3 页 说明书 20 页 附图 17 页

[54] 发明名称 数据传送控制装置和电子设备

[57] 摘要

本发明的目的在于提供可在不产生动作不良的情况下，动态地对待发生的时钟的频率进行切换的数据传送控制装置，以及电子设备。该数据传送控制装置包括时钟发生电路(440)，该时钟发生电路发生时钟(CLK<sub>H</sub>，CLK<sub>F</sub>)对时钟发生电路(440)进行控制；时钟控制电路(450)，该时钟控制电路(450)根据上述时钟(CLK<sub>H</sub>，CLK<sub>F</sub>)，发生系统时钟(SYCLK)。在不执行发生时钟(CLK<sub>H</sub>)的PLL480M的自由振荡动作之前，实现发生时钟(CLK<sub>F</sub>)的PLL60M的自由振荡动作，在PLL60M的自由振荡动作稳定后，将系统时钟(SYCLK)的发生元从时钟(CLK<sub>H</sub>)，切换到时钟(CLK<sub>F</sub>)。以时钟(CLK<sub>H</sub>)变为“0”为条件，仅仅在规定期间将系统时钟(SYCLK)设定在“0”，以时钟(CLK<sub>F</sub>)变为“0”为条件，根据时钟(CLK<sub>F</sub>)，发生系统时钟(SYCLK)。在从USB2.0的HS，向FS模式切换

时，不执行PLL480M的动作，实现节电。



1.一种数据传送控制装置，该数据传送控制装置用于通过总线进行数据传送，其特征在于其包括：

- 5 时钟发生装置，该时钟发生装置发生包括第一，第二时钟的多个时钟；  
时钟控制装置，该时钟控制装置对上述时钟发生装置中的时钟发生进行控制，根据上述时钟发生装置发生的时钟，发生数据传送控制装置和后级的数据处理装置中的至少一个所采用的系统时钟；

10 上述时钟控制装置在不执行上述时钟发生装置的第一时钟的发生动作之前，实现上述时钟发生装置的第二时钟的发生动作，在判定第二时钟发生动作稳定后，将用于发生系统时钟的时钟，从第一时钟切换到第二时钟。

2.根据权利要求1所述的数据传送控制装置，其特征在于：

上述时钟发生装置包括用于发生第一时钟的第一锁相环以及用于发生第二时钟的第二锁相环；

- 15 **上述时钟控制装置在不执行上述第一锁相环的自由振荡动作之前，实现上述第二锁相环的自由振荡动作，在判定上述第二锁相环的自由振荡动作稳定后，将用于发生系统时钟的时钟，从第一时钟切换到第二时钟。**

3.根据权利要求1所述的数据传送控制装置，其特征在于：

- 20 上述时钟控制装置在将用于发生系统时钟的时钟，从第一时钟切换到第二时钟时，仅仅在规定期间，将系统时钟设定在第一电平。

4.根据权利要求3所述的数据传送控制装置，其特征在于：

上述时钟发生装置具有第一时钟发生装置和第二时钟发生装置，根据输入到第一时钟发生装置和第二时钟发生装置的基准时钟，来设定将系统时钟设定在第一电平的上述规定期间。

- 25 5.根据权利要求1所述的数据传送控制装置，其特征在于：

上述时钟控制装置以第一时钟变为第一电平为条件，将根据第一时钟而发生的系统时钟设定在第一电平，以第二时钟变为第一电平为条件，根据第二时钟，发生系统时钟。

- 30 6.一种数据传送控制装置，该数据传送控制装置用于通过总线，进行数据传送，其特征在于该装置包括：

时钟发生装置，该时钟发生装置发生包括第一，第二时钟的多个时钟；

时钟控制装置，该时钟控制装置对上述时钟发生装置中的时钟发生进行控制，根据上述时钟发生装置发生的时钟，发生数据传送控制装置和后级的数据处理装置中的至少一个所采用的系统时钟；

5 上述时钟控制装置在将用于发生系统时钟的时钟从第一时钟切换到第二时钟时，仅仅在规定期间，将系统时钟设定在第一电平。

7.根据权利要求6所述的数据传送控制装置，其特征在于：

上述时钟发生装置具有第一时钟发生装置和第二时钟发生装置，根据输入到第一时钟发生装置和第二时钟发生装置的基准时钟，来设定将系统时钟设定  
10 在第一电平的上述规定期间。

8.一种数据传送控制装置，该数据传送控制装置用于通过总线，进行数据传送，其特征在于该装置包括：

时钟发生装置，该时钟发生装置发生包括第一，第二时钟的多个时钟；

时钟控制装置，该时钟控制装置对上述时钟发生装置中的时钟发生进行控  
15 制，根据上述时钟发生装置发生的时钟，发生数据传送控制装置和后级的数据处理装置中的至少一个所采用的系统时钟；

上述时钟控制装置以第一时钟变为第一电平为条件，将根据第一时钟而发生的系统时钟设定在第一电平，以第二时钟变为第一电平为条件，根据第二时  
钟，发生系统时钟。

20 9.一种数据传送控制装置，该数据传送控制装置用于采用高速的第一传送模式，或低速的第二传送模式，借助总线，进行数据传送，其特征在于该装置包括：

时钟发生装置，该时钟发生装置包括发生第一时钟的第一锁相环和发生第二时钟的第二锁相环；

25 时钟控制装置，该时钟控制装置对上述时钟发生装置所包括的第一，第二锁相环进行控制；

上述时钟控制装置在传送模式从上述高速的第一传送模式，切换到上述低速的第二传送模式的场合，不执行发生上述第一传送模式用的第一时钟的第一锁相环的自由振荡动作。

30 10.根据权利要求9所述的数据传送控制装置，其特征在于在按照通过上述

第一锁相环发生的第一时钟动作的状态，对与总线连接的端口是否支持第一传送模式进行检测，在检测到不支持第一传送模式的场合，根据来自后级的数据处理装置的选择信号，不执行上述第一锁相环的自由振荡动作。

5 11.根据权利要求9所述的数据传送控制装置，其特征在于上述时钟控制装置在不执行上述第一的自由振荡动作之前，实现上述第二锁相环的自由振荡动作，在判定上述第二锁相环的自由振荡动作保持稳定后，不执行上述第一锁相环的自由振荡动作。

12.根据权利要求1、6、8或9所述的数据传送控制装置，其特征在于进行符合USB的标准的的数据传送。

10 13.一种电子设备，其特征在于：包括  
权利要求1~12中的任何一项所述的数据传送控制装置；  
对通过上述数据传送控制装置以及上述总线传送的数据进行输出处理、获取处理或存储处理的装置。

## 数据传送控制装置和电子设备

5      技术领域

本发明涉及一种数据传送控制装置和电子设备。

发明背景

近年来，作为用于将个人计算机与外围设备（从广义上说，为电子设备）连接的接口标准，USB（通用串行接口）受到人们的关注，该 USB 的优点在于在过去，可通过相同标准的接插件，连接通过不同标准的接插件连接的鼠标或键盘，或打印机等的外围设备，另外可实现所谓的插拔和热插拔。

该 USB 与作为相同的串行接口标准，与已使用的 IEEE1394 相比较，具有传送速度较慢的问题。

于是，人们制定 USB2.0 标准，其在使已有的 USB1.1 的标准保持下位互换性的同时，与 USB1.1 相比较，可实现更高速的 480Mbps（HS 模式）的数据传送速度，该标准受到人们的关注。另外，人们还制定对 USB2.0 的物理层电路，或逻辑层电路的接口类型进行定义的 UTMI（USB2.0 Transceiver Macrocell Interface）。

另外，按照该 USB2.0，除了由过去的 USB1.1 定义的 FS（链 Full Speed）模式以外，还配备有称为“HS（高速 High Speed）模式的传送模式。按照该 HS 模式，由于以 480Mbps 进行数据传送，故与按照 12Mbps 进行数据传送的 FS 模式相比较，可实现更高速度的数据传送。因此，按照 USB2.0，可向传送速度要求高速的硬盘驱动器，光盘驱动器等存储设备提供最适合的接口。

但是，在该 HS 模式的数据传送时，由于进行传送数据的取样，故具有下述问题，即必须发生 480MHz 的频率的时钟，发生这样的高频的时钟的电路（PLL）的耗电量非常大。另外，如果这样的电量还在低速 FS 模式的数据传送时消耗，故造成耗电量的浪费。

此外，在切换传送模式（HS 模式，FS 模式），切换待发生的时钟的场合，还具有下述课题，即必须防止数据传送控制装置或后级的电路发生误动作的情况。

## 发明概述

本发明是针对上述的技术课题而提出的，本发明的目的在于提供可在不产生动作不良的情况下，动态地对待发生的时钟的频率进行切换的数据传送控制装置，以及电子设备。

5 另外，本发明的另一目的在于提供可以较低的耗电量，实现不同传送模式的数据传送的数据传送控制装置和电子设备。

为了解决上述课题，本发明涉及一种数据传送控制装置，该数据传送控制装置用于通过总线进行数据传送，其特征在于其包括时钟发生装置，该时钟发生装置发生包括第一，第二时钟的多个时钟；时钟控制装置，该时钟控制装置  
10 对通过上述时钟发生装置中的时钟发生进行控制，根据通过上述时钟发生装置发生的时钟，发生数据传送控制装置和后级的数据处理装置中的至少一个所采用的系统时钟，上述时钟控制装置在不执行上述时钟发生装置的第一时钟的发生动作之前，实现上述时钟发生装置的第二时钟的发生动作，在判定第二时钟发生动作稳定后，将用于发生系统时钟的时钟，从第一时钟切换到第二时钟。

15 按照本发明，根据时钟发生装置发生的第一，第二时钟，发生数据传送控制装置内部，或后级的数据处理装置所采用的系统时钟。另外，按照本发明，在不执行时钟发生装置的第一时钟的发生动作之前，实现第二时钟的发生动作。接着，如果判定实现的第二时钟的发生动作保持稳定，则构成系统时钟的发生元的时钟从第一时钟，切换到第二时钟，可根据第二时钟，发生系统时钟，  
20 以代替第一时钟。

按照上述方式，在形成系统时钟的发生元的时钟的切换时，可确保从时钟发生装置，稳定地输出第一时钟。另外，形成系统时钟的发生元的时钟可从第二时钟，切换为上述稳定的第一时钟。因此，即使在时钟切换时，仍可将稳定的系统时钟，供给数据传送控制装置内部，或后级的数据处理装置，防止产生  
25 误动作等。

另外，如果在时钟切换后，不执行第一时钟的发生动作，则可节省第一时钟的发生动作所消耗的电量，使数据传送控制装置节省电力。

此外，本发明还可这样形成，即上述时钟发生装置包括用于发生第一时钟的第一 PLL 以及用于发生第二时钟的第二 PLL，上述时钟控制装置在不执行  
30 上述第一 PLL 的自由振荡动作之前，实现上述第二 PLL 的自由振荡动作，在

判定上述第二 PLL 的自由振荡动作稳定后，将用于发生系统时钟的时钟，从第一时钟切换到第二时钟。

按照上述方式，如果可将稳定的系统时钟，供给数据传送控制装置内部，或后级的数据处理装置，并且在时钟的切换后，不执行第一 PLL 的自由振荡动作，则可节省第一 PLL 所消耗的电量。

还有，本发明还可这样形成，即上述时钟控制装置在将用于发生系统时钟的时钟，从第一时钟切换到第二时钟时，仅仅在规定期间，将系统时钟设定在第一电平。

按照此方式，可防止通过切换处于不稳定的状态的时钟，作为系统时钟，供给数据传送控制装置内部，或后级的数据处理装置。另外，即使在第一，第二时钟的相位错开的情况下，适当地使它们接合成为一种可能，可防止数据传送控制装置，或后级的数据处理装置的误动作。

此外，将系统时钟设定在第一电平的期间、比如，可在时钟切换的规定期间，获得形成第一电平的掩蔽信号与第一或第二时钟的逻辑积等。

再有，本发明可这样形成，即将系统时钟设定在第一电平的上述规定期间，根据上述时钟发生装置中的时钟发生用的基准时钟设定。

按照上述方式，根据处于在时钟切换时稳定的信号状态的基准时钟，设定时钟的切换期间的长度等。因此可进一步使供给数据传送控制装置，或后级的数据处理装置的系统时钟保持稳定。

另外，本发明也可这样形成，即上述时钟控制装置以第一时钟变为第一电平为条件，将根据第一时钟而发生的系统时钟设定在第一电平，以第二时钟变为第一电平为条件，根据第二时钟，发生系统时钟。

按照此方式，在时钟切换时，第一时钟从第二电平，变化到第一电平后，在比如，从第一电平变化到第二电平之前，可将系统时钟固定在第一电平。由此，在时钟切换时，可有效地防止系统时钟产生频率突增（glitch）的情况。另外，第二时钟从第二电平变为第一电平后，比如，在第一电平变为第二电平之前，可根据第二时钟，发生系统时钟。于是，还可防止时钟的脉冲幅度变窄，造成频率突增（glitch）的情况。

此外，本发明涉及一种数据传送控制装置，该数据传送控制装置用于通过总线，进行数据传送，其特征在于该装置包括时钟发生装置，该时钟发生装置

发生包括第一，第二时钟的多个时钟；时钟控制装置，该时钟控制装置对上述时钟发生装置中的时钟发生进行控制，根据通过上述时钟发生装置发生的时钟，发生数据传送控制装置和后级的数据处理装置中的至少一方所采用的系统时钟，上述时钟控制装置在将用于发生系统时钟的时钟从第一时钟切换到第二  
5 时钟时，仅仅在规定期间，将系统时钟设定在第一电平。

按照本发明，根据由时钟发生装置发生的第一，第二时钟，发生数据传送控制装置内部，或后级的数据处理装置所采用的系统时钟。另外，按照本发明，在形成系统时钟的发生元的时钟的切换时，将系统时钟设定在第一电平。因此，可防止处于由时钟的切换而处于不稳定的状态的时钟，作为系统时钟供给数据  
10 传送控制装置内部，或后级的数据处理装置的情况，即使在第一，第二时钟的相位错开的情况下，仍可适当使它们接合。

还有，本发明涉及一种数据传送控制装置，该数据传送控制装置用于通过总线，进行数据传送，其特征在于该装置包括时钟发生装置，该时钟发生装置发生包括第一，第二时钟的多个时钟；时钟控制装置，该时钟控制装置对上述  
15 时钟发生装置中的时钟发生进行控制，根据通过上述时钟发生装置发生的时钟，发生数据传送控制装置和后级的数据处理装置中的至少一方所采用的系统时钟，上述时钟控制装置以第一时钟变为第一电平为条件，将根据第一时钟而发生的系统时钟设定在第一电平，以第二时钟变为第一电平为条件，根据第二时钟，发生系统时钟。

按照本发明，根据由时钟发生装置发生的第一，第二时钟，发生数据传送控制装置内部，或后级的数据处理装置所采用的系统时钟。另外，按照本发明，在形成系统时钟的发生元的时钟切换时，在将系统时钟设定在第一电平后，可将系统时钟固定在第一电平。另外，如果按照上述方式，在将系统时钟固定在  
20 第一电平后，将第二时钟从第二电平，变为第一电平，则可根据第二时钟，发生系统时钟。通过采用这样的方式，可防止系统时钟发生频率突增（glitch）的情况，可保证数据传送控制装置，或后级的数据处理装置的稳定动作。

再有，本发明涉及一种数据传送控制装置，该数据传送控制装置用于采用高速的第一传送模式，或低速的第二传送模式，借助总线，进行数据传送，其特征在于该装置包括时钟发生装置，该时钟发生装置包括发生第一时钟的第一  
30 PLL 和发生第二时钟的第二 PLL；时钟控制装置，该时钟控制装置对上述时钟

发生装置所包括的第一，第二 PLL 进行控制，上述时钟控制装置在传送模式从上述高速的第一传送模式，切换到上述低速的第二传送模式的场合，不执行发生上述第一传送模式用的第一时钟的第一 PLL 的自由振荡动作。

按照本发明，在高速的第一传送模式，可根据由第一 PLL 发生的第一时钟，进行，比如，数据传送或系统时钟的发生等。另外，如果从第一传送模式切换到低速的第二传送模式，则不执行第一 PLL 的自由振荡动作。因此，在第二传送模式，由于不需要的第一 PLL 在第二传送模式时不动作，故防止在第一 PLL，耗电量浪费的情况，使数据传送装置实现省电。

另外，本发明还可这样形成，即在按照通过上述第一 PLL 发生的第一时钟动作的状态，对与总线连接的端口是否支持第一传送模式进行检测，在检测到不支持第一传送模式的场合，根据来自后级的数据处理装置的选择信号，不执行上述第一 PLL 的自由振荡动作。

按照此方式，在数据传送控制装置通过总线，与不支持第一传送模式的端口连接，按照第二传送模式动作的场合，可防止在第一 PLL 中，耗电量的浪费，实现数据传送控制装置的省电。

此外，本发明还可这样形成，即上述时钟控制装置在不执行上述第一 PLL 的自由振荡动作之前，实现上述第二 PLL 的自由振荡动作，在判定上述第二 PLL 的自由振荡动作保持稳定后，不执行上述第一 PLL 的自由振荡动作。

按照此方式，在切换使用来自第一 PLL 的第一时钟和来自第二 PLL 的第二时钟时，可采用稳定地输出的时钟，可保证数据传送控制装置的稳定动作。

另外，本发明还可进行符合 USB 的标准的数据传送。

按照该方式，比如，符合 USB2.0 标准的 HS 模式的数据传送等也有望实现。

此外，按照本发明，在从 HS 模式向 FS 模式的切换时，从 FS 模式向 HS 模式切换时，能够保证数据传送控制装置的稳定动作。

再有，本发明的电子设备还可包括上述任何一种数据传送控制装置，以及下述处理装置，该处理装置进行通过上述数据传送控制装置和上述总线传送的数据输出处理，获取处理，或存储处理装置等。

按照本发明，由于降低用于电子设备的数据传送控制装置的成本，使可靠性提高，故还使电子设备的成本降低，可靠性提高。另外，按照本发明，由于

可通过高速的传送模式，进行数据传送，故可实现电子设备的高速处理。

再有，按照本发明，由于可采用与传送数据相对应的适合的时钟，故还实现电子设备的省电。

### 附图简述

- 5 图 1 为表示本实施例的数据传送控制装置的结构实例的图；  
图 2 为表示时钟发生电路、时钟控制电路的结构实例的图；  
图 3 为用于对本实施例的动作进行说明的时序图；  
图 4 为用于对本实施例的动作进行说明的时序图；  
图 5 为用于对本实施例的动作进行说明的时序图；  
10 图 6 为用于对本实施例的动作进行说明的状态变化图；  
图 7 为用于对本实施例的动作进行说明的状态变化图；  
图 8 为用于对本实施例的动作进行说明的状态变化图；  
图 9 为表示 PLL480M 的结构实例的图；  
图 10 为表示 PLL480M 所包含的 VCO 的结构实例的图；  
15 图 11 为表示 PLL60M 的结构实例的图；  
图 12 为表示 PLL60M 所包含的 VCO 的结构实例的图；  
图 13A，图 13B 为表示 PLL60M 所包含的 VCO 的结构实例的图；  
图 14 为 device attach 的时序图；  
图 15 为 HS 同步交换时的时序图；  
20 图 16A，图 16B，图 16C 为各种电子设备的内部方框图的实例；  
图 17A，图 17B，图 17C 为各种电子设备的外观图的实例。

### 发明详述

下面参照附图，对本发明的优选实施例进行具体描述。

#### 1. 结构和动作

##### 25 1.1 数据传送控制装置

图 1 表示本实施例的数据传送控制装置的结构实例。

- 本实施例的数据传送控制装置包括数据处理电路 400，HS（高速 High Speed）电路 410，FS（全速 Full Speed）电路 420，模拟前端电路 430，时钟发生电路 440，时钟控制电路 450。另外，本发明的数据传送控制装置不必包括  
30 图 1 所示的全部方框，其也可为省略这些方框中的一部分的结构。

数据处理电路 400（从广义上说，用于传送数据的规定的电路）进行用于符合 USB 等的数据传送的各种处理。更具体地说，在发送信号时，对发送数据，进行附加 SYNC（同步化，synchronization），SOP（数据分组的开始，Start of Packet），EOP（数据分组的结束，End of Packet）的处理，位填充处理等。

- 5 在接收信号时，进行检测/删除接收数据的 SYNC，SOP，EOP 的处理，位填充处理等。在接收信号时，进行检测/删除接收数据的 SYNC、SOP、EOP 的处理，位非填充处理等。另外，还进行发生用于控制数据的发送接收信号的各种定时的处理。

另外，接收数据从数据处理电路 400，输出给后级的电路（后级的数据处理装置）的 SIE（串行接口引擎，Serial Interface Engine），上述发送数据从 SIE，  
10 输入到数据处理电路 400 中。

HS 电路 410 为用于进行数据传送速度为 480Mbps 的 HS 的数据的发送接收的逻辑电路，FS 电路 420 为用于进行数据传送速度为 12Mbps 的 FS 的数据的发送接收的逻辑电路。

- 15 在这里，HS 模式是由 USB2.0 新定义的传送模式。FS 模式是按照过去的 USB1.1 定义的传送模式。

按照 USB2.0，由于配备这样的 HS 模式，故不仅可实现打印机，音响，照相机等的  
数据传送，还可实现硬盘驱动器或光盘驱动器（CDROM，DVD）等的存储装置的数据传送。

- 20 HS 电路 410 包括 HSDLL（高速延迟线 PLL，High Speed Delay Line PLL）电路 10，缓冲存储器（elasticity buffer）12。

在这里，HSDLL 电路 10 是根据来自接收数据和时钟发生电路 440（PLL）的时钟，发生数据的取样时钟的电路。

- 另外，缓冲存储器 12 为用于吸收内部装置（数据传送控制装置）与外部  
25 装置（与总线连接的外部装置）的时钟频率差（时钟偏移）等的电路。

模拟前端电路 430 为包括用于进行 FS 或 HS 的信号发送接收的驱动器或接收器的模拟电路。按照 USB，通过采用 DP（Data+）与 DM（Data-）的差动信号，发送接收数据。

- 时钟发生电路 440 发生在装置内部使用的 480MHz 的时钟，或在装置内部  
30 及 SIE 使用的 60MHz 的时钟。

时钟发生电路 440 包括 OSC、PLL480M、PLL60M。

在这里，OSC（振荡电路）是通过与外部振荡器的组合，发生基准时钟。

PLL480M 指下述 PLL（锁相环），其发生 HS 模式所必需的 480MHz 的时钟，FS 模式，装置内部和 SIE 所必需的 60MHz 的时钟。另外，在按照 HS 模式  
5 进行信号发送接收的场合，必须使该 PLL480M 的时钟发生有效。

PLL60M 根据由 OSC（振荡电路）发生的基准时钟，发生 FS 模式、装置内部和 SIE 所必需的 60MHz 的时钟。另外，在使该 PLL60M 的时钟发生有效时，不可进行 HS 模式的信号发送接收。

时钟控制电路 450 接收来自 SIE 的各种控制信号，进行控制时钟发生电路  
10 440 的处理等。另外，由时钟发生电路 440 发生的 60MHz 的系统时钟通过时钟控制电路 450，输出给 SIE。

## 1.2 时钟发生电路、时钟控制电路的结构

图 2 表示本实施例的时钟发生电路 440（时钟发生装置），时钟控制电路 450（时钟控制装置）的结构实例。

15 时钟发生电路 440 所包含的 OSC（振荡电路）通过与 XIN，XOUT 连接的外部振荡器，进行振荡动作，发生基准时钟 RCLK（比如，12~24MHz）。另外，将该基准时钟 RCLK 输出给 PLL480M，PLL60M，时钟控制电路 450。

另外，还可将输入到 XIN 中的外部时钟直接用作基准时钟。

此外，OSCENB 为用于设定 OSC 的振荡和来自 XI 的外部时钟的输入的有效，非有效的信号。比如，如果 OSCENB = “0”（逻辑电平。下面相同），  
20 则 OSC 的振荡和外部时钟的输入是非有效的，如果为“1”，则是有效的。比如，在通过 SUSPENDM，装置处于中止状态时，如果使 OSCENB 为“0”，则可切换到 OSC 也不动作的完全中止模式。

时钟发生电路 440 所包括的 PLL480M 在来自时钟控制电路 450 的信号  
25 ENB480M 为“1”的条件下，发生其相位与基准时钟 RCLK 相同的 480MHz 的时钟。另外，将通过对该 480MHz 的时钟进行分频而获得的 60MHz 的时钟作为 CLKH，将其输出给时钟控制电路 450。另外，还可在时钟控制电路 450 一侧，进行 480MHz 的时钟的分频。

时钟发生电路 440 所包含的 PLL60M 在来自时钟控制电路 450 的信号  
30 ENB60M 为“1”的条件下，发生其相位与基准时钟 RCLK 相同的 60MHz 的

时钟。另外，将该 60MHz 的时钟作为 CLKF，将其输出给时钟控制电路 450。

时钟控制电路 450 从 SIE，接收信号 SUSPENDM，PLLSEL，对时钟发生电路 440 中的时钟发生动作（PLL480M，PLL60M 的自由振荡动作）进行控制。另外，根据由时钟发生电路 440 发生的时钟 CLKH，CLKF，发生并输出数据  
5 传送控制装置内部或 SIE（后级的数据处理装置）所采用系统时钟 SYCLK（同步用的参考时钟）。

另外，信号 SUSPENDM 为用于对数据传送控制装置（无线电收发机装置）进行中止的信号，如果 SUSPENDM 为“0”，使数据传送控制装置中止，则 OSC（振荡电路）以外的全部电路停止。

10 此外，信号 PLLSEL 为 SIE 选择使 PLL480M 与 PLL60M 中的哪个自由振荡动作的信号，在 PLLSEL 为“0”时，选择 PLL480M，在为“1”时，选择 PLL60M。另外，在 HS 模式时，在线性调制脉冲（CHIRP）发送接收的场合，必须使 PLLSEL 为“0”，选择 PLL480M。

## 1.2 动作

15 下面通过图 3 的时序图，对本实施例的动作进行描述。

如果在图 3 的时刻 T0，PLLSEL 为“0”，则选择发生 480MHz 的时钟的 PLL480M。另外，如果在时刻 T1，SUSPENDM 为“1”，解除中止，则 ENB480M 为“1”，无法实现 PLL480M 的自由振荡动作（时钟发生动作）。

还有，开始基于来自 OSC 的基准时钟 RCLK（或对 RCLK 进行分频的时  
20 钟）的计数动作，如果在时刻 T3，计数动作结束，STABLE480M 为“1”。即，在假定 PLL480M 的自由振荡动作稳定的时刻（假定发生按照 USB2.0 的标准所要求的  $480\text{MHz} \pm 500\text{ppm}$  的时钟的时刻），STABLE480M 为“1”。

于是，信号 SYCLKENB（SYCLK 的掩蔽信号）为“1”，在来自 PLL480M 的 CLKH（对 480MHz 进行分频处理后的 60MHz 的时钟）发生的系统时  
25 钟 SYCLK（相同的 60MHz 的时钟）可供数据传送控制装置内部和 SIE（后级的数据处理装置）。

另外，在图 3 中，为了测定时刻 T1~T3 的期间（PLL480M 的自由振荡动作的稳定所要求的期间），进行基于来自振荡电路 OSC 的基准时钟 RCLK 的计数动作。该 RCLK 为在图 2 的信号 OSCENB 为“1”，振荡电路 OSC 的振  
30 荡动作稳定的场合，在其以后保持稳定的时钟。因此，可采用 RCLK，稳定地

测定 T1~T3 的期间。

如果在时刻 T4, PLLSEL 为“1”, 则选择发生 60MHz 的时钟的 PLL60M, ENB60M 为“1”, 实现 PLL60M 的自由振荡动作(时钟发生动作)。

接着, 开始基于基准时钟 RCLK 的计数动作, 如果在时刻 T6, 计数动作  
5 结束, 则 STABLE60M (表示 PLL60M 的自由振荡动作稳定的信号) 为“1”, 进行采用作为系统时钟 SYCLK 的掩蔽信号的 SYCLKENB 的时钟切换。更具体地说, 在时钟切换之前, 根据来自 PLL480M 的 CLKH 而发生的系统时钟 SYCLK 在时钟切换后, 根据来自 PLL60M 的 CLKF 而发生, 可将其供给数据  
10 传送控制装置内部和 SIE。

在本实施例中, 如图 3 中的 A1 所示的那样, 不实现(结束) PLL480M 的  
15 自由振荡动作(时钟发生动作)之前, 如 A2 所示的那样, 实现(开始) PLL60M 的自由振荡动作。接着, 如 A3 所示的那样, 在判定 PLL60M 的自由振荡动作稳定后, 如图 4 所示的那样, 将用于发生系统时钟 SYCLK 的时钟从 CLKH  
(PLL480M) 切换到 CLKF (PLL60M)。

按照上述方式, 如图 3 中的 A4 所示、在时钟切换时, 保证稳定地输出来自  
20 PLL60M 的时钟 CLKF (参照 A3)。接着, 形成系统时钟 SYCLK 的发生源的时钟从时钟 CLKH, 切换到该稳定的时钟 CLKF。因此, 如图 3 中的 A4 所示、即使在进行时钟切换的情况下, 仍可将平时稳定的系统时钟 SYCLK, 供给数据  
25 传送控制装置或 SIE, 可防止该数据传送控制装置或 SIE 发生误动作的情况。

还有, 如果进行这样的时钟(PLL)的切换, 如图 3 中的 A1 所示, 不实现  
PLL480M 的自由振荡动作, 此后, PLL480M 不动作, 仅仅 PLL60M 动作。因此, 可使 PLL480M 的用电量几乎为零, 可大幅度降低数据传送控制装置整体的耗电量。

即, 按照高速的 HS 模式, PLL480M 动作, 在来自 PLL480M 的 CLKH 中,  
25 发生 SYCLK, 按照低速 FS 模式, PLL480M 的动作停止, 在来自 PLL60M 的 CLKF 中, 发生 SYCLK。因此, 在 FS 模式中, PLL480M 不动作。在 FS 模式中, 防止耗电量的浪费, 可大幅度降低 FS 模式的耗电量。

比如, 在本实施例的比较实例, 可考虑下述的方案, 其中在时钟发生电路  
30 中, 设置 PLL480M, 在 FS 模式时, 对来自该 PLL480M 的时钟进行分频处理,

形成系统时钟 SYCLK。

但是，在该比较实例中，由于同样在 FS 模式时，PLL480M 进行动作，在 FS 模式，消电量浪费，不能够减小 FS 模式的耗电量。

与此相对，按照本实施例，在 FS 模式，PLL480M 不动作，仅仅耗电量很少的 PLL60M 动作，与上述比较实例相比较，可进一步减小 FS 模式的耗电量。

### 1.3 时钟切换时的系统时钟的掩蔽

图 4，图 5 表示用于说明时钟切换时（图 3 的时刻 T4~T7）的本实施例的动作用的具体的时序图。

如果在图 4 的时刻 T4，PLLSEL 为“1”，ENB60M 为“1”，则不实现 PLL60M 的振荡动作。另外，如果在时刻 T5，PLL60M 的振荡动作从非稳定状态（斜线部分），到稳定状态，在时刻 T6，基于时钟 RCLK 的计数动作结束，如图 4 中的 B1 所示，在 RCLK 的顶缘，计数结束信号 COVER 为“1”。由此，如 B2 所示，信号 STABLE480M 从“1”，变为“0”。

接着，如图 4 中的 B3 所示的那样，在 RCLK 的下一顶缘，信号 DCOVER 为“1”。由此，如 B4 所示，信号 STABLE60M 从“0”，变为“1”。

然后，通过取这些信号 STABLE480M，STABLE60M 的逻辑和，象图 4 中的 B5 所示，在时钟的切换期间，发生形成“0”（第一电平）的信号 SYCLKENB。另外，通过该信号 SYCLKENB，掩蔽系统时钟 SYCLK（取 SYCLKENB 与 SYCLK 的逻辑积），如 B6 所示，SYCLK 可仅仅在规定的期间 TM 设定在“0”（第一电平。也可为“1”）。

按照此方式，在本实施例中，在将用于形成系统时钟 SYCLK 的时钟从 CLKH（PLL480M），切换到 CLKF（PLL60M）时，仅仅在期间 TM，SYCLK 设定为“0”。于是，通过从 CLKH 向 CLKF 的切换，形成不稳定的状态的时钟，作为 SYCLK，不供给数据传送控制装置或 SIE（后级的数据处理装置）。另外，即使在 CLKH 的相位与 CLKF 的相位错开的情况下，仍可良好地使这些相位接合。其结果是，可有效地防止 SYCLK 所发生的频率突增（glitch）（细胡须状的脉冲）等构成原因的数据传送装置或 SIE 误动作的情况。

还有，在本实施例中，系统时钟 SYCLK 设定为“0”的期间 TM，根据 PLL480M 或 PLL60M 的时钟发生用的基准时钟 RCLK（比如，12~24MHz）而设定。即，期间 TM 为图 4 中的 B1，B3 所示的 RCLK 的边缘间的间距（RCLK

的单位时钟的长度)。因此,根据即使在时钟切换时,仍处于稳定的信号状态的基准时钟 RCLK,可设定时钟的切换期间 TM 的长度。另外,在时钟切换时,CLKH 或 CLKF 可确实采用信号 SYCLKENB,进行掩蔽。

#### 1.4 频率突增 (glitch) 发生的防止

5 在本实施例中,为了确实防止时钟切换时的频率突增的发生,采用下面描述的方式。

即,如图5中的C1所示,计数结束信号 COVER 为“1”,则寻求来自 PLL480M 的 CLKH 变为“0”的情况(等待变为“0”)。另外,以 CLKH 变为“0”(第一电平)为条件(在 CLKH 的底边),如图5中的C2所示,将掩蔽信号  
10 SYCLKENB 设定为“0”,将根据 SYCLKENB 与 CLKH 的逻辑积而发生的系统时钟 SYCLK 固定在“0”电平。

按照此方式,在系统时钟 SYCLK 如图5中的C3所示,从“1”变为“0”后,在从“0”变为“1”之前,可使 SYCLK 固定在“0”电平。即,通过 SYCLKENB 的“0”电平,将C4所示的 CLKH 的时钟脉冲进行掩蔽,可确实防止在 SYCLK  
15 中,发生“1”的电平的频率突增。

还有,在上述实施例中,如图5中的C5所示,重叠计算(count over)信号 COVER 滞后 RCLK 的1个时钟的信号 DCOVER 为“1”,则寻求来自 PLL60M 的 CLKF 为“0”的情况(等待变为“0”)。另外,以 CLKF 变为“0”(第一电平)为条件(在 CLKF 的底边),如图5中的C6所示,将掩蔽信号 SYCLKENB  
20 设定为“1”,可根据 SYCLKENB 与 CLKF 的逻辑积而发生系统时钟 SYCLK。

按照上述方式,系统时钟 SYCLK,如图5中的C7所示,从“0”变为“1”之前,将信号 SYCLKENB 的“0”电平的掩蔽解除,CLKF 可作为 SYCLK 输出。因此,可确实防止 C8 所示的 SYCLK 的时钟脉冲变细,造成频率突增。

如果按照上述方式采用本实施例,可确实防止在时钟的切换期间 TM,产生频率突增。于是,可防止该频率突增造成的,数据传送控制装置,或 SIE 所  
25 包括的 D 双稳态电路保持误产生的数据的情况,可保证装置稳定的动作。

另外,象上述那样描述的图3,图4,图5中,给出了时钟从 CLKH (PLL480M),向 CLKF (PLL60M)切换时的时刻波形实例,但是时钟从 CLKF (PLL60M),到 CLKH (PLL480M)的切换也可按照与图3,图4,图5相  
30 同的时刻变形进行。

### 1.5 时钟控制电路的具体动作

图 6, 图 7, 图 8 表示用于说明图 2 的时钟控制电路 450 的具体动作的状态变化图。

在装置的电源接通后, 在完全停止的状态等待时 (状态 S0), 如果信号  
5 SUSPENDM 为“1”, 则进行初始化处理 (状态 S1)。接着, 在信号 PLLSEL  
为“0”的场合, 信号 ENB480M 为“1” (状态 S2。图 3 中的 T1), 实现 PLL480M  
的自由振荡动作。

接着, 开设基准时钟 RCLK 的计数动作 (状态 S3), 如果为重叠计算,  
则寻求来自 PLL480M 的时钟 CLKH 变为“0”的情况 (状态 S4)。然后, 以  
10 时钟 CLKH 变为“0”为条件, 将 CLKH 作为系统时钟输出 (状态 S5), 转  
换到通常动作状态 S6。按照上述方式, 如果以 CLKH 变为“0”为条件, 将 CLKH  
作为 SYCLK 输出, 则可有效地防止在 SYCLK 中产生频率突增 (glitch)。

在于状态 S1, 信号 PLLSEL 为“1”的场合, 信号 ENB60M 为 1 (状态 S7),  
实现 PLL60M 的自由振荡动作。

15 接着, 开始基准时钟 RCLK 的计算动作 (状态 S8), 如果为重叠计算 (count  
over), 则寻求来自 PLL60M 的时钟 CLKF 变为“0”的情况 (状态 S9)。另  
外, 以 CLKF 变为“0”为条件, 将 CLKF 作为系统时钟 SYCLK 输出 (状态  
S10), 转换到通常动作状态 S6。

如果在通常动作状态 S6, 信号 SUSPENDM 变为“0”, 则寻求系统时钟  
20 SYCLK 变为“0”的情况 (状态 S11), 另外, 如果 SYCLK 变为“0”, 则  
停止 SYCLK 的输出 (状态 S12), 则将信号 ENB480M, ENB60M 设定为“0”  
(状态 S13), 转换到完全停止状态 S0。

另外, 如果在通常动作状态 S6, 信号 PLLSEL 从“0”切换到“1”, 则  
信号 ENB60M 设定为“1” (图 7 的状态 S20)。于是, 开始基准时钟 RCLK  
25 的计算动作 (状态 S21), 如果为重叠计算 (count over), 则寻求来自 PLL480M  
的时钟动作 CLKH 变为“0”的情况 (状态 S22。图 5 的 C1)。另外, 如果 CLKH  
为“0”, 则采用掩蔽信号 SYCLKENB, 停止 SYCLK 的输出 (状态 S23。图  
5 中的 C2)。

接着, 寻求来自 PLL60M 的时钟 CLKF 变为“0”的情况 (状态 S24。图  
30 5 的 C5)。另外, 如果 CLKF 变为“0”, 则将信号 SYCLKENB 设定为“1”

(图 5 中的 C6)，将 CLKF 作为系统时钟 SYCLK 输出 (状态 S25)，转移到图 6 所示的通常动作的状态 S6。

如果象图 7 中的状态 S22~S25 那样，进行时钟切换，则在从 CLKH 向 CLKF 进行时钟切换时，可有效地防止系统时钟 SYCLK 发生频率突增。

5 如果在图 6 的通常动作状态 S6，PLLSEL 从“1”切换到“0”，则将信号 ENB480M 设定为“1” (图 8 的状态 S30)。于是，开始基准时钟 RCLK 的计数动作 (状态 S31)，如果为重叠计算，则寻求来自 PLL60M 的时钟 CLKF 变为“0”的情况 (状态 S32)。另外，如果 CLKF 变为“0”，则采用掩蔽信号 SYCLKENB，停止 SYCLK 的输出 (状态 S33)。

10 然后，寻求来自 PLL480M 的时钟 CLKF 变为“0”的情况 (状态 S34)。另外，如果 CLKH 变为“0”，则将信号 SYCLKENB 设定在“1”，将 CLKH 作为系统时钟 SYCLK 输出 (状态 S35)，转移到图 6 所示的正通动作的状态 S6。

15 如果象图 8 中的 S32~S35 那样，进行时钟切换，则在从 CLKF，向 CLKH 进行时钟切换时，可有效地防止系统时钟 SYCLK 发生频率突增。

#### 1.6 PLL480M, PLL60M 的具体实例

图 9 表示 PLL480M 的具体的结构实例。

PLL480M 包括相位比较器 80，供给泵电路 82，滤波电路 84，VCO (压控振荡器) 86，分频器 88 等。

20 在这里，相位比较器 80 对基准时钟 RCLK (比如，12~24MHz) 与来自分频器 88 的时钟 DCLK4 的相位进行比较，输出相位误差信号 PUP、PDW (PUP 指相位前进信号，PDW 指相位滞后信号)。

25 供给泵电路 82 根据来自相位比较器 80 的 PUP、PDW，进行供给泵动作。更具体地说，如果 PUP 为有源的，则进行对滤波电路 84 所包括的电容器进行充电的动作，如果 PDW 为有源的，则进行对电容器进行放电的动作。另外，将通过滤波电路 84 进行平滑处理的控制电压 VC 供给 VCO86。

VCO86 对应于控制电压 VC，进行以可改变的方式对其振荡频率进行控制的振荡动作，发生 480MHz 的时钟 QCLK0~4。比如，如果控制电压 VC 增加，则振荡频率也增加，如果控制电压 VC 降低，则振荡频率也降低。

30 由 VCO86 发生的时钟 QCLK0~4 通过缓冲器 BF00~04、BF10~14，作

为 CLK0~4，向外部输出。另外，BF20~23 为用于与 BF24 的负载保持一致的虚（dummy）的缓冲器。

分频器 88 通过缓冲器 BF04, BF24, 对从 VCO86 输入的时钟 QCLK4 进行分频处理 (1/N)，将分频后的时钟 DCLK4 输出给相位比较器 80。

- 5 按照图 9 方案的 PLL480M，则可发生其相位与基准时钟 RCLK 同步的高频的 480MHz 的时钟 CLK4。另外，已发生的时钟 CLK4 通过图中未显示出的分频器进行分频处理，作为 60MHz 的 CLKH，输出给图 2 的时钟控制电路 450。

图 10 表示图 9 的 VCO86 的结构实例。

- 10 该 VCO86 包括与 5 级（从广义上说，为奇数级）的串联的差动输出比较器 DCP0~4（倒相电路），各 DCP0~4 的差动输出端子 Q, XQ，输入给单端输出比较器 SCP0~4 的差动输入端子。另外，SCP0~4 的输出变为 VCO86 的输出时钟 QCLK0~4。另外，如果控制电压 VC 变化，则流过差动输出比较器 DCP0~4 的电流源的电流变化，振荡频率变化。

图 11 表示 PLL60M 的具体结构实例。

- 15 该 PLL60M 包括分频器 89，相位比较器 90，供给泵电路 92，滤波电路 94，VCO96，分频器 97, 98 等。

在这里，相位比较器 90 对来自分频器 89 的时钟 DRCLK（对基准时钟 RCLK 进行分频处理后的时钟）和来自分频器 98 的时钟 DCLKF 的相位进行比较，输出相位误差信号 PUP, PDW。

- 20 供给泵电路 92 根据来自相位比较器 90 的 PUP, PDW，进行供给泵动作。更具体地说，如果 PUP 是有源的，则进行对滤波电路 94 所包括的电容器充电的动作，如果 PDW 是有源的，则进行对电容器放电的动作。另外，将通过滤波电路 94 进行平滑处理的控制电压 VC 供给 VCO96。

- 25 VCO96 根据控制电压 VC，进行以可变方式对其振荡频率进行控制的振荡动作，发生 120MHz 的时钟 QCLK。

分频器 97 对从 VCO96 输入的时钟 QCLK 进行分频处理 (1/2)，将分频处理后的 60MHz 的时钟 CLKF 输出给图 2 的时钟控制电路 450。

分频器 98 对从分频器 97 输入的时钟 QCLKF 进行分频处理 (1/N)，将分频处理后的时钟 DCLKF 输出给相位比较器 90。

- 30 按照图 11 的结构 PLL60M，发生其相位与基准时钟 RCLK 同步的 60MHz

的时钟 CLKF，可将其输出给图 2 的时钟控制电路 450。

图 12 表示图 11 的 VCO96 的结构实例。

该 VCO96 包括与 3 级的串联差动输出比较器 DCP10~12（倒相电路）。另外，最后一级的差动输出比较器 DCP12 的差动输出 XQ，Q 输入到单端输出比较器 SCP10 的差动输入端子，SCP10 的输出变为 VCO96 的输出时钟 QCLK 连接。如果控制电压 VC 变化，则流过差动输出比较器 DCP10~12 的电流源的电流变化，振荡频率改变。

图 13A 表示图 10，图 12 的 VCO 所包括的差动输出比较器（差动放大器）的结构实例。该差动输出比较器包括 N 型晶体管 NT1，NT2，其中差动输入端子 I，XI 与栅极电极连接，差动输出端子 XQ，Q 与漏极连接；P 型晶体管 PT1，PT2，其中差动输出端子 Q 与栅极连接，差动输出端子 XQ，Q 与漏极连接；N 型晶体管 NT3（电流源），其中控制电压 VC 与栅极连接。

另外，在图 12 的 VCO96（120MHz 振荡）中，差动输出比较器 DCP10~12，或单端输出比较器 SCP10 所包括的晶体管的大小等适合用于 120MHz（60MHz）的振荡。因此，与图 10 的 VCO86（480MHz 振荡）相比较，图 12 的 VCO96 的耗电量进一步减小。由此，包括图 10 的 VCO86 的 PLL480M 的消耗电流相对比如，约为 33mA 的，非常大的值的情况，包括图 12 的 VCO96 的 PLL60M 的消耗电流比如，为 1.5mA 的，非常小的值。

因此，在于 HS 模式时采用 PLL480M 发生时钟，在 FS 模式时，停止 PLL480M 的动作，如果仅仅采用 PLL60M 发生时钟，则可使 PLL 的消耗电流比如，约为 1/22 倍，使数据传送控制装置实现节电。

此外，对于图 9、图 11 的 PLL480M、PLL60M，也可采用不设置供给泵电路 82、92 的方案。另外，还可设置电流控制的振荡装置，以代替 VCO86、96。

还有，包含在 VCO86、96 中的倒相电路不限于图 13 所示的差动输出比较器，可按照各种变换形式实施。比如，在图 13B 所示的倒相电路中，P 型晶体管 PT4、PT5，N 型晶体管 T4、NT5 串联。另外，流过这些晶体管的电流通过与 PT4、NT5 的栅极连接的控制电压 VCQ、VC 控制，以可改变的方式对振荡频率进行控制。

1.7 时钟的切换时刻

下面对 USB2.0 的时钟的适合切换时刻进行描述。

图 14 为本实施例的数据传送控制装置（电子设备）与总线连接时（接入设备）的时序图的实例。

在接入设备时，本实施例的数据传送控制装置按照 HS 模式开始动作。由此，信号 PLLSEL 设定为“0”（选择 PLL480M）。另外，信号 XCVRSEL（在为“0”时，HS 无线电收发机有效，在为“1”时，FS 无线电收发机有效的信号），信号 TERMSEL（在为“0”时，HS 终端有效，在为“1”时，FS 终端（termination）有效的信号）均设定为“0”。

如果图 14 的时刻 T0，判定 VBUS 是有效的，则在时刻 T1，把 SIE 认定(assert)为信号 RESET，并且取消信号 SUSPENDM。另外，在接入设备时，由于将 PLLSEL 设定为“0”，选择 PLL480M，故在时刻 T1，实现 PLL480M 的自由振荡动作。

接着，在时刻 T2，取消信号 RESET，在时刻 T3，可输出 PLL480M 保持稳定的时钟 CLKH。另外，将根据该 CLKH 而发生的系统时钟 SYCLK 供给 SIE。

然后，在时刻 T4，信号 XCVRSEL，TERMSEL 为“1”，FS 无线电收发机和 FS 终端（termination）有效。接着，在时刻 T5，从后级的端口，发出复位信号（reset）（SEO），开始 HS 检测的同步交换。

图 15 为本实施例的数据传送控制装置与不支持 HS 模式的端口连接的场合的，HS 检测同步交换的时序图的实例。

在图 15 的时刻 T0，开始 HS 检测同步交换。另外，在时刻 T1，信号 XCVRSEL 为“0”，HS 无线电收发机是有效的。然后，开始线性调频脉冲（K）的发送。另外，在该线性调频脉冲（K）发送时，不实现位填充（BS）处理和 NRZI 处理，输出由“0”隐埋数据。

在时刻 T2，结束线性调频脉冲（K）的发送。另外，后级的端口支持 HS 模式的场合，从时刻 T3 起，开始线性调频脉冲（K）的发送。但是，在时刻 T4，由于未检测线性调频脉冲，故在该时刻，本实施例的数据传送控制装置返回到 FS 模式，等待复位（reset）程序结束。另外，在时刻 T6，复位（reset）程序结束，在时刻 T4，转换到 FS 模式的通常动作。

按照此方式，如果处于时刻 T4，则传送模式确定为 FS 模式。另外，由于在时刻 T4 和 T6 之间，处于 FS 模式的复位（reset）状态，故也不发送接收信

息包。于是，在本实施例中，如图 15 所示，在时刻 T4 和 T6 之间的时刻 T5，SIE 将信号 PLLSEL 设定为“1”，不进行 PLL480M 的自由振荡动作，并且实现 PLL60M 的自由振荡动作。于是，进行图 3 所述的时钟切换，形成系统时钟 SYCLK 的发生元的时钟从 PLL480M 的时钟 CLKH，切换到 PLL60M 的时钟 CLKF。

按照此方式，在本实施例中，在于来自 PLL480M 的时钟 CLKH 动作的状态，检测与总线连接的端口是否支持 HS 模式（第一传送模式）。

另外，在检测到与总线连接的端口不支持 HS 模式的场合，根据来自 SIE（后级的数据处理装置）的信号 PLLSEL（选择信号），不执行 PLL480M 的自由振荡动作。由此，在此以后，按照来自 PLL60M 的时钟 CLKF，数据传送控制装置和 SIE 可动作。接着，由于不执行 PLL480M 的自由振荡动作，故可防止在该 PLL480M 中，耗电量的浪费，使数据传送控制装置节电。

另外，作为时钟从 PLL60M 的 CLKF，切换到 PLL480M 的 CLKH 的场合，可将其视为下述场合，在该场合，在按照 FS 模式动作的状态，将本实施例的数据传送控制装置与总线脱开，此后，将上述装置与连接有 HS 模式的端口的总线连接。

## 2. 电子设备

下面对包括本实施例的数据传送控制装置的电子设备的实例进行描述。

比如，图 16A 表示作为电子设备的打印机的内部方框图，图 17A 表示其外观图。CPU（微型计算机）510 进行系统整体的控制等处理。操作部 511 是用户对打印机进行操作的部分。在 ROM516 中，存储有控制程序、字体（font）等，RAM517 用作 CPU510 的工作区域。DMAC518 为不通过 CPU510 进行数据传送用的 DMA 控制器。显示面板 519 是用于使用户了解打印机的动作状态的部分。

通过 USB，从个人计算机等的其它装置传送来的串行的打印数据，通过数据传送控制装置 500，转换为并行的打印数据。另外，转换后的并行打印数据通过 CPU510 或 DMA518，发送给打印处理部（打印机）512。此外，在打印处理部 512，对并行打印数据，进行规定的处理，由打印头等形成的打印部（进行数据的输出处理的装置）514，对纸进行打印，实现输出。

图 16B 表示电子设备中的一个的扫描仪的内部方框图，图 17B 表示其外观

图。CPU520 进行系统整体的控制等处理。操作部 521 是用户对扫描仪进行操作的部  
分。在 ROM526 中，存储控制程序等，RAM527 用作 CPU520 的工作区域。DMAC528 为 DMA 控制器。

5 通过由光源，光电转换器等形成的图象读取部（进行数据的获取处理的装置）522，  
读取原稿的图象，经读取的图象的数据通过图象处理部（扫描仪）524 处理。接着，  
处理后的图象数据通过 CPU520，或 DMAC528，发送给数据传送控制装置 500。数据  
传送控制装置 500 将该并行的图象数据，转换为串行数据，通过 USB，发送给个人  
计算机等的其它装置。

10 图 16C 表示电子设备中的一个的 CD—RW 驱动器的内部方框图，图 17C 表示其外观图。  
CPU530 进行系统整体的控制等的处理。操作部 531 是用户对 CD—RW 进行操作的部  
分。在 ROM536 中，存储控制程序等，RAM537 用作 CPU530 的工作区域。DMAC538 为  
DMA 控制器。

15 通过由激光器、马达、光线系统等形成的读取写入部（进行数据的获取处理的装置或  
数据的存储处理用的装置）533，从 CD—RW532 读取的数据输入到信号处理部 534 中，  
进行错误订正处理等的规定信号处理。接着，进行了信号处理的数据通过 CPU530 或  
DMAC538，传送给数据传送控制装置 500。该数据传送控制装置 500 将该并行的数据  
转换为串行数据，通过 USB，发送给个人计算机等的其它装置。

20 通过 USB，从其它的装置传送来的串行的数据通过该数据传送控制装置 500，  
转换为并行的数据。另外，该并行的数据通过 CPU530 或 DMAC538，传送给信号处理  
部 534。接着，在该信号处理部 534，对该并行数据进行规定的信号处理，通过读取  
和写入部 533，将其存储于 CD—RW532 中。

还有，在图 16A、图 16B、图 16C 中，除了 CPU510、520、530 以外，还可单独  
设置数据传送控制装置 500 中的数据传送控制用的 CPU。

25 如果本实施例的数据传送控制装置用于电子设备，则可进行 USB2.0 的 HS 模式的数据  
传送。于是，在用户通过个人计算机，进行打印输出指示时，在时间滞后很少的情况  
下，完成打印。另外，在扫描仪的图象获取指示后，用户可在很少时间滞后的情况  
下，看到读取图象。此外，可高速地进行来自 CD—RW 的数据的读取，CD—RW 的  
数据的写入。

30 再有，如果本实施例的数据传送控制装置用于电子设备，则按照与和总线

连接的其它电子设备的传送模式（HS 模式、FS 模式）相对应的适合的时钟，可使数据传送控制装置，或电子设备动作。由此，实现电子设备的省电。此外，由于可防止在时钟切换时，产生动作不良的情况，可提高电子设备的动作稳定性、可靠性。

5 此外，作为可采用本实施例的数据传送控制装置的电子设备，除了上述装置以外，还可考虑比如，各种光盘驱动器（CD—ROM、DVD），光磁盘驱动器（MO）、硬盘驱动器，TV、VTR、摄像机，音响设备，电话机，投影机，个人计算机，电子笔记本，文字处理器等的各种装置。

10 另外，本发明不限于本实施例，可在本发明的主要内容的范围内，按照各种变换方式实施。

比如，本发明的数据传送控制装置的结构不限于图 1 所示的结构。

此外，时钟发生装置，时钟控制装置的结构，动作也不限于图 2~7 所描述的类型，其可按照各种变形方式实施。

15 还有，第一，第二 PLL（PLL480M、PLL60M）的结构也不限于图 9~13B 所描述的形式。比如，也可在第一、第二 PLL 之间，共同采用第一、第二 PLL 的振荡装置（VCO86、96）以外的时钟（相位比较装置、供给泵装置、滤波装置或分频装置等）的一部分或全部。按照此方式，可使包括第一、第二 PLL 的时钟发生装置的规模减小。

20 再有，本发明特别是最好用于 USB2.0 的数据传送，但是并不限制于此场合，比如，本发明还可适合于比如，基于与 USB2.0 相同构思的标准，或对 USB2.0 进行了发展的标准的数据传送。

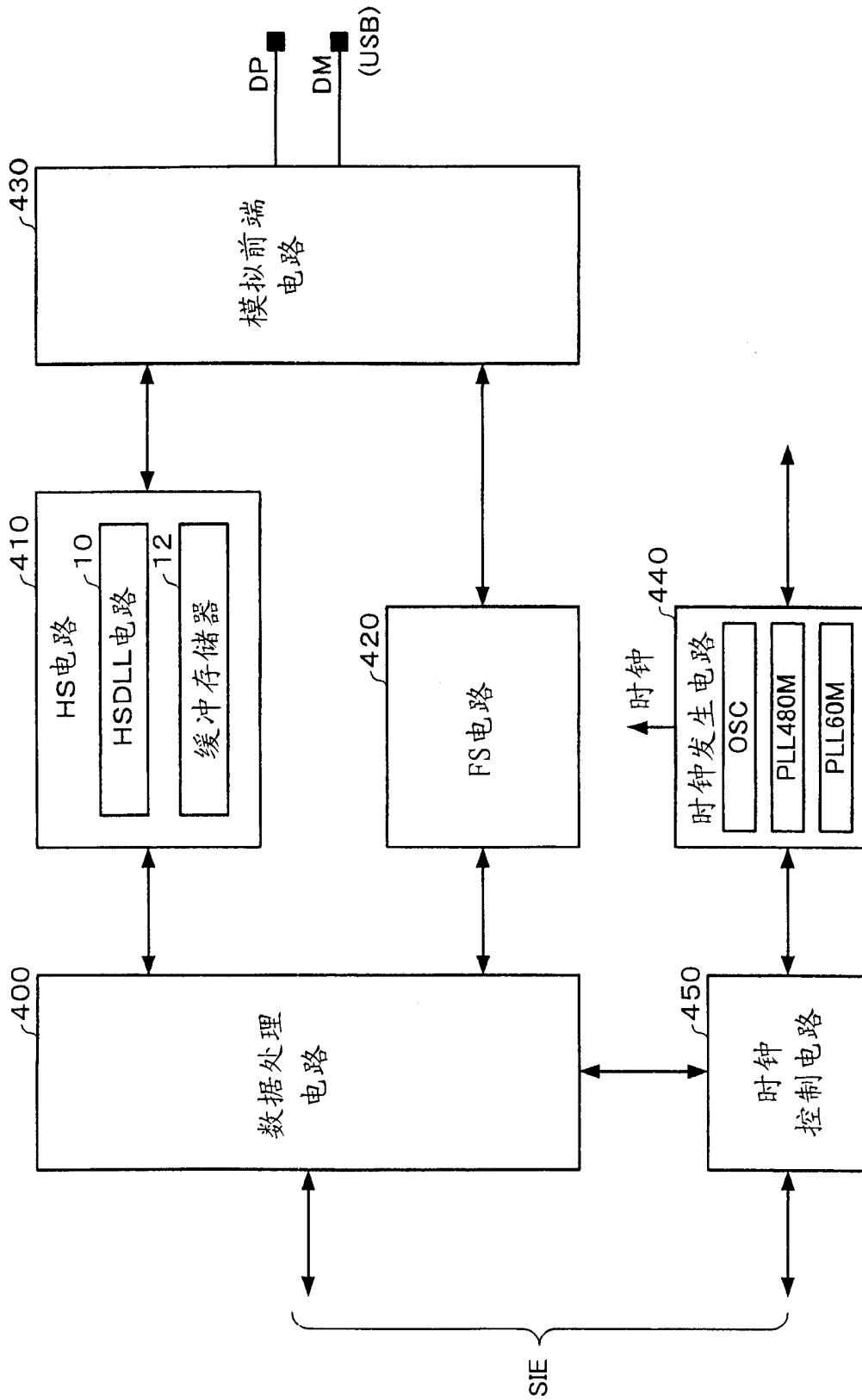


图 1

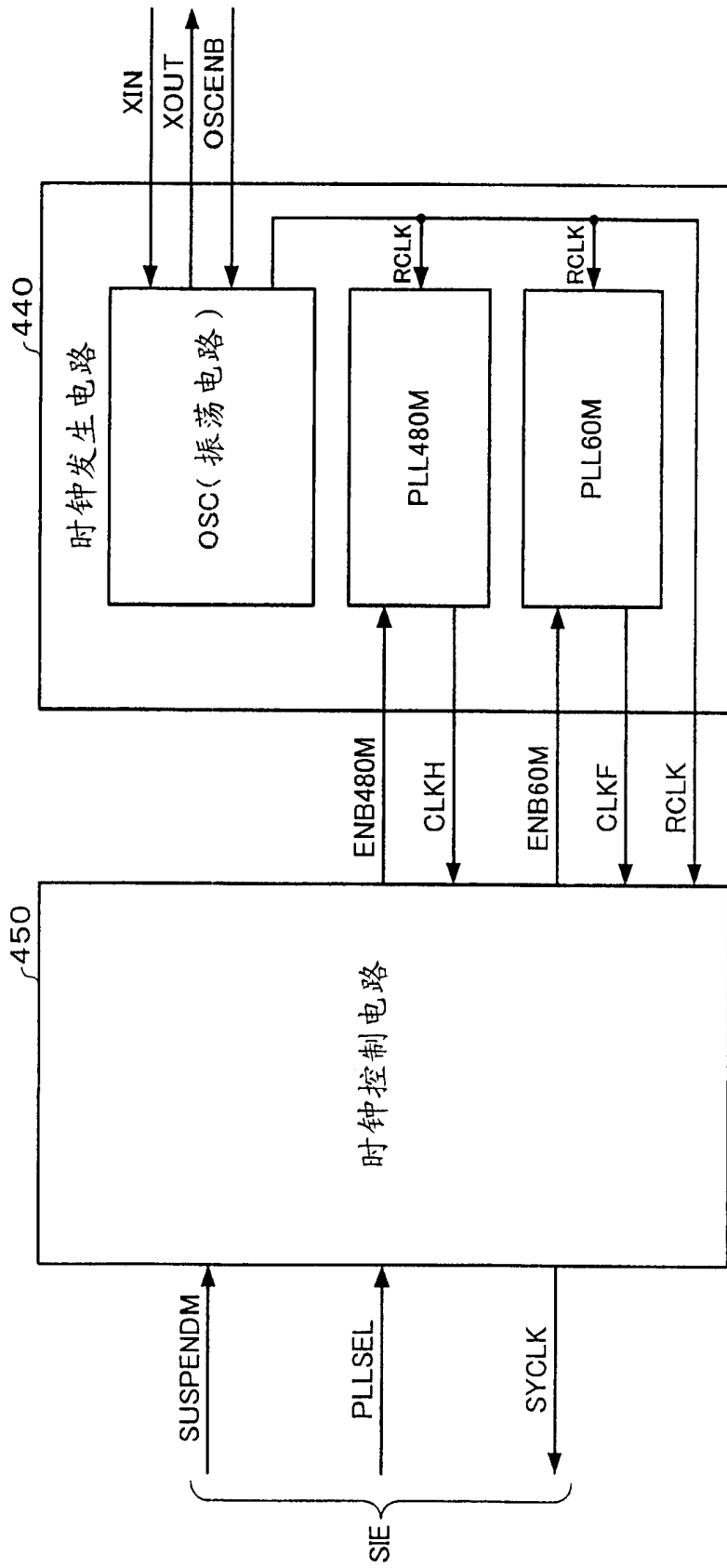


图 2

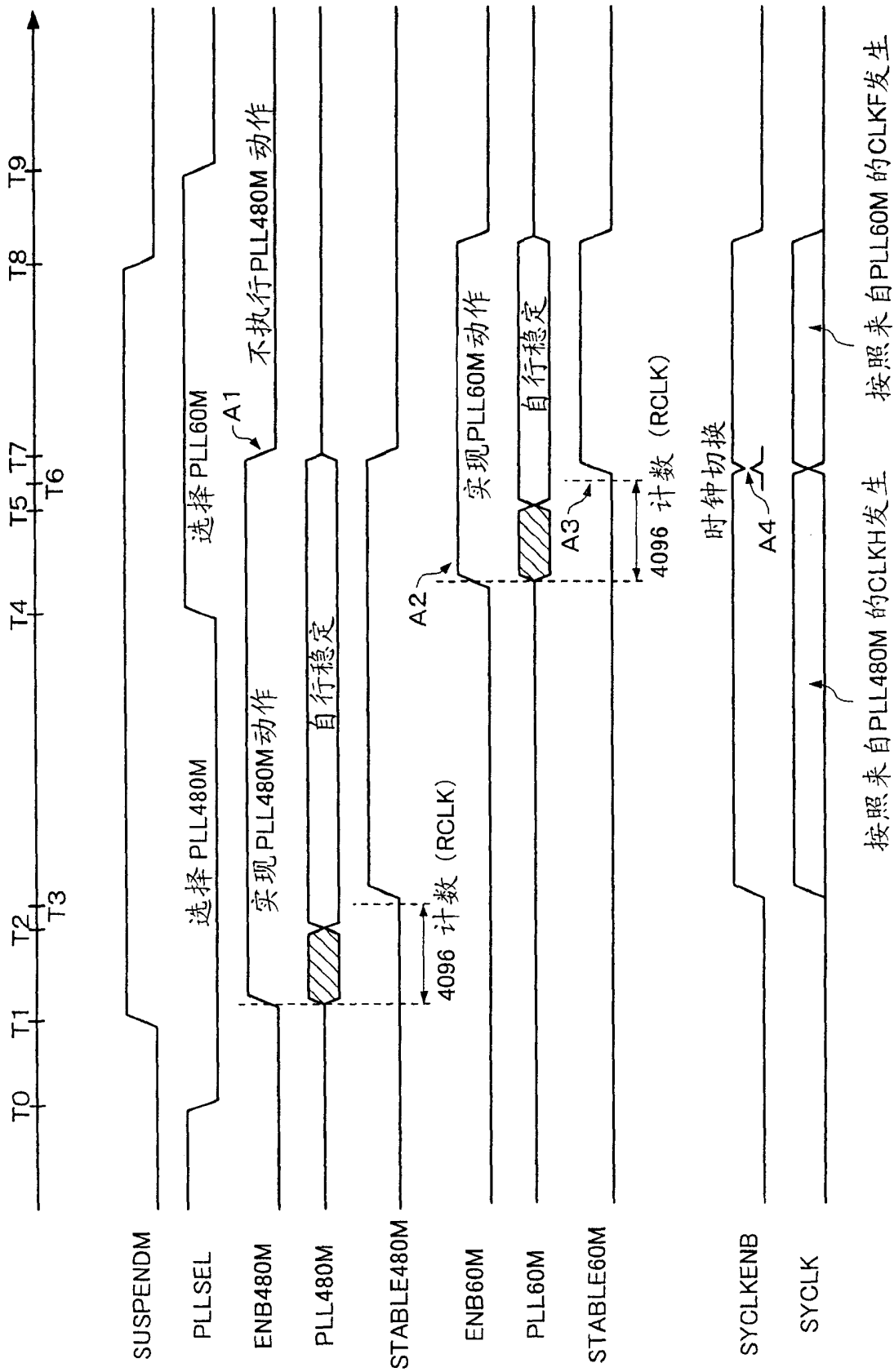


图 3

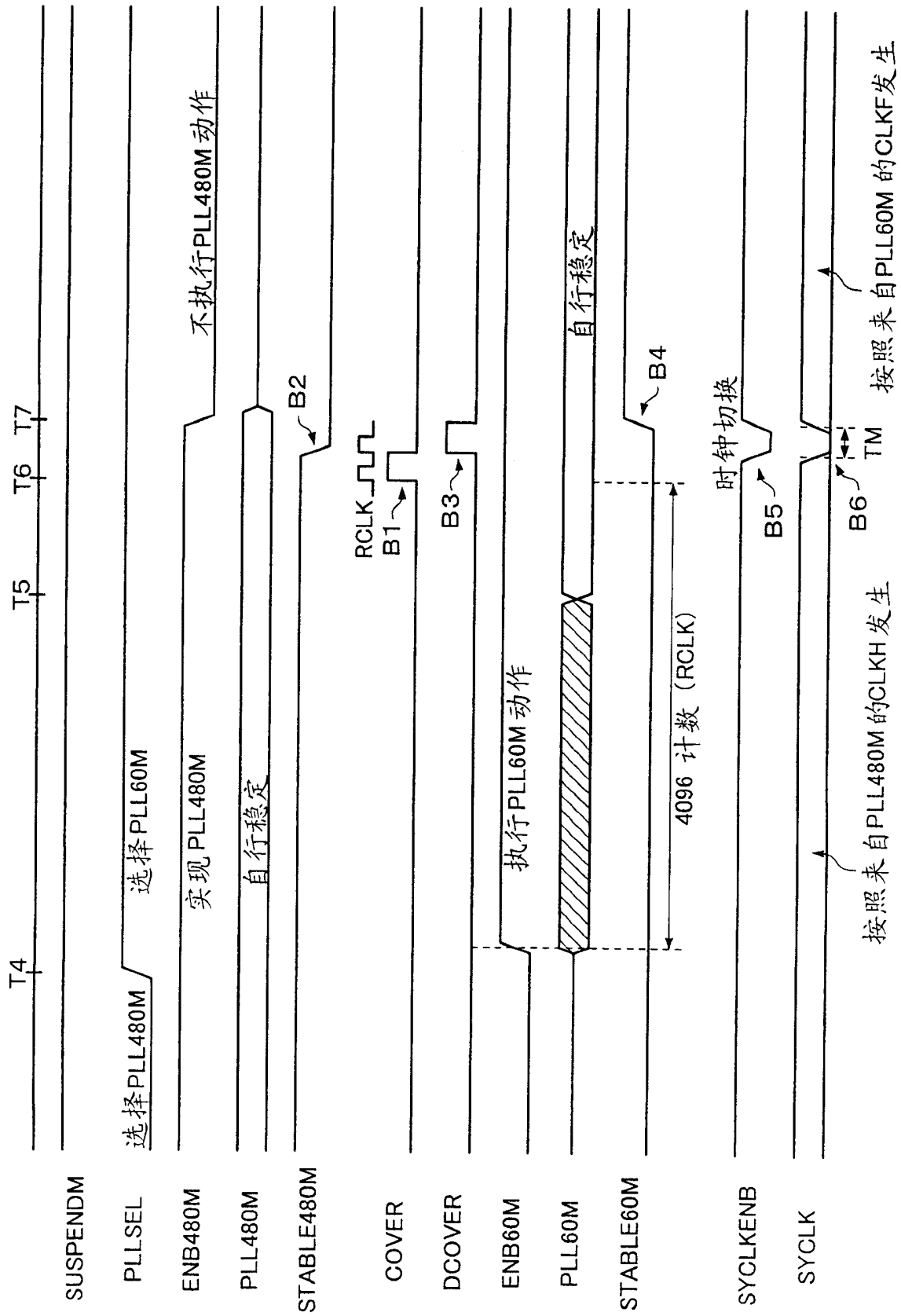


图 4

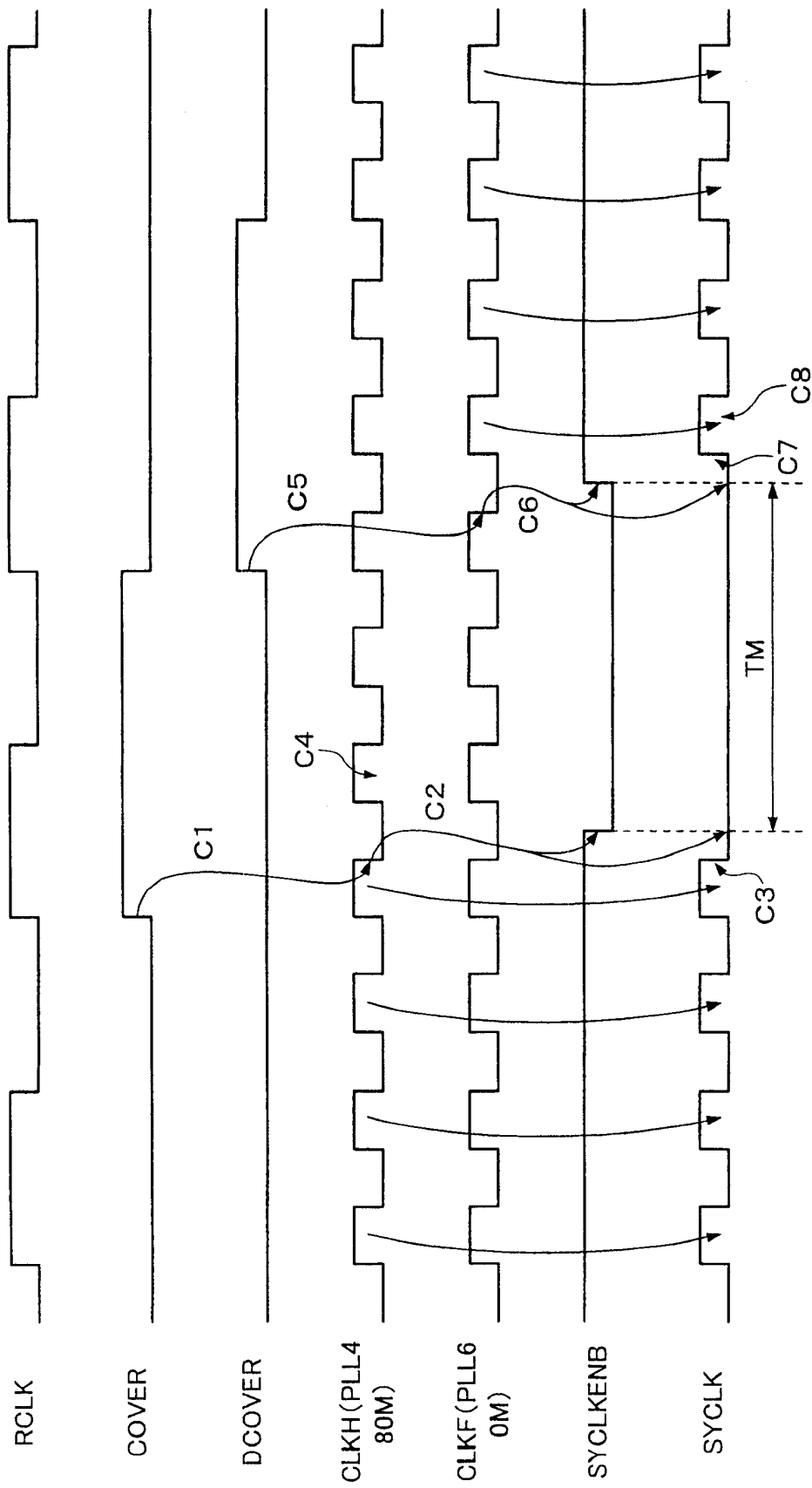


图 5

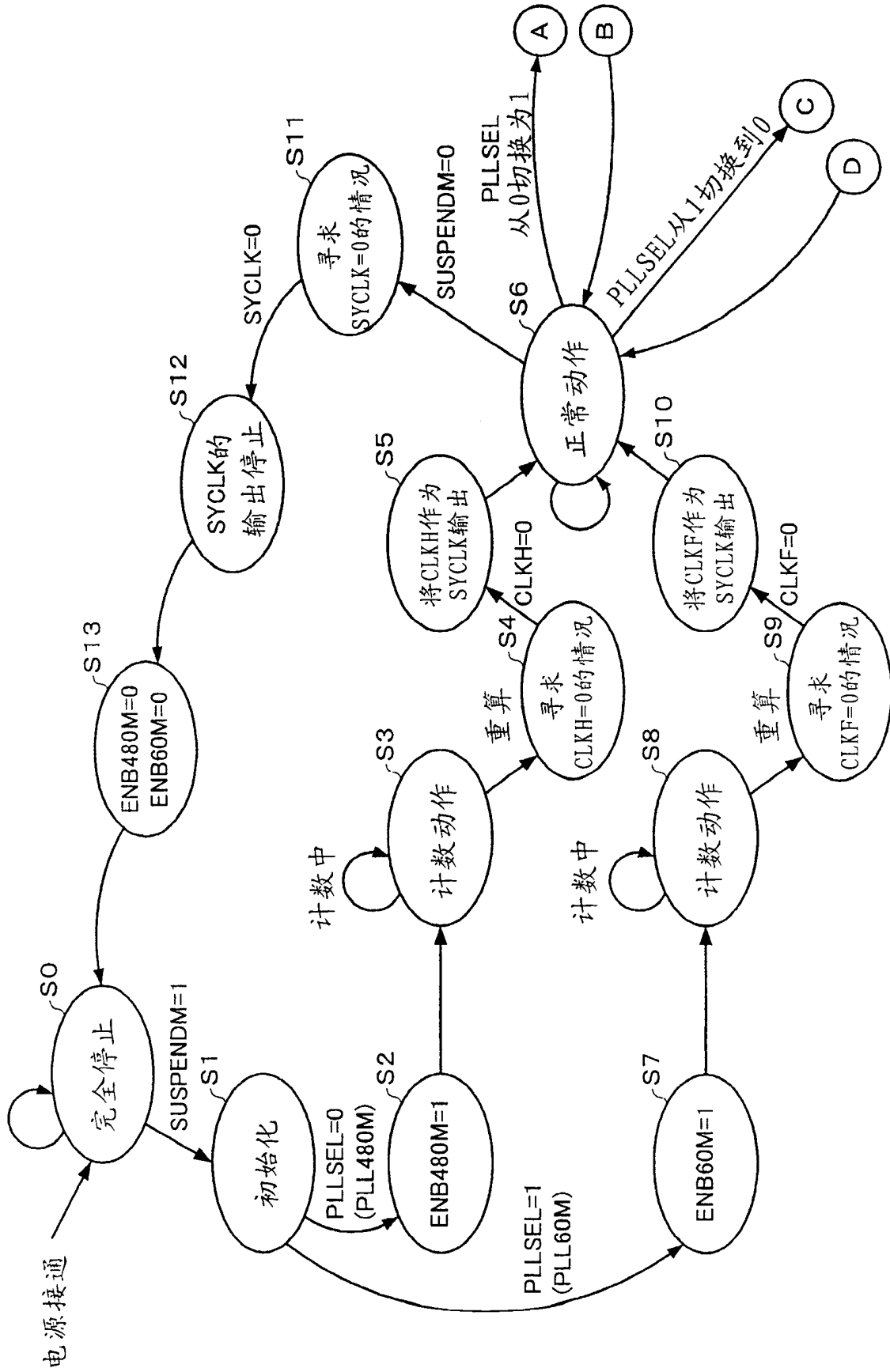


图 6

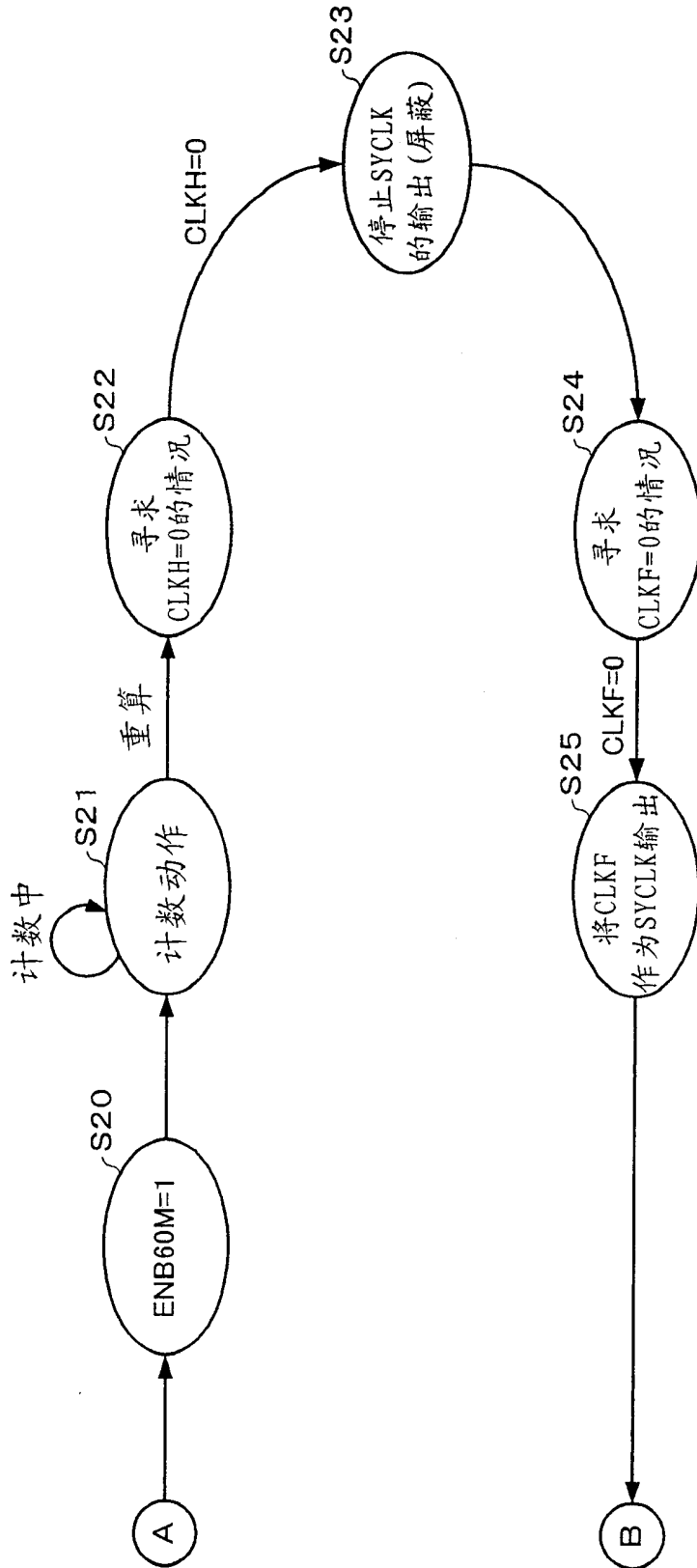


图 7

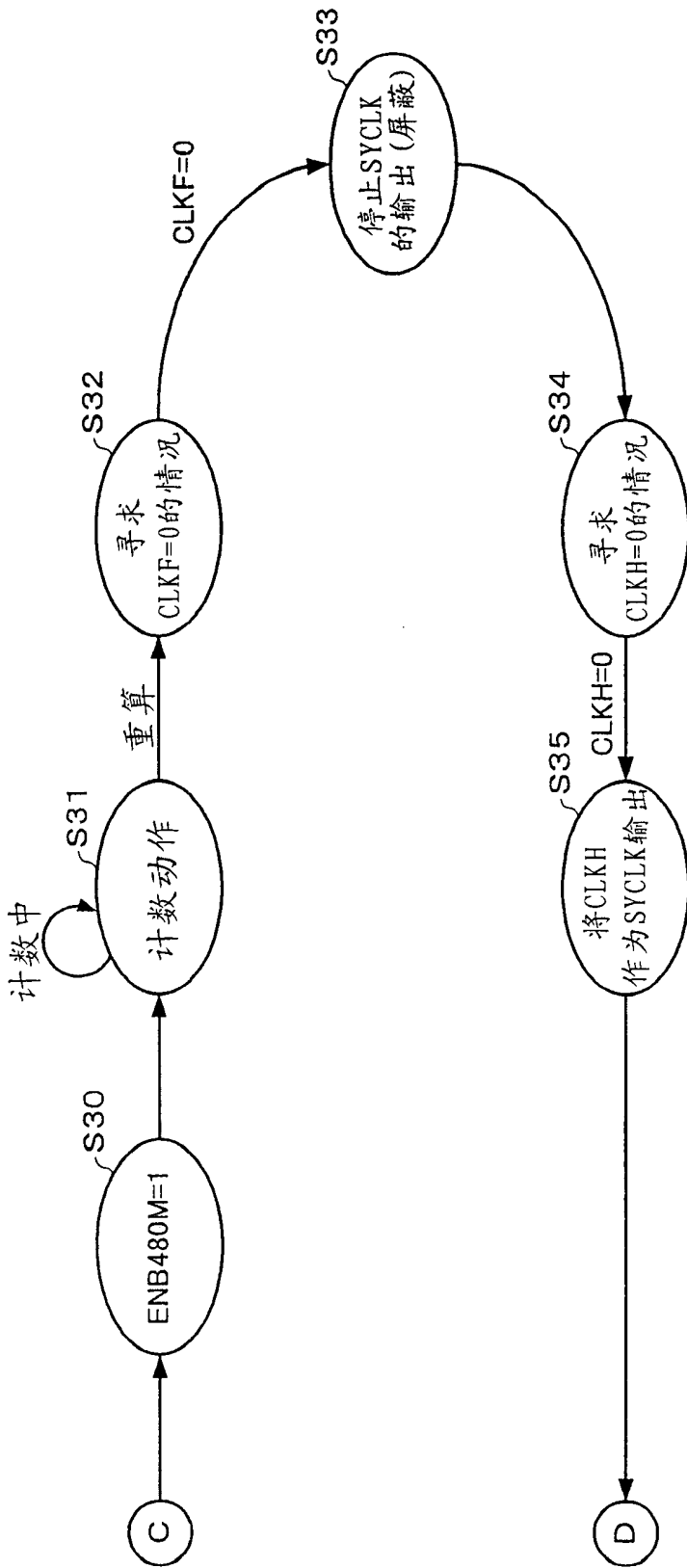
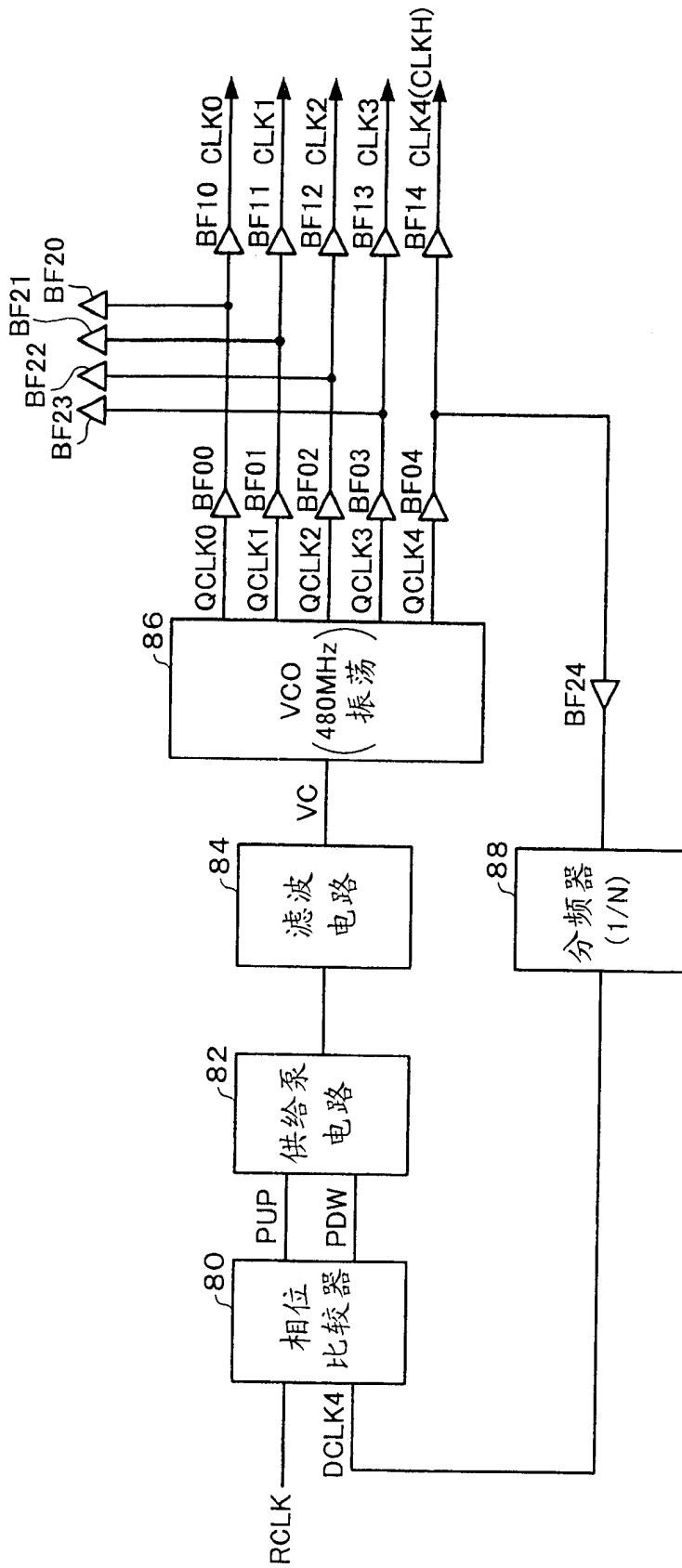
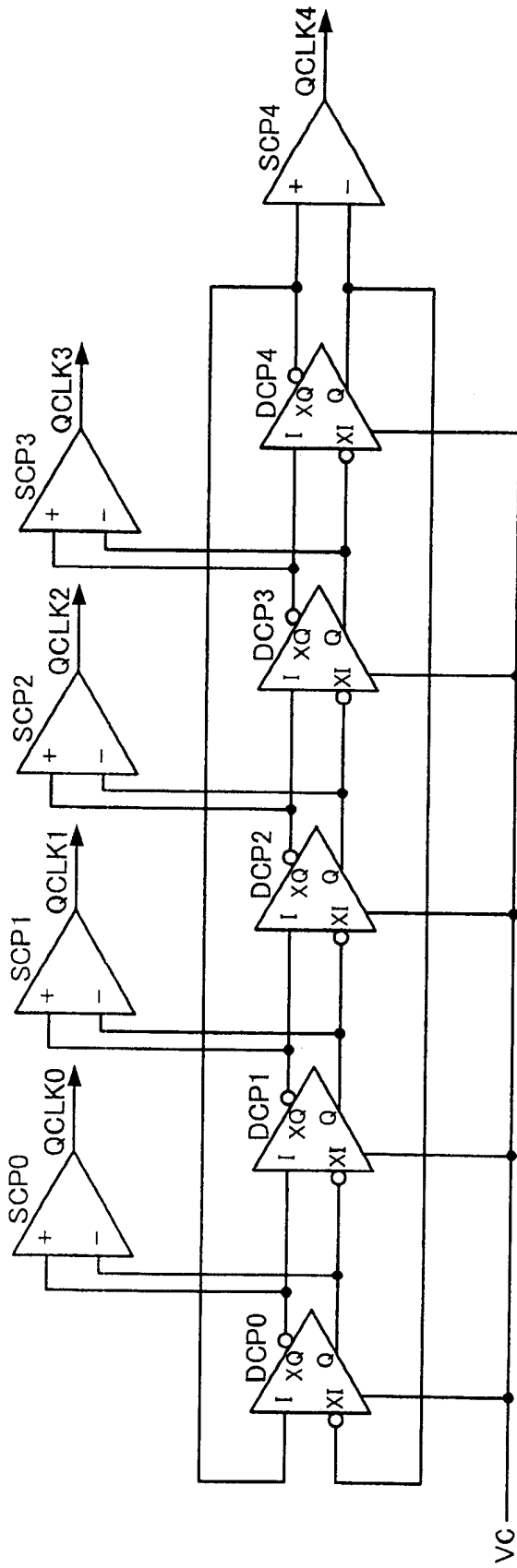


图 8



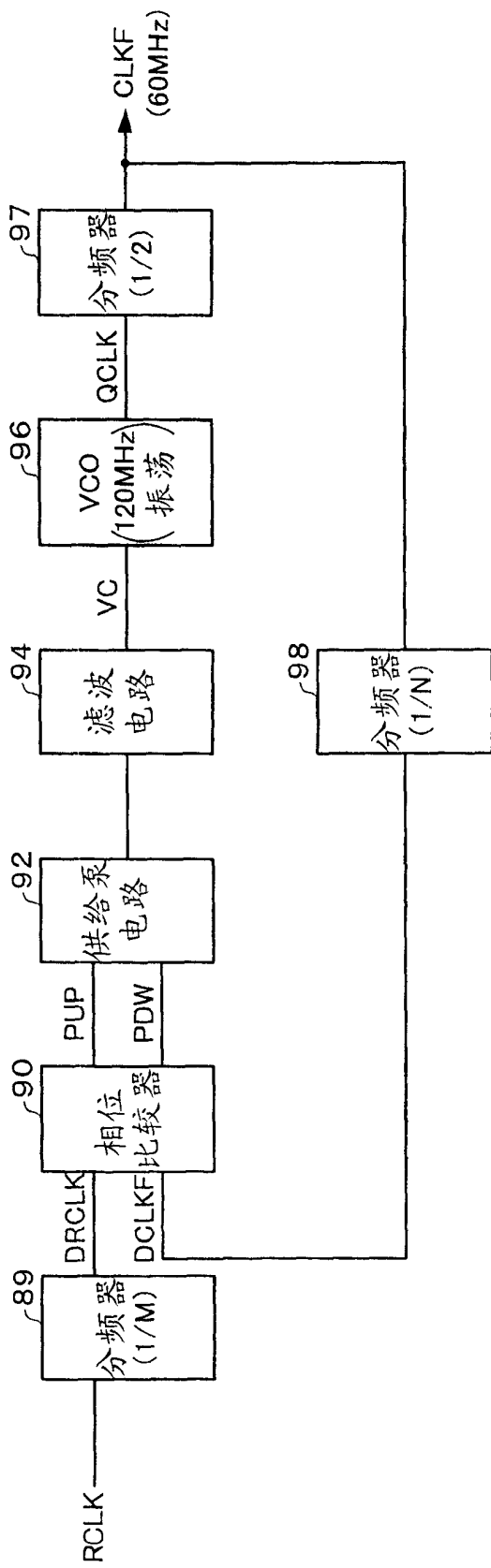
PLL480M(消耗电流约3.3mA)

图 9



VCO(PLL480M)

图 10



PLL60M(消耗电流约1.5mA)

图 11

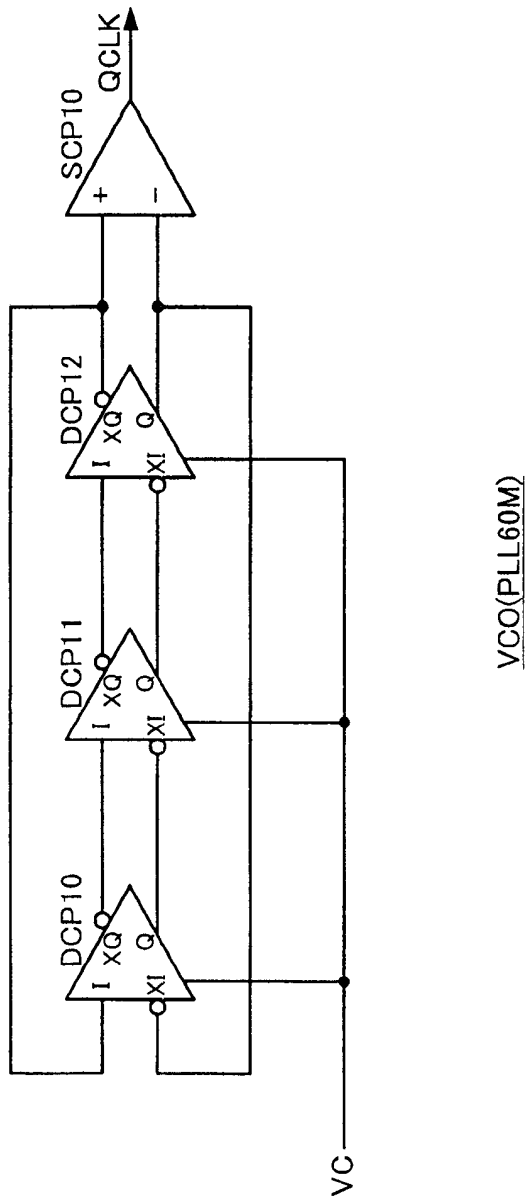


图 12

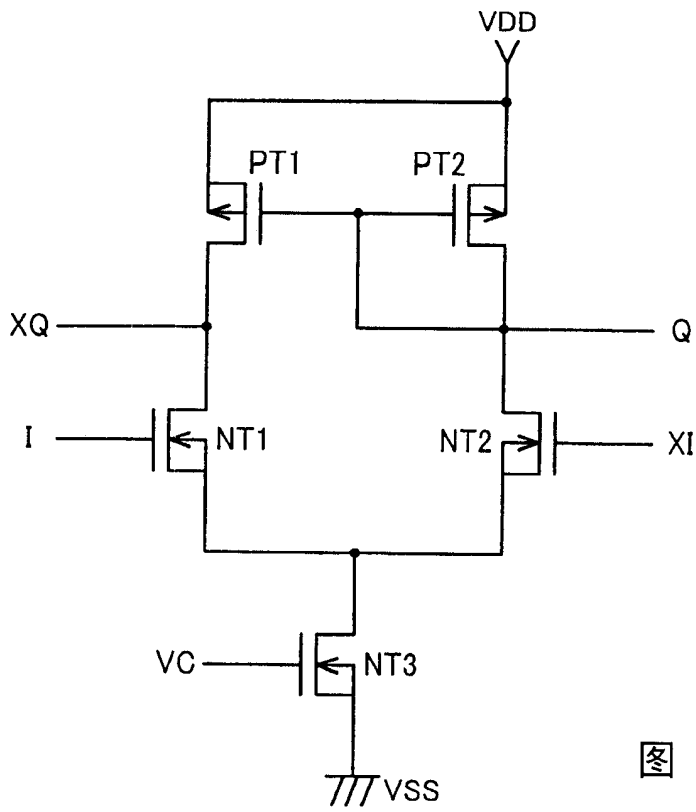


图 13A

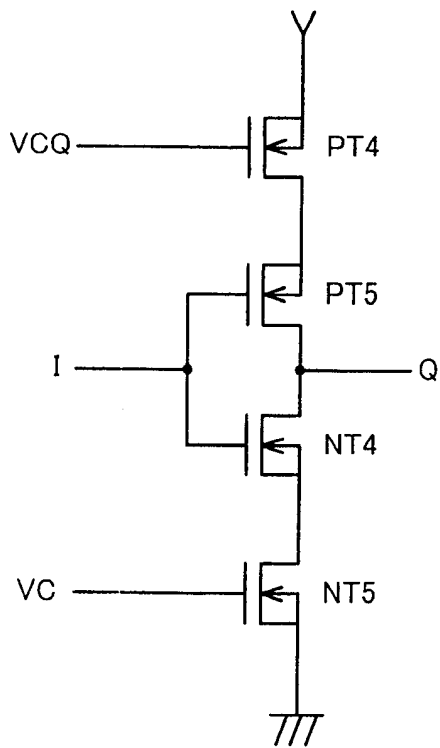


图 13B

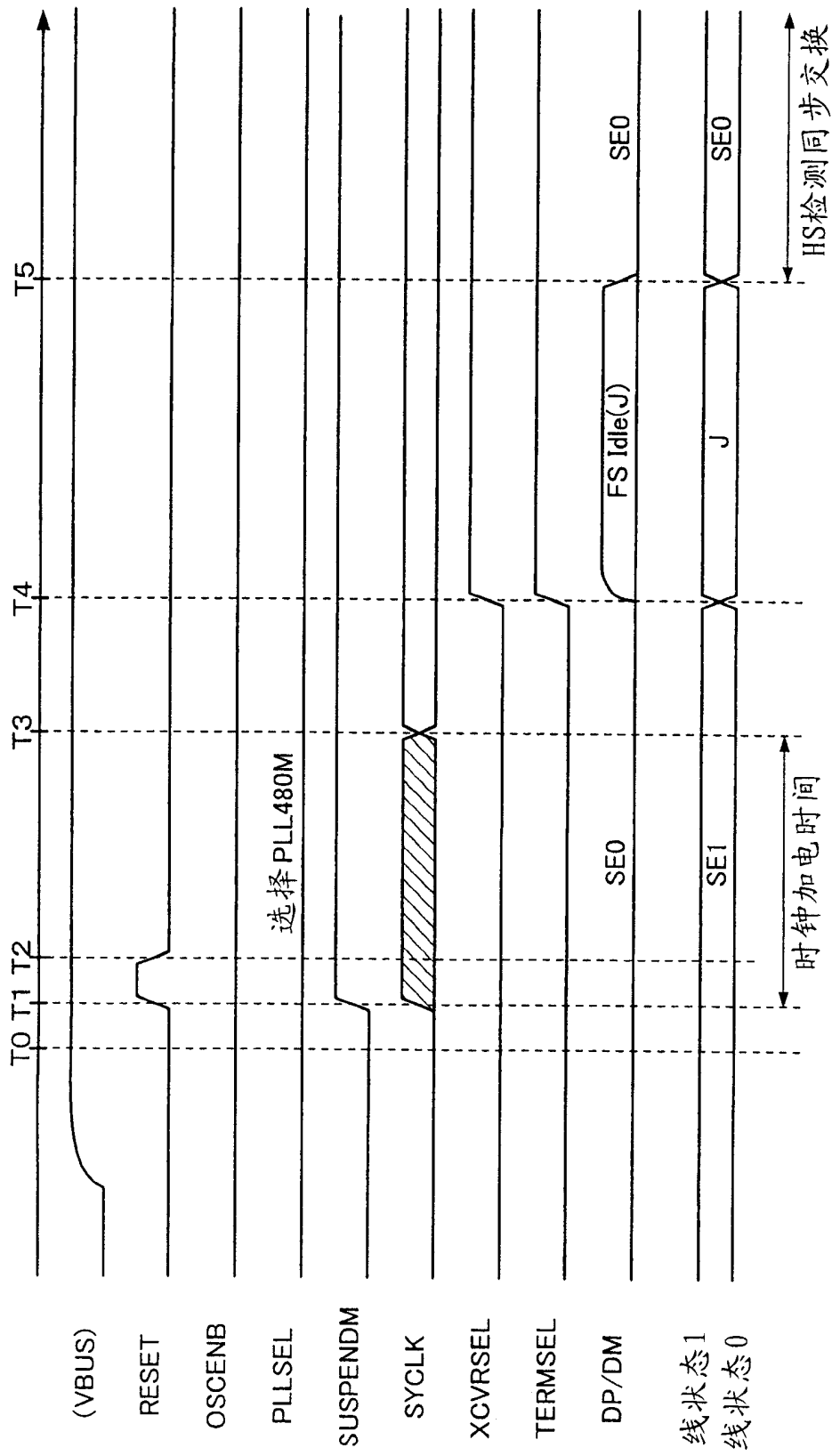


图 14

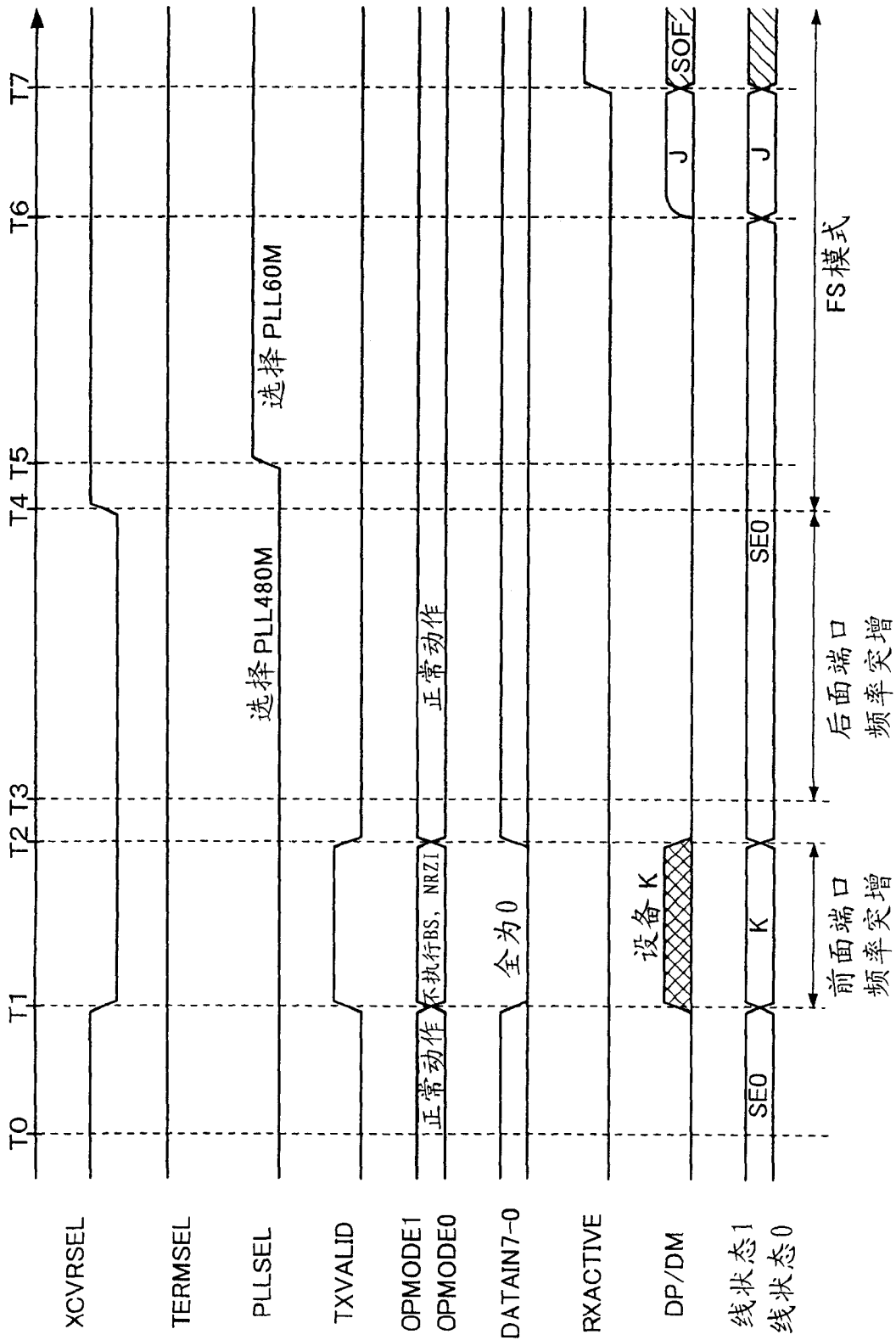


图 15

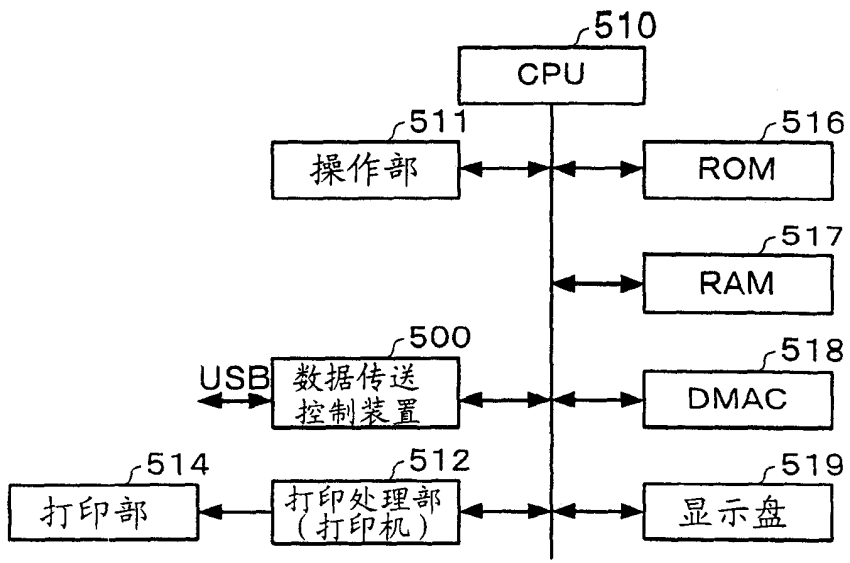


图 16A

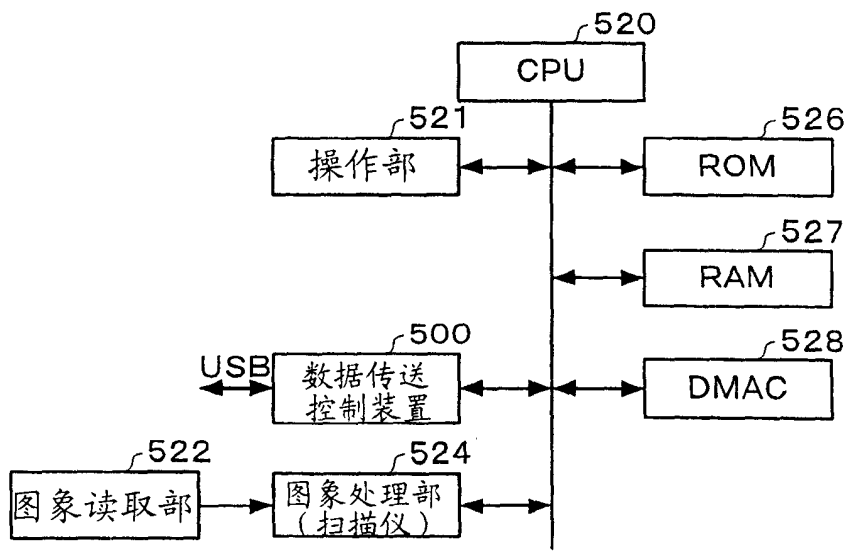


图 16B

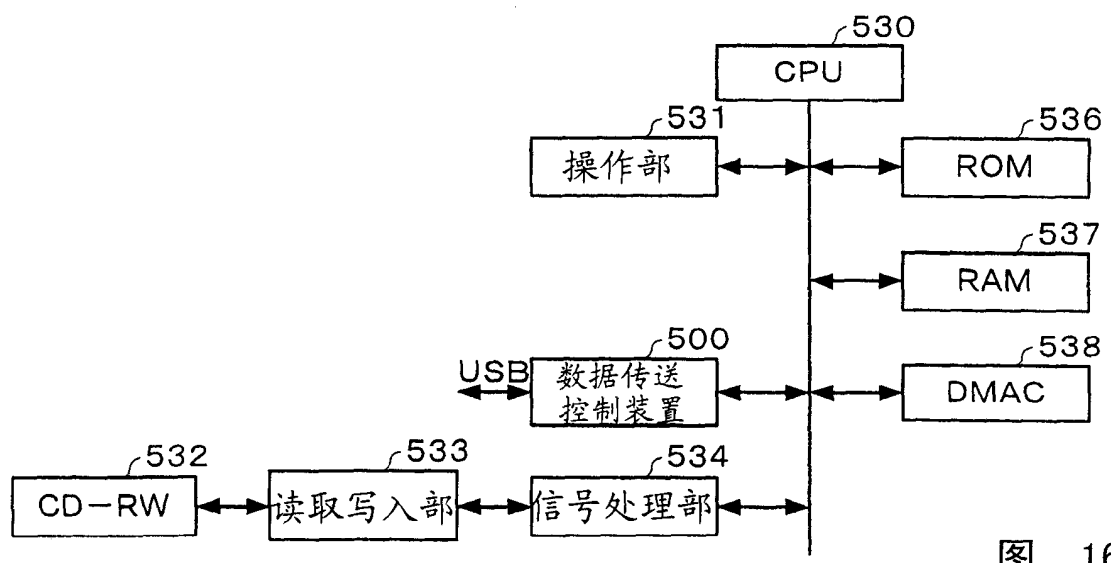


图 16C

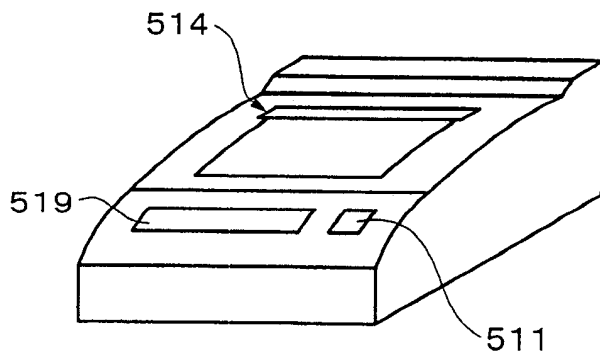


图 17A

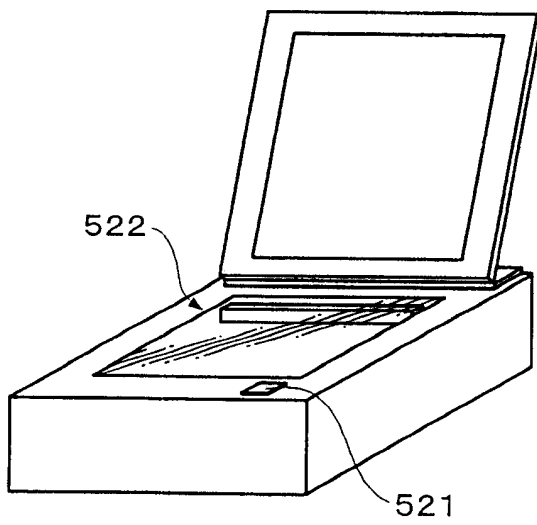


图 17B

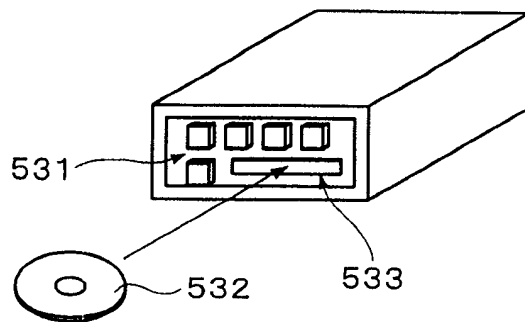


图 17C