

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

89 958

Patent dodatkowy
do patentu _____

Zgłoszono: 07.06.74 (P. 171735)

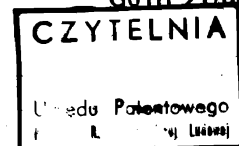
Pierwszeństwo: _____

Zgłoszenie ogłoszono: 03.01.76

Opis patentowy opublikowano: 30.07.1977

MKP G01r 15/08
G01r 17/02
G01r 27/00

Int. Cl.² G01R 15/08
G01R 17/02
G01R 27/00



Twórcy wynalazku: Leszek Mulka, Janusz Paterman, Teresa Kramarowska,
Bogusław Żyborski, Bogdan Wągrowski

Uprawniony z patentu: Ośrodek Badawczo-Rozwojowy Pomiarów i Automatyki
Elektronicznej „Mera-Elmat”,
Wrocław (Polska)

Układ automatycznego wyboru zakresów w cyfrowym automatycznym mierniku impedancji

Przedmiotem wynalazku jest układ automatycznego wyboru zakresów w cyfrowym automatycznym mierniku impedancji mający zastosowanie w pomiarach elektronicznych.

Znany stan techniki. Znane są układy automatycznego wyboru zakresów współpracujące ze znanymi cyfrowymi automatycznymi miernikami impedancji, w których to układach wykorzystuje się dekady rewersyjne jako elementy sterujące kluczowaniem odczepów zakresowych transformatorów w różnicowym mostku pomiarowym. W znanych układach sterowanie dekadą rewersyjną odbywa się z bloku kierunku zliczania tej dekady, w którym to bloku następuje wybór zakresu w oparciu o sygnał rozrównoważenia mostka oraz odpowiednie impulsy próbkujące. Instruction manual, Automatic Capacitance Bridge-Assembly – Type 1680-A General Radio Company, USA, 1966.

Istota wynalazku. Układ automatycznego wyboru zakresów według wynalazku ma blok detekcji zakresu pomiarowego, którego dwa wejścia są połączone z wyjściami generującymi impulsy próbkujące 90° i 0° układu sterowania miernika impedancji oraz z torem sygnału rozrównoważenia różnicowego mostka pomiarowego. Jedno z pozostałych czterech wejść bloku detekcji jest połączone poprzez zwierny przycisk z wyjściem sterującym reżimem pracy układu wyboru zakresu z bloku separacji taktu rejestrów. Drugie wejście generujące impulsy kasujące jest włączone we wspólny dla całego układu tor kasujący, podczas gdy z pozostałych dwóch wejść bloku detekcji, jedno jest połączone z wyjściem generującym impulsy taktujące układu sterowania, następne zaś wejście bloku detekcji jest połączone z wyjściem przerzutnika ostatniej pozycji jednego z dwóch rejestrów przesuwanych. Wyjście bloku detekcji sterujące wpisem stanu logicznego „jeden” i wyjście kasujące ten wpis są połączone z wejściami przerzutników pierwszych dekad układu regulacji miernika impedancji, zaś wyjście bloku detekcji bramkujące sygnał startu procesu równoważenia różnicowego mostka pomiarowego jest włączone na jedno z wejść bramki, która swym drugim wejściem oraz wyjściem jest włączona w tor sygnału startu procesu równoważenia mostka pomiarowego miernika impedancji. Drugie wyjście bloku detekcji generujące sygnał końca procesu wyboru zakresu jest połączone z wejściem iloczynowej bramki, a drugie wejście tej bramki jest włączone we wspólny dla całego układu tor taktujący. Wyjście tej bramki jest połączone z wejściem bramki sumującej, której drugie wejście jest połączone z wyjściem z impulsatora. Wyjście bramki sumującej jest połączone

z blokiem separacji taktu rejestrów, którego wyjścia są połączone z dwoma przesuwными czterobitowymi rejestrami przesuwными. Wyjścia tych rejestrów są połączone dwoma układami kluczującymi odpowiednie odczepy transformatorów różnicowego mostka pomiarowego cyfrowego automatycznego miernika impedancji.

Zastosowanie w układzie według wynalazku prostych rejestrów przesuwных i nieskomplikowanego układu sterowania upraszcza jego budowę, co najbardziej uwydatnia się w porównaniu zwłaszcza z układami wykorzystującymi dekadę rewersyjną. Zbudowanie układu na obwodach scalonych ma tę dodatkową zaletę, że zwiększa jego niezawodność działania.

Objaśnienie rysunku. Wynalazek jest objaśniony w przykładzie realizacji na podstawie załączonego rysunku, na którym fig. 1 przedstawia schemat blokowy połączeń układu ze znanym współpracującym miernikiem impedancji, zaś fig. 2 schemat ideowy układu.

Przykład realizacji wynalazku. Układ automatycznego wyboru zakresów według wynalazku ma blok 1 detekcji zakresu pomiarowego zaopatrzony w przerzutniki 2 i 3 połączone odpowiednio wejściami taktującymi T z wyjściem e generującym impulsy próbkujące 90° i wyjściem f generującym impulsy próbkujące 0° układu sterowania 4 znanego współpracującego miernika impedancji 5 (fig. 1), zaś wejściami I poprzez inwerter 6, przerzutniki 2 i 3 są połączone z torem sygnału rozrównoważenia TR, różnicowego transformatorowego mostka pomiarowego 7 z wyjścia wzmacniacza — komparatora 8, miernika impedancji 5. Natomiast na wejścia informacyjne K wymienionych przerzutników podany jest poziom logicznego zera. Ponadto wyjścia $\bar{Q}$ omawianych przerzutników (fig. 2) są połączone z wejściami iloczynowej bramki 9, której wyjście włączone jest na jedno z wejść bramki 10, na której drugie wejście podane jest wyjście Q przerzutnika 11, zaś na trzecie wejście bramki 10 jest podane wyjście Q przerzutnika d' ostatniej pozycji przesuwного rejestru 12, z kolei zaś wyjście bramki 10 jest połączone z wejściem K przerzutnika 13, a poprzez inwerter 14, z wejściem I wymienionego przerzutnika 13, którego wejście taktujące T jest włączone we wspólny dla całego układu tor taktujący TT. Wyjście inwertera 14 jest włączone na wejście iloczynowej bramki 15, zaś wyjście Q przerzutnika 13 jest połączone poprzez różniczkujący człon 16 z wejściem bramki 17, której drugie wejście jest podane na wspólny dla całego układu tor kasujący TK. Ponadto wyjście Q przerzutnika 13 jest połączone z dwoma wejściami R przerzutników 2 i 3 i poza tym to wyjście Q jest połączone poprzez zwierny przycisk P2 — sterujący reżimem pracy układu — z blokiem 18 separacji taktu rejestrów. Wyjście kasujące zapis logiczny „1” z bramki 17 jest połączone z układem 19 regulacji miernika impedancji 5, przy czym z układem 19 jest połączone wyjście $\bar{Q}$ przerzutnika 13 wpisujące stan logiczny „1” i to samo wyjście jest również włączone na wejście taktujące T przerzutnika 11, zaś na wejście informacyjne D tego przerzutnika jest podany poziom logicznego zera. Wejście ustawiające S przerzutnika 11 jest włączone do wspólnego dla całego układu toru kasującego TK, a wyjście $\bar{Q}$ tego przerzutnika jest włączone na jedno z wejść bramki 20, która swym drugim wejściem oraz wyjściem jest włączona w tor sygnału startu procesu równoważenia mostka pomiarowego 7 miernika impedancji 5.

Wyjście iloczynowej bramki 15 jest połączone z jednym z wejść sumującej bramki 21, zaś drugie wejście tej bramki jest połączone z wyjściem impulsatora 22. Natomiast wyjście bramki 21 jest połączone z wejściem taktującym T przerzutnika 23 oraz z wejściami bramek 24 i 25 bloku 18 separacji taktu rejestrów, a wyjściami Q i Q przerzutnik 23 jest połączony z wejściami bramek 24 i 25, zaś pozostałe wejścia tych bramek są z sobą zwarte i połączone z przyciskiem P2. Na wejścia informacyjne I i K przerzutnika 23 jest podany poziom logiczny „1”, a wejście kasujące R tego przerzutnika jest włączone do wspólnego dla całego układu toru kasowania TK. Wyjścia bramek 24 i 25 są odpowiednio połączone z wejściami taktującymi T przerzutników a ÷ d usytuowanych w czterobitowym rejestrze przesuwным 26 i przerzutników a' ÷ d' drugiego rejestru przesuwного 12, przy czym na wejście D dwu pierwszych przerzutników a i a', obu rejestrów jest podany poziom logicznego zera. Ustawiające wejście S pierwszych przerzutników a i a' rejestrów 26 i 12 oraz kasujące wejścia R pozostałych przerzutników obu rejestrów (fig. 2) są z sobą zwarte i połączone ze wspólnym dla całego układu torem kasowania TK, natomiast wyjścia Q wszystkich przerzutników obu rejestrów są połączone poprzez układy kluczujące 27 z różnicowym mostkiem pomiarowym 7 miernika impedancji 5.

Układ według wynalazku działa we współpracy ze znanym cyfrowym automatycznym miernikiem impedancji 5 (fig. 1) zbudowanym z generatora 28 przebiegu sinusoidalnego zasilającego różnicowy transformatorowy mostek pomiarowy 7, którego sygnał wejściowy jest proporcjonalny do różnicy sygnału toru impedancji mierzonej i toru wzorców, określany w treści opisu przedmiotu wynalazku sygnałem rozrównoważenia, jest przetwarzany w układzie wzmacniacz — komparator 8 oraz poddawany detekcji w dwóch synchronicznych detektorach fazowych 29 i 30 wytwarzających impulsy sterujące układ sterowania 4, który to układ poprzez układ regulacji 19 sprowadza różnicowy mostek 7 do równowagi i wyświetla wynik pomiaru na polu odczytowym 31.

Działanie układu według wynalazku przy współpracy ze znanym miernikiem impedancji 5 przebiega następująco. Na wejście taktujące T rejestru przesuwного 26 sterującego klucze elektroniczne włączające

odpowiednie uzwojenia zakresowe prądowego transformatora mostka 7 są podawane impulsy z bramki 24, zaś na wejścia taktujące T drugiego rejestru 12 wybierającego odpowiednie odczepy zakresowe napięciowego transformatora mostka 7 są podawane impulsy z bramki 25. Przerzutnik 23 bloku 18 (fig. 2) umożliwia separację taktu obu torów w ten sposób, by z ciągu impulsów taktowych nieparzyste impulsy taktowały rejestr 26, zaś parzyste rejestr 12. Impulsy taktowe podawane są bądź z toru taktu TT poprzez bramki 15 i 21 bądź też z impulsatora 22. Wybranie odpowiedniego zakresu pomiarowego powoduje blokadę taktu rejestrów 26 i 12. Tym procesem w bramkach 24 i 25 i bramce 15 steruje blok 1 detekcji zakresu pomiarowego.

Po podaniu impulsu w torze kasującym TK układ według wynalazku zostaje ustawiony w pozycji wyjściowej. Na wejściach informacyjnych I i K przerzutnika 13 bloku detekcji 1 są ustalane stany logiczne wymuszające na wyjściu Q tego przerzutnika stan logiczny „1” otwierający bramki 24 i 25 bloku separacji 18 dla impulsów taktujących T rejestrów 26 i 12. Stan logiczny „1” wyjścia Q przerzutnika 13 podany na wejścia R przerzutników 2 i 3 umożliwia pracę bloku detekcji 1, natomiast stan Q przerzutnika 13 realizuje wpis stanu logicznego „1” na odpowiednich pozycjach układu regulacji 19 miernika 5. Blok 1 detekcji zakresu pomiarowego przeprowadza badania koincydencji sygnału rozrównoważenia z impulsami próbkującymi 0° i 90° . Stan logiczny zero uzyskany w procesie detekcji zakresu na wyjściu bramki 9 będący sygnałem wybrania prawidłowego zakresu, zmienia stany wejść informacyjnych I i K przerzutnika 23 w ten sposób, że stan wyjściowy Q przerzutnika 13 blokuje tory taktu rejestrów 12 i 26 umożliwiając utrzymanie stanów wyjściowych rejestrów w sekwencji wybierającej odczepy transformatorów, przypisanej wybranemu zakresowi. Po wybraniu zakresu pomiarowego stan logiczny zero z wejścia D przerzutnika 11 zostaje przepisany zboczemu impulsu z wyjścia Q przerzutnika 13 na wyjście Q przerzutnika 11 blokując bramkę 10, zaś zbocze impulsu z wyjścia Q przerzutnika 13 poprzez człon różniczkujący 16 i bramkę 17 kasuje stany „1” na pozycjach układu regulacji 19 miernika 5. Stan logiczny wyjścia Q przerzutnika 13, blokuje poprzez wejścia R przerzutników 2 i 3 blok 1 detekcji zakresu. Stan logiczny wyjścia Q przerzutnika 11 blokuje poprzez bramkę 20 tor pomiarowy miernika 5 do momentu wybrania odpowiedniego zakresu, a po jego wybraniu wymieniona blokująca bramka 20 zostaje otwarta i możliwe jest dokonanie pomiaru na wybranym zakresie.

Zastrzeżenie patentowe

Układ automatycznego wyboru zakresów w cyfrowym automatycznym mierniku impedancji utworzony z przerzutników, inwerterów i bramek, z n a m i e n n y t y m, że ma blok detekcji zakresu pomiarowego (1), którego dwa wejścia są połączone z wyjściami (e i f) generującymi impulsy próbkujące 90° i 0° układu sterowania (4) miernika impedancji (5) oraz torem sygnału rozrównoważenia (TR) różnicowego mostka pomiarowego (7), a ponadto jedno z pozostałych czterech wejść bloku (1) jest połączone poprzez zwierny przycisk (P2) z wyjściem sterującym režimem pracy układu wyboru zakresu z bloku separacji taktu rejestrów (18), zaś drugie wejście generujące impulsy kasujące jest włączone we wspólny dla całego układu tor kasujący (TK), podczas gdy z pozostałych dwóch wejść bloku (1) jedno jest połączone z wyjściem generującym impulsy taktujące układu sterowania (4), następne zaś wejście bloku (1) jest połączone z wyjściem (Q) przerzutnika (d') ostatniej pozycji rejestru (12), natomiast wyjście (g) bloku (1) sterujące wpisem stanu logicznego „1” i wyjście (h) kasujące ten wpis są połączone z wejściami przerzutników pierwszych dekad układu regulacji (19) miernika (5), zaś wyjście bloku (1) detekcji bramkujące sygnał startu procesu równoważenia mostka (7) jest włączone na jedno z wejść bramki (20), która swym drugim wejściem oraz wyjściem jest włączona w tor sygnału startu procesu równoważenia mostka (7), podczas gdy wyjście (j) bloku (1) generujące sygnał końca procesu wyboru zakresu jest połączone z wejściem iloczynowej bramki (15), a drugie wejście tej bramki jest włączone we wspólny dla całego układu tor taktujący (TT), z kolei wyjście tej bramki jest połączone z wejściem bramki sumującej (21), której drugie wejście jest połączone z wyjściem z impulsatora (22), zaś wyjście bramki (21) jest połączone z blokiem (18) separacji taktu rejestrów, podczas gdy wyjścia tego bloku są połączone z dwoma przesuwными czterobitowymi rejestrami przesuwными (12 i 26), a wyjścia tych rejestrów są połączone układami kluczującymi (27) odpowiednie odczepy transformatorów różnicowego mostka pomiarowego (7) miernika impedancji (5).

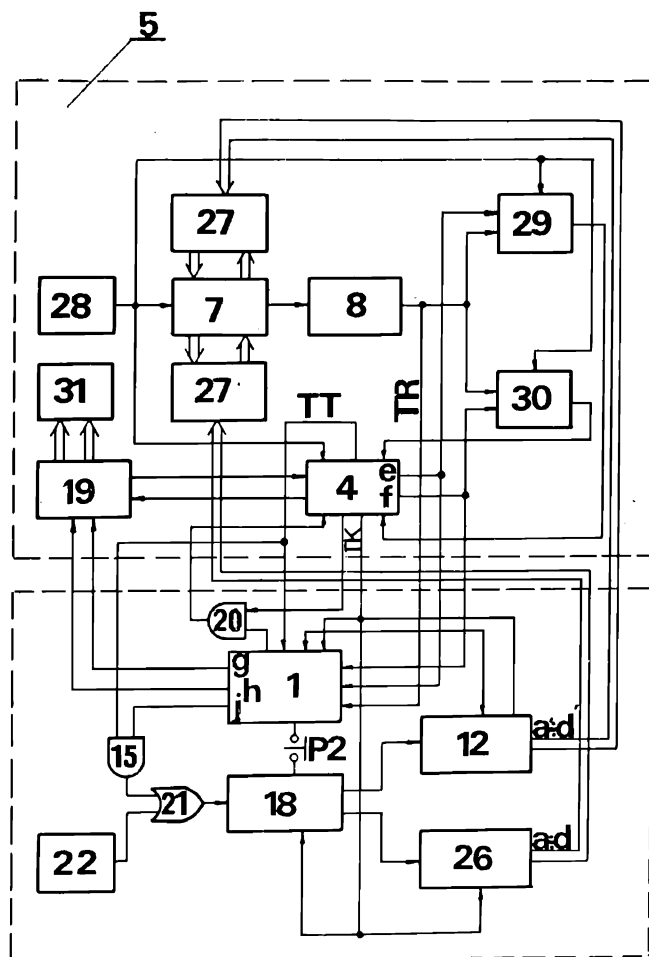


Fig.1

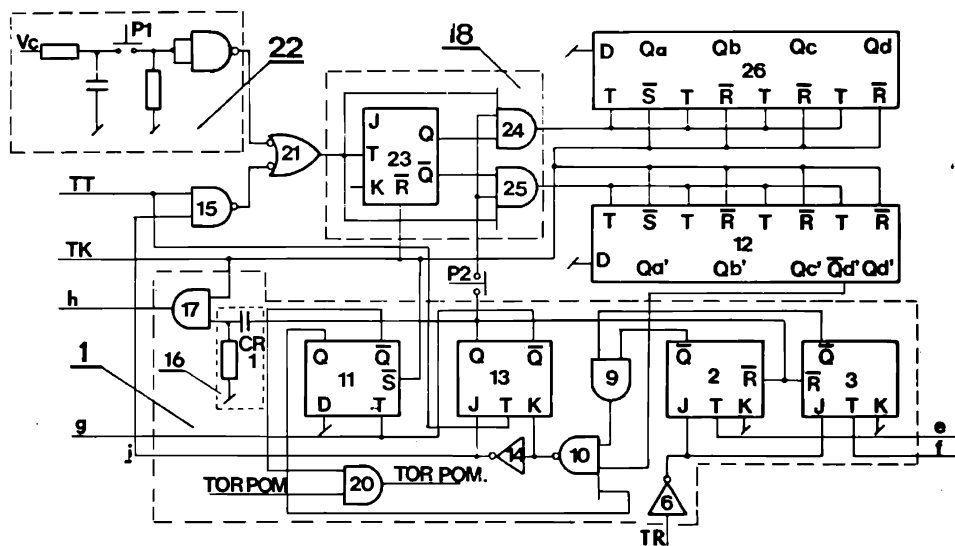


Fig.2