

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 17 年 11 月 17 日 (2005.11.17)

【公表番号】特表 2005-501448 (P2005-501448A)

【公表日】平成 17 年 1 月 13 日 (2005.1.13)

【年通号数】公開・登録公報 2005-002

【出願番号】特願 2003-522942 (P2003-522942)

【国際特許分類第 7 版】

H 0 4 L 12/56

G 1 1 C 15/04

【F I】

H 0 4 L 12/56 F

G 1 1 C 15/04 6 3 1 F

G 1 1 C 15/04 6 3 1 Z

【手続補正書】

【提出日】平成 16 年 4 月 26 日 (2004.4.26)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の内容アドレス・メモリ・ブロックと、

複数のフィルタ回路とを備え、複数のフィルタ回路はそれぞれ、複数の内容アドレス・メモリ・ブロックのうちの対応する 1 つに結合され、複数のフィルタ回路はそれぞれ、共通入力ストリングを受信し、フィルタ処理されたコンパランド・ストリングを複数の内容アドレス・メモリ・ブロックのうちの対応する 1 つに送信するように構成されており、その複数のフィルタ回路はそれぞれ、共通入力ストリングを受信するように構成されているクロスバ・スイッチを備え、さらに、複数のフィルタ回路はそれぞれクロスバ・スイッチに結合されたプログラミング回路を備え、プログラミング回路は、フィルタ・データを受信して、共通入力ストリングからフィルタ処理されたコンパランド・ストリングを生成するようにクロスバ・スイッチをプログラムする構成とされている装置。

【請求項 2】

複数の内容アドレス・メモリ・ブロックは、同時ルックアップを実行するように構成されている請求項 1 に記載の装置。

【請求項 3】

プログラミング回路は、

クロスバ・スイッチに結合されたデータ・ジェネレータと、

データ・ジェネレータに結合され、フィルタ・データを格納するブロック・フィルタ・レジスタと、

クロスバ・スイッチに結合されたアドレス・ジェネレータとを備える請求項 1 に記載の装置。

【請求項 4】

データ・ジェネレータは、

ブロック・フィルタ・レジスタに結合されたシフト・レジスタと、

シフト・レジスタに結合された論理回路とを備える請求項 3 に記載の装置。

【請求項 5】

シフト・レジスタは複数のビット位置を持ち、シフト・レジスタは、フィルタとクロック信号に基づき複数のビット位置を通じて所定のビット値をシフトするように構成されている請求項 4 に記載の装置。

【請求項 6】

論理回路は、シフト・レジスタの複数のビット位置からビット値を受け取り、クロック信号に基づきビット値を出力するように構成されている請求項 7 に記載の装置。

【請求項 7】

データ・ジェネレータは、
第 1 のシフト・レジスタと、

複数のビット位置を持つ第 2 のシフト・レジスタと、

第 1 のシフト・レジスタに結合され、フィルタ・データを受け取るためブロック・フィルタ・レジスタに結合され、第 2 のシフト・レジスタを通じて所定のビット値のシフト動作を制御するため第 2 のシフト・レジスタに結合され、その第 2 のシフト・レジスタがフィルタ・データとクロック信号に基づき複数のビット位置を通じて所定のビット値をシフトするように構成されているワイヤード論理ゲートと、

第 2 のシフト・レジスタの出力を受け取り、その出力をバッファ書き込み回路に送るよう結合されている論理回路とを備える請求項 3 に記載の装置。

【請求項 8】

ブロック・フィルタ・レジスタは、複数行、単一系列のランダム・アクセス・メモリである請求項 3 に記載の装置。

【請求項 9】

アドレス・ジェネレータが、
制御入力とカウンタ出力を備えるカウンタと、

カウンタの出力とクロスバ・スイッチに結合されたデコーダとを備える請求項 3 に記載の装置。

【請求項 10】

さらに、出力がカウンタの制御入力に結合され、複数の入力がデータ・ジェネレータに結合されている OR 回路を備える請求項 9 に記載の装置。

【請求項 11】

アドレス・ジェネレータはシフト・レジスタを備える請求項 3 に記載の装置。

【請求項 12】

さらに、アドレス・ジェネレータは、出力がシフト・レジスタに結合され、複数の入力がデータ・ジェネレータに結合されている OR 回路を備える請求項 11 に記載の装置。

【請求項 13】

複数の内容アドレス・メモリ・ブロックと、

複数のフィルタ回路とを備え、複数のフィルタ回路はそれぞれ、複数の内容アドレス・メモリ・ブロックのうちの対応する 1 つに結合され、複数のフィルタ回路はそれぞれ、共通入力ストリングを受信し、フィルタ処理されたコンパランド・ストリングを複数の内容アドレス・メモリ・ブロックのうちの対応する 1 つに送信するように構成されており、複数のフィルタ回路はそれぞれ、

共通入力ストリングを受け取るように構成されているクロスバ・スイッチと、

クロスバ・スイッチに結合されたプログラミング回路とを備え、そのプログラミング回路は、フィルタ・データを受け取って、共通入力ストリングからフィルタ処理されたコンパランド・ストリングを生成するようにクロスバ・スイッチをプログラムする構成であり、プログラミング回路は、

クロスバ・スイッチに結合されたバッファ書き込み回路と、

バッファ書き込み回路に結合されたデータ・ジェネレータと、

データ・ジェネレータに結合され、クロスバ・スイッチ内の接続を確立するためにビット・データ・パターンを格納するブロック・フィルタ・レジスタと、

クロスバ・スイッチに結合されたアドレス・ジェネレータとを備え、アドレス・ジェネ

レータは、

制御入力とカウンタ出力を備えるカウンタと、

カウンタの出力とクロスバ・スイッチに結合されたデコーダと、

出力がカウンタの制御入力に結合され、複数の入力がデータ・ジェネレータに結合されているOR回路とを備える装置。

【請求項 14】

複数のフィルタ回路がプログラム可能である請求項 13 に記載の装置。

【請求項 15】

共通入力ストリングをフィルタ処理し、第 1 のフィルタ処理されたストリングとその第 1 のフィルタ処理されたストリングとは異なる第 2 のフィルタ処理されたストリングを生成するステップと、

第 1 フィルタ処理されたストリングを圧縮するステップであって、第 1 フィルタ処理されたストリングが複数のビット位置を有し、圧縮することが、格納された連続したビット位置を持つコンパランド・ストリングを生成するために互いに対してビット位置をシフトさせることを含む圧縮するステップと、

それぞれ第 1 のフィルタ処理されたストリングと第 2 のフィルタ処理されたストリングを使用してそれぞれ第 1 の内容アドレス・メモリ・ブロックと第 2 の内容アドレス・メモリ・ブロック内でルックアップを実行するステップとを含む方法。

【請求項 16】

複数のルックアップを同時実行する請求項 15 に記載の方法。

【請求項 17】

共通入力ストリングをフィルタ処理して第 1 のフィルタ処理されたストリングと第 2 のフィルタ処理されたストリングを生成するステップを異なるフィルタ処理回路を使用して同時実行する請求項 15 に記載の方法。

【請求項 18】

圧縮するステップはさらに、第 1 のフィルタ処理されたストリングと第 2 のフィルタ処理されたストリングのビット位置を下位ビット位置にシフトするステップを含んでいる請求項 37 に記載の方法。

【請求項 19】

第 1 のフィルタ処理されたストリングはクロスバ・スイッチによりフィルタ処理される請求項 18 に記載の方法。

【請求項 20】

さらに、クロスバ・スイッチをプログラムするステップを含んでいる請求項 19 に記載の方法。

【請求項 21】

プログラムするステップは、

(a) 共通入力ストリングのビット位置と第 1 のフィルタ処理されたストリングのビット位置との間の接続が確立されるかどうかを判定するステップと、

(b) ステップ (a) での判定に基づいてクロスバ・スイッチ内の接続を確立するステップと、

(c) ステップ (b) で接続が確立された場合に共通入力ストリングの次のビット位置に順次進むステップと、

(d) ステップ (b) で接続が確立されていない場合に共通入力ストリングの次のビット位置に順次進まないステップとを含んでいる請求項 20 に記載の方法。

【請求項 22】

さらに、ステップ (a) から (d) までを繰り返すステップを含んでいる請求項 21 に記載の方法。

【請求項 23】

さらに、共通入力ストリングから第 1 のフィルタ処理されたストリングと第 2 のフィル

タ処理されたストリングを生成するように第 1 のフィルタ回路と第 2 のフィルタ回路をプログラムするステップを含んでいる請求項 15 に記載の方法。

【請求項 24】

プログラムするステップはフィルタ処理の前に実行される請求項 23 に記載の方法。

【請求項 25】

共通入力ストリングをフィルタ処理し、第 1 のフィルタ処理されたストリングとその第 1 のフィルタ処理されたストリングとは異なる第 2 のフィルタ処理されたストリングを生成する手段と、

第 1 のフィルタ処理されたストリングと第 2 のフィルタ処理されたストリングを圧縮する手段と、

それぞれ第 1 のフィルタ処理されたストリングと第 2 のフィルタ処理されたストリングを使用してそれぞれ第 1 の内容アドレス・メモリ・ブロックと第 2 の内容アドレス・メモリ・ブロック内のルックアップを実行する手段とを備える装置。

【請求項 26】

さらに、ルックアップを同時実行する手段を備える請求項 25 に記載の装置。

【請求項 27】

さらに、ビット位置が連続して埋められているコンパランド・ストリングを生成する手段を備える請求項 25 に記載の装置。

【請求項 28】

第 1 のコンパランドの第 1 の入力ビットを第 1 のビット位置から第 2 のコンパランドの異なるビット位置に移動させる手段と、

第 2 のコンパランドを第 1 の内容アドレス・メモリ・ブロックの第 1 の内容アドレス・メモリ・アレイに格納されているデータと比較する手段とを備える装置。

【請求項 29】

さらに、

第 1 のコンパランドの第 2 の入力ビットを第 2 のビット位置から第 3 のコンパランドの異なるビット位置に移動させる手段と、

第 3 のコンパランドを第 2 の内容アドレス・メモリ・ブロックの第 2 の内容アドレス・メモリ・アレイに格納されているデータと比較する手段とを備える請求項 28 に記載の方法。