

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成17年11月17日(2005.11.17)

【公表番号】特表2005-501448(P2005-501448A)

【公表日】平成17年1月13日(2005.1.13)

【年通号数】公開・登録公報2005-002

【出願番号】特願2003-522942(P2003-522942)

【国際特許分類第7版】

H 0 4 L 12/56

G 1 1 C 15/04

【F I】

H 0 4 L 12/56 F

G 1 1 C 15/04 6 3 1 F

G 1 1 C 15/04 6 3 1 Z

【手続補正書】

【提出日】平成16年4月26日(2004.4.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の内容アドレス・メモリ・ブロックと、

複数のフィルタ回路とを備え、複数のフィルタ回路はそれぞれ、複数の内容アドレス・メモリ・ブロックのうちの対応する1つに結合され、複数のフィルタ回路はそれぞれ、共通入力ストリングを受信し、フィルタ処理されたコンパランド・ストリングを複数の内容アドレス・メモリ・ブロックのうちの対応する1つに送信するように構成されており、その複数のフィルタ回路はそれぞれ、共通入力ストリングを受信するように構成されているクロスバ・スイッチを備え、さらに、複数のフィルタ回路はそれぞれクロスバ・スイッチに結合されたプログラミング回路を備え、プログラミング回路は、フィルタ・データを受信して、共通入力ストリングからフィルタ処理されたコンパランド・ストリングを生成するようにクロスバ・スイッチをプログラムする構成とされている装置。

【請求項2】

複数の内容アドレス・メモリ・ブロックは、同時ルックアップを実行するように構成されている請求項1に記載の装置。

【請求項3】

プログラミング回路は、

クロスバ・スイッチに結合されたデータ・ジェネレータと、

データ・ジェネレータに結合され、フィルタ・データを格納するブロック・フィルタ・レジスタと、

クロスバ・スイッチに結合されたアドレス・ジェネレータとを備える請求項1に記載の装置。

【請求項4】

データ・ジェネレータは、

ブロック・フィルタ・レジスタに結合されたシフト・レジスタと、

シフト・レジスタに結合された論理回路とを備える請求項3に記載の装置。

【請求項5】

シフト・レジスタは複数のビット位置を持ち、シフト・レジスタは、フィルタとクロック信号に基づき複数のビット位置を通じて所定のビット値をシフトするように構成されている請求項4に記載の装置。

【請求項6】

論理回路は、シフト・レジスタの複数のビット位置からビット値を受け取り、クロック信号に基づきビット値を出力するように構成されている請求項7に記載の装置。

【請求項7】

データ・ジェネレータは、

第1のシフト・レジスタと、

複数のビット位置を持つ第2のシフト・レジスタと、

第1のシフト・レジスタに結合され、フィルタ・データを受け取るためブロック・フィルタ・レジスタに結合され、第2のシフト・レジスタを通じて所定のビット値のシフト動作を制御するため第2のシフト・レジスタに結合され、その第2のシフト・レジスタがフィルタ・データとクロック信号に基づき複数のビット位置を通じて所定のビット値をシフトするように構成されているワイヤード論理ゲートと、

第2のシフト・レジスタの出力を受け取り、その出力をバッファ書き込み回路に送るよう結合されている論理回路とを備える請求項3に記載の装置。

【請求項8】

ブロック・フィルタ・レジスタは、複数行、単一列のランダム・アクセス・メモリである請求項3に記載の装置。

【請求項9】

アドレス・ジェネレータが、

制御入力とカウンタ出力を備えるカウンタと、

カウンタの出力とクロスバ・スイッチに結合されたデコーダとを備える請求項3に記載の装置。

【請求項10】

さらに、出力がカウンタの制御入力に結合され、複数の入力がデータ・ジェネレータに結合されているOR回路を備える請求項9に記載の装置。

【請求項11】

アドレス・ジェネレータはシフト・レジスタを備える請求項3に記載の装置。

【請求項12】

さらに、アドレス・ジェネレータは、出力がシフト・レジスタに結合され、複数の入力がデータ・ジェネレータに結合されているOR回路を備える請求項11に記載の装置。

【請求項13】

複数の内容アドレス・メモリ・ブロックと、

複数のフィルタ回路とを備え、複数のフィルタ回路はそれぞれ、複数の内容アドレス・メモリ・ブロックのうちの対応する1つに結合され、複数のフィルタ回路はそれぞれ、共通入力ストリングを受信し、フィルタ処理されたコンパランド・ストリングを複数の内容アドレス・メモリ・ブロックのうちの対応する1つに送信するように構成されており、複数のフィルタ回路はそれぞれ、

共通入力ストリングを受け取るように構成されているクロスバ・スイッチと、

クロスバ・スイッチに結合されたプログラミング回路とを備え、そのプログラミング回路は、フィルタ・データを受け取って、共通入力ストリングからフィルタ処理されたコンパランド・ストリングを生成するようにクロスバ・スイッチをプログラムする構成であり、プログラミング回路は、

クロスバ・スイッチに結合されたバッファ書き込み回路と、

バッファ書き込み回路に結合されたデータ・ジェネレータと、

データ・ジェネレータに結合され、クロスバ・スイッチ内の接続を確立するためにビット・データ・パターンを格納するブロック・フィルタ・レジスタと、

クロスバ・スイッチに結合されたアドレス・ジェネレータとを備え、アドレス・ジェネ

レータは、

制御入力とカウンタ出力を備えるカウンタと、  
カウンタの出力とクロスバ・スイッチに結合されたデコーダと、  
出力がカウンタの制御入力に結合され、複数の入力がデータ・ジェネレータに結合され  
ているOR回路とを備える装置。

【請求項14】

複数のフィルタ回路がプログラム可能である請求項13に記載の装置。

【請求項15】

共通入力ストリングをフィルタ処理し、第1のフィルタ処理されたストリングとその第1のフィルタ処理されたストリングとは異なる第2のフィルタ処理されたストリングを生成するステップと、

第1フィルタ処理されたストリングを圧縮するステップであって、第1フィルタ処理されたストリングが複数のビット位置を有し、圧縮することが、格納された連続したビット位置を持つコンパランド・ストリングを生成するために互いに対しビット位置をシフトさせることを含む圧縮するステップと、

それぞれ第1のフィルタ処理されたストリングと第2のフィルタ処理されたストリングを使用してそれぞれ第1の内容アドレス・メモリ・ブロックと第2の内容アドレス・メモリ・ブロック内でルックアップを実行するステップと  
を含む方法。

【請求項16】

複数のルックアップを同時実行する請求項15に記載の方法。

【請求項17】

共通入力ストリングをフィルタ処理して第1のフィルタ処理されたストリングと第2のフィルタ処理されたストリングを生成するステップを異なるフィルタ処理回路を使用して  
同時実行する請求項15に記載の方法。

【請求項18】

圧縮するステップはさらに、第1のフィルタ処理されたストリングと第2のフィルタ処理されたストリングのビット位置を下位ビット位置にシフトするステップを含んでいる請求項37に記載の方法。

【請求項19】

第1のフィルタ処理されたストリングはクロスバ・スイッチによりフィルタ処理される請求項18に記載の方法。

【請求項20】

さらに、クロスバ・スイッチをプログラムするステップを含んでいる請求項19に記載の方法。

【請求項21】

プログラムするステップは、

(a) 共通入力ストリングのビット位置と第1のフィルタ処理されたストリングのビット位置との間の接続が確立されるかどうかを判定するステップと、

(b) ステップ(a)での判定に基づいてクロスバ・スイッチ内の接続を確立するステップと、

(c) ステップ(b)で接続が確立された場合に共通入力ストリングの次のビット位置に順次進むステップと、

(d) ステップ(b)で接続が確立されていない場合に共通入力ストリングの次のビット位置に順次進まないステップとを含んでいる請求項20に記載の方法。

【請求項22】

さらに、ステップ(a)から(d)までを繰り返すステップを含んでいる請求項21に記載の方法。

【請求項23】

さらに、共通入力ストリングから第1のフィルタ処理されたストリングと第2のフィル

タ処理されたストリングを生成するように第1のフィルタ回路と第2のフィルタ回路をプログラムするステップを含んでいる請求項15に記載の方法。

【請求項24】

プログラムするステップはフィルタ処理の前に実行される請求項23に記載の方法。

【請求項25】

共通入力ストリングをフィルタ処理し、第1のフィルタ処理されたストリングとその第1のフィルタ処理されたストリングとは異なる第2のフィルタ処理されたストリングを生成する手段と、

第1のフィルタ処理されたストリングと第2のフィルタ処理されたストリングを圧縮する手段と、

それぞれ第1のフィルタ処理されたストリングと第2のフィルタ処理されたストリングを使用してそれぞれ第1の内容アドレス・メモリ・ブロックと第2の内容アドレス・メモリ・ブロック内のルックアップを実行する手段とを備える装置。

【請求項26】

さらに、ルックアップを同時実行する手段を備える請求項25に記載の装置。

【請求項27】

さらに、ビット位置が連続して埋められているコンパランド・ストリングを生成する手段を備える請求項25に記載の装置。

【請求項28】

第1のコンパランドの第1の入力ビットを第1のビット位置から第2のコンパランドの異なるビット位置に移動させる手段と、

第2のコンパランドを第1の内容アドレス・メモリ・ブロックの第1の内容アドレス・メモリ・アレイに格納されているデータと比較する手段とを備える装置。

【請求項29】

さらに、

第1のコンパランドの第2の入力ビットを第2のビット位置から第3のコンパランドの異なるビット位置に移動させる手段と、

第3のコンパランドを第2の内容アドレス・メモリ・ブロックの第2の内容アドレス・メモリ・アレイに格納されているデータと比較する手段とを備える請求項28に記載の方法。