

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 9 月 6 日 (2007.9.6)

【公開番号】特開 2006-12878 (P2006-12878A)

【公開日】平成 18 年 1 月 12 日 (2006.1.12)

【年通号数】公開・登録公報 2006-002

【出願番号】特願 2004-183338 (P2004-183338)

【国際特許分類】

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

【F I】

H 0 1 L 27/10 3 2 1

【手続補正書】

【提出日】平成 19 年 7 月 25 日 (2007.7.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板上にロジック部と複数の単位メモリセルより構成されたメモリ部と前記ロジック部及び前記メモリ部に供給される電圧より大きい電圧が供給される高耐圧部とを有する半導体記憶装置において、

前記単位メモリセルは、ソースまたはドレインの一方がビット線に、他方が電荷蓄積ノードに接続された前記電荷蓄積ノードに対して電荷の出し入れを行う書込みトランジスタと、

前記書込みトランジスタによって電荷蓄積ノードに対して出し入れされた蓄積電荷量に依存して、そのソースおよびドレイン間に設けられたチャネル領域のコンダクタンスが変調される読出しトランジスタと、の少なくとも 2 つのトランジスタからなり、

前記読出しトランジスタは、前記ロジック部のトランジスタよりも厚いゲート絶縁膜を有し、

前記ソースまたはドレインの一部を形成する高濃度不純物拡散領域に隣接して設けられた前記読出しトランジスタのゲート長を決定する拡散層は、前記高耐圧部を構成するトランジスタのゲート長を決定する拡散層より接合深さが浅く、その不純物濃度が高いことを特徴とする半導体記憶装置。

【請求項 2】

半導体基板上にロジック部と複数の単位メモリセルより構成されたメモリ部と前記ロジック部及び前記メモリ部に供給される電圧より大きい電圧が供給される高耐圧部とを有する半導体記憶装置において、

前記単位メモリセルは、ソースまたはドレインの一方がビット線に、他方が電荷蓄積ノードに接続された前記電荷蓄積ノードに対して電荷の出し入れを行う書込みトランジスタと、

前記書込みトランジスタによって電荷蓄積ノードに対して出し入れされた蓄積電荷量に依存してそのソースおよびドレイン間に設けられたチャネル領域のコンダクタンスが変調される読出しトランジスタと、

前記読出しトランジスタと直列に接続され、そのゲート電極がメモリセル選択用のワード線に接続された選択トランジスタと、の 3 つのトランジスタからなり、

前記読出しトランジスタ及び選択トランジスタは、前記ロジック部を構成するトランジスタよりも厚いゲート絶縁膜を有し、

前記ソースまたはドレインの一部領域を形成する高濃度不純物拡散領域に隣接して設けられた前記読出しトランジスタのゲート長を決定する拡散層は、前記高耐圧部を構成するトランジスタのゲート長を決定する拡散層より接合深さが浅く、その不純物濃度が大きいことを特徴とする半導体記憶装置。

【請求項 3】

前記読出しトランジスタは、前記選択トランジスタよりも長いゲート長を有することを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】

前記選択トランジスタと前記読出しトランジスタとは、異なるしきい電圧を有することを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 5】

前記選択トランジスタのゲート電極表面はシリサイド化され、前記読出しトランジスタのゲート電極表面はシリサイド化されていないことを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 6】

前記選択トランジスタおよび前記読出しトランジスタのそれぞれのゲート電極の両側壁に形成されたサイドウォールを有し、

前記サイドウォールの下方に位置する前記半導体基板内にゲート長を決定する拡散層が形成され、

前記選択トランジスタのゲート長を決定する拡散層のいずれか一方に、前記ゲート長を決定する拡散層に比べて高濃度の不純物が導入された拡散層領域が隣接して設けられていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 7】

前記書込みトランジスタのチャネル領域が厚さ 5nm 以下のシリコンよりなることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 8】

前記書込みトランジスタのチャネル領域が厚さ 5nm 以下のシリコンよりなることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 9】

前記書込みトランジスタのチャネル領域が厚さ 5nm 以下のシリコンよりなることを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 10】

前記書込みトランジスタのチャネル領域が厚さ 5nm 以下のシリコンよりなることを特徴とする請求項 4 に記載の半導体記憶装置。

【請求項 11】

前記書込みトランジスタのチャネル領域が厚さ 5nm 以下のシリコンよりなることを特徴とする請求項 5 に記載の半導体記憶装置。

【請求項 12】

前記書込みトランジスタのチャネル領域が厚さ 5nm 以下のシリコンよりなることを特徴とする請求項 6 に記載の半導体記憶装置。

【請求項 13】

前記書込みトランジスタのチャネル領域がアモルファスシリコンよりなることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 14】

前記書込みトランジスタのチャネル領域がアモルファスシリコンよりなることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 15】

前記書込みトランジスタのチャネル領域がアモルファスシリコンよりなることを特徴と

する請求項 3 に記載の半導体記憶装置。

【請求項 16】

前記書込みトランジスタのゲート電極が金属よりなることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 17】

前記書込みトランジスタのゲート電極が金属よりなることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 18】

前記書込みトランジスタのソースまたはドレインの少なくとも一方が金属よりなることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 19】

前記書込みトランジスタのソースまたはドレインの少なくとも一方が金属よりなることを特徴とする請求項 2 に記載の半導体記憶装置。