

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-141007

(P2010-141007A)

(43) 公開日 平成22年6月24日(2010.6.24)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/06 (2006.01)	H O 1 L 27/06 3 1 1 C	5 F 0 3 8
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 H	5 F 0 4 8
H O 1 L 27/04 (2006.01)	H O 1 L 29/78 3 O 1 K	5 F 1 4 0
H O 1 L 29/78 (2006.01)		

審査請求 未請求 請求項の数 14 O L (全 17 頁)

(21) 出願番号	特願2008-314307 (P2008-314307)	(71) 出願人	000002185
(22) 出願日	平成20年12月10日 (2008.12.10)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100094053
			弁理士 佐藤 隆久
		(72) 発明者	柳澤 佑輝
			東京都港区港南1丁目7番1号 ソニー株 式会社内
		Fターム(参考)	5F038 BH02 BH05 BH06 BH07 BH13 CA02 EZ13 EZ14 EZ15 EZ16 EZ17 EZ20

最終頁に続く

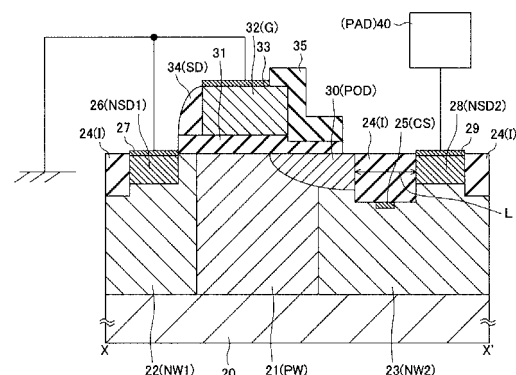
(54) 【発明の名称】 半導体装置、半導体装置の製造方法、静電放電保護素子

(57) 【要約】

【課題】製造効率を向上すると共に、内部回路の保護を的確に行うことが容易に可能な半導体装置、半導体装置の製造方法、静電放電保護素子を提供する。

【解決手段】半導体基板20に第1導電型の第1半導体領域21が形成され、その両側に第2導電型の第2及び第3半導体領域(22, 23)が形成され、第1半導体領域の上方に絶縁膜を介してゲート電極32が形成され、第1半導体領域と第3半導体領域の接合面をまたいでそれらにかかるように第1導電型の第4半導体領域30が形成され、第2及び第3半導体領域にソース領域26とドレイン領域28が形成され、ゲート電極及びソース領域が接地され、内部回路に接続された入力パッド40がドレイン領域に接続され、入力パッドにサージ電圧が入力された際にドレイン領域と第4半導体領域との間でツェナー降伏が生じて寄生バイポーラトランジスタがオン状態となり、サージ電圧を放電する。

【選択図】 図3



21...第1半導体領域
22...第2半導体領域
23...第3半導体領域
24...素子分離絶縁膜
26...ソース領域
28...ドレイン領域
30...第4半導体領域
32...ゲート電極

【特許請求の範囲】

【請求項 1】

内部回路を保護する静電放電保護素子を有しており、
前記静電放電保護素子は、
半導体基板に形成された第 1 導電型の第 1 半導体領域と、
前記第 1 半導体領域と接合するように前記第 1 半導体領域の両側に形成された第 2 導電型の第 2 半導体領域及び第 3 半導体領域と、
前記第 1 半導体領域の上方に絶縁膜を介して形成されたゲート電極と、
前記半導体基板の表層部において前記第 1 半導体領域と前記第 3 半導体領域の接合面をまたいで前記第 1 半導体領域と前記第 3 半導体領域にかかるように形成された第 1 導電型の第 4 半導体領域と、
前記第 2 半導体領域の表層部に形成された第 2 導電型のソース領域と、
前記第 4 半導体領域から所定の距離を離間して前記第 3 半導体領域の表層部に形成された第 2 導電型のドレイン領域と、
前記第 4 半導体領域と前記ドレイン領域の間の領域において前記半導体基板の表層部に形成された素子分離絶縁膜と
を有し、
前記ゲート電極及び前記ソース領域が接地されており、
前記内部回路に接続された入力パッドが前記ドレイン領域に接続して形成されており、
前記入力パッドにサージ電圧が入力された際に、前記ドレイン領域と前記第 4 半導体領域との間でツェナー降伏が生じ、前記第 1 半導体領域内にキャリアが注入され、当該第 1 半導体領域内に前記キャリアが注入されたことをトリガとして前記第 1 半導体領域、前記第 2 半導体領域及び前記第 3 半導体領域で構成される寄生バイポーラトランジスタがオン状態となって前記サージ電圧を放電し、前記サージ電圧から前記内部回路を保護する半導体装置。

【請求項 2】

前記第 4 半導体領域が前記ゲート電極及び前記素子分離絶縁膜に対して自己整合的に形成されている

請求項 1 に記載の半導体装置。

【請求項 3】

前記素子分離絶縁膜の下部における前記半導体基板中に第 2 導電型の第 5 半導体領域が形成されている

請求項 1 に記載の半導体装置。

【請求項 4】

前記第 4 半導体領域と前記ドレイン領域間の横方向耐圧 V_{th} と、前記寄生バイポーラトランジスタの耐圧 BV_{ceo} が

$$V_{th} < BV_{ceo}$$

の関係となっている

請求項 1 に記載の半導体装置。

【請求項 5】

前記第 4 半導体領域と前記ドレイン領域間の横方向耐圧 V_{th} と、前記寄生バイポーラトランジスタの耐圧 BV_{ceo} が

$$V_{th} < BV_{ceo}$$

の関係となるように、前記素子分離絶縁膜の距離、深さ、あるいはその両方が規定されている

請求項 1 に記載の半導体装置。

【請求項 6】

前記ゲート電極の前記ソース領域側にサイドウォール絶縁膜が形成されており、

前記ソース領域が前記サイドウォール絶縁膜に対して自己整合的に形成されている

請求項 1 記載の半導体装置。

【請求項 7】

前記ゲート電極の前記ドレイン領域側にサイドウォール絶縁膜が形成されており、

前記サイドウォール絶縁膜に対して自己整合的に、第 1 導電型の導電性不純物を前記第 4 半導体領域より高濃度に含有する第 6 半導体領域が前記第 4 半導体領域に接続して形成されている

請求項 1 記載の半導体装置。

【請求項 8】

前記ドレイン領域の外周を囲むようなレイアウトで前記ソース領域が設けられている

請求項 1 記載の半導体装置。

10

【請求項 9】

前記ドレイン領域の外周を囲むように前記ソース領域が設けられ、前記ドレイン領域と前記ソース領域がいずれの場所でも等距離を離間した同心円状のレイアウトで設けられている

請求項 1 記載の半導体装置。

【請求項 10】

内部回路を保護する静電放電保護素子を形成する静電放電保護素子形成工程

を有しており、

半導体基板に、第 1 導電型の第 1 半導体領域を形成し、前記第 1 半導体領域と接合するように前記第 1 半導体領域の両側に第 2 導電型の第 2 半導体領域及び第 3 半導体領域を形成するステップと、

20

前記第 3 半導体領域において前記第 1 半導体領域と前記第 3 半導体領域の接合面から所定の距離を離間するように前記半導体基板の表層部に素子分離絶縁膜を形成するステップと、

前記第 1 半導体領域の上方に絶縁膜を介してゲート電極を形成するステップと、

前記ゲート電極と前記素子分離絶縁膜の間の領域における前記半導体基板の表層部において前記第 1 半導体領域と前記第 3 半導体領域の接合面をまたいで前記第 1 半導体領域と前記第 3 半導体領域にかかるように第 1 導電型の第 4 半導体領域を形成するステップと、

前記第 2 半導体領域の表層部に第 2 導電型のソース領域を形成するステップと、

前記第 4 半導体領域が設けられた側と反対側における前記第 3 半導体領域の表層部に第 2 導電型のドレイン領域を形成するステップと、

30

前記ゲート電極及び前記ソース領域を接地するように接続し、前記内部回路に接続された入力パッドが前記ドレイン領域に接続するステップと

を有する

半導体装置の製造方法。

【請求項 11】

前記内部回路が内部回路トランジスタを含み、

前記第 4 半導体領域を形成するステップを、前記内部回路トランジスタを構成する不純物半導体領域を形成する工程と同時に行う

請求項 10 記載の半導体装置の製造方法。

40

【請求項 12】

前記第 4 半導体領域を形成するステップにおいて、前記ゲート電極及び前記素子分離絶縁膜に対して自己整合的に形成する

請求項 10 に記載の半導体装置の製造方法。

【請求項 13】

前記素子分離絶縁膜の下部における前記半導体基板中に第 2 導電型の第 5 半導体領域を形成するステップをさらに有する

請求項 10 に記載の半導体装置の製造方法。

【請求項 14】

半導体基板に形成された第 1 導電型の第 1 半導体領域と、

50

前記第 1 半導体領域と接合するように前記第 1 半導体領域の両側に形成された第 2 導電型の第 2 半導体領域及び第 3 半導体領域と、

前記第 1 半導体領域の上方に絶縁膜を介して形成されたゲート電極と、

前記半導体基板の表層部において前記第 1 半導体領域と前記第 3 半導体領域の接合面をまたいで前記第 1 半導体領域と前記第 3 半導体領域にかかるように形成された第 1 導電型の第 4 半導体領域と、

前記第 2 半導体領域の表層部に形成された第 2 導電型のソース領域と、

前記第 4 半導体領域から所定の距離を離間して前記第 3 半導体領域の表層部に形成された第 2 導電型のドレイン領域と、

前記第 4 半導体領域と前記ドレイン領域の間の領域において前記半導体基板の表層部に形成された素子分離絶縁膜と

を有し、

前記ゲート電極及び前記ソース領域が接地されており、

入力パッドが前記ドレイン領域に接続して形成されており、

前記入力パッドにサージ電圧が入力された際に、前記ドレイン領域と前記第 4 半導体領域との間でツェナー降伏が生じ、前記第 1 半導体領域内にキャリアが注入され、当該第 1 半導体領域内に前記キャリアが注入されたことをトリガとして前記第 1 半導体領域、前記第 2 半導体領域及び前記第 3 半導体領域で構成される寄生バイポーラトランジスタがオン状態となって前記サージ電圧を放電する

静電放電保護素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、半導体装置の製造方法、静電放電保護素子に関する。特に、本発明は、サージから内部回路を保護する静電放電保護素子と、この静電放電保護素子を含む半導体装置、および、その製造方法に関する。

【背景技術】

【0002】

静電放電（ESD：Electro Static Discharge）は、半導体装置の取り扱い時に生じ、人体、材料、装置等に起因する。この ESD による放電は電流ピーク値が数アンペアに及び、サージ電流が半導体装置の内部回路を破壊する。IC の微細化、高集積化に伴い、ESD 耐性を向上させることが必要であり、内部回路が破壊されることを防止するために、ESD 保護素子が設けられている。ESD 保護素子としては、寄生バイポーラ動作を利用した MOS FET 型が、知られている。この MOS FET 型の ESD 保護素子は、たとえば、GG（Grounded Gate）MOS であり、スナップバック現象を利用している。

【0003】

図 10 は従来例に係る保護回路である GG MOS を有する回路の回路図である。例えば、パッド電極 110 及びそれに接続する内部回路 111 に対して保護素子 112 が設けられている構成である。保護素子 112 は GG MOS 113 を有する。保護素子 112 との接続点と内部回路 111 の間に抵抗素子 115 が設けられている。

【0004】

図 11（a）は図 10 に係る保護回路である GG MOS の断面図であり、図 11（b）は対応する平面図である。例えば、N 型の半導体基板 120 に P 型ウェル 121 が設けられており、活性領域を除く半導体基板 120 の表層に STI（Shallow Trench Isolation）型の素子分離絶縁膜 122（I）が形成されている。P 型ウェル 121 の上層にゲート絶縁膜 123 を介してゲート電極 124（G）が形成されている。ゲート電極 124 の両側部における P 型ウェル 121 の表層部分に N 型のソース領域 125（NSD1）及びドレイン領域 126（NSD2）が形成されている。ゲート電極 124（G）、ソース領域 125（NSD1）及びドレイン領域 126（NSD2）の表

10

20

30

40

50

層にはシリサイドが形成されていてもよい。

【0005】

上記のGGMOSにおいては、入力パッドPADにドレイン領域126（NSD2）が接続されており、ソース領域125（NSD1）とゲート電極124（G）とのそれぞれが、グラウンドに接続されている。サージが入力パッドPADに入力された場合には、内部回路にサージが入力される前に、GGMOSにおいて、ドレイン電圧が上昇して電流が流れる。ここでは、GGMOSのソース領域とチャネル形成領域とドレイン領域とで構成される寄生バイポーラトランジスタが、オン状態になり、この寄生バイポーラトランジスタにおけるベース電流が流れて、グラウンドへ出力される。

【0006】

具体的には、ドレイン電圧が所定の電圧 V_{t0} 以上になると、ドレイン領域とチャネル形成領域との間のPN接合においてツェナーブレークダウンが始まり、GGMOSにて電流が流れる。そして、ドレイン電圧がスナップバック開始電圧（トリガ電圧） V_{t1} 以上になると、ソース領域とチャネル形成領域との間のPN接合が順バイアスになって、スナップバック現象が生じ、GGMOSにおいては、電流が更に流れる。

【0007】

このため、このESD保護素子によって、サージ電圧による破壊から内部回路が保護される（例えば特許文献1～5参照）。

【特許文献1】特開2005-259953号公報

【特許文献2】特許3830871号公報

【特許文献3】特開2003-51581号公報

【特許文献4】特開2008-98276号公報

【特許文献5】特開2003-273353号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

上記のGGMOSのようなESD保護素子は、一般には、内部回路として使用するMOSFETと同一な工程を経て作製される。このため、ESD保護素子にて寄生バイポーラトランジスタとしての動作が開始されるスナップバック開始電圧 V_{t1} を、任意の値に設定することができない場合がある。よって、内部回路の保護を的確に行うことが困難な場合がある。

【0009】

製造効率を向上すると共に、内部回路の保護を的確に行うことが容易に可能な半導体装置、半導体装置の製造方法、静電放電保護素子を提供する。

【課題を解決するための手段】

【0010】

本発明の半導体装置は、内部回路を保護する静電放電保護素子を有しており、前記静電放電保護素子は、半導体基板に形成された第1導電型の第1半導体領域と、前記第1半導体領域と接合するように前記第1半導体領域の両側に形成された第2導電型の第2半導体領域及び第3半導体領域と、前記第1半導体領域の上方に絶縁膜を介して形成されたゲート電極と、前記半導体基板の表層部において前記第1半導体領域と前記第3半導体領域の接合面をまたいで前記第1半導体領域と前記第3半導体領域にかかるように形成された第1導電型の第4半導体領域と、前記第2半導体領域の表層部に形成された第2導電型のソース領域と、前記第4半導体領域から所定の距離を離間して前記第3半導体領域の表層部に形成された第2導電型のドレイン領域と、前記第4半導体領域と前記ドレイン領域との領域において前記半導体基板の表層部に形成された素子分離絶縁膜とを有し、前記ゲート電極及び前記ソース領域が接地されており、前記内部回路に接続された入力パッドが前記ドレイン領域に接続して形成されており、前記入力パッドにサージ電圧が入力された際に、前記ドレイン領域と前記第4半導体領域との間でツェナー降伏が生じ、前記第1半導体領域内にキャリアが注入され、当該第1半導体領域内に前記キャリアが注入されたこと

10

20

30

40

50

をトリガとして前記第 1 半導体領域、前記第 2 半導体領域及び前記第 3 半導体領域で構成される寄生バイポーラトランジスタがオン状態となって前記サージ電圧を放電し、前記サージ電圧から前記内部回路を保護する。

【0011】

本発明の半導体装置の製造方法は、内部回路を保護する静電放電保護素子を形成する静電放電保護素子形成工程を有しており、半導体基板に、第 1 導電型の第 1 半導体領域を形成し、前記第 1 半導体領域と接合するように前記第 1 半導体領域の両側に第 2 導電型の第 2 半導体領域及び第 3 半導体領域を形成するステップと、前記第 3 半導体領域において前記第 1 半導体領域と前記第 3 半導体領域の接合面から所定の距離を離間するように前記半導体基板の表層部に素子分離絶縁膜を形成するステップと、前記第 1 半導体領域の上方に絶縁膜を介してゲート電極を形成するステップと、前記ゲート電極と前記素子分離絶縁膜の間の領域における前記半導体基板の表層部において前記第 1 半導体領域と前記第 3 半導体領域の接合面をまたいで前記第 1 半導体領域と前記第 3 半導体領域にかかるように第 1 導電型の第 4 半導体領域を形成するステップと、前記第 2 半導体領域の表層部に第 2 導電型のソース領域を形成するステップと、前記第 4 半導体領域が設けられた側と反対側における前記第 3 半導体領域の表層部に第 2 導電型のドレイン領域を形成するステップと、前記ゲート電極及び前記ソース領域を接地するように接続し、前記内部回路に接続された入力パッドが前記ドレイン領域に接続するステップとを有する。

10

【0012】

本発明の静電放電保護素子は、半導体基板に形成された第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域と接合するように前記第 1 半導体領域の両側に形成された第 2 導電型の第 2 半導体領域及び第 3 半導体領域と、前記第 1 半導体領域の上方に絶縁膜を介して形成されたゲート電極と、前記半導体基板の表層部において前記第 1 半導体領域と前記第 3 半導体領域の接合面をまたいで前記第 1 半導体領域と前記第 3 半導体領域にかかるように形成された第 1 導電型の第 4 半導体領域と、前記第 2 半導体領域の表層部に形成された第 2 導電型のソース領域と、前記第 4 半導体領域から所定の距離を離間して前記第 3 半導体領域の表層部に形成された第 2 導電型のドレイン領域と、前記第 4 半導体領域と前記ドレイン領域の間の領域において前記半導体基板の表層部に形成された素子分離絶縁膜とを有し、前記ゲート電極及び前記ソース領域が接地されており、入力パッドが前記ドレイン領域に接続して形成されており、前記入力パッドにサージ電圧が入力された際に、前記ドレイン領域と前記第 4 半導体領域との間でツェナー降伏が生じ、前記第 1 半導体領域内にキャリアが注入され、当該第 1 半導体領域内に前記キャリアが注入されたことをトリガとして前記第 1 半導体領域、前記第 2 半導体領域及び前記第 3 半導体領域で構成される寄生バイポーラトランジスタがオン状態となって前記サージ電圧を放電する。

20

30

【発明の効果】

【0013】

本発明の半導体装置は、第 1 半導体領域と前記第 3 半導体領域にかかるように第 4 半導体領域が形成されており、入力パッドにサージ電圧が入力された際にドレイン領域と第 4 半導体領域との間でツェナー降伏が生じ、第 1 半導体領域内にキャリアが注入される。これをトリガとして寄生バイポーラトランジスタがオン状態となってサージ電圧を放電することができる。第 4 半導体領域は内部回路を構成する領域と同時に形成可能であり、製造効率を向上すると共に、内部回路の保護を的確に行うことが容易に可能である。

40

【0014】

本発明の半導体装置の製造方法は、第 1 半導体領域と前記第 3 半導体領域にかかるように形成する第 4 半導体領域としては、内部回路を構成する領域と同時に形成可能であり、製造効率を向上すると共に、内部回路の保護を的確に行うことが容易に可能である。

【0015】

本発明の静電放電保護素子は、第 4 半導体領域を設けることで製造効率を向上すると共に、内部回路の保護を的確に行うことが容易に可能である。

【発明を実施するための最良の形態】

50

【0016】

以下に、本発明に係る半導体装置とその製造方法、及びそれに用いられる静電放電保護素子の実施の形態について、図面を参照して説明する。

尚、説明は以下の順序で行う。

1. 第1実施形態（第4半導体領域が自己整合的に形成された構成）
2. 第1変形例
3. 第2変形例
4. 第2実施形態（第4半導体領域に第6半導体領域が接続された構成）
5. 第3変形例
6. 第4変形例

10

【0017】

<第1実施形態>

[全体構成]

図1は、本実施形態に係る静電放電保護素子を有する回路の回路図である。

例えば、パッド電極10及びそれに接続する内部回路11に対して、静電放電保護素子12が設けられている構成である。静電放電保護素子12は、GG（Grounded Gate）MOSトランジスタ13に対して基板とドレインを接続するツェナーダイオード14が設けられた構成である。

静電放電保護素子12との接続点と内部回路11の間に抵抗素子15が設けられている。

20

【0018】

図2は図1に係る静電放電保護回路部分の平面図であり、図3は図2中X-X'における断面図である。

例えば、P型の半導体基板20に、P型ウェルである第1半導体領域21（PW）と、N型ウェルである第2半導体領域22（NW1）及び第3半導体領域23（NW2）が設けられている。

活性領域を除く半導体基板20の表層にSTI（Shallow Trench Isolation）型の素子分離絶縁膜24（I）が形成されている。

ここでは、第1半導体領域21から所定の距離を離間した第3半導体領域23の表層部においても、素子分離絶縁膜24が形成されている。

30

【0019】

第1半導体領域23の上層にゲート絶縁膜31を介してポリシリコンなどからなるゲート電極32（G）が形成されている。ゲート電極32の上面に高融点金属シリサイド層33が形成されている。

また、ゲート電極32の一方の側面に酸化シリコンなどからなるサイドウォール絶縁膜34（SD）が形成されている。サイドウォール絶縁膜34の側部における第2半導体領域22の表層部に高濃度のN型不純物を含有するソース領域26（NSD1）が形成されている。

ソース領域26の上面に高融点金属シリサイド層27が形成されている。

【0020】

40

ゲート電極32の他方の側面における半導体基板の表層部において、第1半導体領域21と第3半導体領域23の接合面をまたいで第1半導体領域21と第3半導体領域23にかかるように、N型の第4半導体領域30（POD）が形成されている。

図3に示すように、第4半導体領域30は、ゲート電極32の下部にかかる領域から、第1半導体領域21から所定の距離を離間して形成された素子分離絶縁膜24に至る領域において、形成されている。例えば、ゲート電極32と素子分離絶縁膜24に対して自己整合的に形成されている。

第4半導体領域30の上方及びゲート電極32の他方の側面を被覆するように、窒化シリコンなどからなるシリサイド化防止層35が形成されている。

【0021】

50

また、第1半導体領域21から所定の距離を離間して形成された素子分離絶縁膜24を挟んで、第4半導体領域30の反対側における第3半導体領域23の表層部に、高濃度のN型不純物を含有するドレイン領域28（NSD2）が形成されている。

ドレイン領域28の上面に高融点金属シリサイド層29が形成されている。

【0022】

また、第1半導体領域21から所定の距離を離間して形成された素子分離絶縁膜24の下部において、高濃度のN型不純物を含有するチャンネルストップとなる第5半導体領域25（CS）が形成されている。

【0023】

上記の構成において、ドレイン領域28に接続するように、図1に示す入力パッド40（PAD）及び内部回路などが接続して形成されている。

また、ゲート電極32及びソース領域26が接地されている。

【0024】

上記の本実施形態の半導体装置の構成において、第4半導体領域30が設けられていることが、図1におけるツェナーダイオードが設けられていることに相当する。

【0025】

上記の本実施形態の半導体装置においては、入力パッドにサージ電圧が入力された際に、ドレイン領域28と第4半導体領域30との間でツェナー降伏が生じ、第1半導体領域21内にキャリアが注入される。

第1半導体領域21内にキャリアが注入されたことをトリガとして、第1半導体領域21をベース、第2半導体領域22及び第3半導体領域23をそれぞれエミッタ及びコレクタとして構成される横方向の寄生バイポーラトランジスタがオン状態となる。

これによってサージ電圧を放電し、サージ電圧から内部回路を保護することができる。

【0026】

〔I-V特性〕

図4は印加電圧Vに対するドレイン電流Iを示すI-V特性を示すグラフである。破線は従来例に係り、実線が本実施形態に係る。

上記のように本実施形態においてはツェナー降伏をトリガとして寄生バイポーラトランジスタを動作させることで、図4に示すように、スナップバックが開始電圧 V_{t1} を V_{t1}' へと下げることができる。

これにより、内部回路を確実に保護することができる。

【0027】

本実施形態においては、第1半導体領域21をベース、第2半導体領域22及び第3半導体領域23をそれぞれエミッタ及びコレクタとして構成される横方向の寄生バイポーラトランジスタの動作でサージ電圧を放電することができる。

例えば、第1半導体領域21、第2半導体領域22及び第3半導体領域23の深さを $2\mu\text{m}$ 程度にまで深く形成することで、各PN接合面の大きさを大きくできる。

これにより、接合断面積が大きくかつ接合深さが深いために電流集中が起こりにくく、安定したバイポーラ動作が可能となり、大電流を流すことが可能となる。

【0028】

例えば、特許文献4、特許文献5などにおいて、急峻なPN接合がシリサイドやコンタクトプラグの近くに存在すると、発生した熱によってそれらの溶融が生じ、保護素子の破壊につながるということが知られている。

本実施形態においては、上記のように、第3半導体領域と、第1半導体領域及び第4半導体領域との接合から、ドレイン領域となる拡散層表面に形成されるシリサイド領域およびコンタクトプラグまでの距離を十分に離すことができる。

これにより、発生した熱によるそれらの溶融の懸念が格段に少なくなる。

図4に示すように、接合部からシリサイドおよびコンタクトプラグまでの距離が十分に離れていることから熱破壊点である V_{t2} を V_{t2}' に上げることができる。

【0029】

10

20

30

40

50

本実施形態の半導体装置においては、例えば、内部回路を構成するMOSトランジスタの通常動作電圧<ドレイン領域と第4半導体領域間の横方向耐圧<寄生バイポーラの耐圧 BV_{ceo} <内部回路を構成するMOSトランジスタの破壊電圧と設定する。

特に、第4半導体領域とドレイン領域間の横方向耐圧 V_{th} と、寄生バイポーラトランジスタの耐圧 BV_{ceo} が、 $V_{th} < BV_{ceo}$ の関係となっているように設計する。

上記により、通常の電源電圧では寄生バイポーラ動作せず、サージが流入したときのみ内部回路を保護することができる。

【0030】

上記各電圧の大小関係により他に制御回路や駆動回路が不要である。

上記の横方向耐圧は、例えばゲート電極から所定の距離を離間して形成された素子分離絶縁膜により隔てられた長さ L （図3参照）、素子分離絶縁膜の深さ、あるいはその両方などで制御することができる。

【0031】

また、上記のようにチャネルストップとなる第5半導体領域25（CS）を設けることで、これが無い場合と比較して素子分離絶縁膜の幅を狭くでき、デバイスサイズを縮小することができる。

【0032】

本実施形態において、各半導体領域の導電型を逆にしても、上記と同様に適用可能である。

【0033】

本実施形態の半導体装置は、第1半導体領域と前記第3半導体領域にかかるように第4半導体領域が形成されている。

入力パッドにサージ電圧が入力された際にドレイン領域と第4半導体領域との間でツェナー降伏が生じ、第1半導体領域内にキャリアが注入される。これをトリガとして寄生バイポーラトランジスタがオン状態となってサージ電圧を放電することができる。

第4半導体領域は内部回路を構成する領域と同時に形成可能であり、製造効率を向上すると共に、内部回路の保護を的確に行うことが容易に可能である。

【0034】

〔製造方法〕

本実施形態に係る半導体装置の製造方法について説明する。

例えば、P型の半導体基板20に、活性領域を区分するように、STI（Shallow Trench Isolation）型の素子分離絶縁膜24（I）を形成する。

例えば、深さ400nmの素子分離用溝を形成し、CVD（Chemical Vapor Deposition）法などにより溝を埋め込んで酸化シリコンなどの絶縁膜を堆積し、溝の外部の酸化シリコンを除去することなどで形成できる。

ここでは、図2に示しように、ゲート電極となる領域から所定の距離を離間した位置においても形成する。

【0035】

次に、イオン注入法により、P型ウェルである第1半導体領域21（PW）と、N型ウェルである第2半導体領域22（NW1）及び第3半導体領域23（NW2）を形成する。

イオン注入においては、適宜レジスト膜をパターン形成してマスクとして用いる。

【0036】

例えば、下記の条件でそれぞれリンをイオン注入して第2半導体領域22（NW1）及び第3半導体領域23（NW2）を形成する。

(1) 2.0MeV、 $4.0 \times 10^{12} / \text{cm}^2$

(2) 900keV、 $6.0 \times 10^{11} / \text{cm}^2$

(3) 400keV、 $7.0 \times 10^{11} / \text{cm}^2$

【0037】

また、例えば、下記の条件でそれぞれホウ素をイオン注入して第1半導体領域21（P

10

20

30

40

50

W)を形成する。

(1) 1.2 MeV 、 $6.0 \times 10^{12} / \text{cm}^2$

(2) 800 keV 、 $3.0 \times 10^{12} / \text{cm}^2$

(3) 400 keV 、 $1.0 \times 10^{12} / \text{cm}^2$

(4) 150 keV 、 $3.0 \times 10^{11} / \text{cm}^2$

上記の第1半導体領域21、第2半導体領域22及び第3半導体領域23は、内部回路を構成する高耐圧MOSトランジスタのウェルを同様にして、同一の工程で形成することができる。

【0038】

次に、例えば、素子分離絶縁膜24の下部に、リンを 400 keV 、 $5.0 \times 10^{12} / \text{cm}^2$ の条件で注入して第5半導体領域25を形成する。 10

【0039】

次に、例えば、熱酸化法などにより第1半導体領域21を含む半導体基板の表面に酸化シリコンを 60 nm の膜厚で形成し、ゲート絶縁膜31を形成する。

次に、例えばCVD法によりポリシリコンを成膜し、ゲート電極32をパターン形成する。

【0040】

次に、ゲート電極32と素子分離絶縁膜24の間の領域において、ホウ素をイオン注入して、自己整合的に第4半導体領域30を形成する。この条件は、例えば、 40 keV 、 $3.5 \times 10^{12} / \text{cm}^2$ とする。 20

また、ゲート電極32に対して、リンを 20 keV 、 $4.0 \times 10^{15} / \text{cm}^2$ の条件で注入する。

【0041】

次に、例えばCVD法により窒化シリコンを堆積し、第4半導体領域30を被覆する部分を残すようにパターン加工することで、シリサイド化防止層35を形成する。

次に、例えばCVD法により酸化シリコンを堆積し、ゲート電極32の第2半導体領域22側の側面を被覆する部分を残すようにエッチバックすることで、サイドウォール絶縁膜34を形成する。

【0042】

次に、サイドウォール絶縁膜34及び素子分離絶縁膜24をマスクとして、リンをイオン注入して、自己整合的にソース領域26及びドレイン領域28を形成する。この条件は、例えば、 10 keV 、 $4.0 \times 10^{15} / \text{cm}^2$ とする。 30

次に、例えばスパッタリング法によりタングステンなどの高融点金属を全面に堆積し、シリサイド化のためのアニール処理を行うことで、シリコンまたはポリシリコンが露出していた面上に高融点金属シリサイド層(27, 29, 33)を形成する。

その後、シリサイド化しなかった未反応の高融点金属を除去する。

【0043】

次に、中間絶縁膜の形成及びコンタクトホールの開孔、プラグ及び上層配線の形成などにより、ドレイン領域28に入力パッド40(PAD)及び内部回路などを接続し、ゲート電極32及びソース領域26を接地する。 40

【0044】

上記において、内部回路が内部回路トランジスタを含んでおり、第4半導体領域30を形成するステップを、内部回路トランジスタを構成する不純物半導体領域を形成する工程と同時にすることが好ましい。

従来例に係る製造方法と比較して、工程の数を増加させないで、本実施形態の半導体装置を製造することができる。

【0045】

本実施形態の半導体装置の製造方法は、第1半導体領域と前記第3半導体領域にかかるように形成する第4半導体領域としては、内部回路を構成する領域と同時に形成可能であり、製造効率を向上すると共に、内部回路の保護を的確に行うことが容易に可能である。 50

【0046】

<第1変形例>

図5は第1変形例に係る半導体装置の平面図である。

ソース領域（NSD1）がドレイン領域（NSD2）の外周を囲むようなレイアウトで設けられている。ソース領域（NSD1）とドレイン領域（NSD2）の間に、ゲート電極（G）及び第4半導体領域（POD）などがレイアウトされている。

ここでは、各領域が矩形の形状となっている。

上記のような構成では、矩形の各辺の方向からサージ電圧のチャージを引き抜くことができ、チャージを引き抜く効率を高めることができる。

【0047】

<第2変形例>

図6は第2変形例に係る半導体装置の平面図である。

ソース領域（NSD1）がドレイン領域（NSD2）の外周を囲むようなレイアウトで設けられている。ソース領域（NSD1）とドレイン領域（NSD2）の間に、ゲート電極（G）及び第4半導体領域（POD）などがレイアウトされており、特に、ドレイン領域（NSD2）とソース領域（NSD1）がいずれの場所でも等距離を離間した同心円状のレイアウトで設けられている。

上記のような構成では、全ての方向からサージ電圧のチャージを引き抜くことができ、チャージを引き抜く効率を高めることができる。

【0048】

<第2実施形態>

図7は本実施形態に係る半導体装置の断面図である。

第1実施形態の半導体装置と同様に、ゲート電極32のソース領域26側にサイドウォール絶縁膜34が形成されており、ソース領域26がサイドウォール絶縁膜34に対して自己整合的に形成されている。

本実施形態においては、さらに、ゲート電極32のドレイン領域28側においてもサイドウォール絶縁膜50が形成されている。

また、サイドウォール絶縁膜50に対して自己整合的に、P型の導電性不純物を第4半導体領域30より高濃度に含有する第6半導体領域51が、第4半導体領域30に接続して形成されている。

第6半導体領域51の表面に高融点金属シリサイド層52が形成されている。

ここで、第6半導体領域51が形成されていることにより、第4半導体領域30は実質的にゲート電極32の下部にのみ残された状態となっている。

【0049】

上記の本実施形態に係る半導体装置は、第1実施形態の半導体装置と同様に形成できる。

即ち、サイドウォール絶縁膜34と同時にサイドウォール絶縁膜50を形成し、サイドウォール絶縁膜50に対して自己整合的に、P型の導電性不純物を第4半導体領域30より高濃度にイオン注入して、第6半導体領域51を形成する。

上記を除いて、第1実施形態の半導体装置と同様に形成できる。

【0050】

上記の第1半導体領域21、第2半導体領域22及び第3半導体領域23は、第1実施形態と同様に、内部回路を構成する高耐圧MOSトランジスタのウェルを同様にして、同一の工程で形成することができる。

あるいは、本実施形態においては、内部回路を構成する低耐圧の通常のMOSトランジスタのウェルを同様にして、同一の工程で形成することもできる。

【0051】

本実施形態の半導体装置は、第1半導体領域と第3半導体領域にかかるように第4半導体領域が形成されている。

入力パッドにサージ電圧が入力された際にドレイン領域と第4半導体領域との間でツェ

10

20

30

40

50

ナー降伏が生じ、第 1 半導体領域内にキャリアが注入される。

これをトリガとして寄生バイポーラトランジスタがオン状態となってサージ電圧を放電することができる。

第 4 半導体領域は内部回路を構成する領域と同時に形成可能であり、製造効率を向上すると共に、内部回路の保護を的確に行うことが容易に可能である。

【0052】

本実施形態の半導体装置の製造方法は、第 1 半導体領域と第 3 半導体領域にかかるように形成する第 4 半導体領域としては、内部回路を構成するトランジスタの P 型領域と同時に形成可能である。製造効率を向上すると共に、内部回路の保護を的確に行うことが容易に可能である。

10

【0053】

<第 3 変形例>

図 8 は第 3 変形例に係る半導体装置の断面図である。

ゲート電極 32 のソース領域 26 側の側面における半導体基板の表層部において、第 1 半導体領域 21 と第 2 半導体領域 22 の接合面をまたいで第 1 半導体領域 21 と第 2 半導体領域 22 にかかるように、N 型の第 7 半導体領域 60 (NOD) が形成されている。

これを除いて、第 1 実施形態の半導体装置と同様である。

また、第 7 半導体領域 60 の上方及びゲート電極 32 のソース領域 26 側の側面を被覆するように、窒化シリコンなどからなるシリサイド化防止層 61 が形成されている。

N 型の第 7 半導体領域 60 (NOD) は、P 型の第 4 半導体領域 30 (POD) と同様にして反対の導電型の不純物をイオン注入して形成することができる。

20

シリサイド化防止層 61 は、シリサイド化防止層 35 と同じ工程で形成することができる。

本変形例の半導体装置は、第 1 半導体領域と、第 2 半導体領域及び第 7 半導体領域との接合から、ソース領域となる拡散層表面に形成されるシリサイド領域およびコンタクトプラグまでの距離を十分に離すことができる。

これにより、発生した熱によるそれらの溶融の懸念が格段に少なくなる。

【0054】

<第 4 変形例>

図 9 は第 4 変形例に係る半導体装置の断面図である。

30

第 3 変形例の半導体装置と同様であるが、第 2 半導体領域 22 及び第 3 半導体領域 23 の下部に、N 型の第 8 半導体領域 70 及び第 9 半導体領域 71 がそれぞれ設けられていることが異なる。

上記のほか、第 3 変形例と同様に、N 型の第 7 半導体領域 60 (NOD) とシリサイド化防止層 61 が形成されている。

第 8 半導体領域 70 及び第 9 半導体領域 71 は、N 型不純物の実効的濃度が第 2 半導体領域 22 及び第 3 半導体領域 23 より高い。

また、第 8 半導体領域 70 及び第 9 半導体領域 71 の間隔は、第 2 半導体領域 22 及び第 3 半導体領域 23 の間隔、即ち、第 1 半導体領域 21 の幅より狭く設けられている。

これによって、より詳細に寄生トランジスタの動作電圧などを制御することができる。

40

【0055】

本発明は上記の説明に限定されない。

例えば、MOS 型の ESD 保護素子を有する半導体装置を想定しているが、それ以外の半導体装置に適用することも可能である。

また、本発明は、静電放電保護素子のみとしても適用可能である。

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【図面の簡単な説明】

【0056】

【図 1】図 1 は本発明の第 1 実施形態に係る静電放電保護素子を有する回路の回路図である。

50

【図 2】図 2 は本発明の第 1 実施形態に係る静電放電保護素子を有する半導体装置に係る静電放電保護回路部分の平面図である。

【図 3】図 3 は図 2 中 X-X' における断面図である。

【図 4】図 4 は本発明の第 1 実施形態に係る静電放電保護素子を有する半導体装置の印加電圧 V に対するドレイン電流 I を示す I-V 特性を示すグラフである。

【図 5】図 5 は本発明の第 1 変形例に係る静電放電保護素子を有する半導体装置の平面図である。

【図 6】図 6 は本発明の第 2 変形例に係る静電放電保護素子を有する半導体装置の平面図である。

【図 7】図 7 は本発明の第 2 実施形態に係る静電放電保護素子を有する半導体装置の断面図である。

【図 8】図 8 は本発明の第 3 変形例に係る静電放電保護素子を有する半導体装置の断面図である。

【図 9】図 9 は本発明の第 4 変形例に係る静電放電保護素子を有する半導体装置の断面図である。

【図 10】図 10 は従来例に係る保護回路である GG MOS を有する回路の回路図である。

【図 11】図 11 (a) は図 10 に係る保護回路である GG MOS の断面図であり、図 11 (b) は対応する平面図である。

【符号の説明】

【0057】

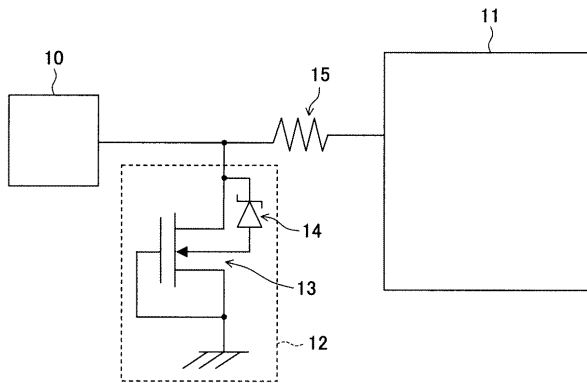
10…パッド電極、11…内部回路、12…静電放電保護素子、13…GG MOS トランジスタ、14…ツェナーダイオード、15…抵抗素子、20…半導体基板、21…半導体領域、22…第 2 半導体領域、23…第 3 半導体領域、24…素子分離絶縁膜、25…第 5 半導体領域、26…ソース領域、27…高融点金属シリサイド層、28…ドレイン領域、29…高融点金属シリサイド層、30…第 4 半導体領域、31…ゲート絶縁膜、32…ゲート電極、33…高融点金属シリサイド層、34…サイドウォール絶縁膜、35…シリサイド化防止層、40…パッド電極、50…サイドウォール絶縁膜、51…第 6 半導体領域、52…高融点金属シリサイド層、60…第 7 半導体領域、61…シリサイド化防止層、70…第 8 半導体領域、71…第 9 半導体領域

10

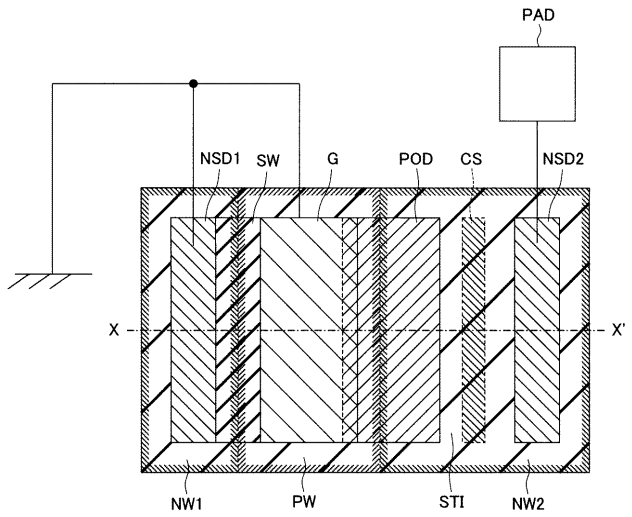
20

30

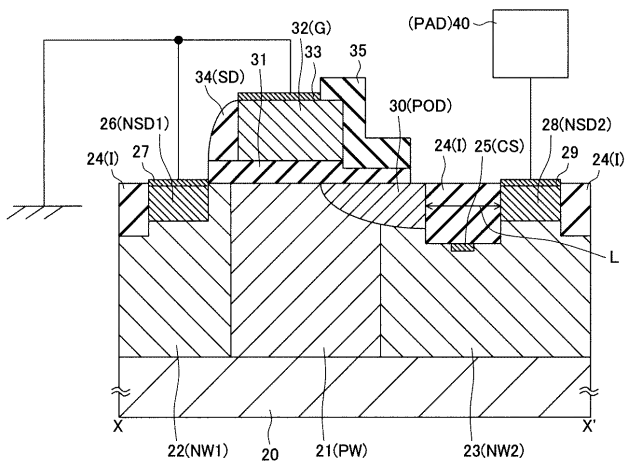
【図 1】



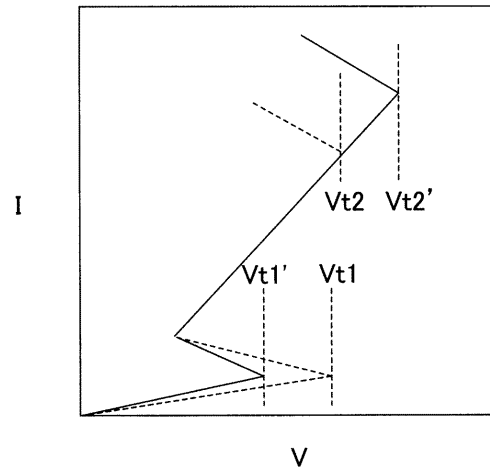
【図 2】



【図 3】

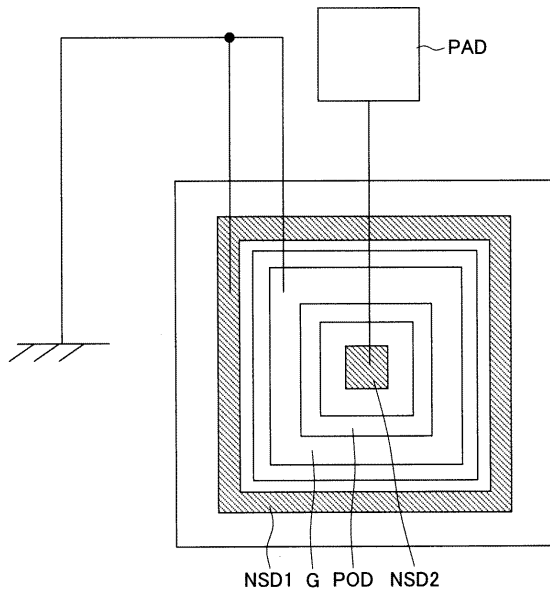


【図 4】

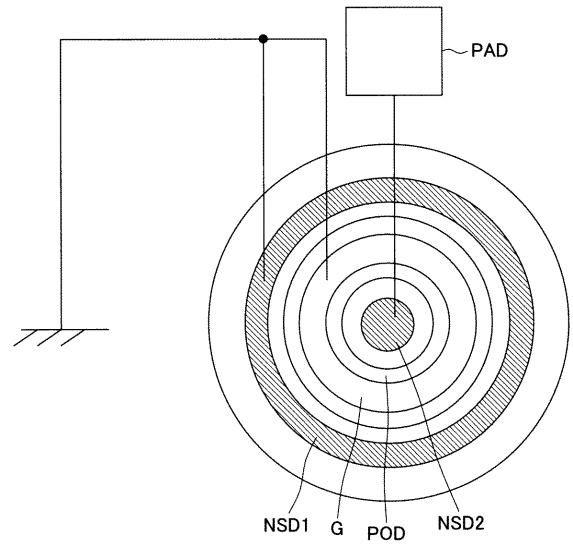


- 21...第1半導体領域
- 22...第2半導体領域
- 23...第3半導体領域
- 24...素子分離絶縁膜
- 26...ソース領域
- 28...ドレイン領域
- 30...第4半導体領域
- 32...ゲート電極

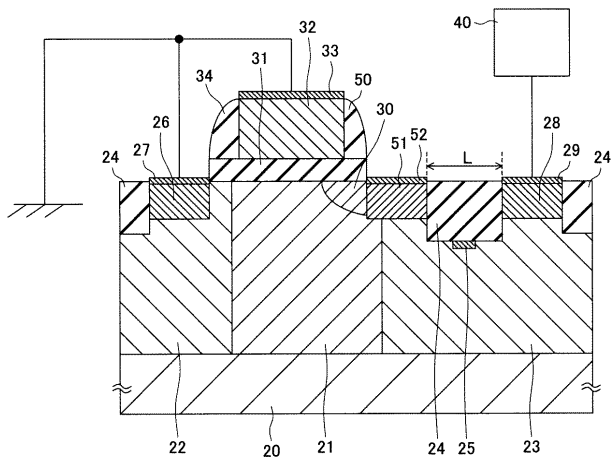
【図 5】



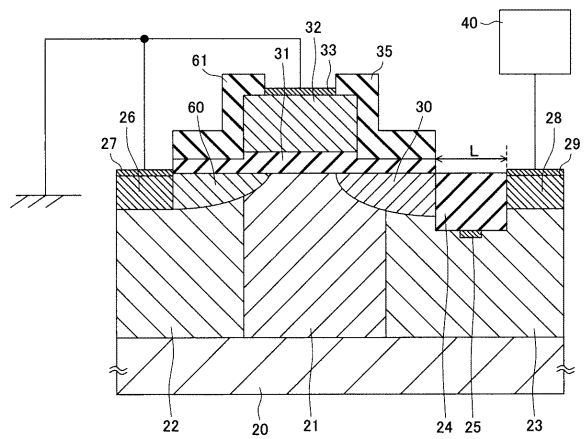
【図 6】



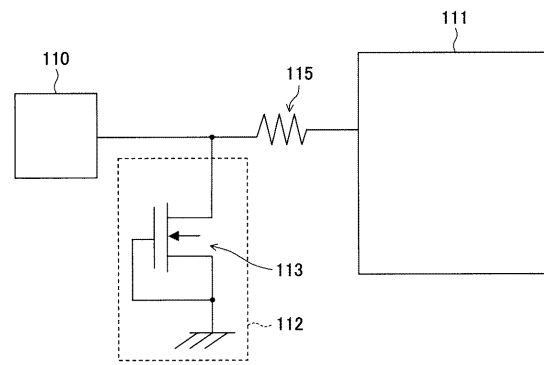
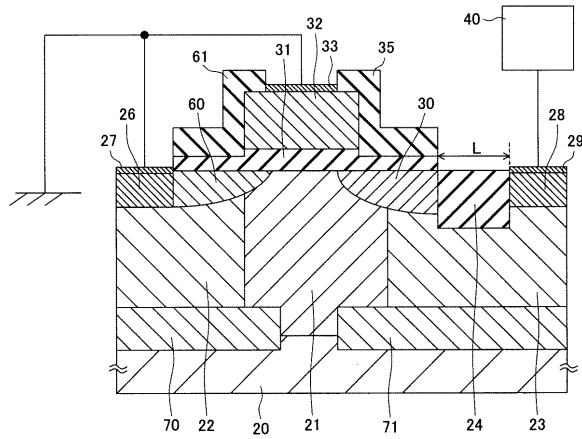
【図 7】



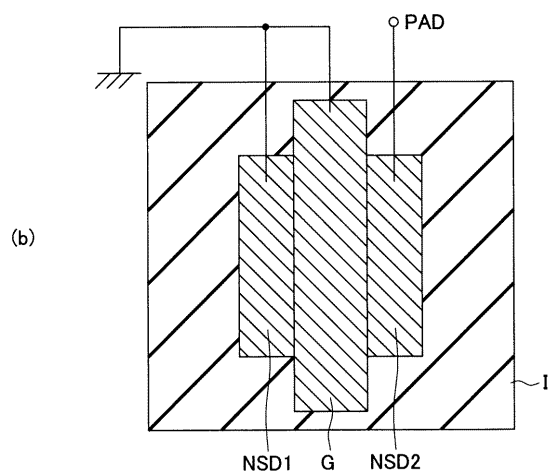
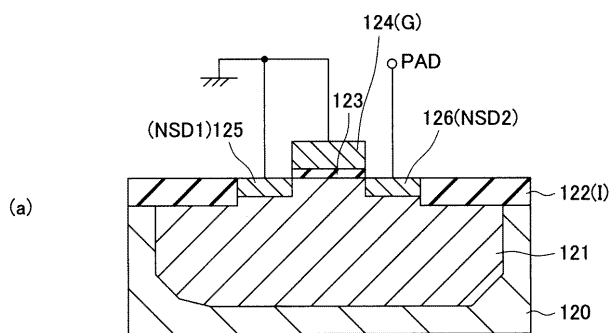
【図 8】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

Fターム(参考) 5F048 AA02 AC01 AC10 BA01 BA12 BB01 BB05 BB08 BB12 BC01
BC03 BC07 BE03 BE04 BE09 BF06 BF16 BF18 BG13 BH07
CC01 CC06 CC08 CC11 CC13 DA25
5F140 AA38 AB06 BF04 BF11 BF18 BG08 BG12 BG28 BG30 BG34
BG37 BG43 BG45 BG52 BG53 BH30 BH41 BH42 BH45 BH47
BH49 BJ08 BJ27 BK13 BK29 BK34 BK39 CB02 CB04 CB08
CB10 CF04