

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7277496号
(P7277496)

(45)発行日 令和5年5月19日(2023.5.19)

(24)登録日 令和5年5月10日(2023.5.10)

| | | | | |
|--------------------------|-----------------|--|---|--|
| (51)国際特許分類 | F I | | | |
| G 0 1 R 31/3187(2006.01) | G 0 1 R 31/3187 | | | |
| G 0 1 R 31/28 (2006.01) | G 0 1 R 31/28 | | W | |
| H 0 1 L 21/822(2006.01) | G 0 1 R 31/28 | | G | |
| H 0 1 L 27/04 (2006.01) | H 0 1 L 27/04 | | T | |

請求項の数 22 外国語出願 (全21頁)

| | | | |
|-------------------|----------------------------|----------|--------------------------|
| (21)出願番号 | 特願2021-25290(P2021-25290) | (73)特許権者 | 599158797 |
| (22)出願日 | 令和3年2月19日(2021.2.19) | | インフィニオン テクノロジーズ アクチ |
| (65)公開番号 | 特開2021-135296(P2021-135296 | | エンゲゼルシャフト |
| | A) | | Infineon Technolog |
| (43)公開日 | 令和3年9月13日(2021.9.13) | | ies AG |
| 審査請求日 | 令和3年2月19日(2021.2.19) | | ドイツ連邦共和国 8 5 5 7 9 ノイビー |
| (31)優先権主張番号 | 10 2020 104 595.6 | | ベルク アム カンピオン 1 - 1 5 |
| (32)優先日 | 令和2年2月21日(2020.2.21) | | Am Campeon 1 - 1 5 , 8 5 |
| (33)優先権主張国・地域又は機関 | ドイツ(DE) | | 5 7 9 Neubiberg , Germ |
| | | | any |
| | | (74)代理人 | 100114890 |
| | | | 弁理士 アインゼル・フェリックス=ラ |
| | | | インハルト |
| | | (74)代理人 | 100098501 |
| | | | 弁理士 森田 拓 |

最終頁に続く

(54)【発明の名称】 自己テスト回路を備える集積回路、自己テスト回路を備える集積回路の動作方法、マルチコアプロセッサ装置およびマルチコアプロセッサ装置の動作方法

(57)【特許請求の範囲】

【請求項 1】

自己テスト回路を備える集積回路であって、前記集積回路は、

- ・少なくとも1つの論理回路と、
- ・動作データを記憶する少なくとも1つの入力側記憶要素と、
- ・少なくとも1つの出力側記憶要素と、
- ・テストデータを記憶する少なくとも1つの入力側テスト記憶要素と、
- ・少なくとも1つの出力側テスト記憶要素と、

を有しており、

- ・前記論理回路は、選択的に、

入力側で前記入力側記憶要素に接続されており、したがって、前記入力側記憶要素は、前記動作データを前記論理回路に提供し、または、

入力側で前記入力側テスト記憶要素に接続されており、したがって、前記入力側テスト記憶要素は、前記テストデータを前記論理回路に提供し、

- ・前記論理回路は、さらに、出力側で前記出力側記憶要素および前記出力側テスト記憶要素に接続されており、または接続可能であり、したがって、前記論理回路は前記出力側記憶要素および/または前記出力側テスト記憶要素にデータを供給し、

- ・前記出力側記憶要素は、前記論理回路に前記動作データが供給されると前記論理回路からのデータを処理し、前記論理回路に前記テストデータが供給されると前記論理回路からのデータを処理しないように設定されており、

前記集積回路は、さらに制御部を有しており、前記制御部は、
 - 前記論理回路と前記入力側記憶要素との接続および前記出力側記憶要素の活性化、したがって、前記出力側記憶要素が供給された前記動作データを処理することと、
 - 前記論理回路と前記入力側テスト記憶要素との接続および前記出力側記憶要素の非活性化、したがって、供給された前記動作データが無視されることと、
 の間の切り替えを行うように設定されており、
 前記制御部は、
 ・前記論理回路を前記入力側記憶要素に接続し、前記出力側記憶要素を活性化するために、第1の信号値を有するスイッチング信号を提供し、
 ・前記論理回路を前記入力側テスト記憶要素に接続し、前記出力側記憶要素を非活性化するために、第2の信号値を有する前記スイッチング信号を提供する、
 ように設定されている、
 集積回路。

10

【請求項2】

前記集積回路は、前記論理回路が前記入力側記憶要素および前記出力側記憶要素に接続されている間、前記テストデータを前記入力側テスト記憶要素にロードするように、さらに設定されている、
 請求項1記載の集積回路。

【請求項3】

前記制御部は、マルチプレクサを有しており、
 前記マルチプレクサは、入力側で前記入力側記憶要素および前記入力側テスト記憶要素に接続され、出力側で前記論理回路に接続されている、
 請求項1または2記載の集積回路。

20

【請求項4】

前記制御部は、前記スイッチング信号を少なくとも前記マルチプレクサおよび前記出力側記憶要素に提供するようにさらに設定されている、
 請求項3記載の集積回路。

【請求項5】

前記入力側記憶要素、前記出力側記憶要素、前記入力側テスト記憶要素および前記出力側テスト記憶要素は、それぞれ少なくとも1つのフリップフロップを有している、
 請求項1から4までのいずれか1項記載の集積回路。

30

【請求項6】

前記出力側記憶要素の前記少なくとも1つのフリップフロップは、イネーブル入力および/またはクロックイネーブル入力を有しており、

前記制御部は、前記スイッチング信号を前記イネーブル入力または前記クロックイネーブル入力に提供するようにさらに設定されている、
 請求項5記載の集積回路。

【請求項7】

前記マルチプレクサは、制御入力を有しており、前記制御部は、前記スイッチング信号を前記マルチプレクサの前記制御入力に提供するように設定されている、
 請求項4記載の集積回路。

40

【請求項8】

前記入力側テスト記憶要素は、動作モードにおいて、入力側セーフティ記憶要素を形成するように設定されており、前記入力側セーフティ記憶要素は、前記入力側記憶要素に記憶されている前記データを冗長的に記憶するように設定されており、かつ/または、

前記出力側テスト記憶要素は、動作モードにおいて、出力側セーフティ記憶要素を形成するように設定されており、前記出力側セーフティ記憶要素は、前記出力側記憶要素に記憶されている前記データを冗長的に記憶するように設定されている、
 請求項1から7までのいずれか1項記載の集積回路。

【請求項9】

50

前記集積回路は、少なくとも1つの付加的な出力側記憶要素と少なくとも1つの付加的な出力側テスト記憶要素とをさらに有しており、

前記少なくとも1つの論理回路は、第1の論理回路および第2の論理回路を含む複数の論理回路を有しており、

前記入力側テスト記憶要素と前記第1の論理回路と前記出力側テスト記憶要素と前記第2の論理回路と前記少なくとも1つの付加的な出力側テスト記憶要素とがこの順で接続され、1つのスキャンチェーンを形成し、

前記少なくとも1つの付加的な出力側記憶要素は、前記スキャンチェーンの一部ではない、

請求項1から8までのいずれか1項記載の集積回路。

10

【請求項10】

前記入力側テスト記憶要素および前記出力側テスト記憶要素に接続されている前記論理回路は、前記入力側テスト記憶要素および前記出力側テスト記憶要素と共に、前記スキャンチェーンの第1のチェーン素子を形成し、

前記スキャンチェーンの各付加的なチェーン素子は、前記複数の論理回路のうちの1つを有しており、前記論理回路は、入力側で、先行する前記チェーン素子の前記出力側テスト記憶要素に接続されており、出力側で、別の前記出力側テスト記憶要素に接続されている、

請求項9記載の集積回路。

【請求項11】

20

先行する前記チェーン素子の前記出力側テスト記憶要素は、前記付加的なチェーン素子の各前記論理回路に、先行する前記チェーン素子の前記論理回路によって処理された前記テストデータを提供し、

前記付加的なチェーン素子の各前記論理回路は、自身によって処理された前記テストデータを、出力側で、前記出力側テスト記憶要素に供給する、

請求項10記載の集積回路。

【請求項12】

自己テスト回路を備える集積回路の動作方法であって、

前記集積回路は、少なくとも1つの論理回路、動作データを記憶する少なくとも1つの入力側記憶要素、少なくとも1つの出力側記憶要素、テストデータを記憶する少なくとも1つの入力側テスト記憶要素および少なくとも1つの出力側テスト記憶要素を有しており、

30

前記論理回路は、出力側で前記出力側記憶要素および前記出力側テスト記憶要素に接続されており、または接続可能であり、

前記方法は、

・入力側での前記入力側記憶要素との前記論理回路の接続を有しており、さらに

・前記入力側記憶要素による前記論理回路での動作データの提供を有しており、

・前記論理回路によって処理された前記動作データの前記出力側記憶要素への供給を有しており、

・前記出力側記憶要素における前記論理回路からの前記動作データの処理を有しており、

、または

40

前記方法は

・入力側での前記入力側テスト記憶要素との前記論理回路の接続を有しており、さらに

・前記入力側テスト記憶要素による前記論理回路でのテストデータの提供を有しており、

・前記論理回路によって処理された前記動作データの前記出力側テスト記憶要素および前記出力側記憶要素への供給を有しており、

・前記出力側記憶要素における前記論理回路からの前記動作データの無視を有しており、

前記方法は、さらに、

・切り替えを有しており、前記切り替えは、

- 前記論理回路と前記入力側記憶要素との接続および活性化された前記出力側記憶要素と、

- 前記論理回路と前記入力側テスト記憶要素との接続および非活性化された前記出力側記

50

憶要素と、
の間の切り替え、

- であり、

前記方法は、さらに、選択的に、

・前記入力側記憶要素との前記論理回路の接続および前記出力側記憶要素の活性化のための第1の信号値を有するスイッチング信号の提供と、

・前記入力側テスト記憶要素との前記論理回路の接続および前記出力側記憶要素の非活性化のための第2の信号値を有するスイッチング信号の提供と、

を有している、

方法。

10

【請求項13】

前記方法は、さらに、

・前記論理回路が前記入力側記憶要素に接続されている間、前記入力側テスト記憶要素へ前記テストデータをロードすることを有している、

請求項12記載の方法。

【請求項14】

前記集積回路は、マルチプレクサを有している制御部を有しており、

前記マルチプレクサは、入力側で前記入力側記憶要素および前記入力側テスト記憶要素に接続され、出力側で前記論理回路に接続されている、

請求項12または13記載の方法。

20

【請求項15】

前記スイッチング信号を少なくとも前記マルチプレクサおよび前記出力側記憶要素に提供する、

請求項14記載の方法。

【請求項16】

前記入力側記憶要素、前記出力側記憶要素、前記入力側テスト記憶要素および前記出力側テスト記憶要素は、それぞれ少なくとも1つのフリップフロップを有している、

請求項12から15までのいずれか1項記載の方法。

【請求項17】

前記出力側記憶要素の前記少なくとも1つのフリップフロップは、イネーブル入力および/またはクロックイネーブル入力を有しており、前記イネーブル入力および/または前記クロックイネーブル入力に前記スイッチング信号を提供する、

請求項16記載の方法。

30

【請求項18】

前記スイッチング信号を、前記マルチプレクサの制御入力に提供する、

請求項14または15記載の方法。

【請求項19】

前記入力側テスト記憶要素は、動作モードにおいて、入力側セーフティ記憶要素を形成するように設定されており、前記方法は、さらに、前記入力側記憶要素に記憶されている前記動作データの前記入力側セーフティ記憶要素における冗長的な記憶を有しており、かつ/または、

前記出力側テスト記憶要素は、動作モードにおいて、出力側セーフティ記憶要素を形成するように設定されており、前記方法は、さらに、前記出力側記憶要素に記憶されている前記動作データの前記出力側セーフティ記憶要素における冗長的な記憶を有している、

請求項12から18までのいずれか1項記載の方法。

40

【請求項20】

前記集積回路は、さらに少なくとも1つの付加的な出力側記憶要素と少なくとも1つの付加的な出力側テスト記憶要素とを有しており、

前記少なくとも1つの論理回路は、第1の論理回路および第2の論理回路を含む複数の論理回路を有しており、

50

前記入力側テスト記憶要素と前記第 1 の論理回路と前記出力側テスト記憶要素と前記第 2 の論理回路と前記少なくとも 1 つの付加的な出力側テスト記憶要素とがこの順で接続され、
1 つのスキャンチェーンを形成し、

前記少なくとも 1 つの付加的な出力側記憶要素は、前記スキャンチェーンの一部ではない、

請求項 1 2 から 1 9 までのいずれか 1 項記載の方法。

【請求項 2 1】

前記入力側テスト記憶要素および前記出力側テスト記憶要素に接続されている前記論理回路は、前記入力側テスト記憶要素および前記出力側テスト記憶要素と共に、前記スキャンチェーンの第 1 のチェーン素子を形成し、

前記スキャンチェーンの各さらなるチェーン素子は、前記複数の論理回路のうちの 1 つを有しており、前記論理回路は、入力側で、先行する前記チェーン素子の前記出力側テスト記憶要素に接続されており、出力側で、別の前記出力側テスト記憶要素に接続されている、

請求項 2 0 記載の方法。

【請求項 2 2】

前記方法は、

前記複数のチェーン素子のうちの 1 つのチェーン素子の前記論理回路によって処理された前記テストデータをテストデータとして、後続の前記チェーン素子の前記論理回路に提供することと、

最後の前記チェーン素子の前記論理回路によって処理された前記テストデータを、最後の前記チェーン素子の前記論理回路に出力側で接続されている前記出力側テスト記憶要素に供給することと、

をさらに有している、

請求項 2 1 記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、自己テスト回路を備える集積回路、自己テスト回路を備える集積回路の動作方法、マルチコアプロセッサ装置およびマルチコアプロセッサ装置の動作方法に関する。

【背景技術】

【0 0 0 2】

電子システム、特に安全に関する電子システムは、それが機能安全規格、例えば車両分野に関連する規格 I S O 2 6 2 6 2 を満たしているべき場合には、定期的に、エラーに関してテストされなければならない。「Logic Built - In Self - Test」(L B I S T)とも称される、論理エラーを識別するための、組み込み自己テスト回路もしくは集積自己テスト回路は今日、この種のテストを実行するための通常の装置である。

【0 0 0 3】

L B I S T は、構造的なアプローチである。例えばソフトウェアベースの自己テスト等の機能的なアプローチとは異なり、L B I S T は、テストされるシステムもしくはテストされるコンポーネントのシステム制限内で実行されるのではなく、このために設定された固有のアーキテクチャ、いわゆるスキャンアーキテクチャによって実行される。

【0 0 0 4】

図 1 は、説明のために、従来技術に即した L B I S T を備える集積回路の概略図を示している。

【0 0 0 5】

動作モード、機能的なモードまたは機能モードとも称される、集積回路 1 0 0 の通常動作の間、これに関連する機能は、機能パス 1 1 4 (実線)に沿って経過する。ここでは記憶要素 1 0 2 はデータ値を記憶し、論理回路 1 0 6 はこのデータ値を使用して、例えばブール演算子を適用して、コンビネータ論理を実行する。

10

20

30

40

50

【 0 0 0 6 】

破線として示されているスキャンチェーン 1 1 6 は、テストモードまたは L B I S T モードとも称されるテスト動作の間、テスト中のより良いコントロール性のために、記憶要素 1 0 2 にテストデータを事前にロードするために使用される。

【 0 0 0 7 】

本願で以降は L B I S T サイクルと称されるテストサイクルは、3つの段階を有している。まずは、テストデータ、例えば疑似乱数が記憶要素 1 0 2 内にロードされ、例えば挿入される。これは、スキャンチェーン 1 1 6 に沿って行われる。

【 0 0 0 8 】

第2の段階では、テストデータが、(例えばコンピネータ論理をマッピングするもしくはは実現する)論理回路 1 0 6 によって処理される。これは、論理回路 1 0 6 を介して伝播する、潜在的なエラーの検出につながる。

【 0 0 0 9 】

第3の段階では、処理されたテストデータが、スキャンチェーン 1 1 6 の記憶要素によって、別の記憶要素 1 0 2 に押し出される。通常、スキャンチェーン 1 1 6 および相応する L B I S T 方法は、テストサイクルの第3の段階が同時に、後続のテストサイクルの第1の段階であるように作成されている。換言すれば、論理回路 1 0 6 によって処理され、出力されたテストデータは、スキャンチェーン 1 1 6 に沿って後続する、後続のテストサイクルにおける論理回路 1 0 6 に対する入力データを作成する。

【 0 0 1 0 】

L B I S T の実行は破壊性のものである。なぜなら、記憶要素 1 0 2 は、(例えば疑似ランダム)テストデータによって上書きされるからである。L B I S T の後、集積回路 1 0 0 は、未知の状態もしくは定められていない状態にあり、したがって、再初期化を必要とする。これは、通常、リセットおよびリブートによって行われる。

【 0 0 1 1 】

今日、L B I S T は例えば、いわゆる「Power - On Self - Test」(POST)である再スタートの間、実行される。すなわち、集積回路 1 0 0 または集積回路 1 0 0 がその構成部分を形成するシステムが通常動作に移行する前に実行される。L B I S T の実行後、リセットが開始され、制御ユニット(例えばMCU)が再スタートされる(ブートされる)。

【 0 0 1 2 】

このような手法は、多くの場合において適しているが、集積回路 1 0 0 の継続動作には適していない。

【 0 0 1 3 】

しかし、L B I S T の形式でのシステムテストを、通常動作中にも実行することが必要とされている。これは「Mission - Mode L B I S T」と称される。

【 0 0 1 4 】

通常動作中の L B I S T を実現するために、2つの手法が想定される。

1. システムの状態が、L B I S T の実行前に記憶され、その後に復元される。
2. L B I S T の実行後にシステムが再初期化される。

【 0 0 1 5 】

上述した3つの L B I S T 段階が実行される持続時間の間、システムの通常動作が中断される。これは、従来技術の L B I S T アーキテクチャが、上述した2つの手法のうちのいずれが選択されるのかに係わらずに、システムの重大な利用不可性を生じさせてしまうことを意味する。

【 0 0 1 6 】

このような利用不可性が許容されない場合には、単に L B I S T は適用不可であり、したがって、安全措置が他の様式で実現される必要がある。これは例えば典型的に、大きい面積需要を伴うハードウェアソリューションによって、または典型的に、僅かな遮蔽を可能にし、すなわちシステム全体に使用可能ではないソフトウェアベースの自己テストによ

10

20

30

40

50

って行われる。

【0017】

米国特許出願公開第6691268号明細書および米国特許出願公開第8461865号明細書において、それぞれLBISTを備える回路が記載されており、ここでは、各記憶要素に対して、1つの出力側記憶要素が提供され、テストデータおよび状態データが、通常動作からテスト動作への切り替え時に交換され、逆にされる。

【0018】

このような手法は、コストのかかる回路によってのみ実現可能であり、レポートのための時間を省くことはできるが、各記憶過程に対する時間が必要になる。

【発明の概要】

【課題を解決するための手段】

【0019】

種々の実施例では、記憶要素の状態を維持するLBISTスキームが提供される。これは、LBISTの実行がリセットおよび再初期化を必要としないことを意味する。これによって、テストされるシステム、例えば集積回路の可用性が高くなり、これは、特に通常動作中の実行の際にLBISTの適用性を改善する。

【0020】

種々の実施例では、LBISTの実行のために、固有の刺激バスおよび応答バスが提供される。

【0021】

明確に言えば、種々の実施例において、動作ネットワークは、可能な限り（すなわち、テストされる論理回路を除いて）テストネットワークから分離される。これによって、システムの通常動作と同時に（すなわちバックグラウンドにおいて）テストデータをロードすることが可能になる。この際に、通常動作は妨害されない。

【0022】

種々の実施例において、非破壊的に読み出し可能な（例えば集積回路の一部である）LBISTアーキテクチャが提供され、これは、刺激データおよび応答データの操作を、システムの（通常）動作と並行して行うことを可能にする。

【0023】

本発明の実施例を図示し、以降で詳細に説明する。

【図面の簡単な説明】

【0024】

【図1】従来技術に即した、LBISTを備える集積回路の概略図を示している。

【図2】種々の実施例に即した、LBISTを備える集積回路の概略図を示している。

【図3A】種々の実施例に即した、LBISTを備える集積回路の簡易化された回路図を示している。

【図3B】種々の実施例に即した、LBISTを備える集積回路の簡易化された回路図を示している。

【図4A】従来技術に即した、冗長機能を備える集積回路の簡易化された回路図の部分図を示している。

【図4B】種々の実施例に即した、LBISTおよび冗長機能を備える集積回路の簡易化された回路図を示している。

【図5】種々の実施例に即した、LBISTを備えるマルチコアプロセッサ装置の概略図を示している。

【図6】種々の実施例に即した、LBISTを備える集積回路の動作方法のフローチャートを示している。

【発明を実施するための形態】

【0025】

以降の詳細な説明では、添付の図面が参照される。添付の図面は、本出願の一部であり、ここには、可視化するために、そこにおいて本発明を実行することができる特別な実施

10

20

30

40

50

形態が示されている。この点に関して、「上」、「下」、「前」、「後」、「前方」、「後方」等の方向の用語は、説明されている図形の配向を参照して使用される。実施形態のコンポーネントは、多くの異なる配向において位置付け可能であるので、これらの方向の用語は説明の目的で使用されており、決して制限するものではない。本発明の保護範囲から逸脱することなく、他の実施形態が使用可能であり、構造的または論理的な変更を行うことができるということを理解されたい。そうでないことが特に明記されていない限り、本願に記載されている種々の例示的な実施形態の特徴を相互に組み合わせることができるということを理解されたい。したがって、以下の詳細な説明は、限定的な意味で解釈されるべきではなく、本発明の保護範囲は、添付の特許請求の範囲によって規定される。

【0026】

本明細書の枠内では、用語「接続されている (verbunden)」、「つながっている (angeschlossen)」ならびに「gekoppelt (結合されている)」は、直接的な接続および間接的な接続の両者、直接的なつながりまたは間接的なつながり、ならびに直接的な結合または間接的な結合を表すために使用される。図面では、それが適切である限り、同じ要素または類似の要素に同じ参照符号が付けられている。

【0027】

種々の実施例の説明を容易にするために、一部の小文字の後に、一般的な参照符号が続く。

【0028】

図2は、種々の実施例に即した、論理エラーを識別するための組み込み自己テスト回路 (LBIST) を備える集積回路200の概略図を示しており、図3Aおよび図3Bは、種々の実施例に即した、LBISTを備える集積回路200の簡略化された回路図をそれぞれ示している。図2、図3Aおよび図3Bは、後続の説明において参照される。

【0029】

論理エラーを識別するための組み込み自己テスト回路を備える集積回路200は、種々の実施例において、論理回路106、動作データを記憶する入力側記憶要素102__1、出力側記憶要素102__2、テストデータを記憶するための入力側テスト記憶要素202__1および出力側テスト記憶要素202__2を有している。記憶要素102の各々およびテスト記憶要素202の各々は、種々の実施例において、少なくとも1つのフリップフロップ、典型的に複数のフリップフロップを有している、または例えばラッチ等の別の記憶要素を有している。

【0030】

LBIST実装は、種々の態様に関して、従来技術から公知の、いわゆるSTUMPS (Self-Test Using MISR and Parallel Shift Register Sequence Generator) アーキテクチャに基づいてよい。

【0031】

これに相応に、例えば入力側テスト記憶要素202__1または場合によっては、別の、例えばすべての、テスト記憶要素202にロードされるテストデータが例えば、線形帰還シフトレジスタ (Linear Feedback Shift-Register、LFSR) によって提供され得る。これは、疑似乱数の決定論的シーケンスを生成するために設定されていてよい、もしくは利用されてよい。

【0032】

さらに、論理回路106によって生成された、処理されたテストデータを受け取る出力側テスト記憶要素202__1もしくはテスト記憶要素202__1の各々は、処理されたテストデータを多入力シグネチャレジスタ (Multiple Input Signature Register、MISR) に提供する。これは、出力応答を調べるように設定されていてよい、もしくは利用されてよい。

【0033】

集積回路200は、種々の実施例において、論理回路106が選択的に入力側で、入力

10

20

30

40

50

側記憶要素 1 0 2 __ 1 に（例えば導電性に）接続されているように設定されていてよく、したがって、入力側記憶要素 1 0 2 __ 1 は、動作データを論理回路 1 0 6 に提供する。出力側では、論理回路 1 0 6 は、出力側記憶要素 1 0 2 __ 2 に（例えば導電性に）接続されていてよく、したがって論理回路 1 0 6 は、論理回路 1 0 6 によって処理された動作データを供給する。このような状態において、集積回路 2 0 0 は、（作業動作、通常動作またはミッションモードとも称される）動作モードにある。ここで、出力側記憶要素 1 0 2 __ 2 が活性化されていてよい。言い換えると、出力側記憶要素 1 0 2 __ 2 は、論理回路 1 0 6 によって処理された動作データが処理される、例えば出力側記憶要素 1 0 2 __ 2 内に記憶される等の状態であってよい。論理回路 1 0 6 は、動作モードにおいて、さらに、出力側テスト記憶要素 2 0 2 __ 2 に接続されていてよい。

10

【 0 0 3 4 】

または論理回路 1 0 6 は、入力側で、入力側テスト記憶要素 2 0 2 __ 1 に（例えば導電性に）接続されており、したがって、入力側テスト記憶要素 2 0 2 __ 1 は、テストデータを、論理回路 1 0 6 に提供する。出力側では、論理回路は、出力側テスト記憶要素 2 0 2 __ 2 に（例えば導電性に）接続されていてよく、したがって、論理回路 1 0 6 は、論理回路 1 0 6 によって処理されたテストデータを供給する。このような状態において、集積回路 2 0 0 は、（テスト動作とも称される）テストモードにある。論理回路 1 0 6 は、テストモードにおいて、さらに、出力側記憶要素 1 0 2 __ 2 に接続されていてよく、出力側記憶要素 1 0 2 __ 2 に処理されたテストデータを供給する。しかし、出力側記憶要素 1 0 2 __ 2 が、テストモードにおいて非活性化されていてよい。言い換えると、出力側記憶要素は、供給されたデータが処理されない（無視される）、例えば出力側記憶要素 1 0 2 __ 2 内に記憶されない等の状態に切り替えられていてよい、または切り替えられてよい。

20

【 0 0 3 5 】

種々の実施例では、論理回路 1 0 6 の、出力側記憶要素 1 0 2 __ 2 もしくは出力側テスト記憶要素 2 0 2 __ 2 との接続は、論理回路 1 0 6 が継続的に、出力側記憶要素 1 0 2 __ 2 および出力側テスト記憶要素 2 0 2 __ 2 に接続されているのではなく、選択的に、両者に接続可能であるようにされていてよい。この場合には、例えば、論理回路 1 0 6 は、動作モードにおいては、出力側で、出力側記憶要素 1 0 2 __ 2 にだけ接続されていてよく、テストモードにおいては、出力側で、出力側テスト記憶要素 2 0 2 __ 2 にだけ接続されていてよい。このために、例えば、デマルチプレクサが利用可能である。

30

【 0 0 3 6 】

集積回路 2 0 0 は、種々の実施例においてさらに、制御部を有している。制御部は、動作モードとテストモードとの間で、もしくはテストモードと動作モードとの間で切り替えられるように設定されていてよい、もしくは利用されてよい。

【 0 0 3 7 】

集積回路 2 0 0 の上述の構成は、動作モードにおいて利用される回路要素が、テストされる論理回路 1 0 6 自体を除いて、自己テストによって実質的に影響されないことを意味する。特に、入力側記憶要素 1 0 2 __ 1 および出力側記憶要素 1 0 2 __ 2 は、テストデータによって上書きされるのではなく、これらは直接的に、論理回路 1 0 6 の入力側テスト記憶要素 2 0 2 __ 1 によって提供される、もしくは論理回路 1 0 6 の出力側テスト記憶要素 2 0 2 __ 2 によって受け取られ、出力側記憶要素 1 0 2 __ 2 において無視される。

40

【 0 0 3 8 】

種々の実施例の基本的な機能は、図 2 の概略図に基づいて特に容易に見て取れる。動作モードにおいて、システムアプリケーションは、例えば記憶要素 1 0 2 __ 1、1 0 2 __ 2、1 0 2 __ 3、データ線路 1 1 4 および論理回路 1 0 6、例えば論理ゲートのアプリケーションネットワークを介して実行される。

【 0 0 3 9 】

これと並行して、実質的に分離されたスキャンネットワークが提供され、これは、別個のテスト記憶要素 2 0 2 __ 1、2 0 2 __ 2、2 0 2 __ 3、固有のデータ線路を記憶要素 2 0 2 と論理回路 1 0 6 との間（データ線路 2 1 0、2 1 2）および記憶要素 2 0 2 同士の

50

間（データ線路 220）で有しており、ここでテストされる論理回路 106 は、テストネットワークの一部でもある。

【0040】

図 2 では、集積回路 200、200a の一部として、テストされる 2 つの論理回路 106 が示されており、これらは特に、テストの目的で、1 つのスキャンチェーンに接続可能である、もしくは接続される。種々の実施例では、スキャンチェーンは実質的に任意の多さの付加的な論理回路 106 を、各付加的な出力側記憶要素 102 および付加的なテスト記憶要素 202 と共に有することができる。ここで、付加的な要素が類似の様式で、回路 200 内に集積されてよい。これは、図 3B の回路 200、200c にあるような 2 つの論理回路 106 への、図 3A の集積回路 200、200b にあるような 1 つの論理回路 106 の拡張を示している。

10

【0041】

言い換えると、種々の実施例において、集積回路 200 は、少なくとも 1 つの付加的な出力側記憶要素 102 __3 および少なくとも 1 つの付加的な出力側テスト記憶要素 202 __3 を有することができ、ここで少なくとも 1 つの論理回路 106 は、複数の論理回路 106 __1、106 __2 を有しており、ここで入力側テスト記憶要素 202 __1 および出力側テスト記憶要素 202 __2 と論理回路 106 との接続の間、入力側テスト記憶要素 202 __1、出力側テスト記憶要素 202 __2 および少なくとも 1 つの付加的な出力側テスト記憶要素 202 __3 と共に複数の論理回路 106 __1、106 __2 は、（テスト）スキャンチェーンを形成する。

20

【0042】

少なくとも 1 つの付加的な出力側記憶要素 102 __3 はここで、出力側記憶要素 102 __2 および入力側記憶要素 102 __1 と同様に、スキャンチェーンの一部ではない。

【0043】

入力側テスト記憶要素 202 __1 および出力側テスト記憶要素 202 __2 に接続されている論理回路 106 __1 は、入力側テスト記憶要素 202 __1 および出力側テスト記憶要素 202 __2 と共に、スキャンチェーンの第 1 のチェーン素子を形成する。スキャンチェーンの各付加的なチェーン素子は、複数の論理回路 106 のうちの 1 つを有してよく、これは、入力側で、先行するチェーン素子の出力側テスト記憶要素 202 __2 に接続されており、出力側で、出力側テスト記憶要素 202 __2、202 __3、...、202 __n の別の出力側テスト記憶要素 202 __3 に接続されている。

30

【0044】

テストモードの間、論理回路 106 がテスト記憶要素 202 __1、202 __2、202 __3、...、202 __n に接続されて、スキャンチェーンを成す場合、付加的なチェーン素子の各論理回路 106 に、先行するチェーン素子の出力側テスト記憶要素 202 __2、202 __3 は、先行するチェーン素子の論理回路 106 によって処理されたテストデータを提供することができる。

【0045】

さらに、付加的なチェーン素子の各テスト論理回路 106 は、自身によって処理されたテストデータを、出力側で、出力側テスト記憶要素 202 __2、202 __3 に供給することができる。論理回路 106 によって処理されたテストデータは、出力側で、出力側記憶要素 102 __2、102 __3 等に供給されてもよいが、出力側記憶要素 102 __2、102 __3 等は、テストモードにおいて非活性化されていてよい、もしくは非活性化されてよい。供給された処理されたテストデータは次に無視されてよい。これによって、動作モードの状態を、入力側記憶要素および出力側記憶要素において得続けることができる。

40

【0046】

別個のテスト記憶要素 202 を有する別個のスキャンネットワークのために、スキャンチェーンは、動作モード中に既にテストデータと並行してロードされてよく、この際にアプリケーションネットワークにおけるアプリケーションが損害を受けることはない。この際に、テスト記憶要素 202 のうちの 1 つだけ、例えば、入力側テスト記憶要素 202 __

50

1 または出力側テスト記憶要素 2 0 2 __ 2 だけにテストデータがロードされ得る、または複数のまたはすべてのテスト記憶要素 2 0 2 に、例えばデータ線路 2 2 0 を使用してテストデータがロードされ得る。

【 0 0 4 7 】

テスト記憶要素 2 0 2 は、所望されているように完全にロードされている場合には、テストモードに切り替えられ、テストが実行されてよい。このために、アプリケーションが終了され、すべての記憶要素 1 0 2 が自身の現在の値を維持することができる。テストされるべき論理回路 1 0 6 は（これは例えば、コンビネータ論理をマッピングする、もしくは実現する）、テスト記憶要素 2 0 2 内に記憶されているテスト値によって刺激される。論理回路 1 0 6 によって生成されるテスト応答は、テスト記憶要素 2 0 2 内にのみ記憶される。テスト応答が、テストモードにおいて出力側記憶要素 1 0 2 __ 2 に供給され続ける場合でも、出力側記憶要素 1 0 2 __ 2 は非活性化されていてよい。テスト応答は、スキャン線路 2 2 0 によって、記憶要素 2 0 2 から押し出されてよい。既に、その間、通常のアプリケーションが継続されてよく、詳細には正確に、それが中断された点で継続されてよい。

10

【 0 0 4 8 】

これによって、集積回路 2 0 0 の記憶要素（例えば入力側記憶要素 1 0 2 __ 1 および出力側記憶要素 1 0 2 __ 2 ）がテスト前に有している状態を、テストが終了し、通常動作が再開可能になるまで、すなわち動作モードが継続可能になるまで、記憶して保持することができる。動作モードの継続をシームレスに行うことができ、この際に復元が行われる必要はない。なぜなら、これらの状態が、記憶要素 1 0 2 内に、依然として変わらずに存在しているからである。

20

【 0 0 4 9 】

さらに、動作モード中に既に、テストモードを準備することができる。これは、テストデータが、入力側テスト記憶要素 2 0 2 __ 1 内にロードされることによって行われる。通常の動作記憶要素もしくはアプリケーション記憶要素 1 0 2 （例えば入力側記憶要素 1 0 2 __ 1 、出力側記憶要素 1 0 2 __ 2 ）が、テスト記憶要素 2 0 2 （例えば入力側テスト記憶要素 2 0 2 __ 1 、出力側テスト記憶要素 2 0 2 __ 2 ）から分離されていることによって、通常の動作を妨害することなく、このような措置を取ることができる。

【 0 0 5 0 】

例えば、入力側テスト記憶要素 2 0 2 __ 1 は、それが線形帰還シフトレジスタである場合には、動作モード中に既に、疑似乱数の決定論的シーケンスを生成するように設定されていてよい、もしくは利用されてよい。これらは、テストモードの開始と共に、自己テストのためのテストデータとして使用可能であり、テストされる論理回路 1 0 6 に提供可能である。

30

【 0 0 5 1 】

テストモードと動作モードとの間の切り替えのために、集積回路 2 0 0 は例えば、制御部の一部として、マルチプレクサ 2 2 4 を有することができる。マルチプレクサ 2 2 4 は、選択回路であってよく、これによって、複数の入力信号（ここでは例えば動作データおよびテストデータ）から 1 つの入力信号を選択し、出力側で切り替えることが可能になる。

40

【 0 0 5 2 】

さらに、集積回路 2 0 0 、特に制御部は、動作モードとテストモードとの間の集積回路 2 0 0 の切り替えのために、スイッチング信号 2 2 2 を提供するように設定されていてよい、もしくは利用されてよい。

【 0 0 5 3 】

スイッチング信号 2 2 2 は、動作モードへの切り替えのために第 1 の信号値、例えば 0 を有することができる。テストモードへの切り替えのために、スイッチング信号は、第 2 の信号値、例えば 1 を有することができる。記憶要素 1 0 2 およびマルチプレクサ 2 2 4 の構造に関連して、テストモードにおける信号値は次のように選択され得る。すなわち、記憶要素 1 0 2 が、提供されたスイッチング信号値の結果、透過性にされており、もしくは

50

は透過性にされ、テストモードへ移行する前の自身の状態が保持され、さらにマルチプレクサ 224 がこの信号値の提供時に、テストモードへ移行するために、テスト信号がテスト記憶要素 202__1 から、マルチプレクサ 224 によって、論理回路 106 に提供されるように切り替えられるように選択され得る。

【0054】

スイッチング信号 222 は、種々の実施例において、マルチプレクサ 224、例えばマルチプレクサの制御入力側に提供されてよい。さらにスイッチング信号 222 は、出力側記憶要素 102__2 に提供されてよく、例えば、出力側記憶要素 102__2 がフリップフロップを有している場合、イネーブル入力側またはクロックイネーブル入力側に提供されてよい。出力側のデマルチプレクサが存在する場合には、動作モードとテストモードとの間の切り替えのために、これに同様に、スイッチング信号 222 が供給されてよい。

10

【0055】

さらにスイッチング信号 222 が入力側記憶要素 102__1 に提供されてよく、例えば、出力側記憶要素 102__2 がフリップフロップを有している場合、そのイネーブル入力側またはそのクロックイネーブル入力側に提供されてよい。

【0056】

スイッチング信号 222 によって、上述のように、テストモードへの切り替え時にもしくはテストモードへの切り替え後に、出力側記憶要素 102__2 および場合によっては入力側記憶要素 102__1 が、テストモードへ移行する前に有していた自身の最終的な動作モード状態を維持するように、非活性化され得る（または自由選択的に、論理回路との出力側記憶要素 102__2 の接続が分離される）。

20

【0057】

図 3A に基づいて、集積回路 200 の動作を説明する。

【0058】

上述のように、入力側記憶要素 102__1 および出力側記憶要素 102__2 はフリップフロップを有することができる、またはフリップフロップから形成されていてよい。各フリップフロップ 102 に対して、回路 200、200b に（形成可能なスキャンチェーンのため、スキャンフリップフロップとも称される）テストフリップフロップ 202 が付け加えられている。テストフリップフロップは、論理回路（「ミッションロジック」）106 から、動作モードの間、実質的に分離されている。

30

【0059】

動作モードの間、`lbist__test`とも称されるスイッチング信号 222 は信号値 0 を有していてよい。

【0060】

すなわち、動作モードの間、フリップフロップ 102 は活性化されており、論理回路 106 への供給はそれらによって行われる。さらに、論理回路の出力が、フリップフロップ 102 に導かれる。

【0061】

これと並行して、データがスキャンフリップフロップ 202 にロードされ得る。これはシフト過程によって行われてよく、シフト過程は種々の実施例において、（メインアプリケーションよりも）低いクロック周波数にしたがって実行されてよく、これによってエネルギーを節約することができる。

40

【0062】

テストモード（LBISTモード）へ移行するために、スイッチング信号 222 の信号値が変更されてよく、これは例えば `lbist__test = 0` から `lbist__test = 1` に切り替えられてよい。

【0063】

すなわち、フリップフロップ 102 が非活性化され、したがって非活性化の時点のその値が維持される。

【0064】

50

次に論理回路 106 にテストデータが供給され、処理されたテストデータがテストフリップフロップ 202 に供給される。

【0065】

記載したイネーブルフリップの代わりに、別の、活性と非活性との間で切り替え可能な状態メモリが使用されてよく、これは例えば、クロックゲーティングを可能にするフリップフロップである。

【0066】

任意の数の評価サイクルの後に、スイッチング信号 222 の信号値が、再び 0 にセットされてよい。これによって、集積回路 200 は再び、正確に、それが中断された点で、自身の通常動作を開始する。

【0067】

これと並行して、テストフリップフロップ 202 内に記憶されている、処理されたデータが、例えば評価のために、例えばスキャンチェーンもしくは線路 220 に沿って M I S R に押し出されてよい。

【0068】

図 4 A は、従来技術に即した、冗長機能を備える集積回路 400 の簡易化された回路図を示している。図 4 B は、種々の実施例に即した、L B I S T と冗長機能とを備える集積回路 200 の簡易化された回路図を示している。

【0069】

集積回路 200 への付加的な記憶要素 202 の挿入は、結果として、集積回路 200 がその中に形成されているチップにおいてより多くの面積需要を生じさせる。

【0070】

しかし、従来技術に即した集積回路 400 には、しばしば、少なくとも部分的にまたは完全に、自身のフリップフロップ 102 のためのセーフティフリップフロップ 202 R が装備されており、これらのセーフティフリップフロップは、データをフリップフロップ 102 に対して冗長的に記憶し、比較し、差異が識別された場合にアラームを提供するように設定されていてよい。これによって、例えば宇宙線によって引き起こされ得る、いわゆるシングルイベントアップセット (S E U) に対するロバスト性が向上し得る。これは図 4 A に示されている。

【0071】

種々の実施例において、セーフティフリップフロップ 202 R は、それらが、二重機能を満たすことができるように、すなわち、テストモード中のテスト記憶要素 202 として、および動作モード中、すなわち通常動作中の冗長メモリ 202 R としての二重機能を満たすことができるように集積回路 200、200 d 内に組み込まれてよい。これは図 4 B に示されているが、ここでは見やすくするために、アラーム機能に必要な回路要素は省かれている。

【0072】

換言すれば、種々の実施例では、入力側テスト記憶要素 202 __ 1 は、動作モードにおいて、入力側記憶要素 102 __ 1 に対して冗長的な入力側セーフティ記憶要素 202 R __ 1 を形成するように設定されていてよく、かつ/または出力側テスト記憶要素 202 __ 2 は、動作モードにおいて、出力側記憶要素 102 __ 2 に対して冗長的な出力側セーフティ記憶要素 202 R __ 2 を形成するように設定されていてよい。2 つ以上の記憶要素もしくはテスト記憶要素が存在する場合にはさらなる、例えばすべてのさらなる記憶要素 102 に、テスト記憶要素 202 が割り当てられていてよい。このテスト記憶要素は動作モードにおいて、セーフティ記憶要素 202 R として利用可能である。

【0073】

(チップ) 面積需要をさらに低減させるために、種々の実施例に即した L B I S T スキームが制限されて使用されよく、したがって、これは、潜在的なエラーを検出するために全体的なロジックの一部のみ、例えば安全システム (だけ) をテストする。

【0074】

10

20

30

40

50

図5は、種々の実施例に即したLBIST200を備えるマルチコアプロセッサ装置500の概略図である。

【0075】

マルチコアプロセッサ装置500はプロセッサコア550（コア）および冗長的な第2のプロセッサコア552（アンチコア）を有することができ、すなわち第2のプロセッサコア552は、プロセッサコア550と同じ動作データを得ることができ、これを同じように処理することができる。両者によって提供されたデータは、コンパレータ554（例えば、ロックステップコンパレータ）において比較されてよく、比較の結果556、例えば、不一致の場合のアラームを出力することができる。

【0076】

種々の実施例において、マルチコアプロセッサ装置500は、コンパレータ554だけが、LBIST200による自己テストを受けるように設定されている。

【0077】

すなわち、メインコア550は（および冗長的な第2のコア552も）、LBISTの実行によって損害を受けることはない。

【0078】

これによって、プロセッサコア550の可用性が高まる。コンパレータ554上でのLBISTの実行は制限されているので、これは、メインプロセッサコア上で実行されるアプリケーションに損害を与えることはない。

【0079】

これにしたがって、リアルタイムのプログラム実行が得られ続ける。（ロックステップ）コンパレータ554は、個々のエラーを識別することができてよい。このような識別は、LBISTテストの間だけ中断され、実際には、論理回路106自体のテストに必要な時間の間だけ中断される。

【0080】

図6は、種々の実施例に即した、自己テスト回路を備える集積回路の動作方法のフローチャート600を示している。

【0081】

自己テスト回路を備える集積回路は少なくとも1つの論理回路、動作データを記憶する少なくとも1つの入力側記憶要素、少なくとも1つの出力側記憶要素、テストデータを記憶する少なくとも1つの入力側テスト記憶要素および少なくとも1つの出力側テスト記憶要素を有しており、ここで、論理回路は出力側で、出力側記憶要素および出力側テスト記憶要素に接続されているまたは接続可能である。

【0082】

この方法は選択的に、入力側での入力側記憶要素との論理回路の接続を有しており（610において）、さらに入力側記憶要素による論理回路での動作データの提供を有しており（6101において）、論理回路によって処理された動作データの出力側記憶要素への供給を有しており（6102において）、出力側記憶要素における論理回路からのデータの処理を有しており（6103において）、または入力側での入力側テスト記憶要素との論理回路の接続を有しており（620において）、さらに入力側テスト記憶要素による論理回路でのテストデータの提供を有しており（6201において）、論理回路によって処理された動作データの出力側テスト記憶要素への供給を有しており（6202において）、出力側記憶要素における論理回路からのデータの無視を有している（6203において）。

【0083】

上述のように、非破壊的なLBISTアーキテクチャが提供され、これによって、刺激と応答とをシステムの実行と並行して操作することが可能になる。

【0084】

これは、システム状態を複雑ではない様式で維持することができるという点で有利であり得る。例えばコストのかかる再初期化は不要である。

10

20

30

40

50

【 0 0 8 5 】

さらに、バックグラウンドにおいて記憶要素にテストデータをロードすることができるので、システムの実行の中断は、ロジックの実際のテストの段階（検出段階もしくは「capture phase」とも称される）に限定され、これによって、システムの可用性が格段に高まる。

【 0 0 8 6 】

いくつかの実施例を以下に要約する。

【 0 0 8 7 】

実施例 1 は、自己テスト回路を備える集積回路である。この集積回路は、少なくとも 1 つの論理回路、動作データを記憶する少なくとも 1 つの入力側記憶要素、少なくとも 1 つの出力側記憶要素、テストデータを記憶する少なくとも 1 つの入力側テスト記憶要素および少なくとも 1 つの出力側テスト記憶要素を有しており、ここで、論理回路は選択的に入力側で入力側記憶要素に接続されており、したがって、入力側記憶要素は、動作データを論理回路に提供し、または入力側で入力側テスト記憶要素に接続されており、したがって、入力側テスト記憶要素は、テストデータを論理回路に提供する。ここで論理回路はさらに、出力側で出力側記憶要素および出力側テスト記憶要素に接続されており、または接続可能であり、したがって、論理回路は出力側記憶要素および/または出力側テスト記憶要素にデータを供給し、ここで出力側記憶要素は、論理回路に動作データが供給されると論理回路からのデータを処理し、論理回路にテストデータが供給されると論理回路からのデータを処理しないように設定されている。

【 0 0 8 8 】

実施例 2 は、実施例 1 に即した集積回路であって、これはさらに制御部を有しており、制御部は、一方での、論理回路と入力側記憶要素との接続および出力側記憶要素の活性化（したがって、出力側記憶要素に供給された動作データが処理される）と、他方での、論理回路と入力側テスト記憶要素との接続および出力側記憶要素の非活性化（したがって、出力側記憶要素に供給されたテストデータが無視される）と、の間の切り替え、もしくはその逆の切り替えを行うように設定されている。

【 0 0 8 9 】

実施例 3 は、実施例 1 または 2 に即した集積回路であって、さらに、論理回路が入力側記憶要素および出力側記憶要素に接続されている間、テストデータを入力側テスト記憶要素にロードするように設定されている。

【 0 0 9 0 】

実施例 4 は、実施例 2 または 3 に即した集積回路であって、ここで制御部はマルチプレクサを有している。

【 0 0 9 1 】

実施例 5 は、実施例 2 から 4 までのいずれか 1 つの実施例に即した集積回路であって、ここで制御部はさらに、論理回路を入力側記憶要素に接続し、出力側記憶要素を活性化するために、第 1 の信号値を有するスイッチング信号を提供するように設定されており、さらに論理回路を入力側テスト記憶要素に接続し、出力側記憶要素を非活性化するために、第 2 の信号値を有するスイッチング信号を提供するように設定されている。

【 0 0 9 2 】

実施例 6 は、実施例 5 に即した集積回路であって、ここで制御部はさらに、スイッチング信号を少なくともマルチプレクサおよび出力側記憶要素に提供するように設定されている。

【 0 0 9 3 】

実施例 7 は、実施例 1 から 5 までのいずれか 1 つの実施例に即した集積回路であって、ここで入力側記憶要素、出力側記憶要素、入力側テスト記憶要素および出力側テスト記憶要素は、それぞれ少なくとも 1 つのフリップフロップを有している。

【 0 0 9 4 】

実施例 8 は、実施例 5 および 7 に即した集積回路であって、ここで出力側記憶要素の少

10

20

30

40

50

なくとも1つのフリップフロップは、イネーブル入力側および/またはクロックイネーブル入力側を有しており、制御部はさらに、スイッチング信号をイネーブル入力側またはクロックイネーブル入力側に提供するように設定されている。

【0095】

実施例9は、実施例4および5に即した集積回路であって、ここでマルチプレクサは制御入力側を有しており、制御部は、スイッチング信号を、マルチプレクサの制御入力側に提供するように設定されている。

【0096】

実施例10は、実施例1から9までのいずれか1つの実施例に即した集積回路であって、ここで入力側テスト記憶要素は、動作モードにおいて、入力側セーフティ記憶要素を形成するように設定されており、この入力側セーフティ記憶要素は、入力側記憶要素に記憶されているデータを冗長的に記憶するように設定されており、かつ/または出力側テスト記憶要素は、動作モードにおいて、出力側セーフティ記憶要素を形成するように設定されており、出力側セーフティ記憶要素は、出力側記憶要素に記憶されているデータを冗長的に記憶するように設定されている。

【0097】

実施例11は、実施例1から10までのいずれか1つの実施例に即した集積回路であって、さらに少なくとも1つの付加的な出力側記憶要素と少なくとも1つの付加的な出力側テスト記憶要素とを有しており、ここで少なくとも1つの論理回路は複数の論理回路を有しており、ここで論理回路と入力側テスト記憶要素および出力側テスト記憶要素との接続の間、入力側テスト記憶要素と出力側テスト記憶要素と少なくとも1つの付加的な出力側テスト記憶要素と共に複数の論理回路は1つのスキャンチェーンを形成し、ここで少なくとも1つの付加的な出力側記憶要素は、スキャンチェーンの一部ではない。

【0098】

実施例12は、実施例11に即した集積回路であって、ここで入力側テスト記憶要素および出力側テスト記憶要素に接続されている論理回路は、入力側テスト記憶要素および出力側テスト記憶要素と共に、スキャンチェーンの第1のチェーン素子を形成し、ここでスキャンチェーンの各付加的なチェーン素子は、複数の論理回路のうちの1つを有しており、この論理回路は、入力側で、先行するチェーン素子の出力側テスト記憶要素に接続されており、出力側で、別の出力側テスト記憶要素に接続されている。

【0099】

実施例13は、実施例12に即した集積回路であって、ここで先行するチェーン素子の出力側テスト記憶要素は、付加的なチェーン素子の各論理回路に、先行するチェーン素子の論理回路によって処理されたテストデータを提供し、ここで付加的なチェーン素子の各論理回路は、自身によって処理されたテストデータを、出力側で、出力側テスト記憶要素に供給する。

【0100】

実施例14は、マルチコアプロセッサ装置である。マルチコアプロセッサ装置は第1のプロセッサを有しており、この第1のプロセッサは、データを処理し、出力するように設定されており、マルチコアプロセッサ装置は第2のプロセッサを有しており、この第2のプロセッサは、同一のデータを処理し、出力するように設定されており、マルチコアプロセッサ装置は比較器を有しており、この比較器は、実施例1から13までのいずれか1つの実施例に即した集積回路を形成し、さらに、第1のプロセッサから出力されたデータを第2のプロセッサから出力されたデータと比較するように設定されている。

【0101】

実施例15は、自己テスト回路を備える集積回路の動作方法であって、この集積回路は、少なくとも1つの論理回路、動作データを記憶する少なくとも1つの入力側記憶要素、少なくとも1つの出力側記憶要素、テストデータを記憶する少なくとも1つの入力側テスト記憶要素および少なくとも1つの出力側テスト記憶要素を有しており、ここで、論理回路は出力側で出力側記憶要素および出力側テスト記憶要素に接続されている。この方法は

10

20

30

40

50

選択的に、入力側での入力側記憶要素との論理回路の接続を有しており、さらに入力側記憶要素による論理回路での動作データの提供を有しており、論理回路によって処理された動作データの出力側記憶要素への供給を有しており、出力側記憶要素における論理回路からのデータの処理を有しており、または入力側での入力側テスト記憶要素との論理回路の接続を有しており、さらに入力側テスト記憶要素による論理回路でのテストデータの提供を有しており、論理回路によって処理された動作データの出力側テスト記憶要素および出力側記憶要素への供給を有しており、出力側記憶要素における論理回路からのデータの無視を有している。

【0102】

実施例16は、実施例15に即した方法であって、一方での、論理回路と入力側記憶要素との接続および出力側記憶要素の活性化と、他方での、論理回路と入力側テスト記憶要素との接続および出力側テスト記憶要素の非活性化と、の間の切り替え、もしくはその逆の切り替えをさらに有している。

10

【0103】

実施例17は、実施例15または16に即した方法であって、この方法はさらに、入力側記憶要素を備える論理回路の間、入力側テスト記憶要素へのテストデータのロードを有している。

【0104】

実施例18は、実施例16または17に即した方法であって、ここで集積回路は、自由選択的にマルチプレクサを有している制御部を有している。

20

【0105】

実施例19は、実施例16から18までのいずれか1つの実施例に即した方法であって、この方法はさらに選択的に、入力側記憶要素との論理回路の接続および出力側記憶要素の活性化のための第1の信号値を有するスイッチング信号の提供を有しており、さらに入力側テスト記憶要素との論理回路の接続および出力側テスト記憶要素の非活性化のための第2の信号値を有するスイッチング信号の提供を有している。

【0106】

実施例20は、実施例18および19に即した方法であって、ここでスイッチング信号を少なくともマルチプレクサおよび出力側記憶要素に提供する。

【0107】

30

実施例21は、実施例15から20までのいずれか1つの実施例に即した方法であって、ここで入力側記憶要素、出力側記憶要素、入力側テスト記憶要素および出力側テスト記憶要素は、それぞれ少なくとも1つのフリップフロップを有している。

【0108】

実施例22は、実施例19および21に即した方法であって、ここで出力側記憶要素の少なくとも1つのフリップフロップは、イネーブル入力側および/またはクロックイネーブル入力側を有しており、これにスイッチング信号を提供する。

【0109】

実施例23は、実施例19から22までのいずれか1つの実施例に即した方法であって、スイッチング信号を、マルチプレクサの制御入力側に提供する。

40

【0110】

実施例24は、実施例15から23までのいずれか1つの実施例に即した方法であって、ここで入力側テスト記憶要素は、動作モードにおいて、入力側セーフティ記憶要素を形成するように設定されており、この方法はさらに、入力側記憶要素に記憶されている動作データの出力側セーフティ記憶要素における冗長的な記憶を有しており、かつ/またはここで出力側テスト記憶要素は、動作モードにおいて、出力側セーフティ記憶要素を形成するように設定されており、この方法はさらに、出力側記憶要素に記憶されている動作データの出力側セーフティ記憶要素における冗長的な記憶を有している。

【0111】

実施例25は、実施例15から24までのいずれか1つの実施例に即した方法であって

50

、ここで集積回路はさらに少なくとも1つの付加的な出力側記憶要素と少なくとも1つの付加的な出力側テスト記憶要素とを有しており、ここで少なくとも1つの論理回路は複数の論理回路を有しており、ここで論理回路と入力側テスト記憶要素および出力側テスト記憶要素との接続の間、入力側テスト記憶要素と出力側テスト記憶要素と少なくとも1つの付加的な出力側テスト記憶要素と共に複数の論理回路は1つのスキャンチェーンを形成し、ここで少なくとも1つの付加的な出力側記憶要素は、スキャンチェーンの一部ではない。

【0112】

実施例26は、実施例25に即した方法であって、ここで入力側テスト記憶要素および出力側テスト記憶要素に接続されている論理回路は、入力側テスト記憶要素および出力側テスト記憶要素と共に、スキャンチェーンの第1のチェーン素子を形成し、ここでスキャンチェーンの各さらなるチェーン素子は、複数の論理回路のうちの1つを有しており、この論理回路は、入力側で、先行するチェーン素子の出力側テスト記憶要素に接続されており、出力側で、別の出力側テスト記憶要素に接続されている。

10

【0113】

実施例27は、実施例26に即した集積回路であって、ここでこの方法はさらに、複数のチェーン素子のうちの1つのチェーン素子の論理回路によって処理されたテストデータをテストデータとして、後続のチェーン素子の論理回路に提供することを有しており、さらに最後のチェーン素子の論理回路によって処理されたテストデータを、最後のチェーン素子の論理回路に出力側で接続されている出力側テスト記憶要素に供給することを有している。

20

【0114】

実施例28は、マルチコアプロセッサ装置の動作方法であって、このマルチコアプロセッサ装置は、第1のプロセッサと第2のプロセッサと比較器とを有している。この方法は、動作段階と自己テスト段階とを交互に行うことを有しており、ここで動作段階は、第1のプロセッサによる、比較器への第1のデータの提供を有しており、さらに第2のプロセッサによる、比較器への第2のデータの提供を有しており、さらに第1のデータと第2のデータとの比較を有しており、ここで自己テスト段階は、実施例15から27までのいずれか1つの実施例に即した自己テスト回路を備える集積回路の動作方法の実施を有しており、ここで比較器は、集積回路を形成する。

【0115】

装置のさらなる有利な構成は方法の説明から生じ、方法のさらなる有利な構成は装置の説明から生じる。

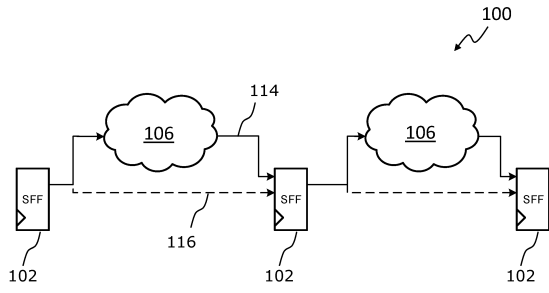
30

40

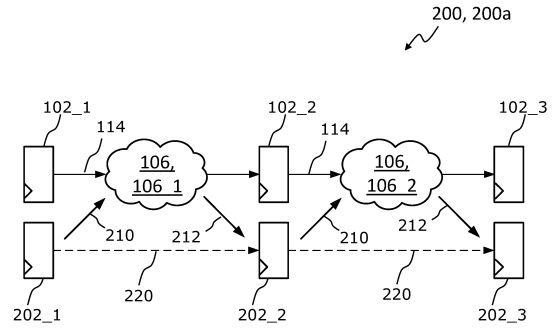
50

【図面】

【図 1】

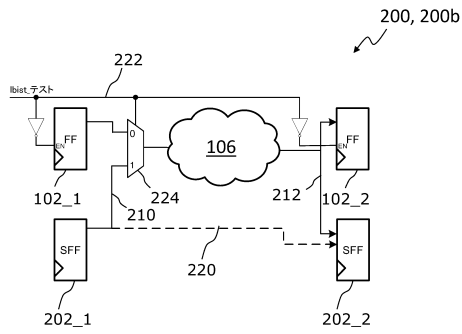


【図 2】

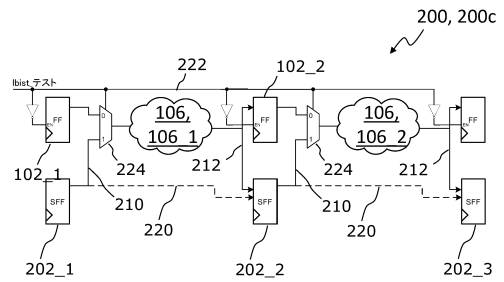


10

【図 3 A】

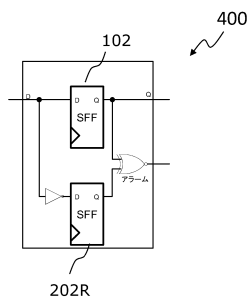


【図 3 B】

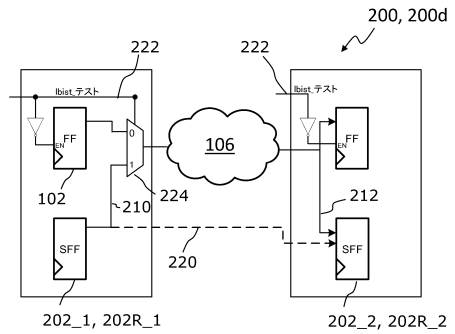


20

【図 4 A】



【図 4 B】

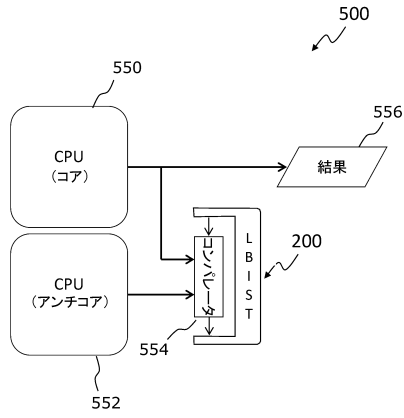


30

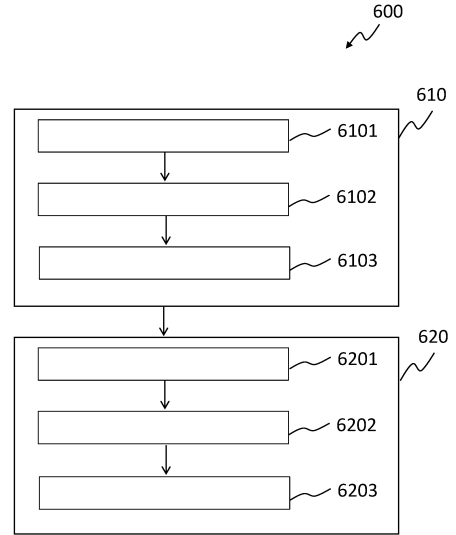
40

50

【図5】



【図6】



10

20

30

40

50

フロントページの続き

- (74)代理人 100116403
弁理士 前川 純一
- (74)代理人 100134315
弁理士 永島 秀郎
- (74)代理人 100135633
弁理士 二宮 浩康
- (74)代理人 100162880
弁理士 上島 類
- (72)発明者 ハイコ アーレンス
ドイツ連邦共和国 ノイビーベルク オイセレ ハウプトシュトラッセ 5エー
- (72)発明者 イェンス ローゼンブッシュ
ドイツ連邦共和国 ミュンヘン ルートヴィヒ - エアハート - アレー 25
- (72)発明者 ダニエル ティレ
ドイツ連邦共和国 ウンターハヒング ファザーネンシュトラッセ 193
- 審査官 小川 浩史
- (56)参考文献 特開2017-58795(JP,A)
米国特許出願公開第2017/0269156(US,A1)
米国特許第6691268(US,B1)
国際公開第2010/058248(WO,A1)
欧州特許出願公開第2533154(EP,A2)
特表2009-516276(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
G01R 31/28 - 31/3193
H01L 27/04
G06F 11/22 - 11/277