



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098632
(43) 공개일자 2008년11월11일

(51) Int. Cl.

H01L 29/36 (2006.01) *H01L 31/0352* (2006.01)

(21) 출원번호 10-2008-7021333

(22) 출원일자 2008년08월29일

심사청구일자 없음

번역문제출일자 2008년08월29일

(86) 국제출원번호 PCT/US2007/061128

국제출원일자 2007년01월26일

(87) 국제공개번호 WO 2007/090055

국제공개일자 2007년08월09일

(30) 우선권주장

60/763,643 2006년01월31일 미국(US)

(71) 출원인

엠이엠씨 일렉트로닉 머티리얼즈, 임크.

미합중국 미주리 (우:63376-5000) 세인트 피터스
피.오.박스 8 펠 드라이브 501

(72) 발명자

시크리스트, 마이클, 알.

미국 63376 미주리주 세인트 피터스 피오 박스 8
펠 드라이브 501엠이엠씨 일렉트로닉 머티리얼즈,
임크.

(74) 대리인

양영준, 정은진, 백만기

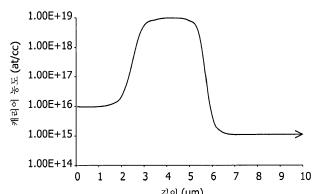
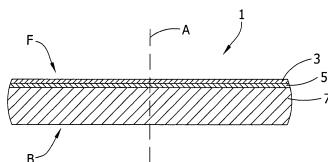
전체 청구항 수 : 총 26 항

(54) 고 열 전도율을 가진 반도체 웨이퍼

(57) 요 약

본 발명은 전체적으로 디바이스층으로부터 열을 전달시키기 위해 증가된 열 전도율을 가지고, 예컨대 래치업 결함 및 방사 이벤트 결함 같은 일반적인 결함 메커니즘을 방지하는 에피택셜 실리콘 반도체 웨이퍼에 관한 발명이다. 반도체 웨이퍼는 저농도 도핑된 디바이스층, 고농도 도핑된 보호층 및 저농도 도핑된 기판을 포함한다. 또한, 본 발명은 이 같은 에피택셜 실리콘 웨이퍼를 형성하기 위한 공정에 관한 발명이다.

대 표 도



특허청구의 범위

청구항 1

중심 축, 상기 중심 축에 대체로 수직인 전면 및 후면, 원주 방향 모서리, 및 상기 중심 축에서 상기 원주 방향 모서리로 연장된 반경을 가지는 기판;

실리콘 디바이스층; 및

상기 디바이스층과 상기 기판 사이에 배치된 실리콘 보호층

을 포함하며,

상기 기판은 약 1×10^{17} 캐리어/cm³ 이하의 도편트 농도를 가지고, 상기 실리콘 보호층은 약 6.0×10^{17} 캐리어/cm³ 과 약 1.0×10^{20} 캐리어/cm³ 사이의 도편트 농도로 도핑되고 적어도 약 0.5μm의 두께를 가지는, 반도체 웨이퍼.

청구항 2

제1항에 있어서,

상기 보호층은 약 1μm와 약 5μm 사이의 두께를 가지는, 반도체 웨이퍼.

청구항 3

제1항에 있어서,

상기 보호층은 약 8.5×10^{18} 캐리어/cm³ 와 약 2.0×10^{19} 캐리어/cm³ 사이의 도편트 농도로 도핑된, 반도체 웨이퍼.

청구항 4

제1항에 있어서,

상기 보호층은 약 3.2×10^{18} 캐리어/cm³ 와 약 8.5×10^{18} 캐리어/cm³ 사이의 도편트 농도로 도핑된, 반도체 웨이퍼.

청구항 5

제3항에 있어서,

상기 기판은 약 5×10^{14} 캐리어/cm³ 와 약 1×10^{16} 캐리어/cm³ 사이의 도편트 농도를 가지는, 반도체 웨이퍼.

청구항 6

제1항에 있어서,

상기 디바이스층은 P형 도편트로 도핑된, 반도체 웨이퍼.

청구항 7

제1항에 있어서,

상기 디바이스층은 붕소(boron)로 도핑된, 반도체 웨이퍼.

청구항 8

제1항에 있어서,

상기 기판은 약 5×10^{14} 캐리어/cm³ 와 약 1×10^{16} 캐리어/cm³ 사이의 농도로 P형 도편트에 의해 도핑되고,

상기 보호층은 약 3.2×10^{18} 캐리어/cm³ 와 약 2.0×10^{19} 캐리어/cm³ 사이의 농도로 P형 도편트에 의해 도핑되고, 약 1μm와 약 10μm 사이의 두께를 가지며,

상기 디바이스층은 약 1×10^{14} 캐리어/cm²와 약 4×10^{16} 캐리어/cm² 사이의 농도로 P형 도편트에 의해 도핑된, 반도체 웨이퍼.

청구항 9

제1항에 있어서,

상기 보호층은 약 1.0×10^{19} 캐리어/cm² 와 약 1.0×10^{20} 캐리어/cm² 보다 큰 농도로 P형 도편트에 의해 도핑되고, 약 5μm 이하의 두께를 가지고,

상기 디바이스층은 약 2μm와 약 15μm 사이의 두께인, 반도체 웨이퍼.

청구항 10

제9항에 있어서,

상기 보호층은 약 2μm 이하의 두께를 가지고, 상기 디바이스층은 약 2μm와 약 5μm 사이의 두께인, 반도체 웨이퍼.

청구항 11

중심 축, 상기 중심 축에 대체로 수직인 전면 및 후면, 원주 방향 모서리, 및 상기 중심 축에서 상기 원주 방향 모서리로 연장된 반경을 가지고, 약 1.0×10^{17} 캐리어/cm² 이하의 도편트 농도를 가지는 기판을 포함하는 반도체 웨이퍼의 제조 공정에 있어서, 상기 공정은

상기 기판의 전면 상에 약 6.0×10^{17} 캐리어/cm²와 약 1.0×10^{20} 캐리어/cm² 사이의 도편트 농도로 도핑되고 두께가 약 0.5μm 이상인 보호층을 형성하는 단계; 및

상기 기판의 상기 전면에 평행한 상기 보호층의 노출면 상에 약 1×10^{17} 캐리어/cm² 이하인 도편트 농도로 도핑되는 디바이스층을 형성하는 단계

를 포함하는 반도체 웨이퍼의 제조 공정.

청구항 12

제11항에 있어서,

상기 보호층은 실리콘 에피택셜층을 적층하기 위해 상기 기판의 표면을 실리콘 및 도편트를 포함하는 분위기(atmosphere)에 노출시킴으로써 형성되는, 반도체 웨이퍼의 제조 공정.

청구항 13

제11항에 있어서,

상기 보호층은 상기 기판의 표면에 도편트 이온을 주입(implant)함으로써 형성되는, 반도체 웨이퍼의 제조 공정.

청구항 14

제11항에 있어서,

상기 제1 층은 기상 도핑된 층(gas phase doped layer)을 형성하기 위해 상기 기판의 표면을 도편트를 포함하는 가스에 노출시킴으로써 형성되는, 반도체 웨이퍼의 제조 공정.

청구항 15

제11항에 있어서,

상기 보호층은 약 1μm와 약 5μm 사이의 두께를 가지는, 반도체 웨이퍼의 제조 공정.

청구항 16

제11항에 있어서,

상기 보호층은 약 8.5×10^{18} 캐리어/ cm^3 와 약 2.0×10^{19} 캐리어/ cm^3 사이의 도편트 농도로 도핑된, 반도체 웨이퍼의 제조 공정.

청구항 17

제11항에 있어서,

상기 보호층은 약 3.2×10^{18} 캐리어/ cm^3 와 약 8.5×10^{18} 캐리어/ cm^3 사이의 도편트 농도로 도핑된, 반도체 웨이퍼의 제조 공정.

청구항 18

제11항에 있어서,

상기 기판은 약 5×10^{14} 캐리어/ cm^3 와 약 1×10^{16} 캐리어/ cm^3 사이의 도편트 농도를 가지는, 반도체 웨이퍼의 제조 공정.

청구항 19

제11항에 있어서,

상기 디바이스층은 P형 도편트로 도핑된, 반도체 웨이퍼의 제조 공정.

청구항 20

제11항에 있어서,

상기 디바이스층은 붕소(boron)로 도핑된, 반도체 웨이퍼의 제조 공정.

청구항 21

제11항에 있어서,

상기 기판은 약 5×10^{14} 캐리어/ cm^3 와 약 1×10^{16} 캐리어/ cm^3 사이의 농도로 P형 도편트에 의해 도핑되고,

상기 보호층은 약 3.2×10^{18} 캐리어/ cm^3 와 약 2.0×10^{19} 캐리어/ cm^3 사이의 농도로 P형 도편트에 의해 도핑되고, 약 $1\mu\text{m}$ 과 약 $10\mu\text{m}$ 사이의 두께를 가지며,

상기 디바이스층은 약 1×10^{14} 캐리어/ cm^3 와 약 4×10^{16} 캐리어/ cm^3 사이의 농도로 P형 도편트에 의해 도핑된, 반도체 웨이퍼의 제조 공정.

청구항 22

제11항에 있어서,

상기 기판은 약 5×10^{14} 캐리어/ cm^3 와 약 1×10^{16} 캐리어/ cm^3 사이의 농도로 P형 도편트에 의해 도핑되고,

상기 보호층은 약 1.0×10^{19} 캐리어/ cm^3 와 약 1.0×10^{20} 캐리어/ cm^3 사이의 농도로 P형 도편트에 의해 도핑되고, 약 $3\mu\text{m}$ 보다 얇은 두께를 가지며,

상기 디바이스층은 약 $2\mu\text{m}$ 와 약 $15\mu\text{m}$ 사이의 두께를 가지고,

상기 공정은, 상기 기판의 모든 재료를 실질적으로 제거하기에 충분한 시간 동안 상기 기판의 후면이 알칼리성 에칭액(alkaline etchant)에 노출되어 상기 보호층을 노출시키는 제1 에칭(etching) 단계를 더 포함하는, 반도체 웨이퍼의 제조 공정.

청구항 23

제22항에 있어서,

상기 에칭액은 수산화칼륨(potassium hydroxide), 수산화나트륨(sodium hydroxide), TMAH(Tetramethylammonium hydroxide) 및 이들의 조합으로 이루어진 그룹으로부터 선택된 화합물을 포함하는, 반도체 웨이퍼의 제조 공정.

청구항 24

제22항에 있어서,

상기 공정은 상기 제1 에칭 단계에 의해 노출된 상기 보호층을 제2 에칭단계를 거치게 하는 단계를 더 포함하는데, 여기서 제2 에칭 단계는 상기 보호층을 산성 에칭액(acidic etchant)에 노출시키는 단계인, 반도체 웨이퍼의 제조 공정.

청구항 25

제24항에 있어서,

상기 산성 에칭액은 플루오르화 수소산(hydrofluoric acid), 질산(nitric acid) 및 아세트산(acetic acid)의 용액을 포함하는, 반도체 웨이퍼의 제조 공정.

청구항 26

제22항에 있어서,

상기 보호층은 약 $2\mu\text{m}$ 이하의 두께를 가지고, 상기 디바이스층은 약 $2\mu\text{m}$ 과 약 $5\mu\text{m}$ 사이의 두께인, 반도체 웨이퍼의 제조 공정.

명세서

기술 분야

<1>

본 발명은 일반적으로 반도체 웨이퍼 및 반도체 웨이퍼의 제조 공정에 관한 발명이다. 보다 구체적으로, 본 발명은 고속 프로세서 장치(high-speed processor device)를 위한 기판으로 사용될 때 이점을 제공하는, 향상된 열 전도율 특성을 가지는 반도체 기판에 관한 것이다.

배경 기술

<2>

반도체 산업에서, 전반적인 스케일링=scaling)은 프로세서 디바이스 상의 트랜지스터 밀도 및 작동 주파수를 증가시킴으로써 실리콘 전력 밀도(silicon power density)를 증가시키는 추세에 있었다. 그러나 설계 및 공정 변경에 의한 전력 감소는 전력 밀도의 증가에 수반하는 작동 온도의 상승을 상쇄하기에 충분하지 않다. 이로 인해, 반도체의 전기적 성능 및 신뢰도는 더 높아진 작동 온도에서 현저하게 저하되어, 반도체의 프로세서 속도 및 수명이 감소한다. 이와 같이, 반도체 구조에 걸친 반도체 접점 온도를 낮춰서, 특히 더 높은 전력 밀도에서 작동하는 구역 내의 로컬 핫 스팟(hot spot)을 방지하는 것이 점점 더 중요한 문제로 대두되고 있다.

<3>

현재, 대부분의 고성능 프로세서 디바이스는 고농도 도핑된(약 10^{19} 캐리어/ cm^3) 실리콘 기판 웨이퍼 상에 성장시킨, 저농도 도핑된(약 1×10^{15} 내지 약 1×10^{16} 캐리어/ cm^3) 박막의(약 $2\mu\text{m}$ 내지 약 $4\mu\text{m}$) 에피택셜 실리콘층 상에 제조되며, 도편트로는 붕소가 선호된다. 이러한 유형의 웨이퍼는 일반적으로 P/P++ 에피택셜 웨이퍼 또는 P/P+ 에피택셜 웨이퍼로 지칭된다. 통상적으로 이 같은 에피택셜 실리콘층은 화학 증착 공정에 의해 성장되는데, 화학 증착 공정에서는 기상의 실리콘 화합물을 웨이퍼 표면 위로 통과시켜 열분해(pyrolysis) 또는 분해되게 하는 동안 기판을 가열한다.

- <4> 디바이스층 아래의 고농도 도핑된 실리콘 기판은 디바이스 래치업(latch-up) 결함, 확산 누출 전류(diffusion leakage current)와 연관된 결함 또는 방사 이벤트(radiation event)와 연관된 결함 같은 다수의 통상적인 디바이스 결함 메커니즘으로부터 보호하기 위한 것이다. 예를 들어, 래치업 결함은 기생 접합(parasitic junction)에서 완전단락 상태(dead short circuit)를 야기하는 전자 접합 현상(electron-collection phenomenon)을 지칭하는 것인데, 이러한 결함은 특히 전략적인 도핑 설계를 이용하여 방지될 수 있다. 따라서, 고농도 도핑된 실리콘 기판 위에 저농도 도핑된 디바이스층을 배열하는 방식은 바람직한 래치업 및 저 확산 전류 특성을 제공한다.
- <5> 고농도 도핑된 실리콘 기판의 사용에 따른 단점으로는 저농도 도핑된 디바이스층에 비해 낮은 열 전도율이 있다. 저농도 도핑된 실리콘의 열 전도율은 고농도 도핑된 실리콘에 비해 약 20% 이상 높은 것으로 보고되고 있다. 이에 관해서는 P. Komarov et al., Transient Thermo-Reflectance Measurements of the Thermal Conductivity and Interface Resistance of Metallized Natural and Isotopically-Pure Silicon, 34 Microelectronics Journal No. 12, at 1115-1118 (2003)을 참조. 박막인 디바이스층에서 생성된 대부분의 열은 실리콘 기판을 통한 전도에 의해 대기로 전달되기 때문에, 열 전도율의 차이는 중요하며, 열 전도율이 낮을 수록 효율성 및 신뢰성이 낮아지는 경향이 있다.
- <6> 기존 기술은 디바이스층으로부터의 열 제거를 향상시키기 위해 패키징을 통해 사용중 실리콘 기판의 후면에서 외부로의 열전달 특성에 집중해왔다. 열싱크(heat sink) 및 패키징 재료의 설계에 의해 경계면의 열 저항(thermal resistance)을 감소시켜 다이의 온도를 낮게 유지해왔으나, 이 같은 노력에 의해서는 디바이스층의 핫스팟에 국부화된 발열 문제가 해결되지 않는다.
- <7> 후면 자동 도핑(backside autodoping), 즉 기판의 후면 또는 측면으로부터 디바이스층으로의 도펀트 원자의 이동은 고농도 도핑된 기판이 저농도 도핑된 디바이스층과 접적될 때 일반적으로 발생하는 또 다른 문제점이다. 이러한 현상을 제한하기 위한 종래의 방안으로는 후면 산화물 차폐층(backside oxide seal)을 고농도 도핑된 기판에 형성하는 것이다. 그러나 양면 폴리싱 웨이퍼(double-side polished wafer)의 경우 산화물 차폐층은 에피택셜 실리콘 구조에 접적될 수 없다.
- <8> 또한, 저농도 도핑된 에피택셜층을 가진 고농도 도핑된 기판은, 후면 발광 방식이 선호되는 CMOS 이미지 센서 애플리케이션에 사용될 때 문제를 일으킨다. 현재, 상업적으로 이용가능한 이미지 센서는 디바이스면(device side)으로부터 발광한다. 통상적인 디바이스면 발광 애플리케이션에 있어서, CMOS 이미지 센서 실리콘 웨이퍼는 Pt 또는 Pt+ 농도로 도핑된 기판과 P 농도로 도핑된 에피택셜층을 포함한다. 디바이스면 발광을 이용하는 기존의 기술은 금속의 향상된 상호 연결을 통한 회로 기능성 향상 및 픽셀 크기의 축소라는, 이 같은 애플리케이션에서의 스케일링 경향 및 목표를 만족시킬 수 없다. 후면 발광 방식은 이 같은 목표를 만족시킬 뿐만 아니라 디바이스의 필 팩터(fill factor) 및 양자 효율을 향상시킬 수 있을 것으로 여겨지고 있다. 이 용어들은 이미지 센서를 실제로 발광시킬 수 있는 광 에너지의 순량(net amount)을 측정하기 위한 서로 다른 방식으로 사용된다. 필 팩터(fill factor)는 빛에 노출될 수 있는 이미지 센서의 백분율 또는 비율을 의미하는데, 기존의 디바이스면 발광 장치의 필 팩터는 더 복잡한 금속 층 및 필름뿐만 아니라 진보된 디바이스 형상(topography)에 의해 감소된다. 필 팩터가 감소함에 따라, 투영된 빛이 활성 전자 캐리어(active electron carrier)를 생성하는 효율의 측정치인 양자 효율도 감소한다.
- <9> 이미지 센서 성능 상의 개선은 후면 발광 기술을 이용해 실현될 수 있는데, 이 경우 디바이스 패턴, 금속층, 상호 연결 및 필름 같은 디바이스면의 특징들이 발광 프로세스를 방해하지 않기 때문이다. 그 결과 약 100%의 필 팩터, 반사 방지 코팅(antireflection coating)의 유연성의 증가 및 양자 효율의 증가가 이루어진다. 게다가, 후면 발광은 진보된 디바이스 아키텍처 및 상호 연결의 접적을 가능하게 한다. 그러나 후면 발광은 가시광선을 전기 신호로 효율적으로 변환하기 위해 수 마이크론의 디바이스면 광다이오드 내에서 이루어져야 한다. 이를 위해서는 매끄러운 후방의 표면을 생성하도록 본래 형성된 그대로의 실리콘 구조의 후방부로부터 일정하면서도 균일하게 재료를 제거하여 평坦한 후방 표면을 형성하는데, 일정하고도 균일한 재료 제거를 위해서는 실리콘 구조를 수백 마이크론에서 예컨대 약 15 μm 이하와 같이 수 마이크론으로 박막화할 필요가 있다. 나아가, 후방의 표면은 표면에서 광자 생성 캐리어(photon-generated carrier)가 재결합되는 것을 방지하기 위한 피복화(passivation)가 가능하여야 하며, 또한 이미지 센서 디바이스 내의 전기장으로 광자 생성 캐리어를 광 다이오드로 보낼 수 있어야 한다. 이 같은 특성들이 실리콘 구조를 박막화하기 위한 기존의 기계적 또는 화학적 수단을 이용해서는 용이하게 보장될 수 없다. 박막화를 위한 기계적 수단은 이 같은 작은 단위에서는 실행 불가능하며, 이미지 센서의 물리적 특성의 허용치 내에서 화학적 제거 레이트를 조정하는 것도 어렵다.

발명의 상세한 설명

- <10> 본 발명의 다양한 태양 중에서, 일반적인 반도체 결함 메커니즘을 방지하는 바람직한 열 전달 특성을 가지는 실리콘 반도체 웨이퍼를 들 수 있다.
- <11> 따라서, 간략하게 본 발명은 실리콘 디바이스층, 기판, 실리콘 디바이스층과 기판 사이에 배치된 실리콘 보호층을 포함하는 반도체 웨이퍼에 관한 발명이다. 기판은 중심 축, 중심 축에 대체로 수직인 전면 및 후면, 원주 방향 모서리, 및 중심 축에서 원주 방향 모서리로 연장된 반경을 가진다. 보호층은 적어도 약 $0.5\mu\text{m}$ 의 두께를 가지고, 약 6.0×10^{17} 캐리어/ cm^3 와 약 1.0×10^{20} 캐리어/ cm^3 사이의 도편트 농도로 도핑된다. 또한, 기판과 디바이스층은 약 1×10^{17} 캐리어/ cm^3 보다 낮은 도편트 농도로 도핑된다.
- <12> 또한, 본 발명은 이러한 반도체 웨이퍼들을 제조하기 위한 공정에 관한 발명이다.
- <13> 다른 목적 및 특성은 이하의 본 명세서에 일부는 명시되어 있고, 일부는 그로부터 명백하게 기재되어 있다.

실시예

- <25> 도 1을 참조하여, 본 발명의 다양한 태양 중 하나로 향상된 열 전도율을 가지는 반도체 웨이퍼(1)를 들 수 있다. 반도체 웨이퍼(1)는 전면(F), 후면(B) 및 가상의 중앙 축(A)을 가지는데, 여기서 "전면"과 "후면"이란 용어는 웨이퍼에서 대체로 평면인 두 개의 주요 표면을 구별하기 위해서만 본 명세서에서 사용된다. 또한, 반도체 웨이퍼(1)는 실리콘 디바이스층(3), 실리콘 보호층(5) 및 기판(7)을 포함한다.
- <26> 다양한 통상적인 종래의 디바이스 결함 메커니즘을 방지하기 위해, (125°C를 초과하지 않는 온도에서) 기판(7)의 열 전도율이 보호층(5)의 열 전도율보다 적어도 5% 더 큰 것이 바람직하다. (125°C를 초과하지 않는 온도에서) 기판(7)의 열 전도율이 보호층(5)의 열 전도율보다 적어도 10% 더 큰 것이 바람직하다. 예를 들어, 몇몇 실시예에서는 125°C를 초과하지 않는 온도에서, 기판(7)의 열 전도율이 보호층(5)의 열 전도율보다 적어도 15%, 적어도 20% 또는 적어도 25% 더 크다.
- <27> 도 2를 참조하여, 반도체 웨이퍼(1)는 축(A)으로부터 반도체 웨이퍼(1)의 모서리(E)까지 연장된 가상의 반경(R)을 가진다. 본 발명의 반도체 웨이퍼가 디바이스 제조 공정에서 시작 재료로 이용되기 때문에, 디바이스층(3) 및 실리콘 보호층(5)이 실질적으로 웨이퍼의 직경에 걸쳐 연장되어 있는 것이 바람직하다. 즉, 더 바람직하게는, 디바이스층(3)과 실리콘 보호층(5)은, 축(A)을 포함하면서 축(A)에 대해 대칭적으로 배치되어 있으며, 상기 축에서 반도체 웨이퍼 모서리(E)까지의 반경(R) 길이의 적어도 90%까지 연장된다. 더욱 바람직하게는, 디바이스층(3)과 실리콘 보호층(5)은 축(A)을 포함하면서, 축(A)에 대해 대칭적으로 배치되어 있으며, 상기 축에서 반도체 웨이퍼 모서리(E)까지의 반경(R) 길이의 적어도 99%까지 연장된다.
- <28> 도 3을 참조하여, 본 발명의 예시적인 반도체 웨이퍼에 대한 캐리어 농도 프로파일이 도시된다. 도시된 바와 같이 반도체 웨이퍼의 디바이스층(깊이가 $0\mu\text{m}$ 내지 약 $2\mu\text{m}$ 인 웨이퍼 구역)은 약 1×10^{16} 원자/ cm^3 의 도편트 농도를 가지며, 실리콘 보호층(깊이가 약 $3\mu\text{m}$ 내지 약 $5\mu\text{m}$ 인 웨이퍼 구역)은 약 1×10^{19} 원자/ cm^3 의 도편트 농도를 가지고, 기판(깊이가 약 $6\mu\text{m}$ 이상인 웨이퍼 구역)은 약 1×10^{15} 원자/ cm^3 의 도편트 농도를 가진다. 본 발명에 따르면, 반도체 재료가 기판에 대해 선택될 때, P형 또는 N형 도편트가 각각의 디바이스층(32), 보호층(33) 및 기판(34)을 도핑하는데 이용될 수 있다.

I. 기판

- <30> 일반적으로, 기판은, 부가적인 층이 그 위에 형성될 수 있고 통상적으로 적어도 약 $120 \text{ W/m} \cdot \text{K}$ 의 열 전도율을 가지는 재료를 포함한다. 기판은 단일층의 재료 또는 복수층을 포함할 수 있다. 그러나 통상적으로, 기판은 초크랄스키법(Czochralski; Cz) 또는 유동띠 방법(floating zone methods) 같은 종래 방법들 중 일 방법에 따라 성장한 단결정 실리콘 잉곳(ingot)으로부터 슬라이싱된다. 따라서 설명이 편의를 위해, 본 명세서에서 단일 결정 실리콘 웨이퍼를 예로서 사용하기로 한다. 따라서, 일 응용예에서, 본 발명의 웨이퍼를 위한 시작 재료는, 통상적으로 공정 직경(nominal diameter)이 150mm, 200mm, 300mm 또는 그 이상인 Cz 결정 성장법에 따라 성장한 단결정 잉곳으로부터 슬라이싱된 실리콘 기판이다. 기판은 폴리싱될 수 있고 또는 대체하여 폴리싱되지 않고 래핑(lapping)되어 에칭될 수 있다. 이 같은 방법 및 표준 실리콘 슬라이싱 기술은 FUMIO SHIMURA, SEMICONDUCTOR SILICON CRYSTAL TECHNOLOGY (1989) and SILICON CHEMICAL ETCHING (Josef Grabmaier ed.,

1982)에 개시되어 있다. 바람직하게, 기판은 당업자에게 알려진 종래의 표준 기술에 의해 폴리싱되고 세척된다. 이에 관해서, HANDBOOK OF SEMICONDUCTOR SILICON TECHNOLOGY (William C. O'Mara et al. eds., 1990)를 참조한다.

<31> 일반적으로, 단결정 실리콘 기판은 P- 또는 N- 실리콘이 되도록 저농도 도핑되며, P- 또는 N- 실리콘 같은 용어는 본 발명이 속하는 기술분야에서 통상적으로 사용되고 본 명세서에서 설명된다. 즉, P형 도핑 응용예에서, 일반적으로 실리콘 기판은 약 1×10^{16} 캐리어/cm³보다 낮은, 예컨대 약 5×10^{15} 캐리어/cm³보다 낮은 농도를 가진다. 더 나아가, 통상적으로 기판은, 예컨대 산소와 연관된 열적 도우너 생성(thermal donor generation) 같이, 저농도 도핑 수준에서 발견되는 바람직하지 않은 현상을 최소화하기 위해 적어도 약 5×10^{14} 캐리어/cm³를 포함한다. 예를 들어, 통상적으로 P- 도핑된 단결정 실리콘 기판은 약 5×10^{14} 캐리어/cm³와 약 1×10^{16} 캐리어/cm³ 사이의 농도를 가진다. N형 도핑된 응용예에서, 일반적으로 실리콘 기판은 약 5×10^{15} 캐리어/cm³보다 작은, 예컨대 약 1×10^{15} 캐리어/cm³보다 작은 농도를 가진다.

<32> 또 다른 태양에서, 본 발명의 실리콘 기판은 P++ 또는 N++ 실리콘의 열 전도율보다 적어도 약 5% 더 큰 열 전도율을 가지는데, P++ 또는 N++ 실리콘 같은 용어는 본 발명이 속하는 기술분야에서 통상적으로 사용되며 본 명세서에서 설명된다. 일반적으로, 도핑된 실리콘의 열 전도율은 도핑 수준 및 분위기의 온도(atmospheric temperature)와 반비례 관계에 있으며, 즉 도핑된 실리콘의 열 전도율은 도편트 농도 및 분위기 온도가 증가함에 따라 감소한다. 최근에 수집된 데이터에 따르면, 실온(room temperature)에서 P++ 또는 N++ 실리콘은 약 114 W/m·K보다 작은 열 전도율을 나타낸다. 따라서, 본 발명의 실리콘 기판의 열 전도율은 약 120 W/m·K보다 크다. 보다 통상적으로, 본 발명의 실리콘 기판의 열 전도율은 약 130 W/m·K보다 크며, 예컨대 약 135 W/m·K보다 크다. 몇몇 응용예에서, 열 전도율은 약 140 W/m·K보다 클 수 있으며, 나아가 약 150 W/m·K보다 클 수 있다.

<33> 단결정 실리콘 기판은 기판에 원하는 다양한 특성을 가지도록 적어도 하나의 도편트를 포함한다. 예를 들어, 기판은 P형 도편트(즉, 주기율표의 3족 원소, 예컨대 붕소, 알루미늄, 갈륨 및 인듐) 또는 N형 도편트(즉, 주기율표의 5족 원소, 예컨대 인, 비소, 안티몬)를 포함할 수 있다. P형 도핑을 원하는 경우, 도편트가 붕소인 것이 바람직하다. N형 도핑을 원하는 경우 도편트가 인인 것이 바람직하다.

II. 보호층

<35> 통상적으로 보호층은 예컨대 래치업 및 저 확산 전류 실패(low diffusion current failure) 같은 일반적인 디바이스 실패 메커니즘을 방지하기 위해 고농도 도핑된 실리콘을 포함한다. 응용예에 따라, 위에서 언급한 P형 또는 N형 도편트 중 임의의 일 도편트가 보호층을 형성하기 위해 사용될 수 있다. 일반적으로, 보호층은 약 1×10^{18} 캐리어/cm³보다 높은 농도를 가진다. 예를 들어, P형 도핑 응용예에서, 고농도로 도핑된 실리콘 보호층은 약 1×10^{18} 캐리어/cm³와 약 1×10^{20} 캐리어/cm³ 사이의 농도를 가진다. 도편트 농도가 P++인 경우, 일반적으로 약 8.5×10^{18} 캐리어/cm³와 약 2.0×10^{19} 캐리어/cm³ 사이의 농도를 가지며, 도편트 농도가 P+인 경우, 일반적으로 약 3.2×10^{18} 캐리어/cm³와 약 8.5×10^{18} 캐리어/cm³ 사이의 농도를 가진다. 바람직한 일 실시예에서, 보호층의 도편트 농도는 약 1.0×10^{19} 캐리어/cm³와 약 1.25×10^{19} 캐리어/cm³ 사이이다. N형 도핑된 응용예에서, 고농도 도핑된 실리콘 보호층은 약 6.0×10^{17} 캐리어/cm³와 약 5×10^{19} 캐리어/cm³ 사이의 농도를 가진다. 도편트 농도가 N++인 경우, 약 1.2×10^{19} 캐리어/cm³와 약 3.5×10^{19} 캐리어/cm³ 사이의 농도를 가지며, 도편트 농도가 N+인 경우, 약 6.0×10^{17} 캐리어/cm³와 약 4.5×10^{18} 캐리어/cm³ 사이의 농도를 가진다.

<36> 또 다른 태양에서, 보호층은 기판의 열 전도율보다 낮은 열 전도율을 갖는 것을 그 특징으로 한다. 즉, 보호층은 실온에서 약 114 W/m·K보다 낮은 열 전도율을 갖는 것을 그 특징으로 한다. 예를 들어, 보호층은 실온에서 약 110 W/m·K보다 낮거나 약 100 W/m·K보다도 낮은 열 전도율을 갖는 것을 그 특징으로 한다.

<37> 위에서 언급한 기판의 열 전도율에 비추어, 기판은 약 120 W/m·K 보다 큰 열 전도율을 가지며, 보호층은 약 114 W/m·K보다 작은 열 전도율을 가진다. 예를 들어, 일 응용예에서, 기판의 열 전도율은 약 130 W/m·K 보다 크며, 보호층의 열 전도율은 약 114 W/m·K보다 작다. 또 다른 응용예에서, 기판의 열 전도율은 약 135 W/m·K 보다 크며 보호층의 열 전도율은 약 110 W/m·K보다 작다.

- <38> 보호층의 저항율은 캐리어 농도를 산정할 수 있는 또 다른 방법이다. 일반적으로 보호층의 저항율은 약 $2.5\Omega \cdot \text{cm}$ 와 약 $25\Omega \cdot \text{cm}$ 사이이며, 통상적인 범위는 약 $5\Omega \cdot \text{cm}$ 와 $10\Omega \cdot \text{cm}$ 사이이고, 약 $10\Omega \cdot \text{cm}$ 와 약 $20\Omega \cdot \text{cm}$ 사이이다. 바람직한 일 실시예에서, 보호층의 저항율은 약 $8\Omega \cdot \text{cm}$ 이다.
- <39> 일반적으로, 보호층은 필요한 보호를 제공할 수 있을 정도의 두꺼운 두께를 가지면서도, 디바이스층에서 고 온도율을 가지는 기판으로의 열전달을 촉진할 수 있는 얇은 두께를 가진다. 통상적으로, 보호층은 적어도 약 $1\mu\text{m}$ 의, 예컨대 약 $1\mu\text{m}$ 와 약 $10\mu\text{m}$ 사이의 두께를 가진다. 보다 통상적으로, 보호층은 약 $1\mu\text{m}$ 와 약 $5\mu\text{m}$ 사이의 두께를 가지며, 몇몇 응용예에서, 보호층은 약 $1\mu\text{m}$ 와 약 $3\mu\text{m}$ 사이의 두께를 가진다.
- <40> 실리콘 기판 상의 고농도 도핑된 실리콘 보호층을 형성하기 위한 종래 기술이 보호층을 형성하기 위해 이용된다. 예를 들어, 보호층은 에피택셜 적층(epitaxial deposition), 이온 주입(ion implantation) 및 고온 확산(high temperature diffusion)을 위한 기상 도핑(gas phase doping)을 이용하여 형성될 수 있다. 이러한 각각의 기술은 공지의 기술이며, STANLEY WOLF & R.N. TAUBER, SILICON PROCESSING FOR THE VLSI ERA - PROCESS TECHNOLOGY (1st ed. 1986) and STEPHEN A. CAMPBELL, THE SCIENCE AND ENGINEERING OF MICROELECTRONIC FABRICATION (2nd ed. 2001) 같은 당업자가 용이하게 입수할 수 있는 문헌에 더 자세히 설명되어 있다.
- <41> 미국 특허 제5,789,309호에 설명되어 있는 에피택셜 성장 공정 같은 종래 수단에 의해 상술한 기판의 표면 위에 에피택셜층을 적층 또는 성장시킬 수 있다. 통상적으로, 에피택셜층의 성장은 화학 기상 증착에 의해 달성될 수 있으며, 이는 화학 기상 증착이 반도체 재료 상에 에피택셜층을 성장시키는데 있어서 가장 유연하면서도 비용효율적인 방법 중 하나이기 때문이다. 에피택셜 적층에 의해 보호층을 형성하는데에 있어서의 일 장점으로는 존재하는 에피택셜 성장 반응기가 에피택셜 성장 동안 도편트 직접 공급법(direct dopant feed)과 관련하여 이용될 수 있다는 것을 들 수 있다. 예를 들어, 실리콘을 봉소로 도핑할 때, 고농도 디보란(diborane) 소스 가스(source gas)를 이송 가스(carrier gas)와 혼합하여 에피택셜로 성장된 보호층을 도핑하는데 사용할 수 있다.
- <42> 또 다른 실시예에서, 이온 주입 기술이 도편트 원자를 단결정 실리콘 기판에 도핑하는데 이용될 수 있다. 또 다른 실시예에서, 기상 도핑 기술이 도편트 원자를 단결정 실리콘 기판에 도핑하는데 이용된다. 이온 주입 또는 기상 도핑 기술이 이용될 때, 이러한 기술은 높은 온도에서 실행되거나 도편트 원자를 기판으로 확산시켜 보호층을 형성하기 위한 고온 어닐링이 후속하여 실행된다.
- <43> 또한, 고농도 도핑된 실리콘 보호층을 형성하는데 이용되는 특정 기술과 관계없이, 고농도 도핑된 보호층과 저농도 도핑된 기판 간의 전이에 의해 생성된 도편트 프로파일은 전기장을 형성하여 보호층과 기판 사이의 보호층과 기판 사이의 경계면에서 기판으로 초과 전하 캐리어(excess charge carrier)가 이동하게 된다. 또한, 보호층에서 전하 캐리어를 멀리 이동시키고, 따라서 디바이스층에서도 전하 캐리어를 멀리 이동시키는 전기장을 형상함으로써, 보호층은 방사 유도 이벤트(radiation-induced event) 또는 결함의 영향을 효과적으로 감소시킨다.
- <44> III. 디바이스층
- <45> 일반적으로, 디바이스층은 적어도 일 레벨의 전기 디바이스를 포함할 수 있는 두께를 가진다. 디바이스층은 일 레벨 이상의 전기 디바이스를 포함할 수 있다. 따라서, 두께는 특정 애플리케이션에 필요한 레벨의 수에 따라 다르다. 일반적으로 디바이스층은 약 $25\mu\text{m}$ 보다 얇은 두께를 가진다. 예를 들어, 통상적으로 디바이스층은 약 $1\mu\text{m}$ 와 약 $25\mu\text{m}$ 사이의 두께를 가진다. 몇몇 응용예에서, 디바이스층은 약 $1\mu\text{m}$ 와 약 $20\mu\text{m}$ 사이의 두께를 가진다. 다른 응용예에서, 디바이스층은 약 $1\mu\text{m}$ 와 약 $10\mu\text{m}$ 사이의 두께를 가진다. 예컨대 고속 프로세서 장치 같은 또 다른 응용예에서, 디바이스층은 약 $1\mu\text{m}$ 와 약 $5\mu\text{m}$ 사이의 두께를 가진다. 또는, 예컨대 전력 장치 같은 몇몇 애플리케이션에서, 디바이스층은 약 $5\mu\text{m}$ 와 약 $20\mu\text{m}$ 사이의 두께를 가진다.
- <46> 디바이스층을 형성하기 위해, 반도체 웨이퍼는 이하에서 기술된 바와 같이 임의의 적합한 에피택셜 적층 기법을 거쳐야 한다. 에피택셜 성장 반응기에서 필요한 두께를 가진 디바이스층을 형성하기에 충분한 시간동안 성장이 이루어진다. 디바이스층은 에피택셜층이 성장한 후 또는 성장시에 도핑될 수 있다. 디바이스층이 성장 동안 도핑될 때 도편트 직접 공급법이 이용될 수 있다. 예를 들어, 디보란 소스 가스는 실리콘을 봉소로 도핑할 때 이용될 수 있다. 도편트 수준은 통상적인 실리콘 디바이스층에 따르며, 이는 통상적으로 P, P-, N 또는 N-로 지칭된다. 즉, 통상적으로 디바이스층은 약 7.5×10^{14} 캐리어/ cm^2 와 약 2.5×10^{16} 캐리어/ cm^2 사이의 농도를 가진다. 예를 들어, 통상적으로 디바이스층은 약 1×10^{15} 캐리어/ cm^2 와 약 1×10^{16} 캐리어/ cm^2 사이의 농도를 가진다. 애플리케이션에 따라, 상술한 적당한 P형 도편트(예컨대 봉소) 또는 N형 도편트(예컨대 인) 중 임의의 도편트가 사용될 수 있다. P형 도편트로 도핑된 디바이스층의 통상적인 애플리케이션으로는 메모리 및 논리 애플리케이

션과 같은 고속 마이크로프로세서 장치가 있다. N형 도편트로 도핑된 디바이스층의 통상적인 애플리케이션으로는 전력 장치가 있다.

<47> IV. 생성된 웨이퍼의 특성 및 애플리케이션

A. 후방부 자동 도핑 방지(Backside Autodoping Prevention)

일 실시예에서, 본 발명은 P/P+/P- 반도체 구조을 형성하는데 이용된다. 즉, 본 발명은 고농도 도핑된 P+ 보호층 및 중간농도 도핑된 P 디바이스층을 가지는 저농도 도핑된 P- 기판을 형성하는데 이용될 수 있다. 이 같은 반도체 구조는 양면 폴리싱 구조와 같이 산화물 차폐(oxide seal)가 바람직하지 않고, 저농도 도핑된 디바이스층을 가진 고농도 도핑된 기판 같이 후방부 자동 도핑을 방지해야 하는 애플리케이션에서 사용될 수 있다. 본 발명에 따른 P/P+/P- 반도체 구조를 형성함으로써, 디바이스층에서 보호층으로의 P에서 P+로의 전이와 기능적으로 동등한 것이 실현되며, 이는 기판의 낮은 도핑 수준 때문에 기판의 후면으로부터 디바이스층으로 도편트 원자가 이동하는 것을 방지할 수 있는 부가적인 장점이 있다. 본 응용예에서, 기판은 약 1×10^{16} 캐리어/cm³보다 낮은 도편트 수준을 가지며, 보호 P+ 층은 약 3.2×10^{18} 캐리어/cm³와 약 8.5×10^{18} 캐리어/cm³ 사이의 도편트 수준을 가지고, 디바이스층은 약 1×10^{14} 캐리어/cm³와 약 4×10^{16} 캐리어/cm³ 사이의 도편트 수준을 가진다. 또한, 보호층은 약 8.5×10^{18} 캐리어/cm³와 약 2×10^{19} 캐리어/cm³ 사이의 P++ 층일 수 있다. 더 나아가, 통상적으로 보호 P+ 층은 약 $1\mu\text{m}$ 과 약 $10\mu\text{m}$ 사이의 두께를 가지며, 통상적으로 디바이스층은 약 $2\mu\text{m}$ 과 약 $5\mu\text{m}$ 사이의 두께를 가진다.

B. 후면발광 애플리케이션

부가하여, 본 발명에 따라 형성된 P/P++/P- 반도체 구조는 향상된 CMOS 이미지 센서 장치 같은 후면 발광 애플리케이션에서 사용하기 위한 박막 실리콘 구조를 생산하는데 유용하다. 도 16은 본 응용예의 통상적인 P/P++/P- 반도체 구조의 통상적인 캐리어 농도 프로파일을 도시한다. P/P++/P- 반도체 구조가 형성된 후, 실질적으로 모든 기판 재료가 제거되고 균일하게 박막화된 P/P++ 실리콘 구조가 매우 균일한 두께로 산출되는데 충분한 시간 동안 P- 기판의 후 표면을 알칼리성 에칭액에 노출시킨다. 즉, 본 발명의 본 응용예에서, 고농도 도핑된 P++(또는 P+++) 보호층은 알칼리성 부식에 대한 에칭 정지층의 역할을 한다. 통상적인 에칭액은 적정 농도의 TMAH(tetramethylammonium hydroxide), KOH(potassium hydroxide) 및 NaOH(sodium hydroxide) 같은 화합물을 포함한다. 바람직한 일 응용예에서 TMAH가 알칼리성 에칭액으로 사용되며, 약 25 wt%가 TMAH의 바람직한 농도이다. P-기판이 P++ 보호층보다 약 10배 내지 약 20배 빠른 에칭 레이트로 에칭되기 때문에 고농도 도핑된 보호층이 알칼리성 에칭액을 이용한 에칭 정지층의 역할을 한다. 예를 들어, 도 10은 알칼리성 에칭액이 적어도 약 $10\mu\text{m}$ 에 표시된 수직 점선까지 재료를 제거하고, 가능하다면 약 $6\mu\text{m}$ 에 나타난 수직 점선까지 재료를 제거하는데 어떻게 이용될 수 있는지를 도식적으로 보여준다. 본 응용예에서 실행된 에칭은 전기 화학 셀(electrochemical cell)에서 선택적으로 이루어질 수 있으며, 이는 에칭 레이트를 증가시키고 에칭 후의 선택 단계인 전기 화학적 패시베이션(electrochemical passivation) 단계를 용이하게 한다.

선택적으로, P- 기판의 남은 표면(remaining back surface)을 알칼리성 화학 에칭액에 노출시키기 전에 연삭(grinding) 또는 폴리싱 같은 기계적 수단이 P- 기판의 후 표면의 상당 부분을 제거하는데 이용된다. 이 경우, 알칼리성 에칭액을 이용하기 전에 기계적 수단이 P- 기판 두께의 약 75% 이상, 예컨대 기판 두께의 약 80%, 약 90% 또는 약 95% 이상을 제거하는데 이용된다. 예를 들어, 다시 도 10을 참조하여, 기계적 수단이 적어도 약 $10\mu\text{m}$ 에 표시된 수직 점선까지 재료를 제거하는데 이용될 수 있고, 후속하여 알칼리성 에칭액이 약 $6\mu\text{m}$ 에 표시된 수직 점선까지 부가적인 재료를 제거하는데 이용될 수 있다. 더 나아가, 기판 제거에 의해 노출된 P++ 표면이 P/P++ 실리콘 구조를 더욱 박막화하고 P++ 표면을 더욱 평탄화하기 위해 산성 에칭액에 선택적으로 노출된다. 일 응용예에서, 예컨대 산성 에칭액은 플루오르화 수소산(hydrofluoric acid), 질산(nitric acid) 및 HNA(acetic acid)의 용액을 포함한다. 다시 도 10을 참조하여, 산성 에칭액은 약 $6\mu\text{m}$ 에 표시된 수직 점선에서 약 $3\mu\text{m}$ 에 표시된 수직 점선까지 재료를 제거하는데 이용될 수 있다.

본 응용예에서, 기판은 약 1×10^{16} 캐리어/cm³보다 낮은 도편트 수준을 가지고, 보호층은 약 1×10^{19} 캐리어/cm³보다 큰 도편트 수준, 예컨대 약 1.0×10^{19} 캐리어/cm³와 약 1.0×10^{20} 캐리어/cm³ 사이의 농도를 가진다. 예를 들어, 보호층은 약 5.0×10^{19} 캐리어/cm³와 약 1.0×10^{20} 캐리어/cm³ 사이의 농도를 가질 수 있다. 이 같은 농도로 도핑된 실리콘은 고농도 도핑된 P++ 또는 P+++ 실리콘층으로 일반적으로 지칭된다. 더 나아가, 더 높은 도핑

농도는 더 얇은 보호층에 대응하는 방식으로 보호층의 두께는 본 응용예에서 제한된다. 예를 들어, 통상적으로 예청 정지층의 역할을 하는 보호층의 두께는 약 $5\mu\text{m}$ 보다 얕으며, 예컨대 $2\mu\text{m}$, 약 $1\mu\text{m}$ 또는 약 $0.5\mu\text{m}$ 보다 작을 수 있다. 일 응용예에서, 보호층은 결정 격자 스트레이인 완화층(crystal lattice strain reliever)로서의 역할을 하도록 Ge를 더 포함하며, 이는 고농도 도핑된 보호층이 상술한 것보다 더 두꺼운 두께를 가질 수 있도록 한다. 마지막으로, 디바이스층은 통상적으로 약 $2\mu\text{m}$ 과 약 $15\mu\text{m}$ 사이의 두께이며, 예컨대 약 $2\mu\text{m}$ 과 약 $10\mu\text{m}$ 사이의 두께이다. 일 응용예에서, 디바이스층은 약 $2\mu\text{m}$ 과 약 $5\mu\text{m}$ 사이의 두께를 가진다.

<54> 생성된 P/P++ 실리콘 구조의 후방부 P++ 표면은 평坦한데, 이는 후면 발광 동안 빛의 산란을 최소화한다. 또한, 디바이스층에서 보호층으로의 전이에 의해 형성된 도핑 농도의 구배(doping gradient)는 전자를 후면 발광 표면에서 디바이스층으로 전자를 이동시키는 전기장을 형성하는데, 이로 인해 광 다이오드 접합에서 양자 효율이 향상되기 때문에 이미지 센서 장치에 큰 장점이 된다.

<55> 본 발명을 상세히 설명함으로써, 첨부된 청구범위에 정의된 본 발명의 범위에서 벗어나지 않고 수정 및 변경이 이루어질 수 있다는 것이 명백하다.

<56> 이하의 비제한적인 예시는 본 발명을 더 자세히 설명하기 위해 제공된다.

<57> 예시 1

<58> 두 유형의 반도체 웨이퍼가 준비되었는데, 제1 유형은 본 발명의 예시적인 반도체 웨이퍼를 나타내는 P- 기판을 가지며, 제2 유형은 종래의 반도체 웨이퍼를 나타내는 P++ 기판을 가진다. P형 도편트가 각 유형의 반도체 웨이퍼에서 사용되었다. P- 기판을 가진 반도체 웨이퍼는, 약 1×10^{16} 캐리어/ cm^3 의 농도를 가지는 디바이스층이 약 $2\mu\text{m}$ 의 깊이까지 웨이퍼 내로 연장되고, 약 1×10^{19} 캐리어/ cm^3 의 농도를 가지는 보호층이 약 $3\mu\text{m}$ 부터 약 $5\mu\text{m}$ 의 깊이까지 웨이퍼로 연장되고, 약 1×10^{15} 캐리어/ cm^3 의 농도를 가지는 기판이 약 $6\mu\text{m}$ 부터 웨이퍼의 전 깊이로 연장되는 캐리어 농도 프로파일을 가진다. P++ 기판을 가진 반도체 웨이퍼는, 약 1×10^{16} 캐리어/ cm^3 의 농도를 가지는 디바이스층이 약 $2\mu\text{m}$ 의 깊이까지 웨이퍼로 연장되고, 약 1×10^{19} 캐리어/ cm^3 의 농도를 가지는 보호층이 약 $3\mu\text{m}$ 부터 전 깊이로 연장되는 캐리어 농도 프로파일을 가진다. 각 유형의 반도체 웨이퍼에 대한 도핑 프로파일은 도 3 및 4에 나타나 있다.

<59> 특히, 도 3 및 4는 각 유형의 반도체 웨이퍼와 연관된 캐리어 도편트 프로파일이 깊이가 약 $4\mu\text{m}$ 인 곳에서 동일하다는 것을 나타내며, 즉 양 유형의 반도체 웨이퍼는 웨이퍼의 전 표면에서부터 깊이가 약 $2\mu\text{m}$ 에서 $3\mu\text{m}$ 인 곳에서 P/P+ 전이를 한다는 점이 공통된다. 이 같은 전이는 디바이스 실패가 본 발명의 예시적인 반도체 웨이퍼의 디바이스/보호층 경계면에서 방지될 것을 확인해준다. 또한, 고농도 도핑된 보호층과 저농도 도핑된 기판 사이의 경계면에서의 도핑 농도의 구배는 전기장을 형성하고, 이러한 전기장은 디바이스층 아래의 기판에서 생성된 전하 캐리어 집합을 감소시켜주며, 따라서 본 발명의 예시적인 반도체 웨이퍼의 보호층의 보호 기능을 향상시킨다.

<60> 그 후 열 모델링이 도 3 및 4에 도시된 웨이퍼에 대해 균일 가열(uniform heating)과 로컬 핫 스팟(localized hot spot)이라는 두 개의 조건 하에서 이루어졌다. 모의실험에 저농도 도핑된 P- 기판과 고농도 도핑된 P++ 기판 간에 용인된 20% 열 전도율 차이를 이용하여 이루어졌다. 이러한 두 개의 조건을 전력이 $20\text{mW} \times 20\text{mW}$ 그리드에 분산된 것으로 하여 모델링하였는데, 그리드는 $1\text{mm} \times 1\text{mm}$ 그리드 스퀘어(grid square)로 파티션된 이론상의 다이를 나타낸다. 균일 가열 조건 하에서의 웨이퍼를 모델링하기 위해, 160W의 작동 전력이 $20\text{mW} \times 20\text{mW}$ 그리드에 걸쳐 균일하게 분산되었다. 웨이퍼를 로컬 핫 스팟으로 모델링하기 위해, 10배 증가된 국부화된 전력(즉, 1600W)이 핫 스팟을 모의실험하기 위해 두 개의 이격된 $1\text{mm} \times 1\text{mm}$ 그리드 스퀘어에 집중되고, 동시에 동일한 전체 다이 작동 전력이 유지되었다. 모델링은 $250\mu\text{m}$ 및 $500\mu\text{m}$ 의 다이 두께에 대해 두 개의 조건 하에서 수행되었다. 열 모델링의 결과는 이하의 표 1 및 2에서 나타나 있으며, 이는 각각 균일 가열 조건 및 로컬 핫 스팟에 대응한다. 또한, 이 모델링에서 기판의 하부에서의 열 전도 상수를 $0.84\text{kW}/\text{m}^2\text{K}$ 로 가정했는데, 이는 문헌에 공개된 값에 기초한 것이다.

<61> 표 1:

기판 도핑	다이 두께	최고 온도(°C)
P++	$250\mu\text{m}$	65.0
	$500\mu\text{m}$	65.9

P-	250 μm	64.8
	500 μm	65.6

<63>

표 2:

<64>

기판 도핑	다이 두께	최고 온도(°C)
P++	250 μm	97.5
	500 μm	90.1
P-	250 μm	92.5
	500 μm	85.7

<65>

열 모델링의 결과는, 균일 전력 분산 하에서 두 웨이퍼가 유사한 열 분산을 제공한다는 것을 보여준다. 구체적으로, 표 1은, 두 P- 기판 샘플들에서 도달한 최고 다이 온도가 대응되는 P++ 기판 샘플들과 비교할 때 250 μm 샘플의 경우 0.2°C만큼, 500 μm 샘플의 경우 0.3°C만큼만 낮았다. 열 분산에 있어서 이러한 미약한 향상은, 주어진 웨이퍼의 기판의 도핑 농도가 균일 가열 하에서의 열 분산에는 별다른 영향을 주지 못한다는 것을 의미한다.

<66>

그러나 국부화된 핫 스팟에 관한 모델링에서, 표 2는 P- 기판을 가지는 반도체 웨이퍼가 로컬 핫 스팟으로부터의 열을 더 효과적으로 분산시켰다는 것을 나타낸다. 구체적으로 P- 기판 웨이퍼 샘플들은, 최고 다이 온도가 대응하는 P++ 기판 웨이퍼들의 최고 다이 온도보다, 250 μm 샘플의 경우에는 5°C 낮고, 500 μm 샘플의 경우에는 4.4°C 낮았다.

<67>

또한, 온도 등고선 지도는 핫 스팟 모의 실험으로부터의 웨이퍼들 간의 차이를 더 상세히 설명하기 위해 만들어졌다. 도 5 및 도 6은 총 두께가 약 250 μm 인 웨이퍼에 관한 것이며, 도 5는 P++ 기판을 가지는 웨이퍼의 온도 등고선 지도를 도시하고, 도 6은 P- 기판을 가지는 웨이퍼의 온도 등고선 지도를 도시한다. 비슷하게, 도 7 및 도 8은 총 두께가 약 500 μm 인 웨이퍼에 관한 것인데, 도 7은 P++ 기판을 가지는 웨이퍼의 온도 등고선 지도를 도시하며, 도 8은 P- 기판을 가지는 웨이퍼의 온도 등고선 지도를 도시한다. 모두 4 개의 온도 등고선 지도는, 1mm × 1mm 그리드 스퀘어 핫 스팟의 온도가 P++ 기판을 가지는 웨이퍼보다 P- 기판을 가지는 웨이퍼에서 덜 집중되어 있다는 것을 보여준다.

<68>

예시 2

<69>

예시 1에서 형성된 두 개의 반도체 웨이퍼에 부가하여, 추가적인 7 개의 반도체 웨이퍼가 이하에서 설명하는 바와 같이 서로 다른 기판을 가지고 형성된다. 이하의 샘플(95)을 제외하고 모든 샘플이 CZ 성장법에 따라 형성되었다.

<70>

예시의 목적으로, 예시 1의 P- 기판을 가지고 형성된 반도체 기판이 샘플(91)로 지칭되며, P++ 기판을 가지는 반도체 웨이퍼는 샘플(92)로 지칭된다.

<71>

또한, 샘플(93)은 P+ 재료만으로 거의 구성된 반도체 웨이퍼이다. 즉, 예컨대 약 5×10^{18} 캐리어/cm³ 같은 본발형의 보호층과 기판 사이의 수준으로 도핑된 재료이다.

<72>

샘플(94)은 P-와 N- 도핑 수준으로 도핑된 실리콘 재료만으로 거의 구성된 반도체 웨이퍼이다. 즉, 실리콘 재료는, 약 1×10^{16} P형 캐리어/cm³ 보다 작고 약 5×10^{18} N형 캐리어/cm³ 보다 작은 농도, 예컨대 약 1×10^{18} 캐리어/cm³의 농도로 각각의 도편트를 포함한다.

<73>

샘플(95)은 유동 띠 방법에 따라 형성된 실리콘 재료로만 거의 구성된 반도체 웨이퍼이며, 샘플(94)에서 정의된 바와 같이 P- 재료가 되도록 도핑된다.

<74>

샘플(96)은 샘플(94)에 대해 정의된 바와 같이 P- 재료가 되도록 도핑된 실리콘 재료로만 거의 구성된 반도체 웨이퍼이며, 저농도의 격자간 산소 원자(oxygen interstitials)를 가진다.

<75>

샘플(97)은 샘플(94)에 대해 정의된 바와 같이 P- 재료가 되도록 도핑된 실리콘 재료로만 거의 구성된 반도체 웨이퍼이며, 고농도의 격자간 산소 원자(oxygen interstitials)를 가진다.

<76>

샘플(98)은 샘플(94)에서 P-가 정의되는 바와 같이, P- 재료 및 그 위에 형성된 P- 재료의 에피택셜층이 되도록

도핑된 기판을 가지는 반도체 웨이퍼 구조이다. P- 에피택셜층은 약 10 μm 의 두께를 가진다.

<77> 샘플(99)은 샘플(94)에서 P-가 정의되는 바와 같이, P- 재료 및 그 위에 형성된 P- 재료의 에피택셜층이 되도록 도핑된 기판을 가지는 반도체 웨이퍼 구조이다. P- 에피택셜층은 약 50 μm 의 두께를 가진다.

<78> 샘플들(91 내지 99)의 25 °C, 50 °C, 75 °C, 100°C 그리고 125°C에서의 열 전도율 측정을 하였다. 그 결과가 도 15에 그래프로 나타나 있으며, 도 15는 온도와 관계없이 샘플(92)의 열 전도율이 가장 작았고 샘플들(91 및 94 내지 99)의 열 전도율이 가장 커다는 것을 보여준다. 샘플들(91 및 94 내지 99) 모두가 실질적으로 유사한 열 전도율 프로파일을 보여줬다는 사실은 샘플 간에 상이한 변수가 열 전도율에 별다른 영향을 끼치지 않았다는 것을 보여준다. 또한, 샘플(93)은 샘플(92)과 샘플들(91 및 94 내지 99) 사이의 열 전도율을 보여준다. 이는 실리콘 구조의 도핑 농도가 열 전도율에 가장 큰 영향을 끼치는 변수라는 것을 확인시켜준다. 게다가, 데이터는 샘플(92)에서 샘플들(91 및 94 내지 99)로 갈수록 약 25°C에서 약 23%의 열 전도율 증가가 있었으며 약 125°C에서는 약 13%의 열 전도율 증가가 있었다는 것을 보여준다. 이는 본 명세서에서 설명한 본 발명의 반도체 구조가 약 25°C와 약 125°C 사이의 온도에서 적어도 약 5%의 열 전도율의 증가를 보여준다는 것을 확인시켜준다.

<79> 용어 "도편트", "저농도 도핑된", "고농도 도핑된" 또는 다른 용어들과 도편트에 관한 문장이 본 명세서에서 사용될 때, 달리 명백하게 언급되고 있지 않는 경우 P형 또는 N형 도편트를 참조하고 있는 것을 이해할 수 있을 것이다.

<80> 본 발명의 요소 또는 본 발명의 바람직한 실시예를 소개할 때, 관사 "일", "본"은 하나 이상의 요소가 존재한다는 것을 의미하도록 의도된 것이다. 용어 "포함하는" 또는 "가지는"은 포괄적인 의미를 갖고, 언급된 요소 이외의 추가적인 요소가 존재할 수 있다는 것을 의미하도록 의도된 것이다.

<81> 이상의 측면에서, 본 발명의 소정의 목적이 달성되고 다른 유리한 결과가 이루어진다는 것을 이해할 수 있을 것이다.

<82> 본 발명의 범위에서 벗어나지 않고 본 제품 및 방법을 다양하게 변경할 수 있기 때문에, 지금까지의 설명에 포함되고 첨부된 도면에 도시된 모든 것들이 한정의 의미가 아닌 예시의 의미로 해석되어야 한다.

도면의 간단한 설명

<14> 도 1은 본 발명의 반도체 웨이퍼의 개략적인 단면도.

<15> 도 2는 본 발명의 반도체 웨이퍼의 개략적인 평면도로서, 도 2의 축이 도 1의 축과 대응함.

<16> 도 3은 고농도 도핑된 보호층 및 저농도 도핑된 기판을 가지는 반도체 웨이퍼에 대한 캐리어 농도 프로파일을 나타낸 그래프.

<17> 도 4는 예시 1에서 설명하는 저농도 도핑된 디바이스층과 고농도 도핑된 기판을 가지는 반도체 웨이퍼에 대한 캐리어 농도 프로파일을 나타낸 그래프.

<18> 도 5는 고농도 도핑된 기판을 가지는 250 μm 반도체 웨이퍼에 대한 국부 가열 하에서의 열 확산을 나타낸 열 다이어그램.

<19> 도 6은 고농도 도핑된 보호층과 저농도 도핑된 기판을 가지는 250 μm 반도체 웨이퍼에 대한 국부 가열 하에서의 열 확산을 나타낸 열 다이어그램.

<20> 도 7은 고농도 도핑된 기판을 가지는 500 μm 반도체 웨이퍼에 대한 국부 가열 하에서의 열 확산을 나타낸 열 다이어그램.

<21> 도 8은 고농도로 도핑된 보호층과 저농도 도핑된 기판을 가지는 500 μm 반도체 웨이퍼에 대한 국부 가열 하에서의 열 확산을 나타낸 열 다이어그램.

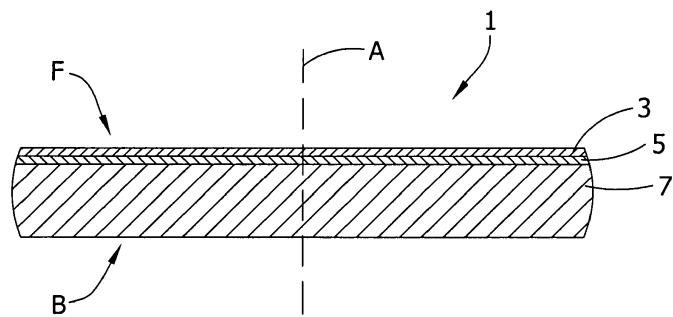
<22> 도 9는 예시 2에서 설명하는 복수 개의 반도체 구조에 대한 열 전도율을 온도 함수로서의 나타낸 그래프.

<23> 도 10은 이미지 센서 애플리케이션용 반도체 웨이퍼의 캐리어 농도 프로파일을 나타낸 그래프.

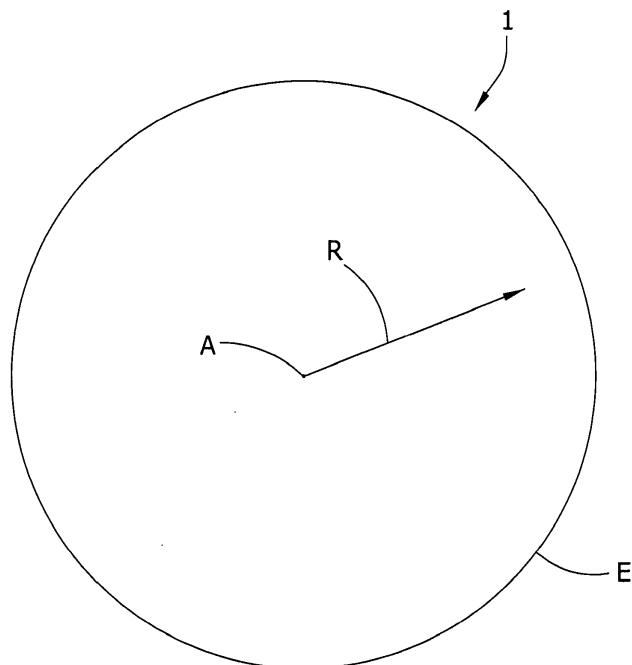
<24> 도면 부호는 전 도면에 걸쳐 그에 대응하는 구성 요소를 나타낸다.

도면

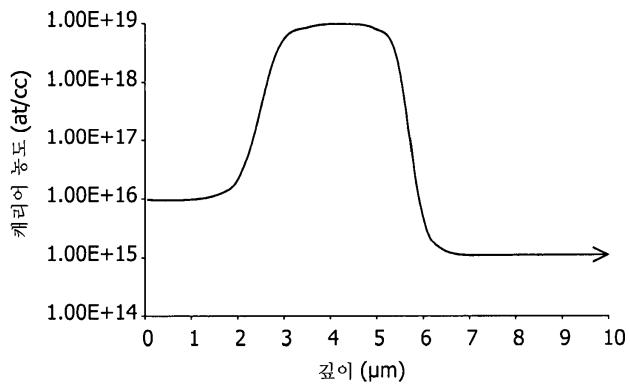
도면1



도면2

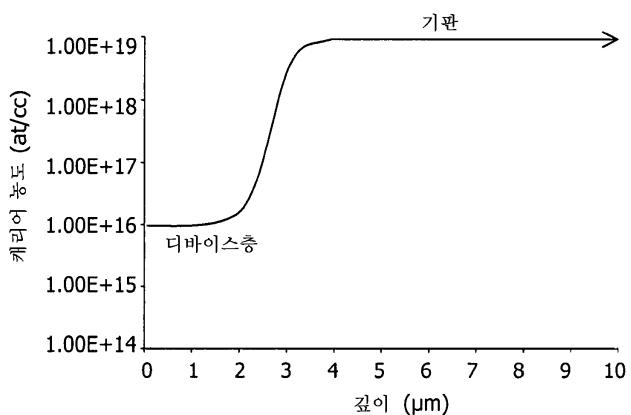


도면3



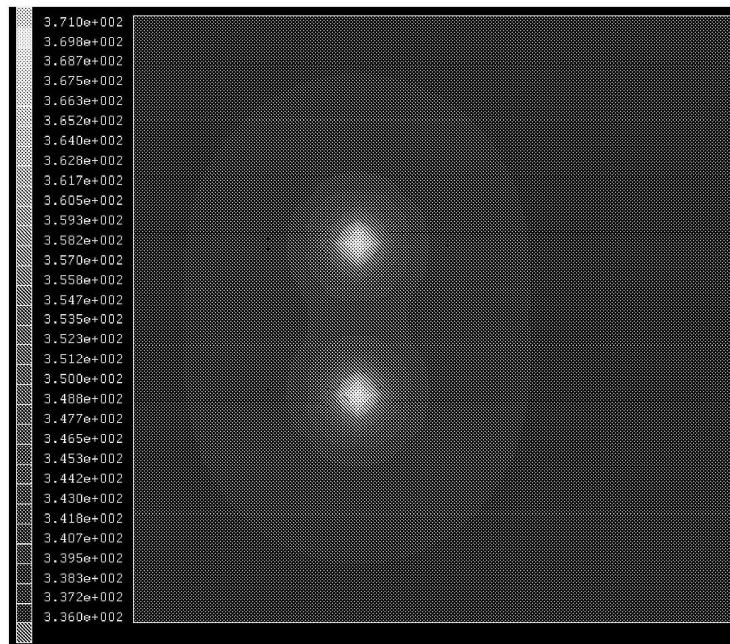
도면4

(종래 기술)

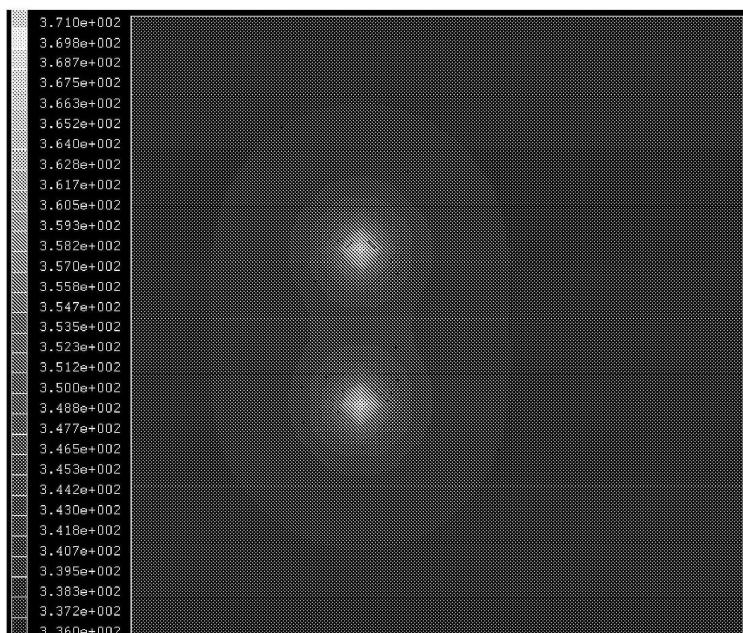


도면5

(종래 기술)

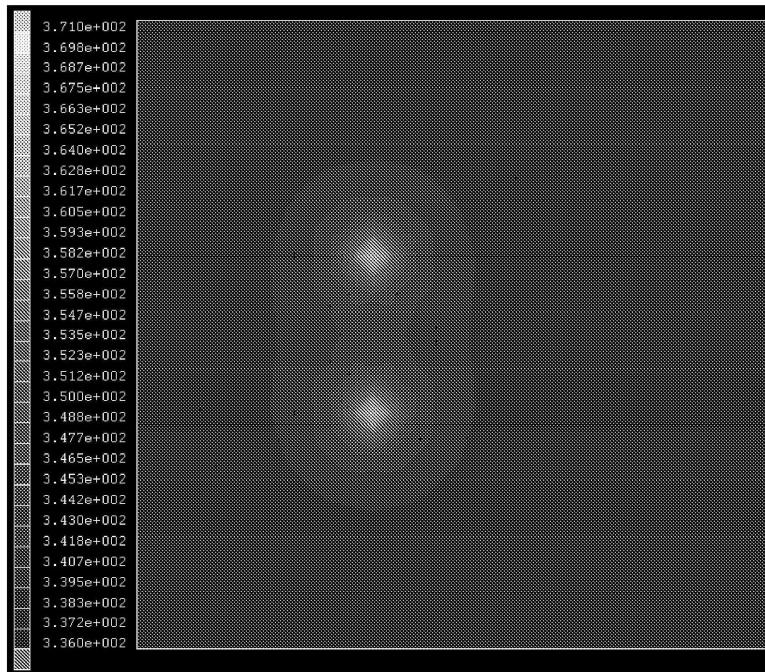


도면6

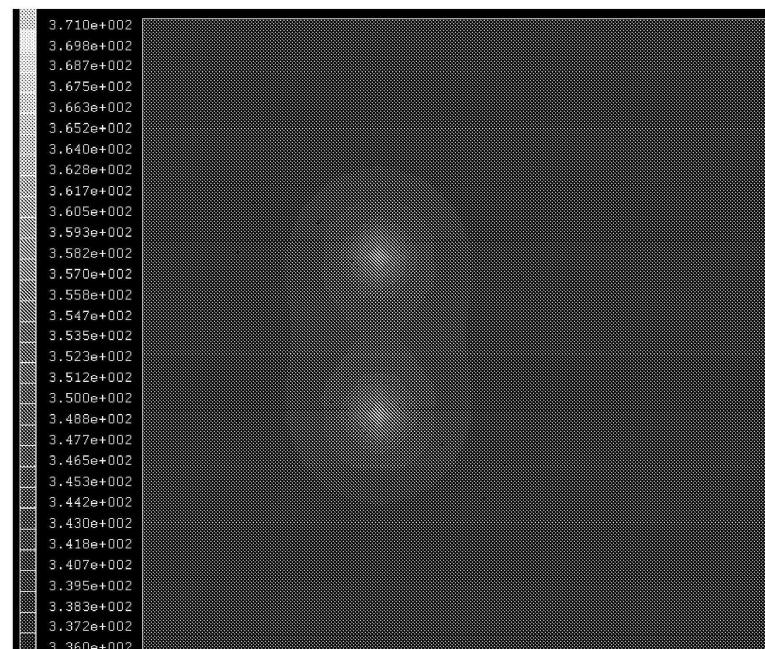


도면7

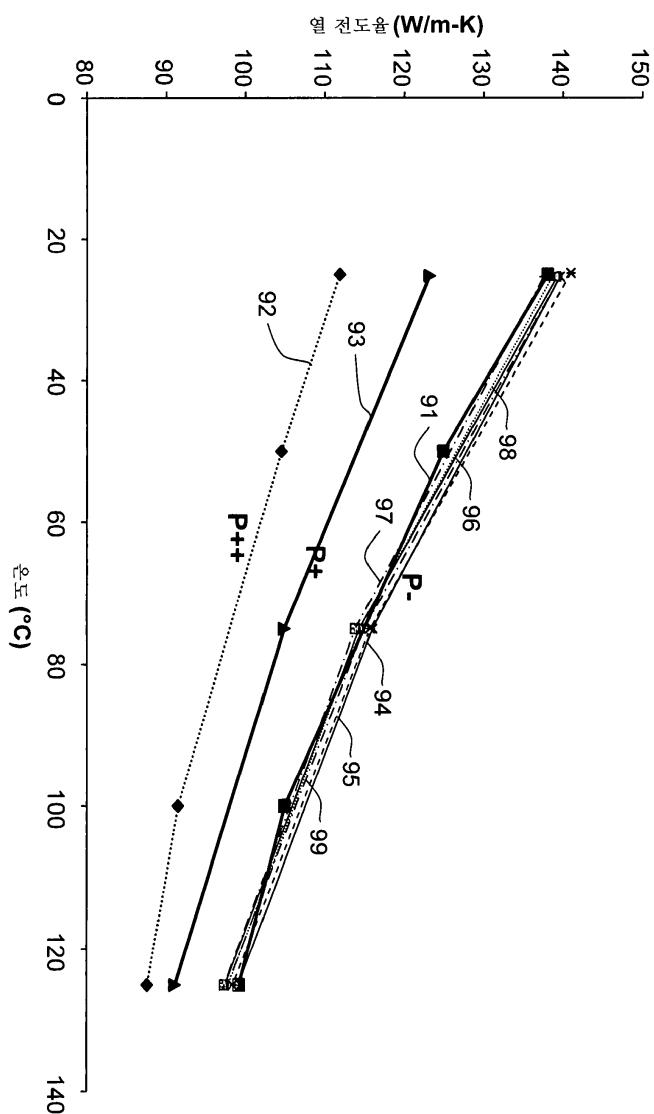
(종래 기술)



도면8



도면9



도면10

