



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0026759
(43) 공개일자 2017년03월09일

(51) 국제특허분류(Int. Cl.)

G05F 1/46 (2006.01)

(52) CPC특허분류

G05F 1/467 (2013.01)

(21) 출원번호 10-2015-0120988

(22) 출원일자 2015년08월27일

심사청구일자 2015년08월27일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김용신

서울특별시 성북구 안암로 145 고려대학교 안암캠퍼스 공과대학공학관 717호 (안암동5가)

윤성진

서울특별시 관악구 신림로54가길 18, 201호 (신림동)

(74) 대리인

김등용, 김홍석

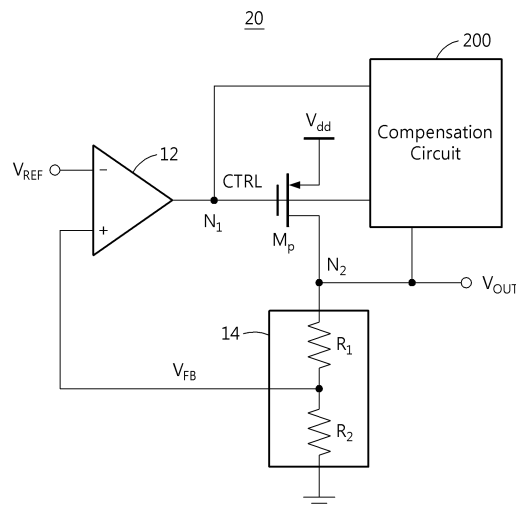
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 네거티브 캐패시턴스의 능동 제어를 통한 LDO 레귤레이터의 공급 전원 잡음 제거율을 향상시키는 회로

(57) 요약

LDO 레귤레이터가 개시된다. 상기 LDO 레귤레이터는 입력 전압을 조절하여 출력 전압을 출력하는 패스 트랜지스터, 상기 출력 전압에 대응되는 피드백 신호와 기준 전압을 수신하고, 상기 패스 트랜지스터의 게이트 전극과 접속된 제1 노드로 상기 패스 트랜지스터를 제어하기 위한 제1 제어 신호를 출력하는 에러 증폭기 및 상기 제1 노드에 음의 캐패시턴스를 제공하는 보상 회로를 포함한다.

대표도 - 도3



명세서

청구범위

청구항 1

입력 전압을 조절하여 출력 전압을 출력하는 패스 트랜지스터;

상기 출력 전압에 대응되는 피드백 신호와 기준 전압을 수신하고, 상기 패스 트랜지스터의 게이트 전극과 접속된 제1 노드로 상기 패스 트랜지스터를 제어하기 위한 제1 제어 신호를 출력하는 에러 증폭기; 및

상기 제1 노드에 음의 캐패시턴스를 제공하는 보상 회로를 포함하는 LDO 레귤레이터(low drop-out regulator).

청구항 2

제1항에 있어서,

상기 LDO 레귤레이터는, 상기 출력 전압에 기초하여 상기 피드백 신호를 생성하고 상기 피드백 신호를 상기 에러 증폭기로 출력하는 피드백 회로를 더 포함하는, LDO 레귤레이터.

청구항 3

제1항에 있어서,

상기 패스 트랜지스터는 상기 입력 전압을 수신하는 제1 전극, 상기 출력 전압을 출력하는 제2 전극 및 상기 제1 제어 신호를 수신하는 상기 게이트 전극을 포함하는 p-형 트랜지스터(p-type transistor)인, LDO 레귤레이터.

청구항 4

제1항에 있어서,

상기 에러 증폭기는 상기 기준 전압을 수신하는 반전 단자와 상기 피드백 신호를 수신하는 비반전 단자를 포함하고, 상기 기준 전압과 상기 피드백 신호의 비교 결과에 대응하는 상기 제1 제어 신호를 출력하는, LDO 레귤레이터.

청구항 5

제1항에 있어서,

상기 보상 회로가 제공하는 음의 캐패시턴스의 크기는 상기 패스 트랜지스터의 게이트 전극과 상기 패스 트랜지스터의 드레인 전극 사이에 형성된 게이트-드레인 캐패시터의 크기와 상기 제1 노드와 연관된 제1 기생 캐패시터의 크기의 합과 동일한, LDO 레귤레이터.

청구항 6

제1항에 있어서,

상기 보상 회로는,

부하에 흐르는 전류인 부하 전류를 감지하고 감지된 부하 전류에 기초하여 제2 제어 신호를 생성하는 제어부; 및

상기 제어부로부터 출력되는 상기 제2 제어 신호에 응답하여 음의 캐패시턴스를 제공하는 네거티브 캐패시턴스 회로를 포함하는, LDO 레귤레이터.

청구항 7

제6항에 있어서,

상기 제어부는,

상기 부하 전류를 감지하고 감지된 부하 전류에 대응되는 감지 신호를 출력하는 전류 감지기;

상기 감지 신호에 대응되는 디지털 신호를 출력하는 아날로그 디지털 컨버터; 및

상기 디지털 신호를 수신하고, 상기 디지털 신호에 대응되는 매핑값을 상기 제2 제어 신호로 출력하는 매핑을 포함하는, LDO 레귤레이터.

청구항 8

제6항에 있어서,

상기 네거티브 캐패시턴스 회로는,

연산 증폭기, 제1 저항, 및 상기 연산 증폭기의 출력 단자와 접지 사이에서 상기 제1 저항과 직렬로 접속된 제2 저항을 포함하는 비반전 증폭기; 및

상기 제1 노드와 상기 비반전 증폭기의 출력단 사이에 접속된 보상 캐패시터를 포함하는, LDO 레귤레이터.

청구항 9

제9항에 있어서,

상기 보상 캐패시터는 상기 제2 제어 신호에 대응되는 캐패시턴스를 갖는 가변 캐패시터인, LDO 레귤레이터.

청구항 10

제9항에 있어서,

상기 제1 저항 또는 상기 제2 저항은 상기 제2 제어 신호에 대응되는 저항값을 갖는 가변 저항인, LDO 레귤레이터.

발명의 설명

기술 분야

[0001] 본 발명의 개념에 따른 실시 예는 LDO 레귤레이터에 관한 것으로, 특히 개선된 공급 전원 잡음 제거율(Power Supply Rejection Ratio ; PSRR)을 갖는 LDO 레귤레이터에 관한 것이다.

배경 기술

[0002] 전압 레귤레이터(voltage regulator)는 디스플레이 장치와 같은 전자 장치에 안정적인 전력을 공급하기 위해 사용된다. 전압 레귤레이터는 선형 레귤레이터(linear regulator)와 스위칭 레귤레이터(switching regulator)로 분류된다.

[0003] 직류-직류 변환기(DC-DC Converter)는 스위칭 레귤레이터의 한 종류이다. 직류-직류 변환기는 높은 변환 효율을 갖는다. 그러나 직류-직류 변환기의 출력 전압은 선형 레귤레이터의 출력 전압에 비해 많은 노이즈를 포함한다.

[0004] 로우-드롭아웃(Low-dropout ; LDO) 레귤레이터는 선형 레귤레이터의 한 종류이다. LDO 레귤레이터는 낮은 변환 효율을 갖지만, 빠른 응답 속도를 갖는다. 또한, LDO 레귤레이터의 출력 전압은 직류-직류 변환기의 출력 전압에 비해 적은 양의 노이즈를 포함한다. 따라서, 직류-직류 변환기의 단점을 보완하기 위해 LDO 레귤레이터가 사용될 수 있다. 특히, LDO 레귤레이터는 노이즈에 민감한 장치 또는 높은 성능으로 구동되어야 하는 장치에 전력을 공급하기 위해 사용될 수 있다.

[0005] 공급 전원 잡음 제거율(PSRR)은 입력 전압 잡음 대 출력 전압 잡음의 비율을 의미한다. PSRR은 특정 주파수 대역에서 전압 레귤레이터에 의해 입력 전압 잡음이 효과적으로 차단되어 안정적으로 전압이 공급되는 정도를 나타내는 지표로 사용된다. 전압 레귤레이터의 입력 전압에 노이즈가 포함되는 경우, 전압 레귤레이터의 출력 전압은 노이즈로 인해 일정한 값을 유지하지 못한다. 특히, 선형 레귤레이터의 폐회로 루프의 이득 교점 주파수(Gain Crossover Frequency)보다 큰 수백 kHz 또는 수 MHz 이상의 고주파 대역에서, 선형 레귤레이터의 입력 전압 잡음이 효과적으로 차단되지 못한다. 따라서, 고주파 대역에서 안정적인 출력 전압을 형성하는 것이 어렵다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 대한민국 공개특허 제10-2015-0069869호

발명의 내용

해결하려는 과제

[0007] 본 발명이 이루고자 하는 기술적인 과제는 전체 전류 구동 범위에서 개선된 공급 전원 잡음 제거율(PSRR)을 갖는 LDO 레귤레이터를 제공하는 것이다.

과제의 해결 수단

[0008] 본 발명의 실시 예에 따른 LDO 레귤레이터는, 입력 전압을 조절하여 출력 전압을 출력하는 패스 트랜지스터, 상기 출력 전압에 대응되는 피드백 신호와 기준 전압을 수신하고, 상기 패스 트랜지스터의 게이트 전극과 접속된 제1 노드로 상기 패스 트랜지스터를 제어하기 위한 제1 제어 신호를 출력하는 에러 증폭기, 및 상기 제1 노드에 음의 캐패시턴스를 제공하는 보상 회로를 포함한다.

발명의 효과

[0009] 본 발명의 실시 예에 따른 LDO 레귤레이터는 음의 캐패시턴스를 제공하는 보상 회로를 이용하여 전체 전류 구동 범위에서 개선된 공급 전원 잡음 제거율을 갖는 효과가 있다.

[0010] 또한, 본 발명의 실시 예에 따른 LDO 레귤레이터는 고용량의 로드 캐패시터를 사용하지 않아 레귤레이터를 소형화할 수 있는 효과가 있다.

도면의 간단한 설명

[0011] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 종래 기술에 의한 LDO 레귤레이터의 회로도이다.

도 2는 도 1에 도시된 LDO 레귤레이터의 소신호 등가모델을 도시한다.

도 3은 본 발명의 일 실시 예에 따른 LDO 레귤레이터의 회로도이다.

도 4는 도 3에 도시된 LDO 레귤레이터의 소신호 등가 모델을 도시한다.

도 5는 도 3에 도시된 보상 회로의 예시적인 기능 블록도이다.

도 6은 도 5에 도시된 네거티브 캐패시턴스 회로를 도시한다.

도 7은 도 5에 도시된 전류 감지기의 예시적인 회로도이다.

도 8은 도 6에 도시된 보상 캐패시터의 일 실시 예를 도시한다.

도 9는 도 6에 도시된 제2 저항의 일 실시 예를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명은 단지 본 발명의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.

[0013] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.

- [0014] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않은 채, 제1 구성 요소는 제2 구성 요소로 명명될 수 있고 유사하게 제2 구성 요소는 제1 구성 요소로도 명명될 수 있다.
- [0015] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0016] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0017] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0018] 이하, 본 명세서에 첨부된 도면들을 참조하여 본 발명의 실시 예들을 상세히 설명한다.
- [0019] 도 1은 종래 기술에 의한 LDO 레귤레이터의 회로도이다.
- [0020] 도 1을 참조하면, LDO 레귤레이터(10)는 입력 전압(V_{dd})을 조절하고, 조절된 출력 전압(V_{OUT})을 부하(미도시)에 공급한다. LDO 레귤레이터(10)는 패스 트랜지스터(M_p), 에러 증폭기(12), 피드백 회로(14) 및 로드 캐패시터(C_L)를 포함할 수 있다.
- [0021] 패스 트랜지스터(M_p)는 입력 전압(V_{dd})을 수신하는 제1 전극(예컨대 소스 전극)과 제2 노드(N_2)에 접속되는 제2 전극(예컨대 드레인 전극)을 포함할 수 있다. 출력 전압(V_{OUT})은 제2 노드(N_2)를 통하여 출력될 수 있다. 패스 트랜지스터(M_p)는 입력 전압(V_{dd})을 조절하여 출력 전압(V_{OUT})을 출력하기 위한 제어 신호(CTRL)를 수신할 수 있다. 즉, 출력 전압(V_{OUT})의 전압 레벨은 제어 신호(CTRL)의 크기에 대응될 수 있다. 패스 트랜지스터(M_p)는 pMOSFET(p-channel metal-oxide-semiconductor field-effect transistor)과 같은 p-형 트랜지스터(p-type transistor)로 구현될 수 있다.
- [0022] 피드백 회로(14)는 제2 노드(N_2)와 접지 사이에 직렬로 연결된 제1 저항(R_1)과 제2 저항(R_2)을 포함하고, 출력 전압(V_{OUT})에 대응하는 피드백 전압(V_{FB})을 생성할 수 있다. 피드백 전압(V_{FB})은, 출력 전압(V_{OUT})이 제1 저항(R_1)과 제2 저항(R_2)의 비율에 의해 분배된 전압일 수 있다. 피드백 회로(14)는 피드백 전압(V_{FB})을 에러 증폭기(12)로 출력할 수 있다.
- [0023] 에러 증폭기(12)는 반전 단자(-)와 비반전 단자(+) 각각을 통하여 기준 전압(V_{REF})과 피드백 전압(V_{FB})을 수신하고, 기준 전압(V_{REF})과 피드백 전압(V_{FB})을 비교할 수 있다. 에러 증폭기(12)는 비교 결과에 따라, 비교 신호를 패스 트랜지스터(M_p)의 게이트 전극과 접속된 제1 노드(N_1)로 제공할 수 있다. 상기 비교 신호는 패스 트랜지스터(M_p)의 동작을 제어하기 위한 제어 신호(CTRL)일 수 있다.
- [0024] 상기 비교 신호는 LDO 레귤레이터(10)의 출력 전압(V_{OUT})의 변화에 관한 정보를 포함할 수 있다. 즉, 피드백 전압(V_{FB})은 출력 전압(V_{OUT})이 변함에 따라 변화하고, 에러 증폭기(12)는 피드백 전압(V_{FB})의 변화에 따라 상기 비

교 신호를 생성한다. 예컨대, 피드백 전압(V_{FB})이 기준 전압(V_{REF})보다 작은 경우, 에러 증폭기(12)의 상기 비교 신호는 출력 전압(V_{OUT})의 전압 레벨이 증가되도록 패스 트랜지스터(M_p)를 제어할 수 있다. 피드백 전압(V_{FB})이 기준 전압(V_{REF})보다 큰 경우, 상기 비교 신호는 출력 전압(V_{OUT})의 전압 레벨이 감소되도록 패스 트랜지스터(M_p)를 제어할 수 있다. 따라서, 패스 트랜지스터(M_p)는 제어 신호(CTRL)로서 동작하는 상기 비교 신호에 응답하여 출력 전압(V_{OUT})을 안정화시키기 위해 출력 전압(V_{OUT})의 전압 레벨을 변화시킬 수 있다. 이와 같이, LDO 레귤레이터(10)는 일반적으로 피드백 신호를 이용함으로써 안정적인 출력을 유지시킨다. 그러나, 입력 전압(V_{dd})에 노이즈가 포함되어 있는 경우, 패스 트랜지스터(M_p), 피드백 회로(14) 및 에러 증폭기(12)를 통하여 형성되는 루프 내의 신호 흐름에 따라 패스 트랜지스터(M_p)에 적용되는 제어 신호(CTRL) 또한 노이즈를 포함하게 된다. 이로 인하여, 제어 신호(CTRL)는 패스 트랜지스터(M_p)를 효율적으로 제어하지 못하는 문제점이 발생한다.

[0025] 도 2는 도 1에 도시된 LDO 레귤레이터의 소신호 등가모델을 도시한다.

[0026] 도 2를 참조하면, 패스 트랜지스터(M_p)의 게이트 전극에 접속된 제1 노드(N_1)와 관련하여 제1 기생 캐패시터(C_{p1})가 형성될 수 있다. 제1 기생 캐패시터(C_{p1})는 제1 노드(N_1)에 인접하여 위치한 에러 증폭기(12)의 레이아웃에 기초하여 형성될 수 있다. 패스 트랜지스터(M_p)의 게이트 전극과 소스 전극 사이에는 게이트-소스 캐패시터(C_{gs})가 형성될 수 있고, 패스 트랜지스터(M_p)의 게이트 전극과 드레인 전극 사이에는 게이트-드레인 캐패시터(C_{gd})가 형성될 수 있다. 제1 전압제어 전류원($VCCS_1$), 제2 전압제어 전류원($VCCS_2$), 저항성 로드(R_{LT}), 및 로드 캐패시터(C_L)와 제2 기생 캐패시터(C_{p2})를 설명하는 실효 로드 캐패시터(C_{LT})가 제2 노드(N_2)에 접속될 수 있다. 실효 로드 캐패시터(C_{LT})는 로드 캐패시터(C_L)와 제2 기생 캐패시터(C_{p2})의 합으로 표현될 수 있다. 제2 노드(N_2)와 관련하여 제2 기생 캐패시터(C_{p2})가 형성될 수 있다. 예컨대, 제2 기생 캐패시터(C_{p2})는 부하 장치의 레이아웃과 연관되어 있을 수 있다.

[0027] 제1 노드(N_1)의 전압인 제1 노드 전압(V_{N1})은 입력 전압(V_{dd})에 의해 생성될 수 있으며, 에러 증폭기(12)로부터 출력되는 비교 신호와 무관할 수 있다. 입력 전압(V_{dd})에 노이즈가 포함된 경우, 입력 전압(V_{dd})은 주파수 성분을 포함할 수 있으므로, 제1 노드 전압(V_{N1})은 도 2에 도시된 소신호 등가 모델에 따라 아래의 수학적 식 1과 같이 표현될 수 있다.

수학적 식 1

$$V_{N1} = \frac{sC_{gs}}{\frac{1}{R_g} + s(C_{p1} + C_{gs} + C_{gd})} V_{dd} \cong \frac{C_{gs}}{C_{p1} + C_{gs} + C_{gd}} V_{dd}$$

[0028]

[0029] 상기 수학적 식 1에서, "s"는 라플라스 변수(Laplace variable)를 의미하고, " R_g "는 제1 노드(N_1)에 접속된 집중 저항(lump resistance)을 의미할 수 있다. 상기 수학적 식 1에 따라, 제1 노드 전압(V_{N1})은 입력 전압(V_{dd})에 비례함을 알 수 있다. 입력 전압(V_{dd})에 노이즈가 포함되는 경우, 상기 수학적 식 1의 분모의 성분인 제1 기생 캐패시터(C_{p1})와 게이트-드레인 캐패시터(C_{gd})로 인하여 제1 노드 전압(V_{N1})의 변화 정도는 입력 전압(V_{dd})의 변화 정도에 비해 작을 수 있다.

[0030] 패스 트랜지스터(M_p)를 구동할 수 있는 게이트-소스 전압(V_{gs})은 소스 전극에 가해지는 전압, 즉 입력 전압(V_{dd})과 제1 노드(N_1)의 전압인 제1 노드 전압(V_{N1})의 차이를 의미할 수 있다. 따라서, 입력 전압(V_{dd})과 제1 노드 전압(V_{N1})이 서로 상이한 정도로 변화할 때 게이트-소스 전압(V_{gs})은 변화할 수 있다. 이와 같이, 에러 증폭기(12)의 비교 신호가 일정한 때에도 제1 노드 전압(V_{N1})은 입력 전압(V_{dd})에 대하여 상이한 정도로 변화하기 때문에, 제어 신호(CTRL)는 패스 트랜지스터(M_p)를 효율적으로 제어하지 못한다. 따라서, LDO 레귤레이터(10)의 PSRR 특성은 저하된다. LDO 전압 레귤레이터(10)의 PSRR 특성은 입력 전압(V_{dd})에 고주파 성분이 포함될 때 더욱

저하되어 불안정한 출력 전압(V_{OUT})을 출력할 수 있다.

[0031] 다시 도 1을 참조하면, LDO 레귤레이터(10)는 출력 전압(V_{OUT})을 안정화하기 위하여 제2 노드(N_2)에 접속된 고용량의 로드 캐패시터(C_L)를 포함할 수 있다. 고용량의 로드 캐패시터(C_L)는 상대적으로 높은 출력 임피던스로 인한 효과에 대응하기 위해 사용될 수 있다. 그러나, 사이즈가 큰 고용량의 로드 캐패시터(C_L)는 소형의 LDO 레귤레이터를 구현하는 데 걸림돌이 되고 있다.

[0032] 도 3은 본 발명의 일 실시 예에 따른 LDO 레귤레이터의 회로도이고, 도 4는 도 3에 도시된 LDO 레귤레이터의 소신호 등가 모델을 도시한다.

[0033] 도 3과 도 4를 참조하면, LDO 레귤레이터(20)는 보상 회로(200)를 포함한다. 그러나 LDO 레귤레이터(20)는 도 1에 도시된 LDO 레귤레이터(10)와는 다르게 고용량의 로드 캐패시터(C_L)를 포함하지 않을 수 있다. LDO 레귤레이터(20)를 설명함에 있어 중복된 기재를 피하기 위해, LDO 레귤레이터(20)의 구성 중 도 1에 도시된 LDO 레귤레이터(10)의 구성과 동일한 구성은 동일한 참조 번호를 사용하였으며, 중복되는 내용에 관하여는 생략하였다.

[0034] 보상 회로(200)는 부하(미도시)에 흐르는 부하 전류를 감지하고, 감지된 부하 전류에 대응하는 음의 캐패시턴스를 생성할 수 있다. 보상 회로(200)의 등가 캐패시턴스는 제1 노드(N_1)에서 음의 값을 가질 수 있다. 도 4의 등가 캐패시터(C_{eq})의 크기는 패스 트랜지스터(M_p)의 게이트 전극과 드레인 전극 사이의 기생 캐패시턴스(C_{gd})와 제1 노드(N_1)에서의 제1 기생 캐패시턴스(C_{p1})의 합과 같을 수 있다. 즉, 등가 캐패시터(C_{eq})의 캐패시턴스 값은 $-(C_{p1}+C_{gd})$ 일 수 있다.

[0035] 등가 캐패시터(C_{eq})는 패스 트랜지스터(M_p)의 게이트-드레인 캐패시터(C_{gd}) 및 제1 기생 캐패시터(C_{p1})와 병렬로 연결될 수 있다.

[0036] 제1 노드 전압(V_{N1}')은 에러 증폭기(12)의 비교 신호와는 무관하게 입력 전압(V_{dd})에 따라 생성될 수 있다. 입력 전압(V_{dd})에 노이즈가 포함되는 경우, 입력 전압(V_{dd})은 상기 노이즈로 인하여 주파수 성분을 포함할 수 있고, 제1 노드 전압(V_{N1}')은 도 4의 소신호 등가 모델에 따라 아래의 수학식 2와 같이 표현될 수 있다.

수학식 2

$$V_{N1}' = \frac{sC_{gs}}{\frac{1}{R_g} + s(C_{p1} + C_{gs} + C_{gd} - (C_{p1} + C_{gd}))} V_{dd} \cong \frac{C_{gs}}{C_{gs}} V_{dd} = V_{dd}$$

[0038] 상기 수학식 2에서, 제1 노드 전압(V_{N1}')은 입력 전압(V_{dd})과 동일한 비율로 변화하게 된다. 예컨대, 노이즈를 포함하고 있는 입력 전압(V_{dd})이 변화할 때, 음의 캐패시턴스를 갖는 등가 캐패시터(C_{eq})가 제1 기생 캐패시턴스(C_{p1})와 게이트-드레인 캐패시턴스(C_{gd})의 영향을 제거할 수 있기 때문에 제1 노드 전압(V_{N1}')은 입력 전압(V_{dd})과 동일한 정도로 변화할 수 있다.

[0039] 패스 트랜지스터(M_p)를 구동할 수 있는 게이트-소스 전압(V_{gs})은 소스 전극에 입력되는 전압, 즉 입력 전압(V_{dd})과 제1 노드(N_1)의 전압, 즉 제1 노드 전압(V_{N1}')의 차이가 될 수 있다. 따라서, 입력 전압(V_{dd})과 제1 노드 전압(V_{N1}')이 동일한 정도로 변화할 때, 게이트-소스 전압(V_{gs})은 일정하게 된다. 따라서, LDO 레귤레이터(20)의 PSRR 특성이 향상될 수 있다.

[0040] 따라서, LDO 레귤레이터(20)는 고주파 성분을 갖는 노이즈가 입력 전압(V_{dd})에 포함되는 경우에도 안정적인 출력 전압(V_{OUT})을 출력할 수 있다. 또한, LDO 레귤레이터(20)는 도 1에 도시된 LDO 레귤레이터(10)에서 제2 노드(N_2)와 연관된 고용량의 로드 캐패시터(C_L)를 구비할 필요가 없다.

[0041] 도 5는 도 3에 도시된 보상 회로의 예시적인 기능 블록도이다.

- [0042] 도 5를 참조하면, 보상 회로(200)는 제어부(210)와 네거티브 캐패시턴스 회로(230)를 포함한다.
- [0043] 제어부(210)는 부하 전류를 감지하고, 감지된 부하 전류에 대응하는 제2 제어 신호(V_{cont})를 출력할 수 있다. 제어부(210)는 전류 감지기(211), 아날로그 디지털 컨버터(213) 및 매퍼(215)로 구현될 수 있다.
- [0044] 전류 감지기(211)는 부하 전류를 감지하고, 감지된 부하 전류에 대응하는 감지 신호(V_{sns})를 출력할 수 있다. 아날로그 디지털 컨버터(213)는 전류 감지기(211)로부터 감지 신호(V_{sns})를 수신하고, 수신된 감지 신호(V_{sns})에 대응되는 n-비트(n은 1 이상의 자연수)의 디지털 신호(V_{ADC})를 출력할 수 있다. 매퍼(215)는 아날로그 디지털 컨버터(213)로부터 디지털 신호(V_{ADC})를 수신하고, 수신된 디지털 신호(V_{ADC})에 대응되는 제2 제어 신호(V_{cont})를 출력할 수 있다. 즉, 매퍼(215)는 수신되는 디지털 신호(V_{ADC})에 대응되는 매퍼값을 제2 제어 신호(V_{cont})로써 출력할 수 있다. 제2 제어 신호(V_{cont})는 n-비트의 디지털 신호로 구현될 수 있다. 매퍼(215)는 ROM(Read Only Memory), 레지스터 등으로 구현될 수 있다.
- [0045] 네거티브 캐패시턴스 회로(230)는 제어부(210)의 매퍼(215)로부터 출력되는 제2 제어 신호(V_{cont})를 수신하고, 제2 제어 신호(V_{cont})에 대응되는 음의 캐패시턴스를 생성한다.
- [0046] 도 6은 도 5에 도시된 네거티브 캐패시턴스 회로를 도시한다.
- [0047] 도 6을 참조하면, 네거티브 캐패시턴스 회로(230)는 비반전 증폭기(non-inverted amplifier; 231), 소스 폴로어 회로(source follower circuit; 233) 및 보상 캐패시터(C_M)를 포함한다.
- [0048] 비반전 증폭기(231)는 연산 증폭기(235), 연산 증폭기(235)의 출력 단자와 접지 사이에서 직렬로 연결된 제1 저항(R_f)과 제2 저항(R_{var})을 포함할 수 있다. 에러 증폭기(12)의 비교 신호에 대응하는 제1 제어 신호(CTRL)는 연산 증폭기(235)의 비반전 단자(+)에 적용될 수 있고, 연산 증폭기(235)의 출력 신호는 피드백되어 연산 증폭기(235)의 반전 단자(-)에 입력될 수 있다. 비반전 증폭기(231)의 이득은 $(1+R_f/R_{var})$ 로 표현될 수 있다.
- [0049] 에러 증폭기(12)로부터 출력되는 비교 신호는 연산 증폭기(235)의 비반전 단자(+)에 입력될 수 있다. 그러나, 상기 비교 신호는 연산 증폭기(235)의 입력 신호로서는 비교적 높은 전압 레벨을 갖고 있기 때문에 연산 증폭기(235)가 정상적인 동작을 수행하지 못할 수가 있다. 따라서, 네거티브 캐패시턴스 회로(230)에는 에러 증폭기(12)의 비교 신호의 전압 레벨을 낮출 수 있는 소스 폴로어 회로(233)가 포함될 수 있다. 소스 폴로어 회로(233)는 nMOSFET과 같은 n형 트랜지스터(M_s)를 포함할 수 있다. 트랜지스터(M_s)는 입력 전압(V_{dd})을 수신하는 제1 단자, 전류 싱크 회로(237)에 접속된 제2 단자, 및 에러 증폭기(12)로부터 출력되는 비교 신호를 수신하는 게이트 전극을 포함할 수 있다. 소스 폴로어 회로(233)는 트랜지스터(M_s)의 임계 전압에 의해 상기 비교 신호의 전압 레벨을 낮출 수 있다.
- [0050] 보상 캐패시터(C_M)는 비반전 증폭기(231)와 병렬로 접속될 수 있다. 따라서, 보상 캐패시터(C_M)의 일 단자는 비반전 증폭기(231)의 출력 단자에 접속되고 보상 캐패시터(C_M)의 타 단자는 트랜지스터(M_s)의 게이트 전극에 접속될 수 있다. 실시 예에 따라, 보상 캐패시터(C_M)의 타 단자는 연산 증폭기(235)의 비반전 단자(+)에 접속될 수도 있다.
- [0051] 보상 캐패시터(C_M)가 비반전 증폭기(231)와 병렬로 연결될 때, 네거티브 캐패시턴스 회로(230)를 바라보았을 때의 등가 캐패시턴스(C_{eq}), 즉 제1 노드(N_1)에서 네거티브 캐패시턴스 회로(230)의 등가 캐패시턴스(C_{eq})는 아래의 수학적 식 3과 같이 표현될 수 있다.

수학적 식 3

$$C_{eq} = C_M(1 - A_{CL}) = C_M(1 - (1 + \frac{R_f}{R_{var}})) = -\frac{R_f}{R_{var}} C_M$$

[0052]

- [0053] 상기 수학적 식 3에서, " A_{CL} "은 비반전 증폭기(231)의 이득을 의미한다. 상기 수학적 식 3에 의할 경우, 보상 캐패시터(C_M), 제1 저항(R_f) 및 제2 저항(R_{var}) 각각의 값에 따라 등가 캐패시턴스(C_{eq})가 결정된다. 따라서, 본 발명은 보상 캐패시터(C_M), 제1 저항(R_f) 및 제2 저항(R_{var})의 값을 가변하여 등가 캐패시턴스(C_{eq})를 가변시키는 방법을 개시한다.
- [0054] 보상 캐패시터(C_M)를 제2 제어 신호(V_{cont})에 대응되는 캐패시턴스를 갖는 가변 캐패시터로 구현하는 방법은 도 8을 통하여 설명한다. 또한, 제1 저항(R_f) 또는 제2 저항(R_{var})을 제2 제어 신호(V_{cont})에 대응되는 저항값을 갖는 가변 저항으로 구현하는 방법은 도 9을 통하여 설명한다.
- [0055] 도 7은 도 5에 도시된 전류 감지기의 예시적인 회로도이다.
- [0056] 도 7에 도시된 전류 감지기는 종래에 사용되던 전류 감지기의 일 예로써, 상세한 설명은 생략하기로 한다. 또한, 본 발명의 권리범위가 도 7에 도시된 전류 감지기의 구조 및 동작에 제한되는 것은 아니다.
- [0057] 도 7의 전류 감지기(211)에 포함된 제1 트랜지스터(M_1) 내지 제4 트랜지스터(M_4)는 게이트 공통형 증폭기(common gate amplifier)로 동작하므로, 트랜지스터(M_s)의 드레인 전압이 패스 트랜지스터(M_p)의 드레인 전압과 같다. 또한, 트랜지스터(M_s)와 트랜지스터(M_5)의 크기가 같고, 트랜지스터(M_1)와 트랜지스터(M_6)의 크기가 같으면 부하 전류(I_{LOAD})는 아래의 수학적 식 4를 만족한다.

수학적 식 4

$$I_{sns} = \frac{I_{LOAD}}{N}$$

- [0058]
- [0059] 또한, 전류(I_{sns})가 R_{sns} 에 흐르면서 센싱 전압(V_{sns})으로 변환된다. 전류 감지기(211)는 센싱 전압(V_{sns})을 감지 신호로 출력할 수 있다.
- [0060] 도 8은 도 6에 도시된 보상 캐패시터의 일 실시 예를 도시한다.
- [0061] 도 8을 참조하면, 보상 캐패시터(C_M)는 각각이 스위칭 소자와 직렬로 접속되어 있는 복수개의 캐패시터들을 포함한다. 즉, 제1 캐패시터부는 직렬로 접속되어 있는 제1 캐패시터(C_1)와 제1 스위칭 소자(SW_1)를 포함하고, 제2 캐패시터부는 직렬로 접속되어 있는 제2 캐패시터(C_2)와 제2 스위칭 소자(SW_2)를 포함한다. 마찬가지로, 제k 캐패시터부는 직렬로 접속되어 있는 제k 캐패시터(C_k)와 제k 스위칭 소자(SW_k)를 포함한다. 상기 제1 캐패시터부 내지 상기 제k 캐패시터부를 병렬로 접속하면 가변 캐패시터로 구현되는 보상 캐패시터(C_M)을 구현할 수 있다. 제어부(210)로부터 출력되는 제2 제어 신호(V_{cont})는 상기 복수의 스위칭 소자들 각각의 동작을 제어함으로써 보상 캐패시터(C_M)의 캐패시턴스를 조절할 수 있다.
- [0062] 도 9는 도 6에 도시된 제2 저항의 일 실시 예를 도시한다.
- [0063] 도 9를 참조하면, 제2 저항(R_{var})은 복수의 저항들과 복수의 스위칭 소자들을 포함한다. 제어부(210)로부터 출력되는 제2 제어 신호(V_{cont})는 상기 복수의 스위칭 소자들 각각의 동작을 제어함으로써 제2 저항(R_{var})의 저항값을 조절할 수 있다. 도 9에 도시된 제2 저항(R_{var})은 하나의 실시 예에 불과하며, 본 발명의 제2 저항(R_{var})은 다양한 형태로 구현이 가능하다.
- [0064] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

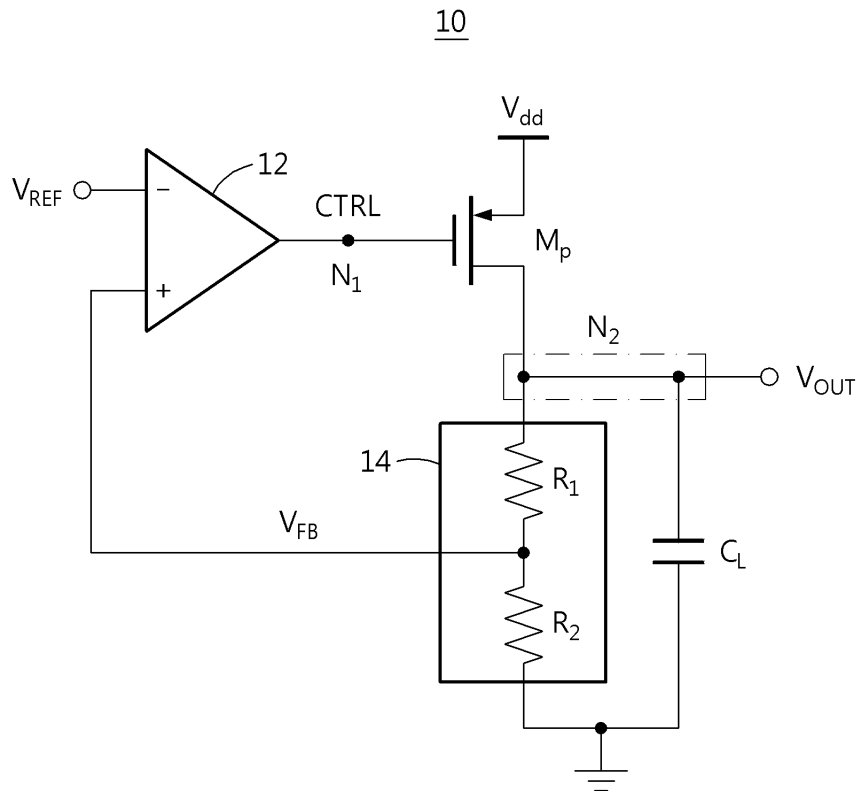
부호의 설명

[0065]

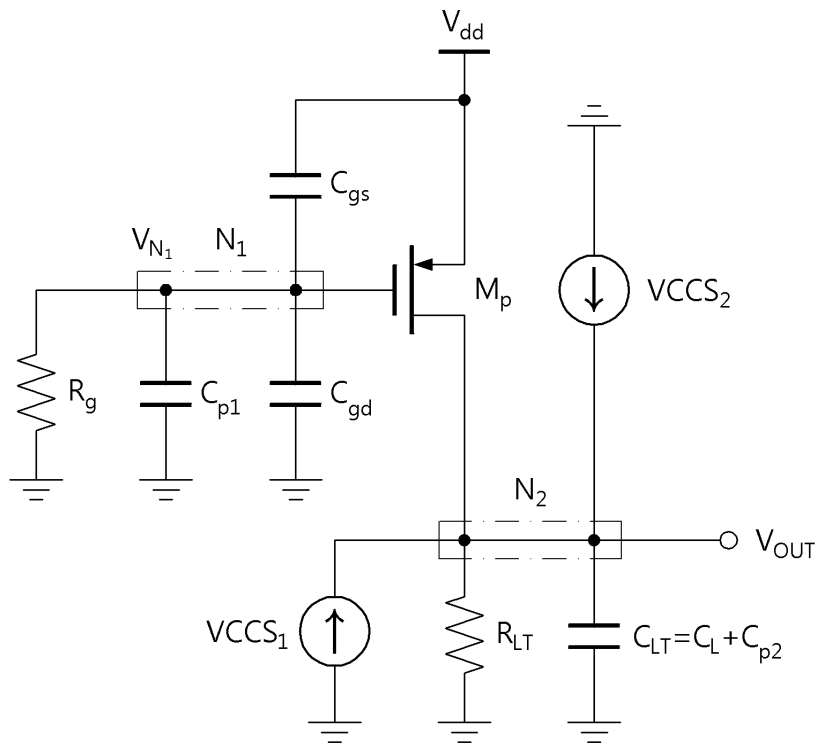
- 10 : LDO 레귤레이터
- 12 : 에러 증폭기
- 14 : 피드백 회로
- 20 : LDO 레귤레이터
- 200 : 보상 회로
- 210 : 제어부
- 211 : 전류 감지기
- 213 : 아날로그 디지털 컨버터
- 215 : 매퍼
- 230 : 네거티브 캐패시턴스 회로

도면

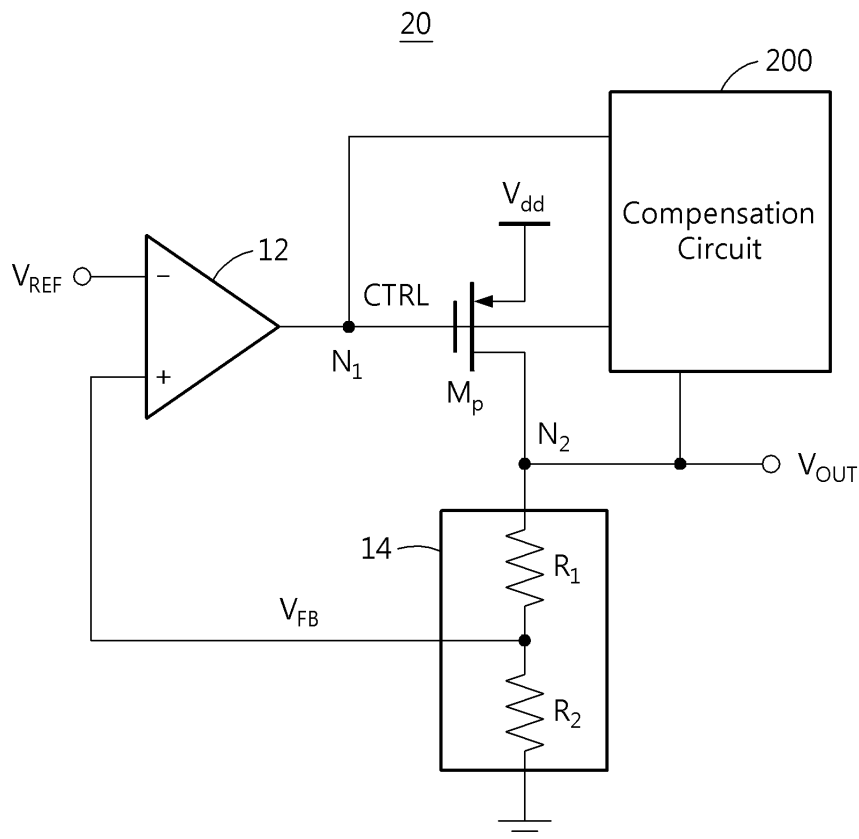
도면1



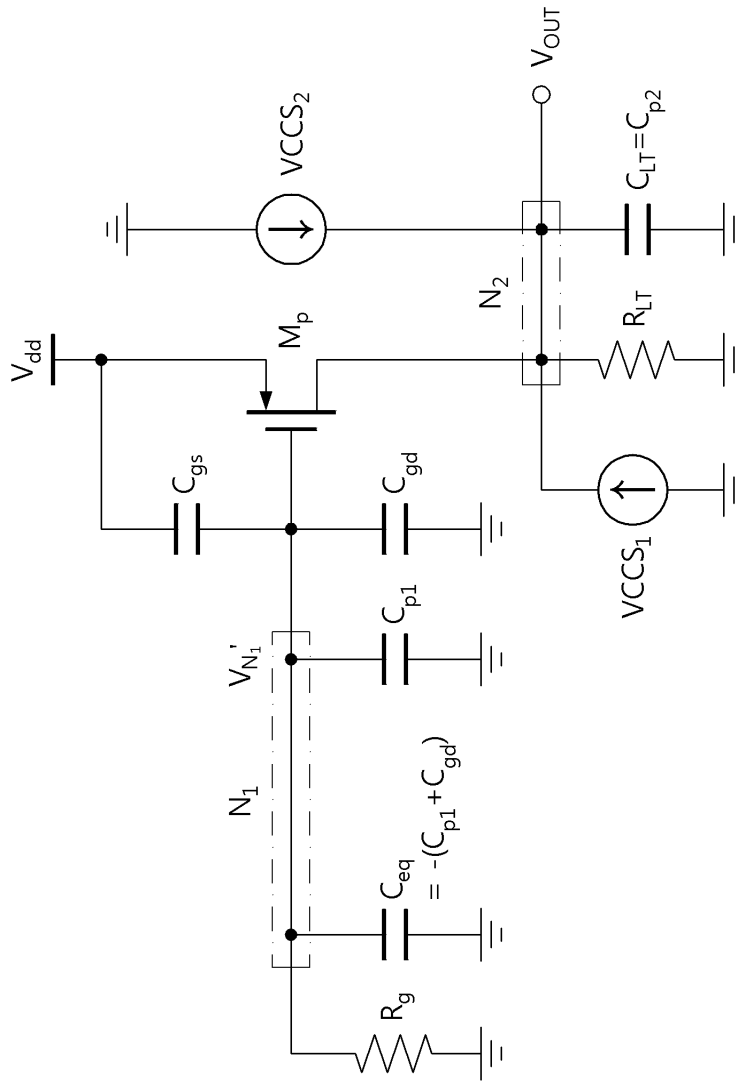
도면2



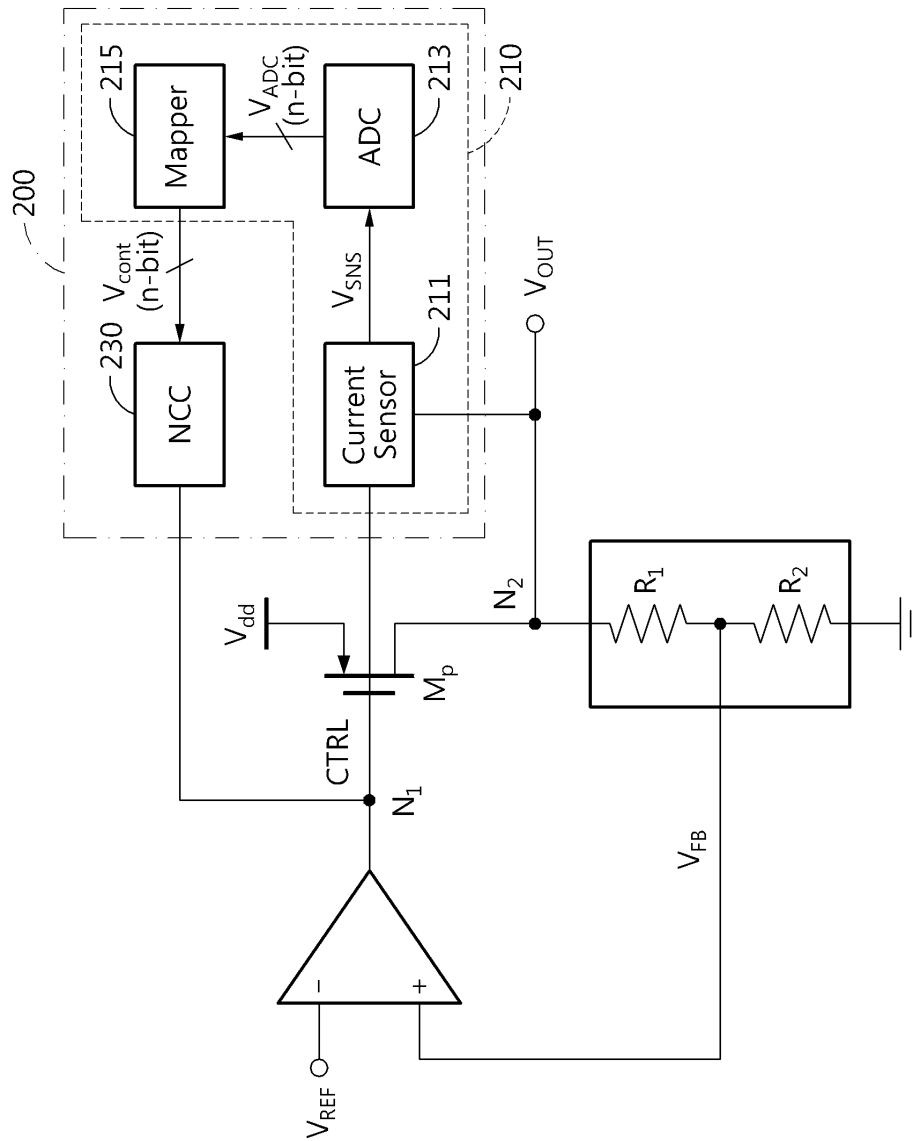
도면3



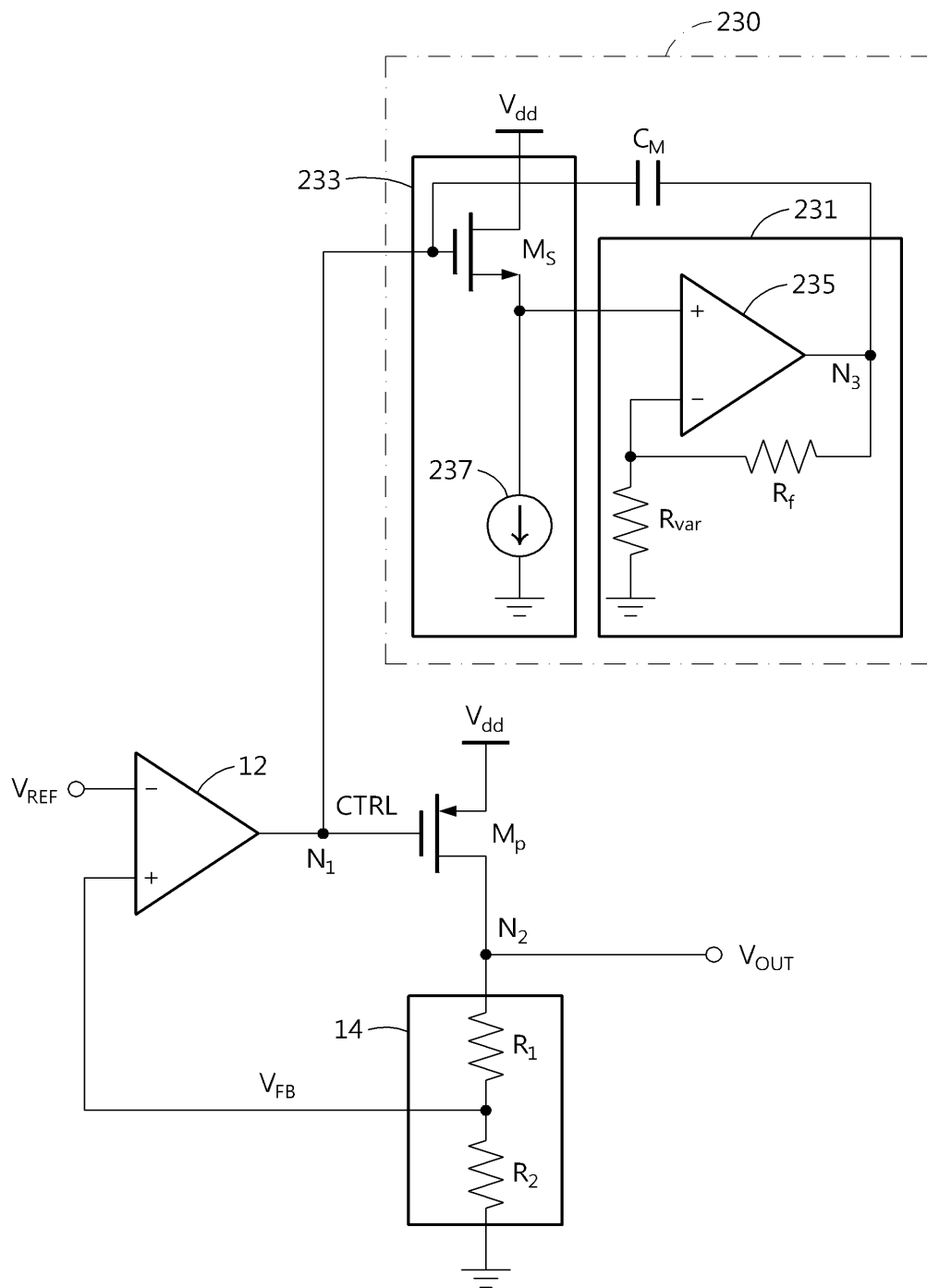
도면4



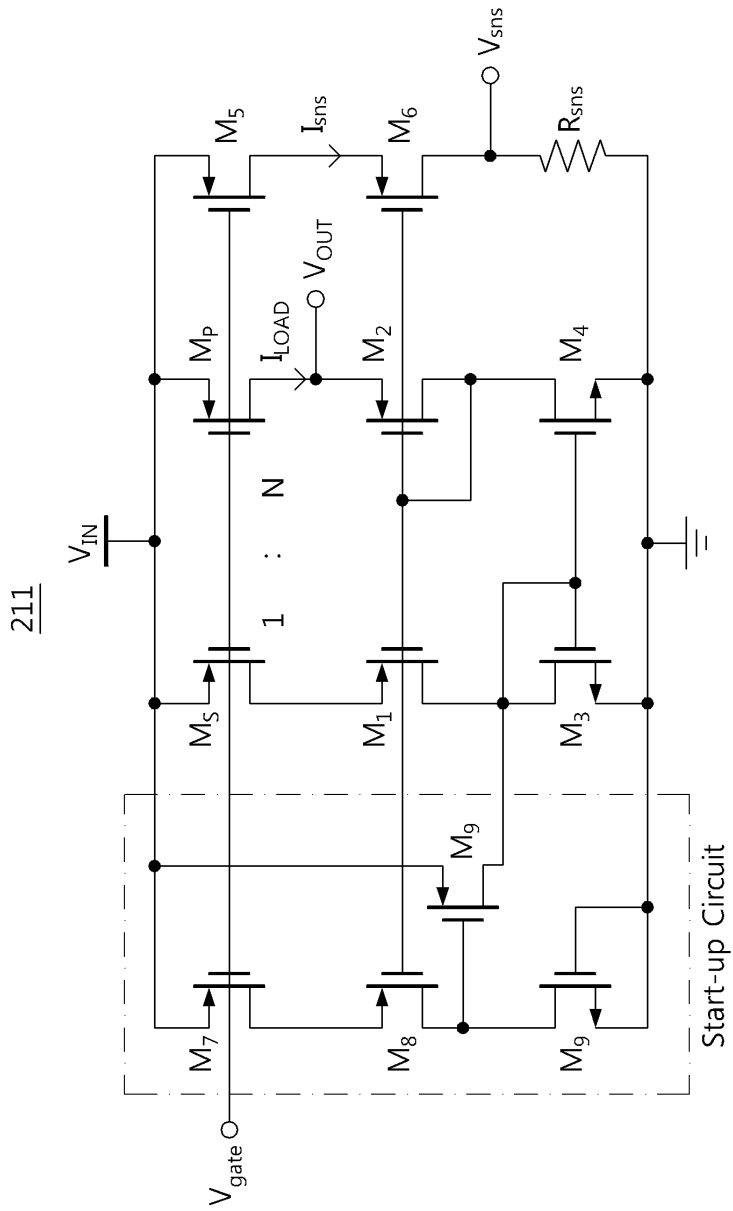
도면5



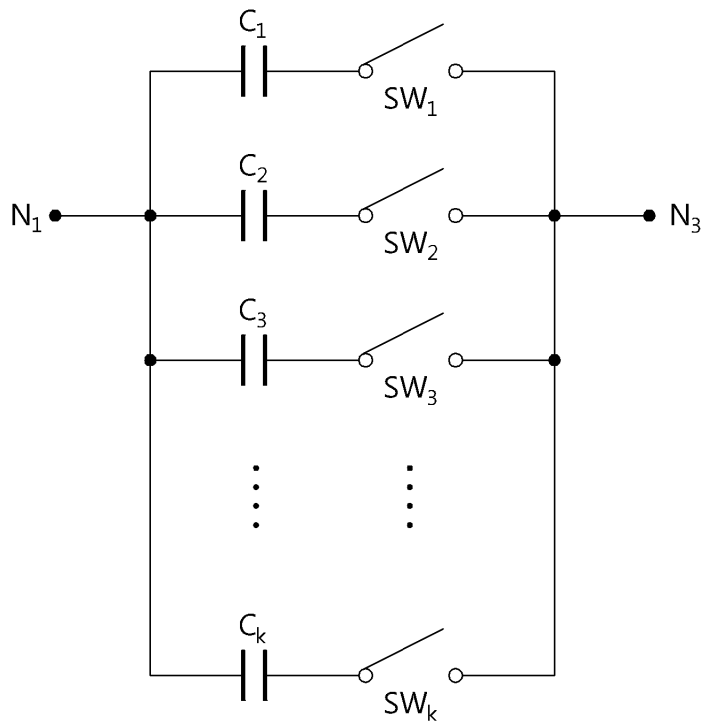
도면6



도면7



도면8



도면9

