

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 29 年 3 月 23 日 (2017.3.23)

【公表番号】特表 2016-517216 (P2016-517216A)

【公表日】平成 28 年 6 月 9 日 (2016.6.9)

【年通号数】公開・登録公報 2016-035

【出願番号】特願 2016-501405 (P2016-501405)

【国際特許分類】

H 0 3 M 1/38 (2006.01)

H 0 3 K 5/26 (2006.01)

H 0 3 L 7/085 (2006.01)

【F I】

H 0 3 M 1/38

H 0 3 K 5/26 S

H 0 3 L 7/08 A

【手続補正書】

【提出日】平成 29 年 2 月 15 日 (2017.2.15)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

時間デジタル変換器であって、

第 1 および第 2 の信号に応答するエッジ検出器と、前記第 2 の信号は、前記第 1 の信号の各期間中に複数のエッジを備え、前記エッジ検出器は、前記第 1 の信号の各期間中に、前記第 1 の信号のエッジに最も近い前記第 2 の信号のエッジを検出するように構成される、

前記第 2 の信号の前記検出されたエッジと前記第 1 の信号の前記エッジとの間の時間の差に比例する電圧を生成するように構成される時間電圧変換器と、ここにおいて、前記時間電圧変換器は、リセット信号に応答して規定の電圧レベルに充電されるように構成される第 1 および第 2 の差動出力を有し、ここにおいて、第 1 の導電路が、第 1 の時間期間内の前記第 1 の信号の前記エッジに応答して前記第 1 の差動出力と第 1 の電源電圧との間に形成され、ここにおいて、第 2 の導電路が、第 2 の時間期間中の前記第 2 の信号の前記検出されたエッジに応答して前記第 2 の差動出力と前記第 1 の電源電圧との間に形成され、前記第 1 および第 2 の時間期間は重なり合わない、

前記第 1 および第 2 の差動出力の電圧の差をデジタル化するように構成されるアナログデジタル変換器と、

を備え、

ここにおいて、前記時間電圧変換器は、

前記第 1 の差動出力と前記第 1 の電源電圧との間に、前記第 1 の導電路をもたらしように構成される第 1 および第 2 のトランジスタと、

前記第 2 の差動出力と前記第 1 の電源電圧との間に、前記第 2 の導電路をもたらしように構成される第 3 および第 4 のトランジスタと、

前記第 1 の差動出力を前記規定の電圧レベルに充電するように構成される第 5 のトランジスタと、

前記第 2 の差動出力を前記規定の電圧レベルに充電するように構成される第 6 のトラン

ジスタと、ここにおいて、前記規定の電圧レベルは第 2 の電源電圧である、
をさらに備える、時間デジタル変換器。

【請求項 2】

前記第 5 および第 6 のトランジスタは、NMOS トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも低い、請求項 1 に記載の時間デジタル変換器。

【請求項 3】

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサと、

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサと、

をさらに備える請求項 2 に記載の時間デジタル変換器。

【請求項 4】

前記アナログデジタル変換器は、継続的近似化レジスタ (SAR) アナログデジタル変換器であり、前記第 1 および第 2 の複数のコンデンサは、前記アナログデジタル変換器に対してサンプルおよびホールド動作を実行する、請求項 3 に記載の時間デジタル変換器。

【請求項 5】

前記アナログデジタル変換器は、前記第 1 および第 2 の複数の信号を生成するように構成される制御論理をさらに備える、請求項 4 に記載の時間デジタル変換器。

【請求項 6】

前記アナログデジタル変換器は、前記時間電圧変換器の前記第 1 および第 2 の差動出力の電圧を比較し、比較信号を前記制御論理に供給するように構成される比較器をさらに備える、請求項 5 に記載の時間デジタル変換器。

【請求項 7】

前記エッジ検出器は、複数のバッファおよび可変コンデンサを備え、ここにおいて、前記複数のバッファのサブセットの各々の両端間の遅延は、前記複数の可変コンデンサのサブセットの静電容量を変えることによって、前記第 2 の信号の期間の規定の一部分に調整され、および／または

前記エッジ検出器は、前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップをさらに備える、請求項 6 に記載の時間デジタル変換器。

【請求項 8】

誤差信号を生成するために、制御信号とループ信号との間の差を検出するように構成される検出器と、

ノイズの高周波成分を前記誤差信号からフィルタに通して除去するように構成されるループフィルタと、

前記フィルタに通された誤差信号に応答して、発振する信号を生成するように構成されるデジタル方式で制御される発振器と、

請求項 1 にしたがう時間デジタル変換器と、前記デジタル化される電圧は、前記ループ信号を規定する、

を備える、デジタル制御ロックループ。

【請求項 9】

第 1 の信号および第 2 の信号の遷移時間の間の差をデジタル信号に変換する方法であって、前記第 2 の信号は、前記第 1 の信号の各期間中に複数の遷移を備え、前記方法は、

前記第 1 の信号の各期間中に、前記第 1 の信号の遷移に時間において最も近い前記第 2 の信号の遷移を検出することと、

第 1 および第 2 の差動出力を第 1 の電源電圧に充電することと、

第 1 の時間期間中の前記第 1 の信号の前記遷移に応答して、前記第 1 の差動出力と第 2 の電源電圧との間に、第 1 の導電路を形成することと、

第 2 の時間期間中の前記第 2 の信号の前記検出された遷移に応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に、第 2 の導電路を形成することと、前記第 1 および第

2 の時間期間は重なり合わない、

前記第 2 の信号の前記検出された遷移と前記第 1 の信号の前記遷移との間の時間の差に比例する電圧を生成することと、

前記電圧をデジタル化することと、

を備え、

前記第 1 の導電路を第 1 および第 2 のトランジスタを介して形成することと、

前記第 2 の導電路を第 3 および第 4 のトランジスタを介して形成することと、

前記第 1 の差動出力を第 5 のトランジスタを介して前記第 1 の電源電圧に充電することと、

前記第 2 の差動出力を第 6 のトランジスタを介して前記第 1 の電源電圧に充電することと、

をさらに備える、方法。

【請求項 10】

前記第 5 および第 6 のトランジスタは、NMOS トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも高い、請求項 9 に記載の方法。

【請求項 11】

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサを形成することと、

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサを形成することと、

をさらに備える、請求項 10 に記載の方法。

【請求項 12】

前記第 1 および第 2 の差動出力の電圧の前記差を継続的近似化レジスタ (SAR) アナログデジタル変換器を使用してデジタル化することと、

前記第 1 および第 2 の複数のコンデンサを使用して、サンプルおよびホールド動作を実行することと、

をさらに備える、請求項 11 に記載の方法。

【請求項 13】

前記第 1 および第 2 の複数の信号を前記 SAR アナログデジタル変換器に配置される制御論理を使用して生成すること、

をさらに備える、請求項 12 に記載の方法。

【請求項 14】

比較信号を生成するために、前記第 1 および第 2 の差動出力の電圧を比較することと、

前記比較信号を前記制御論理へ引き渡すことと、好ましくは、

複数のバッファを直列に形成することと、

複数の可変コンデンサを前記複数のバッファの出力に配置することと、

前記第 1 の信号を前記複数のバッファのうちの第 1 のバッファの入力に印加することと

、

前記複数のバッファのサブセットの各々の両端間の遅延が、前記第 2 の信号の期間の規定の一部分に調整されるように、前記複数の可変コンデンサの静電容量を変えることと、

さらに好ましくは、

前記第 1 の信号の前記遷移に時間において最も近い前記第 2 の信号の前記遷移を前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップを使用することによって検出すること、

をさらに備える、請求項 13 に記載の方法。

【請求項 15】

発振する信号を基準クロック信号にロックさせる方法であって、前記発振する信号は、前記基準クロック信号の各期間中に複数の遷移を備え、前記方法は、

誤差信号を生成するために、制御信号とループ信号との間の差を検出することと、
前記誤差信号の高周波成分をフィルタに通して除去することと、
前記フィルタに通された誤差信号に応答して、前記発振する信号を生成することと、
請求項 9 にしたがう方法と、前記デジタル化される電圧が、前記ループ信号を規定する

、
を備える、方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正の内容】

【0042】

[0053] 本発明の上述の実施形態は、例示的であり、限定的でない。たとえば、本発明の実施形態は、2つの信号の到達時間の間の差をデジタル信号に変換するために使用されるエッジ検出器、時間電圧変換器、アナログデジタル変換器、バッファ、またはフリップフロップのタイプによって限定されない。本発明の実施形態は、それらがその中に配置され得るデバイスのタイプ、ワイヤレスまたは別のやり方によって限定されない。本発明の上述の実施形態は、差動信号を使用する回路を参照して述べられたけれども、本発明の実施形態は、不平衡信号を使用する回路に等しく適用できることが理解される。本発明の実施形態は、時間デジタル変換器からのために使用され得る技術のタイプ、CMOS、バイポーラ、BICMOS、または別のやり方によって限定されない。他の追加、削減または修正は、本発明に照らして明らかであり、添付の特許請求の範囲の範囲内に包含されることが意図される。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

〔C1〕

時間デジタル変換器であって、

第1および第2の信号に応答するエッジ検出器と、前記第2の信号は、前記第1の信号の各期間中に複数のエッジを備え、前記エッジ検出器は、前記第1の信号の各期間中に、前記第1の信号のエッジに最も近い前記第2の信号のエッジを検出するように構成される

、
前記第2の信号の前記検出されたエッジと前記第1の信号の前記エッジとの間の時間の差に比例する電圧を生成するように構成される時間電圧変換器と、ここにおいて、前記時間デジタル変換器は、リセット信号に応答して規定の電圧レベルに充電されるように構成される第1および第2の差動出力を有し、ここにおいて、第1の導電路が、第1の時間期間内の前記第1の信号の前記エッジに応答して前記第1の差動出力と第1の電源電圧との間に形成され、ここにおいて、第2の導電路が、第2の時間期間中の前記第2の信号の前記検出されたエッジに応答して前記第2の差動出力と前記第1の電源電圧との間に形成され、前記第1および第2の時間期間は重なり合わない、

前記第1および第2の差動出力の電圧の差をデジタル化するように構成されるアナログデジタル変換器と、

を備える時間デジタル変換器。

〔C2〕

前記時間電圧変換器は、

前記第1の差動出力と前記第1の電源電圧との間に、前記第1の導電路をもたらしように構成される第1および第2のトランジスタと、

前記第2の差動出力と前記第1の電源電圧との間に、前記第2の導電路をもたらしように構成される第3および第4のトランジスタと、

をさらに備える、C1に記載の時間デジタル変換器。

〔C3〕

前記時間電圧変換器は、

前記第 1 の差動出力を前記規定の電圧レベルに充電するように構成される第 5 のトランジスタと、

前記第 2 の差動出力を前記規定の電圧レベルに充電するように構成される第 6 のトランジスタと、ここにおいて、前記規定の電圧レベルは第 2 の電源電圧である、

をさらに備える、C 2 に記載の時間デジタル変換器。

[C 4]

前記第 5 および第 6 のトランジスタは、NMOS トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも低い、C 3 に記載の時間デジタル変換器。

[C 5]

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサと、

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサと、

をさらに備える C 4 に記載の時間デジタル変換器。

[C 6]

前記アナログデジタル変換器は、継続的近似化レジスタ (SAR) アナログデジタル変換器であり、前記第 1 および第 2 の複数のコンデンサは、前記アナログデジタル変換器に対してサンプルおよびホールド動作を実行する、C 5 に記載の時間デジタル変換器。

[C 7]

前記アナログデジタル変換器は、前記第 1 および第 2 の複数の信号を生成するように構成される制御論理をさらに備える、C 6 に記載の時間デジタル変換器。

[C 8]

前記アナログデジタル変換器は、前記時間電圧変換器の前記第 1 および第 2 の差動出力の電圧を比較し、比較信号を前記制御論理に供給するように構成される比較器をさらに備える、C 7 に記載の時間デジタル変換器。

[C 9]

前記エッジ検出器は、複数のバッファおよび可変コンデンサを備え、ここにおいて、前記複数のバッファのサブセットの各々の両端間の遅延は、前記複数の可変コンデンサのサブセットの静電容量を変えることによって、前記第 2 の信号の期間の規定の一部分に調整される、C 8 に記載の時間デジタル変換器。

[C 10]

前記エッジ検出器は、前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップをさらに備える、C 8 に記載の時間デジタル変換器。

[C 11]

第 1 の信号および第 2 の信号の遷移時間の間の差をデジタル信号に変換する方法であって、前記第 2 の信号は、前記第 1 の信号の各期間中に複数の遷移を備え、前記方法は、

前記第 1 の信号の各期間中に、前記第 1 の信号の遷移に時間において最も近い前記第 2 の信号の遷移を検出することと、

第 1 および第 2 の差動出力を第 1 の電源電圧に充電することと、

第 1 の時間期間中の前記第 1 の信号の前記遷移に応答して、前記第 1 の差動出力と第 2 の電源電圧との間に、第 1 の導電路を形成することと、

第 2 の時間期間中の前記第 2 の信号の前記検出されたエッジに応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に、第 2 の導電路を形成することと、前記第 1 および第 2 の時間期間は重なり合わない、

前記第 2 の信号の前記検出された遷移と前記第 1 の信号の前記遷移との間の時間の差に比例する電圧を生成することと、

前記電圧をデジタル化することと、

を備える方法。

[C 12]

前記第 1 の導電路を第 1 および第 2 のトランジスタを介して形成することと、
前記第 2 の導電路を第 3 および第 4 のトランジスタを介して形成することと、
をさらに備える C 1 1 に記載の方法。

[C 1 3]

前記第 1 の差動出力を第 5 のトランジスタを介して前記第 1 の電源電圧に充電することと、

前記第 2 の差動出力を第 6 のトランジスタを介して前記第 1 の電源電圧に充電することと、

をさらに備える C 1 2 に記載の方法。

[C 1 4]

前記第 5 および第 6 のトランジスタは、NMOS トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも高い、C 1 3 に記載の方法。

[C 1 5]

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサを形成することと、

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサを形成することと、

をさらに備える C 1 4 に記載の方法。

[C 1 6]

前記第 1 および第 2 の差動出力の電圧の差を継続的近似化レジスタ (SAR) アナログデジタル変換器を使用してデジタル化することと、

前記第 1 および第 2 の複数のコンデンサを使用して、サンプルおよびホールド動作を実行することと、

をさらに備える C 1 5 に記載の方法。

[C 1 7]

前記第 1 および第 2 の複数の信号を前記 SAR アナログデジタル変換器に配置される制御論理を使用して生成すること、

をさらに備える C 1 6 に記載の方法。

[C 1 8]

比較信号を生成するために、前記第 1 および第 2 の差動出力の電圧を比較することと、

前記比較信号を前記制御論理へ引き渡すことと、

をさらに備える C 1 7 に記載の方法。

[C 1 9]

複数のバッファを直列に形成することと、

複数の可変コンデンサを前記複数のバッファの出力に配置することと、

前記第 1 の信号を前記複数のバッファのうちの第 1 のバッファの入力に印加することと、

、

前記複数のバッファのサブセットの各々の両端間の遅延が、前記第 2 の信号の期間の規定の一部分に調整されるように、前記複数の可変コンデンサの静電容量を変えることと、

をさらに備える C 1 8 に記載の方法。

[C 2 0]

前記第 1 の信号の前記遷移に時間において最も近い前記第 2 の信号の前記遷移を前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップを使用することによって検出すること、

をさらに備える C 1 9 に記載の方法。

[C 2 1]

第 1 の信号および第 2 の信号の遷移時間の間の差を時間に変換するように構成される命令を備える非一時的なコンピュータ可読記憶媒体であって、前記第 2 の信号は、前記第 1

の信号の各期間中に複数の遷移を備え、前記命令は、プロセッサによって実行されるとき、前記プロセッサに、

前記第 1 の信号の各期間中に、前記第 1 の信号の遷移に時間において最も近い前記第 2 の信号の遷移を検出させ、

第 1 および第 2 の差動出力を第 1 の電源電圧に充電させ、

第 1 の時間期間中の前記第 1 の信号の前記遷移に応答して、前記第 1 の差動出力と第 2 の電源電圧との間に、第 1 の導電路を形成させ、

第 2 の時間期間中の前記第 2 の信号の前記検出されたエッジに応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に、第 2 の導電路を形成させ、前記第 1 および第 2 の時間期間は重なり合わない、

前記第 2 の信号の前記検出された遷移と前記第 1 の信号の前記遷移との間の時間の差に比例する電圧を生成させ、

前記第 1 および第 2 の差動出力の電圧の差をデジタル化させる、

非一時的なコンピュータ可読記憶媒体。

[C 2 2]

前記命令は、さらに前記プロセッサに、

前記第 1 の導電路を第 1 および第 2 のトランジスタを介して形成させ、

前記第 2 の導電路を第 3 および第 4 のトランジスタを介して形成させる、

C 2 1 に記載の非一時的なコンピュータ可読記憶媒体。

[C 2 3]

前記命令は、さらに前記プロセッサに、

前記第 1 の差動出力を第 5 のトランジスタを介して前記第 1 の電源電圧に充電させ、

前記第 2 の差動出力を第 6 のトランジスタを介して前記第 1 の電源電圧に充電させる、

C 2 2 に記載の非一時的なコンピュータ可読記憶媒体。

[C 2 4]

前記第 5 および第 6 のトランジスタは、N M O S トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも高い、C 2 3 に記載の非一時的なコンピュータ可読記憶媒体。

[C 2 5]

前記命令は、さらに前記プロセッサに、

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサを形成させ、

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサを形成させる、

C 2 4 に記載の非一時的なコンピュータ可読記憶媒体。

[C 2 6]

前記命令は、さらに前記プロセッサに、

前記第 1 および第 2 の差動出力の電圧の前記差を継続的近似化レジスタ (S A R) アナログデジタル変換器を使用してデジタル化させ、

前記第 1 および第 2 の複数のコンデンサを使用して、サンプルおよびホールド動作を実行させる、

C 2 5 に記載の非一時的なコンピュータ可読記憶媒体。

[C 2 7]

前記命令は、さらに前記プロセッサに、

前記第 1 および第 2 の複数の信号を前記 S A R アナログデジタル変換器に配置される制御論理を使用して生成させる、

C 2 6 に記載の非一時的なコンピュータ可読記憶媒体。

[C 2 8]

前記命令は、さらに前記プロセッサに、
比較信号を生成するために、前記第 1 および第 2 の差動出力の電圧を比較させ、
前記比較信号を前記制御論理へ引き渡させる、
C 2 7 に記載の非一時的なコンピュータ可読記憶媒体。

[C 2 9]

前記命令は、さらに前記プロセッサに、
複数のバッファを直列に形成させ、
複数の可変コンデンサを前記複数のバッファの出力に配置させ、
前記第 1 の信号を前記複数のバッファのうちの第 1 のバッファの入力に印加させ、
前記複数のバッファのサブセットの各々の両端間の遅延が、前記第 2 の信号の期間の規定の一部分に調整されるように、前記複数の可変コンデンサの静電容量を変えさせる、
C 2 8 に記載の非一時的なコンピュータ可読記憶媒体。

[C 3 0]

前記命令は、さらに前記プロセッサに、
前記第 1 の信号の前記遷移に時間において最も近い前記第 2 の信号の前記遷移を前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップを使用することによって検出させる、
C 2 9 に記載の非一時的なコンピュータ可読記憶媒体。

[C 3 1]

第 1 の信号および第 2 の信号の遷移時間の間の差を時間に変換するように構成されることを備える時間デジタル変換器であって、前記第 2 の信号は、前記第 1 の信号の各期間中に複数の遷移を備え、前記時間デジタル変換器は、
前記第 1 の信号の各期間中に、前記第 1 の信号の遷移に時間において最も近い前記第 2 の信号の遷移を検出するための手段と、
第 1 および第 2 の差動出力を第 1 の電源電圧に充電するための手段と、
第 1 の時間期間中の前記第 1 の信号の前記遷移に応答して、前記第 1 の差動出力と第 2 の電源電圧との間に、第 1 の導電路を形成するための手段と、
第 2 の時間期間中の前記第 2 の信号の前記検出されたエッジに応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に、第 2 の導電路を形成するための手段と、前記第 1 および第 2 の時間期間は重なり合わない、
前記第 2 の信号の前記検出された遷移と前記第 1 の信号の前記遷移との間の時間の差に比例する電圧を生成するための手段と、
前記第 1 および第 2 の差動出力の電圧の差をデジタル化するための手段と、
を備える時間デジタル変換器。

[C 3 2]

前記第 1 の導電路を第 1 および第 2 のトランジスタを介して形成するための手段と、
前記第 2 の導電路を第 3 および第 4 のトランジスタを介して形成するための手段と、
をさらに備える C 3 1 に記載の時間デジタル変換器。

[C 3 3]

前記第 1 の差動出力を第 5 のトランジスタを介して前記第 1 の電源電圧に充電するための手段と、
前記第 2 の差動出力を第 6 のトランジスタを介して前記第 1 の電源電圧に充電するための手段と、
をさらに備える C 3 2 に記載の時間デジタル変換器。

[C 3 4]

前記第 5 および第 6 のトランジスタは、N M O S トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも高い、C 3 3 に記載の時間デジタル変換器。

[C 3 5]

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサと、

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサと、
をさらに備える C 3 4 に記載の時間デジタル変換器。

[C 3 6]

前記第 1 および第 2 の差動出力の電圧の前記差をデジタル化するための前記手段は、継続的近似化レジスタ (SAR) アナログデジタル変換器であり、ここにおいて、前記時間デジタル変換器は、

前記第 1 および第 2 の複数のコンデンサを使用して、サンプルおよびホールド動作を実行するための手段をさらに備える、

C 3 5 に記載の時間デジタル変換器。

[C 3 7]

前記第 1 および第 2 の複数の信号を生成するための前記手段は、前記 SAR アナログデジタル変換器に配置される制御論理である、C 3 6 に記載の時間デジタル変換器。

[C 3 8]

比較信号を生成するために、前記第 1 および第 2 の差動出力の電圧を比較するための手段と、

前記比較信号を前記制御論理へ引き渡すための手段と、

をさらに備える C 3 7 に記載の時間デジタル変換器。

[C 3 9]

直列の複数のバッファと、

複数のバッファのうちの異なるバッファの出力にそれぞれ結合される複数の可変コンデンサと、

前記複数のバッファのサブセットの各々の両端間の遅延が、前記第 2 の信号の期間の規定の一部分となるように、前記複数の可変コンデンサの静電容量を変えるための手段と、

をさらに備える C 3 8 に記載の時間デジタル変換器。

[C 4 0]

前記第 1 の信号の遷移に時間において最も近い前記第 2 の信号の前記遷移を検出するための前記手段は、前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップを備える、C 3 9 に記載の時間デジタル変換器。

[C 4 1]

誤差信号を生成するために、制御信号とループ信号との間の差を検出するように構成される検出器と、

ノイズの高周波成分を前記誤差信号からフィルタに通して除去するように構成されるループフィルタと、

前記フィルタに通された誤差信号に応答して、発振する信号を生成するように構成されるデジタル方式で制御される発振器と、

時間デジタル変換器と、

を備えるデジタル制御ロックループであって、前記時間デジタル変換器は、

基準クロック信号および前記発振する信号に応答するエッジ検出器と、前記発振する信号は、前記基準クロック信号の各期間中に複数のエッジを備え、前記エッジ検出器は、前記基準クロック信号の各期間中に、前記基準クロック信号のエッジに最も近い前記発振する信号のエッジを検出するように構成される、

前記発振する信号の前記検出されたエッジと前記基準クロック信号の前記エッジとの間の時間の差に比例する電圧を生成するように構成される時間電圧変換器と、

前記時間デジタル変換器によって生成される前記電圧をデジタル化するように構成されるアナログデジタル変換器と、前記デジタル化される電圧は、前記ループ信号を規定する

を備える、デジタル制御ロックループ。

[C 4 2]

前記時間電圧変換器は、

前記時間電圧変換器の第 1 の差動出力と第 1 の電源電圧との間に、第 1 の導電路をもたらしように構成される第 1 および第 2 のトランジスタと、

前記時間電圧変換器の第 2 の差動出力と前記第 1 の電源電圧との間に、第 2 の導電路をもたらしように構成される第 3 および第 4 のトランジスタと

をさらに備える、C 4 1 に記載のデジタル制御ロックループ。

[C 4 3]

前記時間電圧変換器は、

前記第 1 の差動出力を第 2 の電源電圧にリセットするように構成される第 5 のトランジスタと、

前記第 2 の差動出力を前記第 2 の電源電圧にリセットするように構成される第 6 のトランジスタと、

をさらに備える、C 4 2 に記載のデジタル制御ロックループ。

[C 4 4]

前記第 5 および第 6 のトランジスタは、N M O S トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも低い、C 4 3 に記載のデジタル制御ロックループ。

[C 4 5]

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサと、

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサと、

をさらに備える C 4 4 に記載のデジタル制御ロックループ。

[C 4 6]

前記アナログデジタル変換器は、継続的近似化レジスタ (S A R) アナログデジタル変換器であり、前記第 1 および第 2 の複数のコンデンサは、前記アナログデジタル変換器に対してサンプルおよびホールド動作を実行する、C 4 5 に記載のデジタル制御ロックループ。

[C 4 7]

前記アナログデジタル変換器は、前記第 1 および第 2 の複数の信号を生成するように構成される制御論理をさらに備える、C 4 6 に記載のデジタル制御ロックループ。

[C 4 8]

前記アナログデジタル変換器は、前記時間電圧変換器の前記第 1 および第 2 の差動出力の電圧を比較し、比較信号を前記制御論理に供給するように構成される比較器をさらに備える、C 4 7 に記載のデジタル制御ロックループ。

[C 4 9]

前記エッジ検出器は、複数のバッファおよび可変コンデンサを備え、前記複数のバッファの各々の両端間の遅延は、前記発振する信号の期間の規定の一部である、C 4 8 に記載のデジタル制御ロックループ。

[C 5 0]

前記エッジ検出器は、前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップをさらに備える、C 4 9 に記載のデジタル制御ロックループ。

[C 5 1]

発振する信号を基準クロック信号にロックさせる方法であって、前記発振する信号は、前記基準クロック信号の各期間中に複数の遷移を備え、前記方法は、

誤差信号を生成するために、制御信号とループ信号との間の差を検出することと、

前記誤差信号の高周波成分をフィルタに通して除去することと、

前記フィルタに通された誤差信号に応答して、前記発振する信号を生成することと、

前記基準信号の各期間中に、前記基準クロック信号の遷移に時間において最も近い前記発振する信号の遷移を検出することと、

第 1 および第 2 の差動出力を第 1 の電源電圧に充電することと、

第 1 の時間期間中の前記基準クロック信号の前記遷移に応答して、前記第 1 の差動出力と第 2 の電源電圧との間に、第 1 の導電路を形成することと、

第 2 の時間期間中の前記発振する信号の前記検出されたエッジに応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に、第 2 の導電路を形成することと、前記第 1 および第 2 の時間期間は重なり合わない、

前記発振する信号の前記検出された遷移と前記基準クロック信号の前記遷移との間の時間の差に比例する電圧を生成することと、

前記電圧をデジタル化することと、前記デジタル化される電圧が、前記ループ信号を規定する、

を備える方法。

[C 5 2]

前記第 1 の導電路を第 1 および第 2 のトランジスタを介して形成することと、

前記第 2 の導電路を第 3 および第 4 のトランジスタを介して形成することと、

をさらに備える C 5 1 に記載の方法。

[C 5 3]

前記第 1 の差動出力を第 5 のトランジスタを介して前記第 1 の電源電圧にリセットすることと、

前記第 2 の差動出力を第 6 のトランジスタを介して前記第 1 の電源電圧にリセットすることと、

をさらに備える C 5 2 に記載の方法。

[C 5 4]

前記第 5 および第 6 のトランジスタは、N M O S トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも高い、C 5 3 に記載の方法。

[C 5 5]

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサを形成することと、

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサを形成することと、

をさらに備える C 5 4 に記載の方法。

[C 5 6]

前記第 1 および第 2 の差動出力の電圧の差を継続的近似化レジスタ (S A R) アナログデジタル変換器を使用してデジタル化することと、

前記第 1 および第 2 の複数のコンデンサを使用して、サンプルおよびホールド動作を実行することと、

をさらに備える C 5 5 に記載の方法。

[C 5 7]

前記第 1 および第 2 の複数の信号を前記 S A R アナログデジタル変換器に配置される制御論理を使用して生成すること、

をさらに備える C 5 6 に記載の方法。

[C 5 8]

比較信号を生成するために、前記第 1 および第 2 の差動出力の電圧を比較することと、

前記比較信号を前記制御論理へ引き渡すことと、

をさらに備える C 5 7 に記載の方法。

[C 5 9]

複数のバッファを直列に形成することと、

複数の可変コンデンサを前記複数のバッファの出力に配置することと、

前記基準クロック信号を前記複数のバッファのうちの第 1 のバッファの入力に印加する

ことと、

前記複数のバッファのサブセットの各々の両端間の遅延が、前記発振する信号の期間の規定の一部となるように、前記複数の可変コンデンサの静電容量を変えることと、
をさらに備える C 5 8 に記載の方法。

[C 6 0]

前記基準クロック信号の前記遷移に時間において最も近い前記発振する信号の前記遷移を前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップを使用することによって検出すること、
をさらに備える C 5 9 に記載の方法。

[C 6 1]

発振する信号を基準クロック信号にロックさせるように構成される命令を備える非一時的なコンピュータ可読記憶媒体であって、前記発振する信号は、前記基準信号の各期間中に複数の遷移を備え、前記命令は、プロセッサによって実行されるとき、前記プロセッサに、

誤差信号を生成するために、制御信号とループ信号との間の差を検出させ、

前記誤差信号の高周波成分をフィルタに通して除去させ、

前記フィルタに通された誤差信号に応答して、前記発振する信号を生成させ、

前記基準クロック信号の各期間中に、前記基準クロック信号の遷移に時間において最も近い前記発振する信号の遷移を検出させ、

第 1 および第 2 の差動出力を第 1 の電源電圧に充電させ、

第 1 の時間期間中の前記基準信号の前記遷移に応答して、前記第 1 の差動出力と第 2 の電源電圧との間に、第 1 の導電路を形成させ、

第 2 の時間期間中の前記発振する信号の前記検出されたエッジに応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に、第 2 の導電路を形成させ、前記第 1 および第 2 の時間期間は重なり合わない、

前記発振する信号の前記検出された遷移と前記基準クロック信号の前記遷移との間の時間の差に比例する電圧を生成させ、

前記第 1 および第 2 の差動出力の電圧の差をデジタル化させる、前記デジタル化される差は、前記ループ信号を規定する、

非一時的なコンピュータ可読記憶媒体。

[C 6 2]

前記命令は、さらに前記プロセッサに、

前記第 1 の導電路を第 1 および第 2 のトランジスタを介して形成させ、

前記第 2 の導電路を第 3 および第 4 のトランジスタを介して形成させる、

C 6 1 に記載の非一時的なコンピュータ可読記憶媒体。

[C 6 3]

前記命令は、さらに前記プロセッサに、

前記第 1 の差動出力を第 5 のトランジスタを介して前記第 1 の電源電圧にリセットさせ

、

前記第 2 の差動出力を第 6 のトランジスタを介して前記第 1 の電源電圧にリセットさせる、

C 6 2 に記載の非一時的なコンピュータ可読記憶媒体。

[C 6 4]

前記第 5 および第 6 のトランジスタは、N M O S トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも高い、C 6 3 に記載の非一時的なコンピュータ可読記憶媒体。

[C 6 5]

前記命令は、さらに前記プロセッサに、

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサを形成さ

せ、

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサを形成させる、

C 6 4 に記載の非一時的なコンピュータ可読記憶媒体。

[C 6 6]

前記命令は、さらに前記プロセッサに、

前記第 1 および第 2 の差動出力の電圧の前記差を、継続的近似化レジスタ (S A R) アナログデジタル変換器を使用してデジタル化させ、

前記第 1 および第 2 の複数のコンデンサを使用して、サンプルおよびホールド動作を実行させる、

C 6 5 に記載の非一時的なコンピュータ可読記憶媒体。

[C 6 7]

前記命令は、さらに前記プロセッサに、

前記第 1 および第 2 の複数の信号を、前記 S A R アナログデジタル変換器に配置される制御論理を使用して生成させる、

C 6 6 に記載の非一時的なコンピュータ可読記憶媒体。

[C 6 8]

前記命令は、さらに前記プロセッサに、

比較信号を生成するために、前記第 1 および第 2 の差動出力の電圧を比較させ、

前記比較信号を前記制御論理へ引き渡させる、

C 6 7 に記載の非一時的なコンピュータ可読記憶媒体。

[C 6 9]

前記命令は、さらに前記プロセッサに、

複数のバッファを直列に形成させ、

複数の可変コンデンサを前記複数のバッファの出力に配置させ、

前記第 1 の基準クロック信号を前記複数のバッファのうちの第 1 のバッファの入力に印加させ、

前記複数のバッファのサブセットの各々の両端間の遅延が、前記発振する信号の期間の規定の一部となるように、前記複数の可変コンデンサの静電容量を変えさせる、

C 6 8 に記載の非一時的なコンピュータ可読記憶媒体。

[C 7 0]

前記命令は、さらに前記プロセッサに、

前記基準クロック信号の前記遷移に時間において最も近い前記発振する信号の前記遷移を、前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップを使用することによって検出させる、

C 6 9 に記載の非一時的なコンピュータ可読記憶媒体。

[C 7 1]

誤差信号を生成するために、制御信号とループ信号との間の差を検出するための手段と、

ノイズの高周波成分を前記誤差信号からフィルタに通して除去するための手段と、

前記フィルタに通された誤差信号に応答して、発振する信号を生成するための手段と、

基準信号の各期間中に、基準クロック信号の遷移に時間において最も近い前記発振する信号の遷移を検出する手段と、

第 1 および第 2 の差動出力を第 1 の電源電圧に充電するための手段と、

第 1 の時間期間中の前記基準クロック信号の前記遷移に応答して、前記第 1 の差動出力と第 2 の電源電圧との間に、第 1 の導電路を形成するための手段と、

第 2 の時間期間中の前記発振する信号の前記検出されたエッジに応答して、前記第 2 の差動出力と前記第 2 の電源電圧との間に、第 2 の導電路を形成するための手段と、前記第 1 および第 2 の時間期間は重なり合わない、

前記発振する信号の前記検出された遷移と前記基準クロック信号の前記遷移との間の時間の差に比例する電圧を生成するための手段と、

前記第1および第2の差動出力の電圧の差をデジタル化するための手段と、前記デジタル化される差は、前記ループ信号を規定する、

を備えるデジタル制御ロックループ。

[C 7 2]

前記第1の導電路を第1および第2のトランジスタを介して形成するための手段と、

前記第2の導電路を第3および第4のトランジスタを介して形成するための手段と、

をさらに備える、C 7 1に記載のデジタル制御ロックループ。

[C 7 3]

前記第1の差動出力を第5のトランジスタを介して前記第1の電源電圧にリセットするための手段と、

前記第2の差動出力を第6のトランジスタを介して前記第1の電源電圧にリセットするための手段と

をさらに備える、C 7 1に記載のデジタル制御ロックループ。

[C 7 4]

前記第5および第6のトランジスタは、NMOSトランジスタであり、前記第2の電源電圧は、前記第1の電源電圧よりも高い、C 7 3に記載のデジタル制御ロックループ。

[C 7 5]

第1の複数の信号のうちの異なる信号に応答して、前記第1の差動出力と前記第2の電源電圧との間に結合されるように、それぞれ構成される第1の複数のコンデンサと、

第2の複数の信号のうちの異なる信号に応答して、前記第2の差動出力と前記第2の電源電圧との間に結合されるように、それぞれ構成される第2の複数のコンデンサと、

をさらに備える、C 7 4に記載のデジタル制御ロックループ。

[C 7 6]

前記第1および第2の差動出力の電圧の前記差をデジタル化するための前記手段は、継続的近似化レジスタ(SAR)アナログデジタル変換器であり、ここにおいて、前記時間デジタル変換器は、

前記第1および第2の複数のコンデンサを使用して、サンプルおよびホールド動作を実行するための手段、

をさらに備える、C 7 5に記載のデジタル制御ロックループ。

[C 7 7]

前記第1および第2の複数の信号を生成するための前記手段は、前記SARアナログデジタル変換器に配置される制御論理である、C 7 6に記載のデジタル制御ロックループ。

[C 7 8]

比較信号を生成するために、前記第1および第2の差動出力の電圧を比較するための手段と、

前記比較信号を前記制御論理へ引き渡すための手段と、

をさらに備える、C 7 7に記載のデジタル制御ロックループ。

[C 7 9]

直列の複数のバッファと、

複数のバッファのうちの異なるバッファの出力にそれぞれ結合される複数の可変コンデンサと、

前記複数のバッファのサブセットの各々の両端間の遅延が、前記発振する信号の期間の規定の一部となるように、前記複数の可変コンデンサの静電容量を変えるための手段と、

をさらに備える、C 7 8に記載のデジタル制御ロックループ。

[C 8 0]

前記基準クロック信号の遷移に時間において最も近い前記発振する信号の前記遷移を検出するための前記手段は、前記複数のバッファの複数の出力信号によって駆動される複数

のクロック入力端子を有する複数のフリップフロップを備える、C 7 8 に記載のデジタル制御ロックループ。