

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3805678号
(P3805678)

(45) 発行日 平成18年8月2日(2006.8.2)

(24) 登録日 平成18年5月19日(2006.5.19)

(51) Int. Cl.

F I

H03F 3/34 (2006.01)
G05F 3/26 (2006.01)

H03F 3/34 C
G05F 3/26

請求項の数 4 (全 8 頁)

(21) 出願番号 特願2001-560758 (P2001-560758)
(86) (22) 出願日 平成13年1月26日(2001.1.26)
(65) 公表番号 特表2003-523695 (P2003-523695A)
(43) 公表日 平成15年8月5日(2003.8.5)
(86) 国際出願番号 PCT/DE2001/000333
(87) 国際公開番号 W02001/061430
(87) 国際公開日 平成13年8月23日(2001.8.23)
審査請求日 平成14年8月13日(2002.8.13)
(31) 優先権主張番号 00103077.4
(32) 優先日 平成12年2月15日(2000.2.15)
(33) 優先権主張国 欧州特許庁 (EP)

(73) 特許権者 501209070
インフィネオン テクノロジーズ アクチ
エンゲゼルシャフト
ドイツ連邦共和国 81669 ミュンヘ
ン ザンクト マルティン シュトラーセ
53
(74) 代理人 100078282
弁理士 山本 秀策
(74) 代理人 100062409
弁理士 安村 高明
(74) 代理人 100113413
弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 電圧-電流変換器

(57) 【特許請求の範囲】

【請求項1】

入力電圧 (U_E) を比例出力電流 (I_A) に変換する電圧 - 電流変換器であって、
該電圧 - 電流変換器は、

2つのトランジスタ (24、26) を有する第1の電流ミラー (18) を備え、
該2つのトランジスタは、同じ駆動条件のもとで、第1のトランジスタ (24) を通
って流れる電流が、該電圧 - 電流変換器の該比例出力電流 (I_A) を示す第2のトランジ
スタ (26) を通って流れる電流 (I_1) よりも、所定のファクタ (K_1) だけ大きいよう
に設計されており、

2つのトランジスタ (30、32) を有する第2の電流ミラー (20) が設けられてお
り、

2つの第1のトランジスタ (24、26) と2つの第2のトランジスタ (30、32)
とが、それぞれ直列に接続されるように、2つの該電流ミラー (18、20) が供給電圧
(U_{DD}) に直列に接続されており、

該第1の電流ミラー (18) の該第1のトランジスタ (24) に直列に接続されている
ゲート端子を有する MOSFET (22) が設けられており、該 MOSFET (22) の
ゲート端子が該入力電圧 (U_E) に接続されている、電圧 - 電流変換器。

【請求項2】

前記第2の電流ミラー (20) において、前記第1のトランジスタ (30) を通って流
れる電流は、前記第2のトランジスタ (32) を通って流れる電流と等しい、請求項1に

10

20

記載の電圧 - 電流変換器。

【請求項 3】

前記第 1 の電流ミラー (1 8) において、前記第 1 のトランジスタ (2 4) および前記第 2 のトランジスタ (2 6) は、弱い反転で動作される、請求項 1 または 2 に記載の電圧 - 電流変換器。

【請求項 4】

電圧 - 電流特性が 0 で始まるように、前記 MOSFET (2 2) は閾値電圧を有する、請求項 1 ~ 3 のいずれか一項に記載の電圧 - 電流変換器。

【発明の詳細な説明】

【0001】

10

本発明は、2つのトランジスタを有する第 1 の電流ミラーを備える電圧 - 電流変換器に関する。この電圧 - 電流変換器は、同じ駆動条件のもとで、第 1 のトランジスタを通して流れる電流が、電圧 - 電流変換器の出力電流を示す、第 2 のトランジスタを通して流れる電流よりも所定のファクタだけ大きいように設計される。

【0002】

電圧 - 電流変換器は従来技術において周知であり、入力電流を比例出力電流に変換するために利用される。これは、例えば、(省略して PLL と表示される) 位相ロックループ中の (省略して VCO と表示される) 電圧制御発振器に必要とされる。

【0003】

冒頭で述べられた公知の電流 - 電圧変換器は図 2 において示される。この変換器は、2つのノーマルオフ n 型チャンネル MOSFET 12、14 (「metal - oxide - semiconductor field effect transistor」の略語) を備える電流ミラー 10 を有する。電流ミラー 10 は直列抵抗器 16 を介してプログラミングされ、この直列抵抗器は、第 1 のトランジスタ 12 のドレイン端子と直列で入力電圧 U_E に接続され、電流ミラー 10 の入力電流 I_E を示す、第 1 のトランジスタ 12 のドレイン電流 I_{12} を決定する。

20

【0004】

2つのトランジスタ 12、14 のゲート端子は互いに接続され、第 1 のトランジスタ 12 のドレイン端子と接続される。従って、2つのトランジスタ 12、14 は同様に駆動する。第 1 のトランジスタ 12 のソース端子は接地される。第 2 のトランジスタ 14 のソース端子は接地され、この第 2 のトランジスタのドレイン端子において、電圧 - 電流変換器の出力電流 I_A が取り出される。

30

【0005】

電流ミラー 10 は、SEIFART, MANFRED による図書「Analoge Schaltungen - 5. Auflage」1996 年、Verlag Technik GmbH, Berlin、DE (ISBN 3 - 341 - 01175 - 7)、図 6.21 において開示される。しかしながら、図 2 のとおり、公知の電圧 - 電流変換器の場合、この図に示される回路は、入力電圧 U_E が供給電圧 U_{DD} の代わりに直列抵抗器 16 に接続されることによって変更される。従って、入力電圧 U_E は、直列抵抗器 16 の抵抗値に対応して、入力電流 I_E に比例する。

40

【0006】

トランジスタ 12、14 は飽和領域において動作されるので、これらのトランジスタのそれぞれのドレイン電流 I_{12} 、 I_{14} は、それぞれ互いに比例する。トランジスタ 12、14 の、チャンネルにおける電荷キャリアの表面移動度 μ_0 、面毎のゲートキャパシタンス C_{ox} 、および閾値電圧 U_T 等の、他のパラメータが同じである場合、これらの比例は、トランジスタ 12、14 の幾何学的寸法を選択するだけで決定され得る。この場合、2つのドレイン電流 I_{12} および I_{14} は：

$$I_{14} / I_{12} = \beta_{14} / \beta_{12}$$

であり、

ここで、 $\beta = W / L$ は、チャンネル幅 W およびチャンネル長さ L を有するトランジスタの

50

幾何学的商である。

【 0 0 0 7 】

例えば、第 1 のトランジスタ 1 2 のチャンネルは第 2 のトランジスタ 1 4 のチャンネルと同じ長さであるが、10 倍の幅にされることによって、チップ上の第 1 のトランジスタ 1 2 および第 2 のトランジスタ 1 4 の配置が、 $\beta_{12} = 10 \cdot \beta_{14}$ であるように幾何学的に寸法調整される場合、それに応じて、さらに $I_{12} = 10 \cdot I_{14}$ の関係式が得られる。

【 0 0 0 8 】

従って、この場合、入力電圧 U_E と入力電流 $I_E \equiv I_{12}$ とが上述のように比例するので、公知の電圧 - 電流変換器の出力電流 I_A である、第 2 のトランジスタ 1 4 のドレイン電流 I_{14} も入力電圧 U_E に比例する。

10

【 0 0 0 9 】

位相ロックループを上述のように用いる場合、入力電圧 U_E は、大抵、2 ~ 5 ボルトの範囲にあり、所望の出力電流強度 I_A は、わずかなナノアンペアの範囲にあるので、直列抵抗 1 6 は、数メガオームの範囲に抵抗値を有しなければならない。しかしながら、この規模の抵抗は、集積回路において非常に広い面積を必要とする。これは非常に不利である。なぜなら、集積回路の価値は、主に、必要な面積により影響されるからである。

【 0 0 1 0 】

従って、本発明の課題は、必要な面積が少ない、上記技術の電圧 - 電流変換器を提供することである。

20

【 0 0 1 1 】

この課題は、

2 つのトランジスタを有する第 2 の電流ミラーが提供されること、

2 つの電流ミラーが供給電圧に直列で接続され、2 つの第 1 のトランジスタおよび 2 つの第 2 のトランジスタが、それぞれ直列接続されること、および

第 1 の電流ミラーの第 1 のトランジスタに直列接続され、電流ミラーのゲート端子が入力電圧に接続される MOSFET が提供されることによって解決される。

【 0 0 1 2 】

従って、この電圧 - 電流変換器の場合、当該分野で公知の電圧 - 電流変換器においてこれまで必要とされた直列抵抗器 1 6 が放棄され、これから提供される MOSFET は、抵抗器と比較して IC において著しく小さい面積を有するので、当該分野で公知の電圧 - 電流変換器と比較して、より多くの素子が提供されるが、面積の著しい節約が達成される。

30

【 0 0 1 3 】

この電圧 - 電流変換器の機能方法を簡単に説明するために、第 2 の電流ミラーにおいて 2 つのトランジスタが同一であり、これは、これらのトランジスタによって同じ駆動条件のもとで同じ大きさの電流が流れることを意味し、さらに、ファクタは 10 であることが以下において想定される。

【 0 0 1 4 】

第 1 の電流ミラーだけが考察される場合、同じ駆動条件のもとで、この電流ミラーの 2 つのトランジスタを通して異なった大きさの電流が流れる。より厳密には、第 1 のトランジスタを通る電流は、ファクタに対応して、第 2 のトランジスタを通る電流の 10 倍になる。換言すると、第 1 のトランジスタは、ファクタに対応して、第 2 のトランジスタのコンダクタンスの 10 倍のコンダクタンスを有する。

40

【 0 0 1 5 】

しかしながら、この第 1 の電流ミラーは、単独ではなく、第 2 の電流ミラーと直列で供給電圧に接続され、この供給電圧は、入力電圧のように、大抵、2 ~ 5 ボルトの範囲である。この場合、一方で、2 つの第 1 のトランジスタが直列接続され、および他方、2 つの第 2 のトランジスタが、電圧 - 電流変換器の、いわゆる入力電流経路および出力電流経路を形成する。第 2 の電流ミラーの 2 つの同一のトランジスタは、第 1 の電流ミラーの 2 つの異なったトランジスタにも同じ大きさの電流が流れるようにする。しかしながら、これら

50

のトランジスタのコンダクタンスは、これによって不変の状態で維持されるので、第1のトランジスタ上での電圧降下は、ファクタに対応して、第2のトランジスタ上の電圧降下の10分の1にすぎない。残りの電圧、すなわちこれらの2つの電圧間の差異は、最終的に、第1のトランジスタに直列接続されるMOSFET上で降下し、従って、このMOSFETのドレインソース電圧を示す。

【0016】

このドレインソース電圧は、適切に近接した範囲を維持して一定であり、例えば、60mVである。この値は、2～5ボルトという入力電圧の上述の範囲を考慮して選択され、入力電圧がMOSFETのゲート駆動電圧よりも、すなわち、入力電圧によって形成された、MOSFETに印加されたゲートソース電圧とMOSFETの閾値電圧との間の差異よりも小さくなるのに十分である。従って、MOSFETは強く反転して動作されるので、MOSFETは「線形領域」または「活性領域」とも呼ばれる出力特性曲線の抵抗領域に位置する。

10

【0017】

抵抗領域において、ドレイン電流は、適切に近接した範囲を維持してドレインソース電圧に比例する。従って、この比例があるために、MOSFETのチャンネルには抵抗値またはコンダクタンスが割当てられ得る。このコンダクタンスは、それ自体、ゲート駆動電圧に比例する。入力電圧の増大、従って、ゲート駆動電圧の増大は、コンダクタンスを比例的に増加させ、従って、ドレイン電流も比例的に増加させる。ドレイン電流は第1の電流ミラーをプログラミングして、電圧-電流変換器の出力電流を形成する、第2のトランジスタを通して流れる電流も比例的に増大するが、ファクタに対応して、第1のトランジスタを通る電流の10分の1にとどまる。従って、出力電流は、電圧-電流変換器も要求するように、入力電圧に比例する。

20

【0018】

本発明の有利な実施形態は従属請求項に記載される。

【0019】

好適には、第1の電流ミラーは、接地された第3のトランジスタを有し、この場合、第2のトランジスタを流れる電流ではなく、この第3のトランジスタを通して流れる電流が電圧-電流変換器の出力電流を示す。従って、この第3のトランジスタは、出力トランジスタとして利用されるので、入力電圧には出力電流が負荷されない。これによって、電圧-電流変換器のより高い入力抵抗が得られる。さらに、この第3のトランジスタを用いて、出力電流は、第2のトランジスタに依存せず、所望の大きさにスケールアップされ得る。

30

【0020】

好適には、第2の電流ミラーにおいて、第1のトランジスタを通して流れる電流は、第2のトランジスタを通して流れる電流と等しいことがさらに提供される。これによって、回路および配置の設計は簡略化される。

【0021】

好適には、第1の電流ミラーにおいて、第1のトランジスタおよび第2のトランジスタが弱い反転で作動されることがさらに提供される。これによって、ドレインソース電圧は、数デゲードの広範囲にわたって一定の状態で維持されるので、電圧-電流変換器の精度は改良される。

40

【0022】

以下において、本発明の好適な実施形態が添付の図面を用いて詳細に説明される。

【0023】

図1は、好適な実施形態における電圧-電流変換器を示す。この変換器は、第1の電流ミラー18、第2の電流ミラー20およびMOSFET22を有する。図示される実施形態において、このMOSFET22は自己遮断n型チャンネルを有する。MOSFETのソース端子は接地され、電圧-電流変換器の入力電圧 U_E はMOSFETのゲート端子に印加され、従って、ゲートソース電圧 U_{GS} を形成する。

【0024】

50

図示される第1の電流ミラー18は、3つのトランジスタ24、26、28を有する。これらのトランジスタは、図示される実施形態において、同様に、飽和領域で動作されるノーマルオフn型チャンネルMOSFETである。これらのトランジスタのゲート端子は互いに接続され、第1のトランジスタ24のドレイン端子と接続されるので、3つのすべてのトランジスタ24、26、28は、同様に駆動される。第1のトランジスタ24のソース端子は、MOSFET22のドレイン端子と接続されるので、第1のトランジスタ24およびMOSFET22は直列接続される。第2のトランジスタ26のソース端子は接地される。第3のトランジスタ28のソース端子は接地され、このトランジスタのドレイン端子において、電圧-電流変換器の出力電流 I_A が取出される。すなわち、第1の電流ミラー18は、MOSFET22のチャンネル抵抗によってプログラミングされる。

10

【0025】

図示される第2の電流ミラー20は、第2のトランジスタ30、32を有する。これらのトランジスタは、図示される実施形態において、飽和領域において動作されるノーマルオフp型チャンネルMOSFETである。これらのトランジスタのゲート端子は互いに接続され、第2のトランジスタ32のドレイン端子と接続されるので、2つのトランジスタ30、32は同様に駆動される。これらのトランジスタのソース端子は供給電圧 U_{DD} に接続される。第1のトランジスタ30のドレイン端子は、第1の電流ミラー18の第1のトランジスタ24のドレイン端子と接続され、第2のトランジスタ32のドレイン端子は、第1の電流ミラー18の第2のトランジスタ26のドレイン端子と接続されるので、2つの第1のトランジスタ24、30、および2つの第2のトランジスタ26、32は、それぞれ供給電圧 U_{DD} に直列接続される。

20

【0026】

この好適な実施形態において、第1の電流ミラー18は、第1のトランジスタ24を通して流れるドレイン電流 I_{24} が、同じ駆動条件のもとで、第2のトランジスタ26を通して流れるドレイン電流 I_{26} よりも、所定の第1のファクタ K_1 だけ大きくなり、第3のトランジスタ28を通して流れるドレイン電流 I_{28} よりも、所定の第2のファクタ K_2 だけ大きくなるように、3つのトランジスタ24、26、28が形成される。換言すると、第1のトランジスタ24はチャンネルコンダクタンス G_{24} を有し、このチャンネルコンダクタンスは、第2のトランジスタ26のチャンネルコンダクタンス G_{26} の K_1 倍、および第3のトランジスタ28のチャンネルコンダクタンス G_{28} の K_2 倍である。これは、その他の点では同じパラメータの場合に、3つのトランジスタ24、26、28の幾何学的寸法を適切に選択するだけで得られるので、これらのトランジスタの幾何学的商 β_{24} 、 β_{26} 、 β_{28} は上述の比率を守る。従って：

30

$$K_1 = I_{24} / I_{26} = G_{24} / G_{26} = \beta_{24} / \beta_{26}$$

および

$$K_2 = I_{24} / I_{28} = G_{24} / G_{28} = \beta_{24} / \beta_{28}$$

である。

【0027】

さらに、この好適な実施形態において、第2の電流ミラー20において、2つのトランジスタ30、32は上述のように同一に形成されるので、同じ駆動条件のもとで、第1のトランジスタ30を通して流れるドレイン電流 I_{30} は、第2のトランジスタ32を通して流れるドレイン電流 I_{32} と等しい。従って、これらのトランジスタのチャンネルコンダクタンス G_{30} 、 G_{32} も同じである。これは、その他の点では同じパラメータの場合に、2つのトランジスタ30、32の幾何学的寸法を適切に選択するだけで得られ得るので、これらのトランジスタの幾何学的商 β_{30} 、 β_{32} も同じである。

40

【0028】

以下において、図示される電圧-電流変換器の機能方法が記載される。これに関して、第2の電流ミラー20の第1のトランジスタ30、第1の電流ミラー18の第1のトランジスタ24およびMOSFET22を介して供給電圧 U_{DD} が接地される流れは、電圧-電流変換器の「入力電流経路」と呼ばれる。これに対して、第2の電流ミラー20の第2の

50

トランジスタ 32、第1の電流ミラー 18の第2のトランジスタ 26を介して供給電圧 U_{DD} が接地される流れは、電圧 - 電流変換器の「出力電流経路」と呼ばれる。

【0029】

第2の電流ミラー 20は、その同一のトランジスタ 30、32を用いて、入力電流経路における電流 I_E と出力電流経路における電流 I_1 が同じ大きさであるようにする。しかしながら、第1の電流ミラー 18において、これらの同じ電流 I_E 、 I_1 は、式 $U = R \cdot I = I / G$ により、第1のトランジスタ 24上で電圧降下 U_{24} を引き起こす。この電圧降下は、上述のコンダクタンス比率 $K_1 = G_{24} / G_{26}$ に対応して、第2のトランジスタ 26上で降下する電圧降下 U_{26} よりも小さい。従って：

$$K_1 = U_{26} / U_{24}$$

10

である。

【0030】

両方の電流経路は、供給電圧 U_{DD} から並列してグラウンドへと延びるので、これらの両方の電流経路において、全体として同じ電圧、すなわち供給電圧 U_{DD} が降下する。従って、出力電流経路においては：

$$U_{DD} = U_{32} + U_{26}$$

である。

【0031】

これに対して、入力電流経路においては、

$$U_{30} = U_{32} \text{ であるが、 } U_{24} < U_{26} \text{ であるために、以下のとおり：}$$

20

$$U_{30} + U_{24} < U_{DD}$$

でなければならない。

【0032】

しかしながら、ここでは、グラウンドの前にまだ MOSFET 22が存在し、この MOSFET において、残りの電圧が、この MOSFET のドレインソース電圧 U_{DS} として降下する。従って：

$$U_{DD} = U_{30} + U_{24} < U_{DS}$$

である。

【0033】

第1のファクタ K_1 は、ここで、幾何学的商 β_{24} 、 β_{26} を用いて、MOSFET 22が抵抗領域において動作されるように選択される。従って：

30

$$U_{DS} < U_{GS} - U_T = U_{eff}$$

でなければならない。ここで、 U_{GS} は入力電圧 U_E によって形成されるゲートソース電圧であり、 U_T は閾値電圧であり、 U_{eff} はゲート駆動電圧である。

【0034】

逆に、MOSFET 22は入力電流経路に位置するので、MOSFET 22のチャンネルコンダクタンス G_{22} によって、第1の電流ミラー 18がプログラミングされる。すなわち、MOSFET 22も通って流れる電流 I_E は、入力電流経路において、その第2のトランジスタ 26を通るドレイン電流 I_{26} 、従って、出力電流経路における電流 I_1 、およびその第3のトランジスタ 28を通るドレイン電流 I_{28} を決定する。従って、上述の式 $K_2 = I_{24} / I_{28}$ であるので：

40

$$I_{28} = I_{24} / K_2 = I_E / K_2$$

である。

【0035】

第3のトランジスタ 28を通るこのドレイン電流 I_{28} は、電圧 - 電流変換器の出力電流 I_A を示すので、第2の幾何学的商 K_2 は、出力電流 I_A が所望の規模で存在するように選択され得る。

【0036】

抵抗領域において、ゲート駆動電圧 $U_{eff} \equiv U_E - U_T$ は、チャンネルコンダクタンス G_{22} に比例し、このチャンネルコンダクタンスもまた、式 $I = G \cdot U$ により、

50

ドレイン電流 I_E に比例するので、MOSFET 22 は：

$$U_E = I_E$$

である。

ここから、プログラミングのために、 $I_E = I_{28} \equiv I_A$

により、さらに最終的に：

$$U_E = I_A$$

であり、すなわち、電圧 - 電流変換器に対して所望される、出力電流 I_A と入力電圧 U_E との比である。

【0037】

さらに、第2の電流ミラー20のトランジスタ30、32は同一である必要はなく、むしろ、これらのトランジスタは、例えば、第1の電流ミラー18のトランジスタ24、26、28のように、互いにファクタ1だけ異なり得る。 10

【0038】

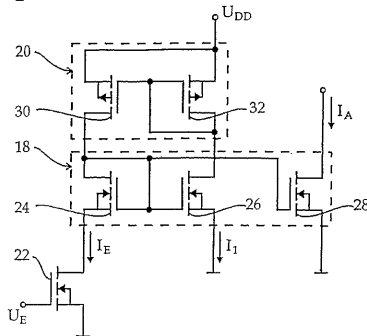
さらに、2つの電流ミラー18、20のトランジスタ24、26、28、30、32の型は、記載されたMOSFETに限定されず、むしろ、これらのトランジスタは、例えば、他の極性および/またはドーピングを有するMOSFETであってもよいが、JFETまたはバイポーラトランジスタであってもよい。

【図面の簡単な説明】

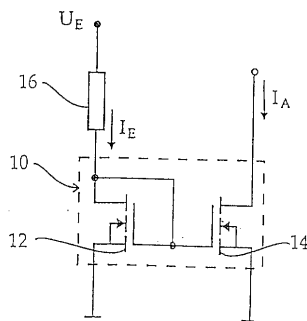
【図1】 図1は、好適な実施形態における電圧 - 電流変換器の回路図である。

【図2】 図2は、当該分野に公知の電圧 - 電流変換器の回路図である。 20

【図1】
FIG. 1



【図2】



(従来技術)

フロントページの続き

(72)発明者 フィアーマン, ハンス - ハインリッヒ
アメリカ合衆国 ニューヨーク 12590, ワッピンガーズ フォールズ, イー チェルシ
ー リッジ ドライブ 8

審査官 石井 研一

(56)参考文献 特開平01 - 311608 (JP, A)
特開平08 - 307165 (JP, A)
特開平06 - 169225 (JP, A)
特開平06 - 029754 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 3/34

G05F 3/26