



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

230831

(11) (B1)

(51) Int. Cl.³

H 03 K 13/24

(22) Přihlášeno 09 06 82
(21) (PV 4277-82)

(40) Zveřejněno 13 01 84

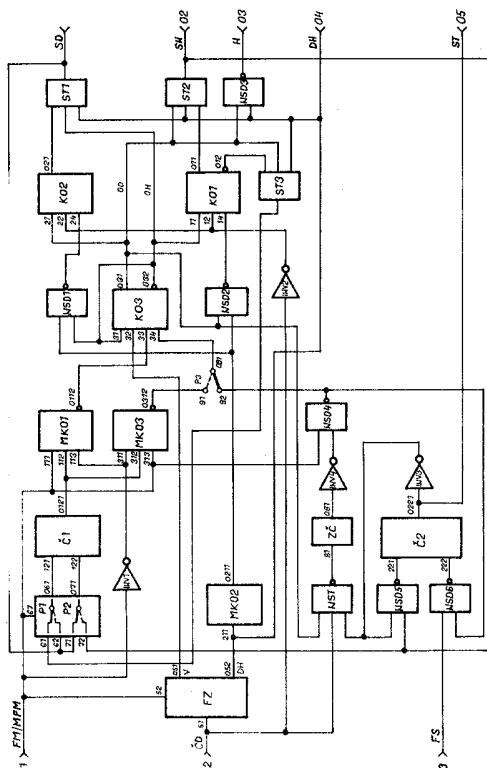
(45) Vydáno 15 06 86

(75)
Autor vynálezu

HRADIL JOSEF ing., BRNO, SKŘIVÁNEK LEOPOLD ing., ROUSÍNOV

(54) Zapojení dekodéru dat zapsaných způsobem FM a MFM

Cílem vynálezu je vytvořit zjednodušené zapojení dekodéru dat zapsaným způsobem FM a MFM na pohyblivém magnetickém záznamovém médiu. Uvedeného cíle se dosáhne zapojením dekodéru, jenž je přepínán jediným přepínacím signálem při přechodu dekodování dat zapsaných způsobem FM na dekodování dat zapsaných způsobem MFM a naopak. U způsobu MFM, u něhož je v synchronizačním poli zapsána posloupnost logických nul, je pro nafažování dekodéru využito fázovacích signálů. U způsobu MFM, u něhož je v synchronizačním poli zapsána posloupnost logických nul a logických jedniček, je dekodér nafažován během čtení synchronizačního pole automaticky. Vynálezu lze použít především v diskových pamětech.



Vynález se týká zapojení dekodérů dat zapsaných způsobem FM a MFM na pohyblivém magnetickém záznamovém médiu, zejména v diskových pamětech.

Dosud známá zapojení dekodérů dat zapsaných způsobem FM a MFM jsou konstruována odděleně pro způsob FM a odděleně pro způsob MFM. Ke konstrukci zapojení dekodérů pro způsob FM se používají převážně monostabilní klopné obvody, kdežto pro způsob MFM se vychází zpravidla z fázového závěsu. To však vede u pamětí, používajících obou způsobů zápisu dat, k nárůstu množství obvodů, a tím k větší poruchovosti a větší ceně. Toto množství obvodů se dále zvětšuje u způsobu MFM, který využívá v podstatě dvou typů organizace zápisu na stopě, a sice v synchronizačním poli je zapsána buď posloupnost logických nul 0000, nebo posloupnost logických nul a logických jedniček 0101. I zde jsou zapojení dekodérů konstruována pro každý typ organizace odděleně.

Uvedené nevýhody odstraňuje zapojení dekodérů dat zapsaných způsobem FM a MFM podle vynálezu, jehož podstatou je, že přepínací vstup fázového závěsu je připojen na první spouštěcí vstup prvního monostabilního klopného obvodu, na první vstup čtvrtého dvouvstupového obvodu typu negace logického součinu, na vstup prvního invertoru a tvoří současně první vstup zapojení pro přepínací signál, výstup prvního invertoru je připojen na nulovací vstup prvního monostabilního klopného obvodu, datový vstup fázového závěsu je připojen na druhý vstup třívstupového obvodu typu negace logického součinu, na vstup druhého invertoru a tvoří současně druhý vstup zapojení pro signál čtených dat, výstup druhého invertoru je připojen na hodinový vstup druhého klopného obvodu a na hodinový vstup prvního klopného obvodu, fázovací výstup fázového závěsu je připojen na hodinový vstup děliče dvěma, jehož jedničkový výstup je připojen na datový vstup druhého klopného obvodu, na první vstup druhého třívstupového obvodu typu logického součinu, na první vstup druhého dvouvstupového obvodu typu negace logického součinu a na první vstup třívstupového obvodu typu negace logického součinu, synchronizační výstup fázového závěsu je připojen na třetí vstup prvního třívstupového obvodu typu logického součinu, na druhý vstup druhého třívstupového obvodu typu logického součinu a na vstup druhého monostabilního obvodu, výstup druhého monostabilního klopného obvodu je připojen na první vstup prvního dvouvstupového obvodu typu negace logického součinu a na druhý vstup druhého dvouvstupového obvodu typu negace logického součinu, první vstup šestého dvouvstupového obvodu typu negace logického součinu tvoří současně třetí vstup zapojení pro fázovací signál, výstup šestého dvouvstupového obvodu typu negace logického součinu je připojen na nulovací vstup druhého čítače, výstup prvního čítače je připojen na druhý spouštěcí vstup prvního monostabilního klopného obvodu, jehož nulový výstup je připojen na nastavovací vstup děliče dvěma, nulový výstup děliče dvěma je připojen na druhý vstup prvního dvouvstupového obvodu typu negace logického součinu, na datový vstup prvního klopného obvodu a na druhý vstup prvního třívstupového obvodu typu logického součinu, jehož výstup je připojen na čítací vstup prvního čítače a tvoří současně první výstup zapojení pro separované datové impulsy, výstup prvního dvouvstupového obvodu typu negace logického součinu je připojen na nulovací vstup druhého klopného obvodu, jehož jedničkový výstup je připojen na první vstup prvního třívstupového obvodu typu logického součinu, výstup druhého dvouvstupového obvodu typu negace logického součinu je připojen na nulovací vstup prvního klopného obvodu, jehož jedničkový výstup je připojen na třetí vstup druhého třívstupového obvodu typu logického součinu, výstup druhého třívstupového obvodu typu logického součinu je připojen na druhý vstup pátého dvouvstupového obvodu typu negace logického součinu, na nulovací vstup prvního čítače a tvoří současně druhý výstup zapojení pro separované hodinové impulsy, výstup třívstupového obvodu typu negace logického součinu je připojen, případně přes zpožďovací člen, na vstup čtvrtého invertoru, výstup čtvrtého invertoru je připojen na druhý vstup čtvrtého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup šestého dvouvstupového obvodu typu negace logického součinu a na nulovací vstup děliče dvěma, výstup pátého dvouvstupového obvodu typu negace logického součinu je připojen na čítací vstup druhého čítače, jehož výstup je připojen, případně přes třetí invertor, na první vstup pátého dvouvstupového obvodu typu negace logického součinu a na třetí vstup třívstupového obvodu typu negace logického součinu.

Přepínací vstup fázového závěsu je dále připojen na přepínací vstup prvního a druhého přepínače a na nulovací vstup třetího monostabilního klopného obvodu, výstup prvního invertoru je dále připojen na první spouštěcí vstup třetího monostabilního klopného obvodu, jedničkový výstup děliče dvěma je dále připojen na druhý vstup třetího třívstupového obvodu typu logického součinu, synchronizační výstup fázového závěsu je dále připojen na třetí vstup třetího třívstupového obvodu typu logického součinu, výstup prvního přepínače je připojen na čítací vstup prvního čítače, výstup druhého přepínače je připojen na nulovací vstup prvního čítače, jehož výstup je dále připojen na druhý spouštěcí vstup třetího monostabilního klopného obvodu, nulový výstup třetího monostabilního klopného obvodu je připojen na první vstup třetího přepínače, výstup prvního třívstupového obvodu typu logického součinu je připojen na druhý vstup prvního přepínače a na první vstup druhého přepínače, nulový výstup prvního klopného obvodu je připojen na první vstup třetího třívstupového obvodu typu logického součinu, jehož výstup je připojen na první vstup prvního přepínače, výstup druhého třívstupového obvodu typu logického součinu je připojen na druhý vstup druhého přepínače, výstup čtvrtého dvouvstupového obvodu typu negace logického součinu je připojen na druhý vstup třetího přepínače, jehož výstup je připojen na nulovací vstup děliče dvěma.

Jedničkový výstup děliče dvěma je dále připojen na první vstup třetího dvouvstupového obvodu typu negace logického součinu, synchronizační výstup fázového závěsu je dále připojen na druhý vstup třetího dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně třetí výstup zapojení pro hodinové impulsy. Synchronizační výstup fázového závěsu tvoří dále současně čtvrtý výstup zapojení pro synchronizační signál. Výstup druhého čítače tvoří dále současně pátý výstup zapojení pro stavový signál.

Výhodou zapojení dekodéru dat zapsaných způsobem FM a MFM podle vynálezu je, že je přepínán jediným přepínacím signálem při přechodu dekodování dat zapsaných způsobem FM na dekodování dat zapsaných způsobem MFM a naopak. U způsobu MFM, u něhož je v synchronizačním poli zapsána posloupnost logických nul, je pro nafázování dekodéru využito fázovacích signálů. U způsobu MFM, u něhož je v synchronizačním poli zapsána posloupnost logických nul a logických jedniček, je dekodér nafázován během čtení synchronizačního pole automaticky. Převážná většina obvodů dekodéru je využívána pro dekodování všech způsobů zápisu, čímž se celkový počet obvodů zmenšuje.

Příklad zapojení dekodéru dat zapsaných způsobem FM a MFM je znázorněn na připojených výkresech, na nichž

- obr. 1 představuje schéma zapojení,
- obr. 2 časový diagram činnosti dekodéru při způsobu FM,
- obr. 3 časový diagram činnosti dekodéru při způsobu MFM, u něhož je v synchronizačním poli zapsána posloupnost logických nul,
- obr. 4 časový diagram činnosti dekodéru při způsobu MFM, u něhož je v synchronizačním poli zapsána posloupnost logických nul a logických jedniček.

Přepínací vstup 52 fázového závěsu FZ je připojen na přepínací vstup 67 prvního a druhého přepínače P1 a P2, na první spouštěcí vstup 111 prvního monostabilního klopného obvodu MKO1, na nulovací vstup 313 třetího monostabilního klopného obvodu MKO3, na první vstup čtvrtého dvouvstupového obvodu NSD4 typu negace logického součinu, na vstup prvního invertoru INV1 a tvoří současně první vstup 1 zapojení pro přepínací signál FM/MFM, pro připojení na neznázorněnou řídicí jednotku diskové paměti.

Výstup prvního invertoru INV1 je připojen na nulovací vstup 113 prvního monostabilního klopného obvodu MKO1 a na první spouštěcí vstup 311 třetího monostabilního klopného obvodu MKO3. Datový vstup 51 fázového závěsu FZ je připojen na druhý vstup třívstupového obvodu NST typu negace logického součinu, na vstup druhého invertoru INV2 a tvoří současně druhý vstup 2 zapojení pro signál čtených dat ČD, pro připojení na neznázorněnou diskovou paměť.

Výstup druhého invertoru INV2 je připojen na hodinový vstup 22 druhého klopného obvodu KO2 typu D a na hodinový vstup 12 prvního klopného obvodu KO1 typu D. Fázovací výstup 051 fázového závěsu FZ pro signál V je připojen na hodinový vstup 32 třetího klopného obvodu KO3 typu D zapojeného jako dělič dvěma, jehož jedničkový výstup 031 pro okna dat OD je připojen na datový vstup 21 druhého klopného obvodu KO2 typu D, na první vstup druhého třívstupového obvodu ST2 typu logického součinu, na první vstup třetího dvouvstupového obvodu NSD3 typu negace logického součinu, na druhý vstup třetího třívstupového obvodu ST3 typu logického součinu, na první vstup druhého dvouvstupového obvodu NSD2 typu negace logického součinu a na první vstup třívstupového obvodu NST typu negace logického součinu.

Synchronizační výstup 052 fázového závěsu FZ pro signál DH je připojen na třetí vstup prvního třívstupového obvodu ST1 typu logického součinu, na druhý vstup druhého třívstupového obvodu ST2 typu logického součinu, na druhý vstup třetího dvouvstupového obvodu NSD3 typu negace logického součinu, na třetí vstup třetího třívstupového obvodu ST3 typu logického součinu, na vstup 211 druhého monostabilního klopného obvodu MKO2 a tvoří současně čtvrtý výstup 04 zapojení pro synchronizační signál DH, pro připojení na řídicí jednotku diskové paměti.

Výstup 0211 druhého monostabilního klopného obvodu MKO2 je připojen na první vstup prvního dvouvstupového obvodu NSD1 typu negace logického součinu a na druhý vstup druhého dvouvstupového obvodu NSD2 typu negace logického součinu. První vstup šestého dvouvstupového obvodu NSD6 typu negace logického součinu tvoří současně třetí vstup 3 zapojení pro fázovací signál ES, pro připojení na řídicí jednotku diskové paměti.

Výstup šestého dvouvstupového obvodu NSD6 typu negace logického součinu je připojen na nulovací vstup 222 druhého čítače Č2. Výstup 061 prvního přepínače P1 je připojen na čítací vstup 121 prvního čítače Č1. Výstup 071 druhého přepínače P2 je připojen na nulovací vstup 122 prvního čítače Č1, jehož výstup 0121 je připojen na druhý spouštěcí vstup 312 třetího monostabilního klopného obvodu MKO3 a na druhý spouštěcí vstup 112 prvního monostabilního klopného obvodu MKO1, jehož nulový výstup 0112 je připojen na nastavovací vstup 33 třetího klopného obvodu KO3 typu D.

Nulový výstup 0312 třetího monostabilního klopného obvodu MKO3 je připojen na první vstup 91 třetího přepínače P3. Nulový výstup 032 třetího klopného obvodu KO3 typu D pro okna hodin OH je připojen na datový vstup 31 třetího klopného obvodu KO3 typu D, na druhý vstup prvního dvouvstupového obvodu NSD1 typu negace logického součinu, na datový vstup 11 prvního klopného obvodu KO1 typu D a na druhý vstup prvního třívstupového obvodu ST1 typu logického součinu, jehož výstup je připojen na druhý vstup 62 prvního přepínače P1, na první vstup 71 druhého přepínače P2 a tvoří současně první výstup 01 zapojení pro separované datové impulsy SD, pro připojení na řídicí jednotku diskové paměti.

Výstup prvního dvouvstupového obvodu NSD1 typu negace logického součinu je připojen na nulovací vstup 24 druhého klopného obvodu KO2 typu D, jehož jedničkový výstup 021 je připojen na první vstup prvního třívstupového obvodu ST1 typu logického součinu. Výstup druhého dvouvstupového obvodu NSD2 typu negace logického součinu je připojen na nulovací vstup 14 prvního klopného obvodu KO1 typu D, jehož jedničkový výstup 011 je připojen na třetí vstup druhého třívstupového obvodu ST2 typu logického součinu.

Nulový výstup 012 prvního klopného obvodu KO1 typu D je připojen na první vstup třetího třívstupového obvodu ST3 typu logického součinu, jehož výstup je připojen na první vstup 61 prvního přepínače P1. Výstup druhého třívstupového obvodu ST2 typu logického součinu je připojen na druhý vstup pátého dvouvstupového obvodu NSD5 typu negace logického součinu, na druhý vstup 72 druhého přepínače P2 a tvoří současně druhý výstup 02 zapojení pro separované hodinové impulsy SH, pro připojení na řídicí jednotku diskové paměti. Výstup třetího dvouvstupového obvodu NSD3 typu negace logického součinu tvoří současně třetí výstup 03 zapojení pro hodinové impulsy H, pro připojení na řídicí jednotku diskové paměti.

Výstup třívstupového obvodu NST typu negace logického součinu je připojen na vstup 81 zpožďovacího členu ZČ, jehož výstup 081 je připojen na vstup čtvrtého invertoru INV4. Výstup čtvrtého invertoru INV4 je připojen na druhý vstup čtvrtého dvouvstupového obvodu NSD4 typu negace logického součinu, jehož výstup je připojen na druhý vstup šestého dvouvstupového obvodu NSD6 typu negace logického součinu a na druhý vstup 92 třetího přepínače P3.

Výstup 091 třetího přepínače P3 je připojen na nulovací vstup 34 třetího klopného obvodu KO3 typu D. Výstup pátého dvouvstupového obvodu NSD5 typu negace logického součinu je připojen na čítací vstup 221 druhého čítače Č2, jehož výstup 0221 je připojen na vstup třetího invertoru INV3 a tvoří současně pátý výstup 05 zapojení pro stavový signál ST, pro připojení na řídicí jednotku diskové paměti. Výstup třetího invertoru INV3 je připojen na první vstup pátého dvouvstupového obvodu NSD5 typu negace logického součinu a na třetí vstup třívstupového obvodu NST typu negace logického součinu.

Jako děliče dvěma lze použít i jiného typu klopného obvodu, například klopného obvodu typu J-K. Pro spuštění prvního a třetího monostabilního klopného obvodu MKO1 a MKO3 je možné využít i jiného stavu čítače Č1 než osm v konkrétním případě, a to připojením na jinou váhu čítače Č1 nebo použitím dekodéru stavu čítače Č1, který by byl součástí čítače Č1. Pro generování stavového signálu ST je možné využít i jiného stavu čítače Č2 než osm v konkrétním případě. V tomto případě by třetí invertor INV3 mohl případně odpadnout. Zpožďovacího členu ZČ se může použít k odstranění případných hazardních stavů zapojení.

První a druhý přepínač P1, P2 jsou elektronické přepínače ovládané přepínacím signálem FM/MFM, kdežto třetí přepínač P3 může být ovládán i ručně. Pokud by zapojení dekodéru bylo používáno trvale k dekodování dat zapsaných způsobem FM a MFM, v jehož synchronizačním poli je zapsána posloupnost logických nul, pak mohou přepínače P1 a P2 a P3 odpadnout a výstup prvního třívstupového obvodu ST1 typu logického součinu může být spojen přímo s čítacím vstupem 121 prvního čítače Č1 a výstup druhého třívstupového obvodu ST2 typu logického součinu může být připojen přímo s nulovacím vstupem 122 prvního čítače Č1.

Rovněž výstup čtvrtého dvouvstupového obvodu NSD4 typu negace logického součinu může být spojen přímo s nulovacím vstupem 34 třetího klopného obvodu KO3 typu D. Pokud nebude požadavek na výstupní signál hodinových impulsů H na třetím výstupu 03 zapojení, může třetí dvouvstupový obvod NSD3 typu negace logického součinu odpadnout.

Při dekodování dat zapsaných způsobem FM se přepínacím signálem přivedeným na přepínací vstup 67 přepnou přepínače P1 a P2 tak, aby druhý vstup 62 prvního přepínače P1 byl propojen s jeho výstupem 061 a druhý vstup 72 druhého přepínače P2 byl propojen s jeho výstupem 071, přičemž nezáleží na poloze třetího přepínače P3. Multiplexní nedekódovaný signál čtených dat ČD je přiváděn na druhý vstup 2 zapojení. Tímto signálem se po odeznění přechodného děje nastaví frekvenčně i fázově fázový závěs FZ.

Fázový závěs FZ generuje posloupnost úzkých impulsů signálu V o periodě jedné poloviny bitového intervalu a navazující na ně širší impulsy signálu DH. Přední hranou impulsu signálu V se mění stav třetího klopného obvodu KO3, zapojeného jako děliče dvěma. Překlápěním tohoto klopného obvodu KO3 jsou vytvářena časová okna, to je okna dat OD a okna hodin OH pro oddělení datových impulsů od hodinových impulsů z multiplexního signálu čtených dat ČD.

V případě, že třetí klopný obvod KO3 typu D je ve stavu logické jedničky, což představuje okno dat OD a na hodinové vstupy 12, 22 prvního a druhého klopného obvodu KO1 a KO2 typu D, přijde impuls čtených dat ČD, překlápí se druhý klopný obvod KO2 typu D do stavu logické jedničky. Na konci časového okna se během signálu DH vysílá stav klopných obvodů KO1 a KO2 typu D na první výstup 01 zapojení jako separované datové impulsy SD nebo na druhém výstupu 02 zapojení jako separované hodinové impulsy SH.

Působením závěrné hrany signálu DH se druhým monostabilním klopným obvodem MKO2 generuje nulovací impuls, kterým se opět vynuluje příslušný klopný obvod KO1 nebo KO2 typu D. Separované datové impulsy SD jsou přiváděny přes první přepínač P1 na čítací vstup 121 prvního čítače Č1 a separované hodinové impulsy SH přes druhý přepínač P2 na nulovací vstup 122 prvního čítače Č1.

Vzhledem k tomu, že multiplexní signál čtených dat ČD obsahuje v každém bitintervalu hodinový impuls, s výjimkou chybějících, takzvaných missing impulsů, jejichž počet nepřevyšuje u žádné organizace zápisu na stopě číslo tři, je první čítač Č1 neustále nulován. V případě, že na počátku je třetí klopný obvod KO3 typu D nesprávně nastaven, dojde tudíž k nesprávnému separování čtených dat, to znamená k záměně datových impulsů s hodinovými impulsy, dojde v synchronizačním poli, ve kterém je u způsobu FM zapsána posloupnost logických nul, ke zvyšování obsahu prvního čítače Č1.

Při dosažení určitého obsahu prvního čítače Č1, v konkrétním případě osm, je spuštěn první monostabilní klopný obvod MKO1. Impulsem, který je generován tímto prvním monostabilním klopným obvodem MKO1, je opět jedničkovan třetí klopný obvod KO3 typu D, který mezitím přešel do stavu logické nuly, to znamená, že následují dvě okna dat OD za sebou, a tím dojde ke správnému nafázování třetího klopného obvodu KO3 typu D. Následující impuls v multiplexním signálu čtených dat ČD je vyhodnocen jako hodinový impuls, kterým se vynuluje první čítač Č1 a nadále dochází ke správnému dekódování datových impulsů, jak je zřejmé z obr. 2. Synchronizační signály DH a hodinové impulsy H mohou být využity v řídicí jednotce diskové paměti jako zdroj impulsů časové i fázově sladěných se separovanými datovými impulsy SD a separovanými hodinovými impulsy SH.

Při dekódování dat zapsaných způsobem MFM, u něhož je v synchronizačním poli zapsána posloupnost logických nul, se přepínacím signálem FM/MFM přivedeným na přepínací vstup 67 přepnou přepínače P1 a P2 tak, aby první vstup 61 prvního přepínače P1 byl propojen s jeho výstupem 061 a první vstup 71 druhého přepínače P2 byl propojen s jeho výstupem 071. Přepínač P3 se přepne tak, aby výstup čtvrtého dvouvstupového obvodu NSD4 typu negace logického součinu byl propojen s nulovacím vstupem 34 třetího klopného obvodu KO3 typu D. Přepínacím signálem FM/MFM se dále fázový závěs FZ přepne do režimu dekódování dat zapsaných způsobem MFM, jakož i podmínky spouštění prvního a třetího monostabilního klopného obvodu MKO1 a MKO3. Multiplexní signál čtených dat ČD se přivede opět na datový vstup 51 fázového závěsu FZ a na hodinové vstupy 22, 32 prvního a druhého klopného obvodu KO1 a KO2 typu D.

Třetí klopný obvod KO3 typu D je opět překlápen signálem V - a sice v tomto případě dvojnásobnou frekvencí než při dekódování dat zapsaných způsobem FM. V době, kdy se čte synchronizační pole záznamu a signál čtených dat ČD je tvořen posloupností hodinových impulsů, je pro správnou separaci požadováno, aby v okamžiku příchodu každého impulsu byla na jedničkovém výstupu třetího klopného obvodu KO3 typu D pro okna dat OD úroveň logické nuly. Není-li tomu tak, je generován signál, kterým je přes třívstupový obvod NST typu negace logického součinu, zpožďovací člen ZČ a čtvrtý dvouvstupový obvod NSD4 typu negace logického součinu a nulovací vstup 34 změněn stav třetího klopného obvodu KO3 typu D.

Následující impuls je vyhodnocen správně jako hodinový impuls. Protože k tomuto překlacení třetího klopného obvodu KO3 typu D by docházelo kdykoliv, když by byla čtena data s nenulovým obsahem, je nutné, aby vyšší systém, který čtená data zpracovává, generoval během čtení synchronizačního pole fázovací signál FS. Po příchodu fázovacího signálu FS na třetí vstup 3 zapojení se s každým příchodem impulsu, který byl vyhodnocen jako hodinový impuls, zvýší obsah druhého čítače Č2 o jednu. Impuls, který je vyhodnocen jako datový impuls, obsah druhého čítače Č2 vynuluje. To znamená, že během synchronizačního pole, kdy jsou zaznamenány pouze hodinové impulsy, se po příchodu fázovacího signálu FS začne zvyšovat obsah druhého čítače Č2, v konkrétním případě do hodnoty osm. Jakmile druhý čítač Č2 dosáhne tohoto stavu, je na jeho výstupu generován stavový signál ST, jímž se řídicí jednotka

diskové paměti informuje o tom, že dekodér je nastaven. Tímto signálem je dále zablokováno generování signálu pro překlápění třetího klopného obvodu KO3 typu D a dále čítací i nulovací vstup 221, 222 druhého čítače Č2. Od tohoto okamžiku jsou správně separovány datové i hodinové impulsy. Tento stav trvá až do okamžiku, kdy dojde ke zrušení fázovacího signálu FS. Činnost zapojení je dále zřejmá z obr. 3. Synchronizační signál DH na čtvrtém výstupu 04 zapojení a hodinové impulsy H na třetím výstupu 03 zapojení mohou být využity v řídicí jednotce diskové paměti jako zdroj impulsů časové i fázově sladěných se separovanými datovými impulsy SD i separovanými hodinovými impulsy SH.

Při dekódování dat zapsaných způsobem MFM, u něhož je v synchronizačním poli zapsána posloupnost logických nul a logických jedniček, se první a druhý přepínač P1 a P2 nacházejí ve stejné poloze jako v předchozím případě. Třetí přepínač P3 se přepne tak, aby nulový výstup 0312 třetího monostabilního klopného obvodu MKO3 byl propojen s nulovacím vstupem 34 třetího klopného obvodu KO3 typu D. Přijde-li na datový vstup 51 fázového závěsu FZ multiplexní signál čtených dat ČD, obsahující posloupnost logických nul a logických jedniček a dekodér je nesprávně nafázován, pak impulsy, odpovídající logickým jedničkám, to je datovým impulsům, jsou vyhodnoceny jako hodinové impulsy.

Na prvním výstupu 01 zapojení se neobjeví žádné impulsy. Vzhledem k tomu, že logická nula mezi logickými jedničkami je představována chybějícím impulsem, nedojde během čtení této logické nuly k vyhodnocení žádného impulsu. Během každého bitového intervalu, ve kterém nebyl separován ze čtených dat hodinový impuls, se generuje pomocí třetího třívstupového obvodu ST3 typu logického součinu pomocný impuls, který se přivede na čítací vstup 121 prvního čítače Č1. Při nesprávně nafázovaném dekodéru není při vyhodnocování logických nul a logických jedniček generován žádný datový impuls, kterým by byl první čítač Č1 nulován. S každou logickou nulou se obsah prvního čítače Č1 zvyšuje o jednu.

Po načítání osmi, v konkrétním případě, je generován třetím monostabilním klopným obvodem MKO3 impuls, který přijde na nulovací vstup 34 třetího klopného obvodu KO3 typu D a změní jeho stav, přičemž i nadále jsou čtená data správně dekódována. To znamená, že vždy během čtení posloupnosti logických nul a logických jedniček dojde ke správnému nafázování dekodéru a nemusí být používáno fázovacího signálu FS. Činnost zapojení je dále zřejmá z obr. 4. Synchronizační signál DH na čtvrtém výstupu 04 zapojení a hodinové impulsy H na třetím výstupu 03 zapojení mohou být opět využity v řídicí jednotce diskové paměti jako zdroj impulsů časové i fázově sladěných se separovanými datovými impulsy SD i separovanými hodinovými impulsy SH.

Zapojení dekodéru dat zapsaných způsobem FM a MFM podle vynálezu lze použít především v diskových pamětech.

P Ř E D M Ě T V Y N Á L E Z U

1. Zapojení dekodéru dat zapsaných způsobem FM a MFM, s fázovým závěsem, čítači a monostabilními klopnými obvody, vyznačené tím, že přepínací vstup (52) fázového závěsu (FZ) je připojen na první spouštěcí vstup (111) prvního monostabilního klopného obvodu (MKO1), na první vstup čtvrtého dvouvstupového obvodu (NSD4) typu negace logického součinu, na vstup prvního invertoru (INV1) a tvoří současně první vstup (1) zapojení pro přepínací signál, výstup prvního invertoru (INV1) je připojen na nulovací vstup (113) prvního monostabilního klopného obvodu (MKO1), datový vstup (51) fázového závěsu (FZ) je připojen na druhý vstup třívstupového obvodu (NST) typu negace logického součinu, na vstup druhého invertoru (INV2) a tvoří současně druhý vstup (2) zapojení pro signál čtených dat, výstup druhého invertoru (INV2) je připojen na hodinový vstup (22) druhého klopného obvodu (KO2) a na hodinový vstup (12) prvního klopného obvodu (KO1), fázovací výstup (051) fázového závěsu (FZ) je připojen na hodinový vstup (32) děliče dvěma, jehož jedničkový výstup (031)

je připojen na datový vstup (21) druhého klopného obvodu (KO2), na první vstup druhého třívstupového obvodu (ST2) typu logického součinu, na první vstup druhého dvouvstupového obvodu (NSD2) typu negace logického součinu a na první vstup třívstupového obvodu (NST) typu negace logického součinu, synchronizační výstup (052) fázového závěsu (FZ) je připojen na třetí vs vstup prvního třívstupového obvodu (ST1) typu logického součinu, na druhý vstup druhého třívstupového obvodu (ST2) typu logického součinu a na vstup (211) druhého monostabilního klopného obvodu (MKO2), výstup (0211) druhého monostabilního klopného obvodu (MKO2) je připojen na první vstup prvního dvouvstupového obvodu (NSD1) typu negace logického součinu a na druhý vstup druhého dvouvstupového obvodu (NSD2) typu negace logického součinu, první vstup šestého dvouvstupového obvodu (NSD6) typu negace logického součinu tvoří současně třetí vstup (3) zapojení pro fázovací signál, výstup šestého dvouvstupového obvodu (NSD6) typu negace logického součinu je připojen na nulovací vstup (222) druhého čítače (Č2), výstup (0121) prvního čítače (Č1) je připojen na druhý spouštěcí vstup (112) prvního monostabilního klopného obvodu (MKO1), jehož nulový výstup (0112) je připojen na nastavovací vstup (33) děliče dvěma, nulový výstup (032) děliče dvěma je připojen na druhý vstup prvního dvouvstupového obvodu (NSD1) typu negace logického součinu, na datový vstup (11) prvního klopného obvodu (KO1) a na druhý vstup prvního třívstupového obvodu (ST1) typu logického součinu, jehož výstup je připojen na čítací vstup (121) prvního čítače (Č1) a tvoří současně první výstup (01) zapojení pro separované datové impulsy, výstup prvního dvouvstupového obvodu (NSD1) typu negace logického součinu je připojen na nulovací vstup (24) druhého klopného obvodu (KO2), jehož jedničkový výstup (021) je připojen na první vstup prvního třívstupového obvodu (ST1) typu logického součinu, výstup druhého dvouvstupového obvodu (NSD2) typu negace logického součinu je připojen na nulovací vstup (14) prvního klopného obvodu (KO1), jehož jedničkový výstup (011) je připojen na třetí vstup druhého třívstupového obvodu (ST2) typu logického součinu, výstup druhého třívstupového obvodu (ST2) typu logického součinu je připojen na druhý vstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu, na nulovací vstup (122) prvního čítače (Č1) a tvoří současně druhý výstup (02) zapojení pro separované hodinové impulsy, výstup třívstupového obvodu (NST) typu negace logického součinu je připojen, případně přes apožďovací člen (ZČ), na vstup čtvrtého invertoru (INV4), výstup čtvrtého invertoru (INV4) je připojen na druhý vstup čtvrtého dvouvstupového obvodu (NSD4) typu negace logického součinu, jehož výstup je připojen na druhý vstup šestého dvouvstupového obvodu (NSD6) typu negace logického součinu a na nulovací vstup (34) děliče dvěma, výstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu je připojen na čítací vstup (221) druhého čítače (Č2), jehož výstup (0221) je připojen, případně přes třetí invertor (INV3), na první vstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu a na třetí vstup třívstupového obvodu (NST) typu negace logického součinu.

2. Zapojení podle bodu 1, vyznačené tím, že přepínací vstup (52) fázového závěsu (FZ) je dále připojen na přepínací vstup (67) prvního a druhého přepínače (P1, P2) a na nulovací vstup (313) třetího monostabilního klopného obvodu (MKO3), výstup prvního invertoru (INV1) je dále připojen na první spouštěcí vstup (311) třetího monostabilního klopného obvodu (MKO3), jedničkový výstup (031) děliče dvěma je dále připojen na druhý vstup třetího třívstupového obvodu (ST3) typu logického součinu, synchronizační výstup (052) fázového závěsu (FZ) je dále připojen na třetí vstup třetího třívstupového obvodu (ST3) typu logického součinu, výstup (061) prvního přepínače (P1) je připojen na čítací vstup (121) prvního čítače (Č1), výstup (071) druhého přepínače (P2) je připojen na nulovací vstup (122) prvního čítače (Č1), jehož výstup je dále připojen na druhý spouštěcí vstup (312) třetího monostabilního klopného obvodu (MKO3), nulový výstup (0312) třetího monostabilního klopného obvodu (MKO3) je připojen na první vstup (91) třetího přepínače (P3), výstup prvního třívstupového obvodu (ST1) typu logického součinu je připojen na druhý vstup (62) prvního přepínače (P1) a na první vstup (71) druhého přepínače (P2), nulový výstup (012) prvního klopného obvodu (KO1) je připojen na první vstup třetího třívstupového obvodu (ST3) typu logického součinu, jehož výstup je připojen na první vstup prvního přepínače (P1), výstup druhého třívstupového obvodu (ST2) typu logického součinu je připojen na druhý vstup (72) druhého přepínače (P2), výstup čtvrtého dvouvstupového obvodu (NSD4) typu

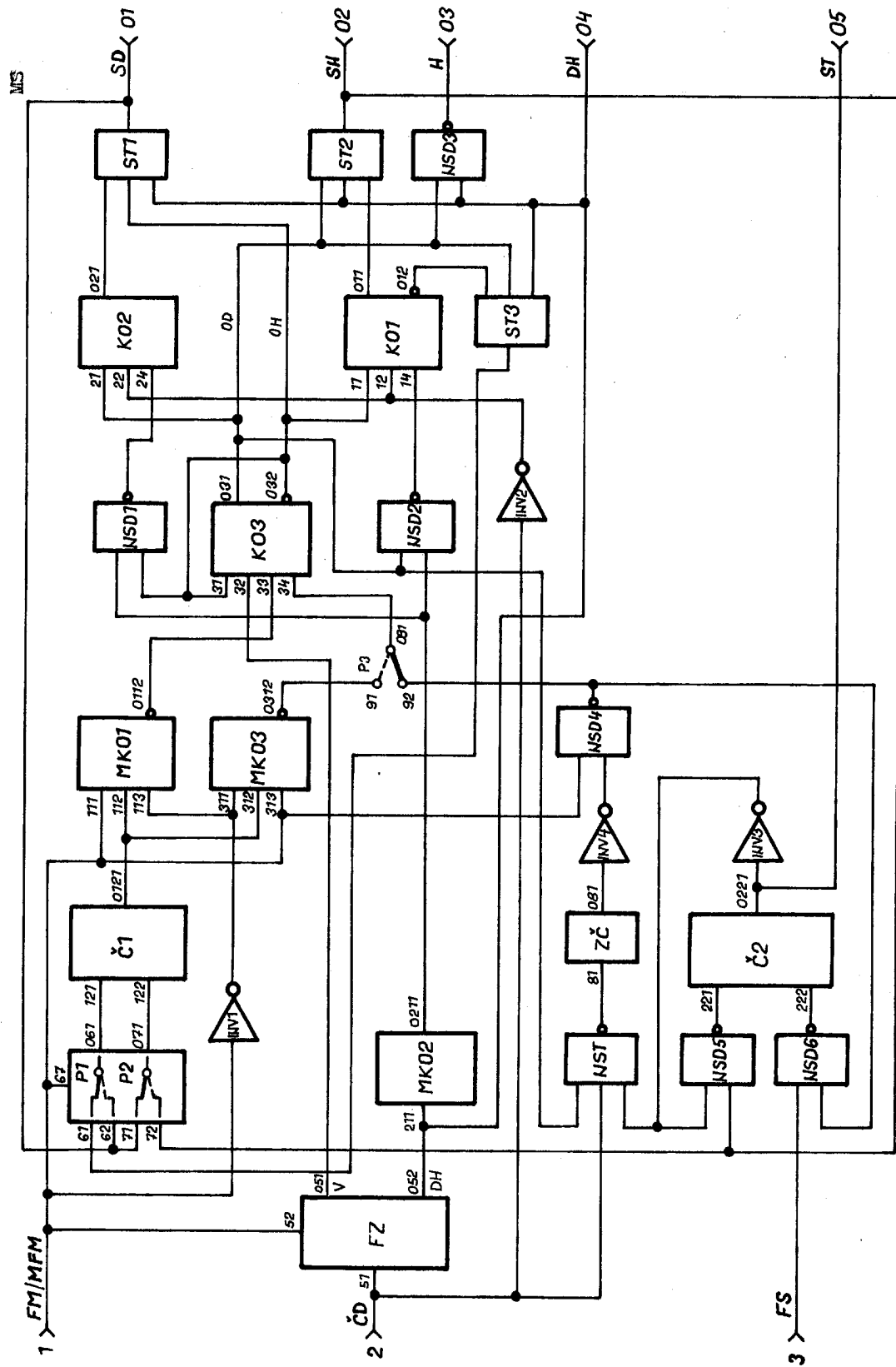
negace logického součinu je připojen na druhý vstup (92) třetího přepínače (P3), jehož výstup (091) je připojen na nulovací vstup (34) děliče dvěma.

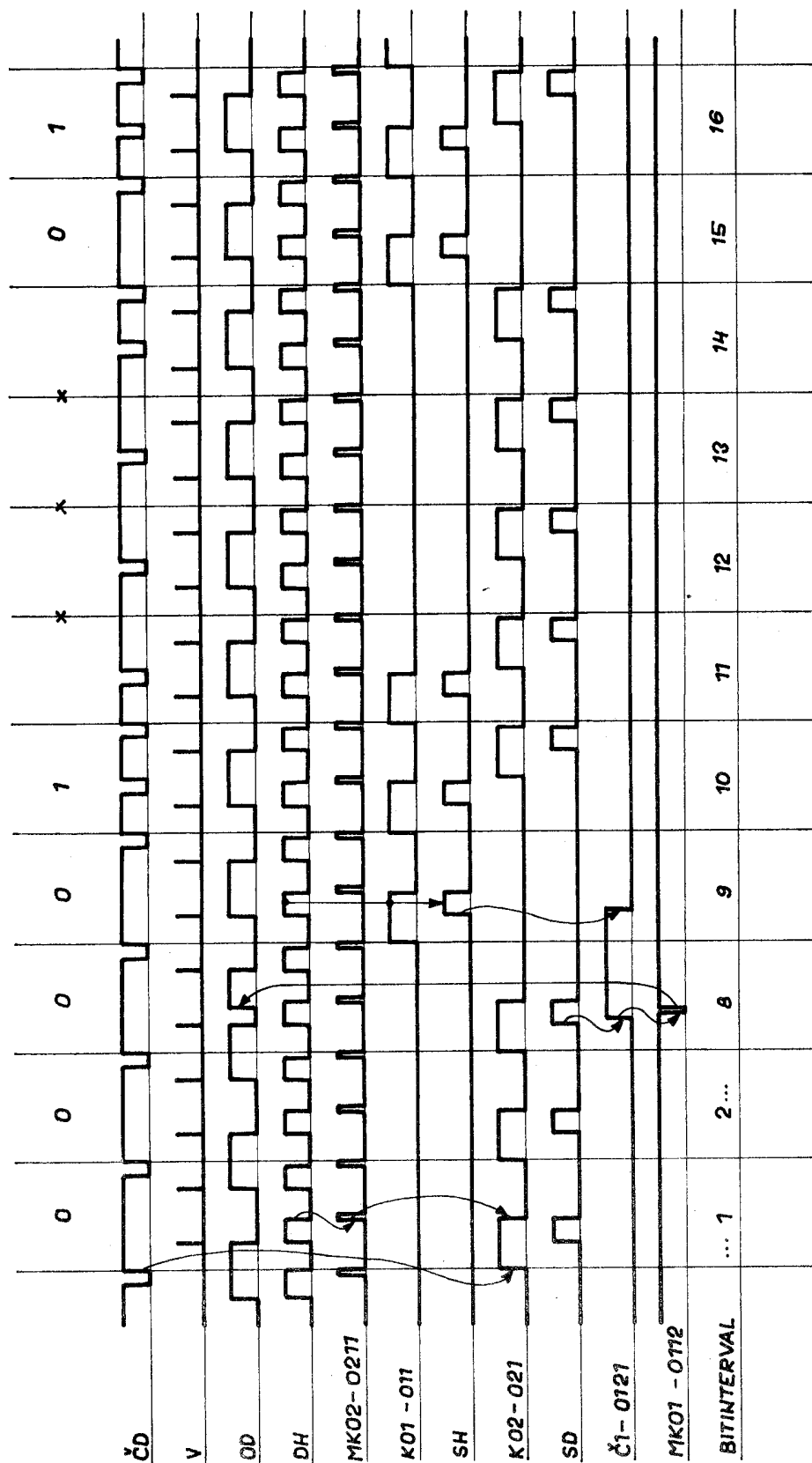
3. Zapojení podle bodu 1 nebo 2, vyznačené tím, že jedničkový výstup (031) děliče dvěma je dále připojen na první vstup třetího dvouvstupového obvodu (NSD3) typu negace logického součinu, synchronizační výstup (052) fázového závěsu (FZ) je dále připojen na druhý vstup třetího dvouvstupového obvodu (NSD3) typu negace logického součinu, jehož výstup tvoří současně třetí výstup (03) zapojení pro hodinové impulsy.

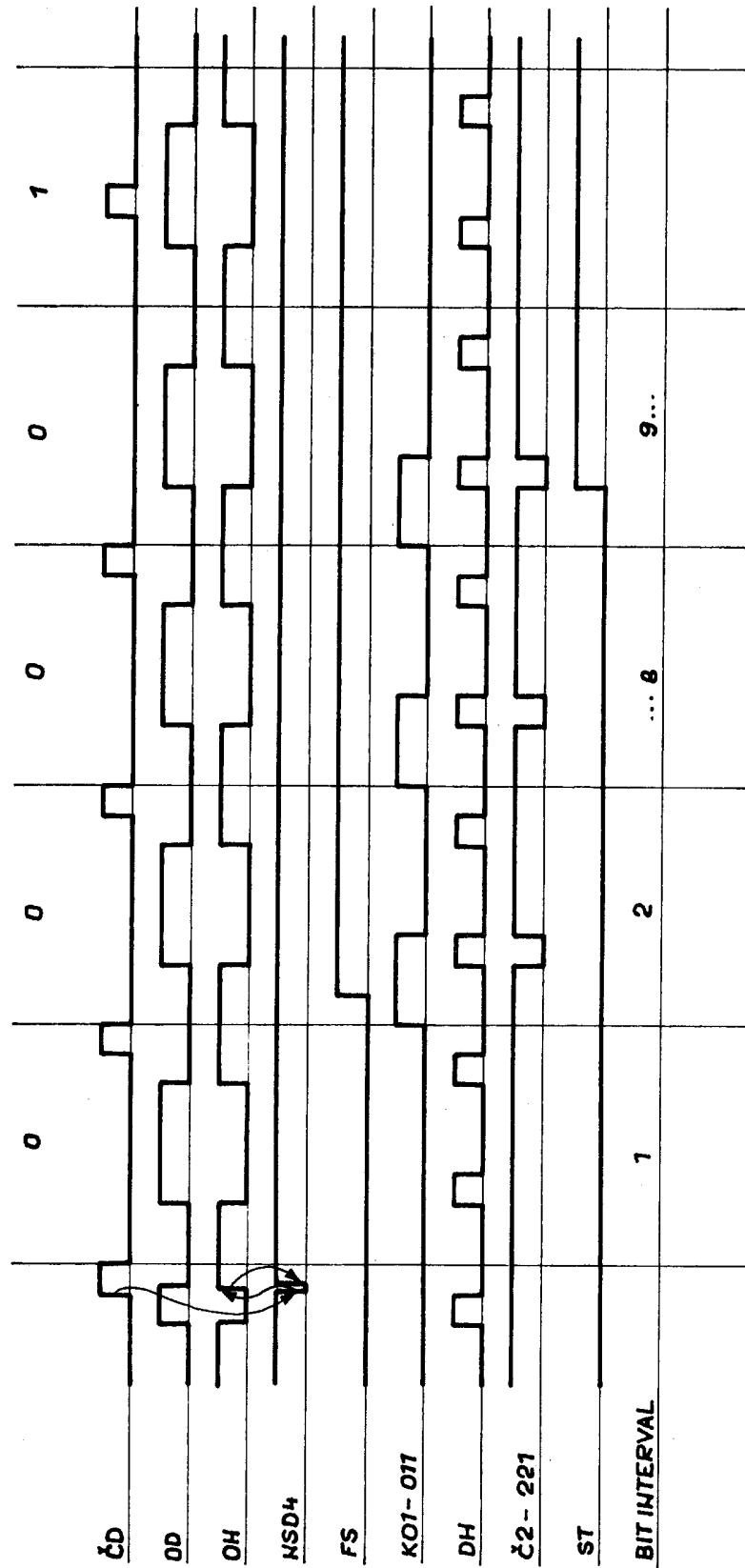
4. Zapojení podle bodu 1, 2 nebo 3, vyznačené tím, že synchronizační výstup (052) fázového závěsu (FZ) tvoří dále současně čtvrtý výstup (04) zapojení pro synchronizační signál.

5. Zapojení podle jednoho z předchozích bodů, vyznačené tím, že výstup druhého čítače (Č2) tvoří dále současně pátý výstup (05) zapojení pro stavový signál.

4 výkresy







OBR. 3

