

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G11C 5/14

(11) 공개번호 10-2005-0105587
(43) 공개일자 2005년11월04일

(21) 출원번호 10-2004-0030611
(22) 출원일자 2004년04월30일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 장지은
경기도성남시분당구정자동한솔주공5단지502-1401
(74) 대리인 특허법인 신성

심사청구 : 있음

(54) 오버드라이버의 구동력을 조절하는 반도체 메모리 소자

요약

본 발명은 오버드라이버의 구동력을 조절하는 반도체 메모리를 제공하기 위한 것으로, 이를 위한 본 발명으로 노말드라이빙전압을 공급하기 위한 제1전원공급원; 메모리셀어레이블록; 상기 메모리셀어레이블록의 비트라인 쌍의 전압차이를 감지하여 증폭시키기 위한 비트라인 감지증폭기블록; 제1 드라이빙제어신호에 응답하여 상기 제1전원공급원과의 연결노드에 걸린 전압으로 상기 비트라인 감지증폭기의 전원라인을 구동하기 위한 제1 구동수단; 오버드라이빙신호의 활성화 구간동안 입력된 테스트모드-구동력증가신호 및 테스트모드-구동력감소신호에 응답하여 상기 구동력증가신호와 구동력감소신호를 생성하는 테스트모드 오버드라이빙 구동력 조절수단; 및 상기 오버드라이빙신호와, 상기 구동력증가신호와, 상기 구동력감소신호에 제어받아 선택적으로 활성화되어 상기 노말드라이빙전압 보다 높은 오버드라이빙전압으로 상기 연결노드를 구동하기 위한 복수의 제2 구동수단을 구비하는 반도체메모리 소자를 제공한다.

대표도

도 3

색인어

오버드라이버, 크기, 구동력, FIB, 시간

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 오버드라이빙 구조를 가진 반도체 메모리 소자의 블록 구성도.

도 2는 도 1의 블록의 동작 파형도.

도 3은 본 발명의 일 실시예에 따른 오버드라이버의 구동력을 조절하는 반도체 메모리 소자의 블록 구성도.

도 4는 제1 실시예에 따른 테스트모드 오버드라이빙 구동력 조절부의 내부 회로도.

도 5는 제2 실시예에 따른 테스트모드 오버드라이빙 구동력 조절부의 내부 회로도.

도 6은 본 발명의 테스트입력을 퓨즈옵션을 통해 입력받는 경우를 도시한 도면.

* 도면의 주요 부분의 부호에 대한 설명

300 : 테스트모드 오버드라이빙 구동력 조절부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 설계 기술에 관한 것으로, 특히 오버드라이버의 구동력을 조절하는 반도체메모리소자에 관한 것이다.

메모리 소자의 저 전력화를 위하여 낮은 구동전압을 사용하게 되면서, DRAM을 비롯한 메모리 소자에서 감지증폭기의 동작을 돕기 위한 여러가지 기술적 보완들이 있어 왔는데, 그 중 하나가 감지증폭기의 오버드라이빙 구조이다.

통상적으로, 로우 어드레스에 의해서 활성화된 워드라인에 연결된 다수개의 메모리셀의 데이터가 비트라인에 전달되고, 비트라인 감지증폭기는 비트라인 쌍의 전압 차이를 센싱하여 증폭하게 된다.

상기의 과정 중, 수천 개의 비트라인 감지증폭기가 동시에 동작을 시작하므로, 이를 구동하기 위한 충분한 양의 전류를 공급할 수 있는가 여부에 따라서, 비트라인 감지증폭기 구동시간이 결정된다. 그러나 메모리 소자의 저전력화 추세에 따른 동작 전압의 저하에 의해 충분한 양의 전류를 일순간에 공급하는 데는 무리가 있다. 이를 해결하기 위해, 비트라인 감지증폭기의 동작 초기(셀과 비트라인간 전하공유 직후)에 비트라인 감지증폭기의 전원라인(rto)에 노말전압(통상, 내부코어전압)보다 높은 전압을 순간적으로 공급하는 비트라인 감지증폭기 오버드라이빙 구조를 채택하게 되었다.

도 1은 종래 기술에 따른 오버드라이빙 구조를 가진 반도체 메모리 소자의 블록 구성도이다.

도 1을 참조하면, 반도체 메모리 소자는 메모리셀어레이블럭(10)과, 메모리셀어레이블럭(10)의 비트라인 쌍(bit, bitb)들의 전압차이를 감지하여 증폭시키기 위한 비트라인 감지증폭기블럭(20)과, 드라이빙제어신호 sap에 응답하여 비트라인 감지증폭기블럭(20)의 전원라인(rto)을 코어전원단(VCORE)과의 연결노드(N1)에 걸린 전압으로 구동하기 위한 드라이버(PM2)와, 오버드라이빙신호(saovb)에 응답하여 연결노드(Ng)를 내부 코어전압(VCORE)보다 높은 외부전압(VDD)으로 구동하기 위한 오버드라이버(PM1)를 구비한다. 그리고, 드라이빙제어신호 san에 응답하여 비트라인 감지증폭기의 전원라인 sb를 접지전압(VSS)으로 구동하기 위한 드라이버(NM1)를 구비한다.

참고적으로, 비트라인 감지증폭기 블럭(20) 내에는 비트라인 쌍의 전압 차이를 증폭하는 비트라인 감지증폭기(22)와, 균등화신호(bleq)에 응답하여 비트라인 감지증폭기(22)의 전원라인 rto 및 sb를 전원전압 VBLP로 프리차지시키기 위한 트랜지스터(NM3, NM4)와, 균등화신호(bleq)에 응답하여 비트라인 감지증폭기(22)의 전원라인 rto 및 sb를 연결시켜 동일한 전압으로 유지시키기 위한 트랜지스터(NM2)가 구비된다.

도 2는 제어신호에 따른 비트라인 쌍의 전압레벨 변화를 나타내는 도면이다.

먼저, 프리차지 구간에서는 균등화신호(bleq)가 활성화되어 비트라인 감지증폭기의 전원라인 rto 및 sb에 전원전압 VBLP가 인가된다.

이어, 워드라인 구동신호(WL)가 활성화되어 비트라인 쌍(bit, bitb)에 메모리셀 데이터가 미세전압으로 유입된다. 이어 드라이빙제어신호(san, sap)가 활성화되어 비트라인 감지증폭기의 구동라인(rto, sb)에 구동전원(VCORE, VSS)이 인가된다. 비트라인 감지증폭기의 초기 구동 시 인가된 오버드라이빙신호(saovb)의 활성화에 의해 구동라인 rto가 노말전압(VCORE) 이상의 레벨을 갖는다.

한편, 전술한 발명에서는 비트라인 감지증폭기의 보다 빠른 구동을 위해 구동 초기 시 오버 드라이버를 사용해서 노말전압(VCORE)을 잠시 동안 외부전원 VDD에 연결시키는데, 상기에서 오버드라이버의 구동력이 중요하다. 왜냐하면, 오버드라이버의 구동력이 적으면, 노말전압(VCORE)이 필요로 하는 구동력을 감당하지 못해 외부전압(VDD)과 연결시켜 비트라인 감지증폭기에 구동전원을 공급함에도 불구하고 노말전압(VCORE)의 레벨이 떨어지며, 반면 오버드라이버의 구동력이 크면 노말전압(VCORE)의 레벨이 원하는 레벨보다 많이 올라가 노이즈를 유발시키기 때문이다.

따라서, 종래에는 오버드라이버가 적절한 크기를 갖도록 하기 위하여 테스트 및 FIB(Focused in Beam)를 가졌는데, 이는 오랜 시간이 걸린다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 제안된 것으로, 오버드라이버의 구동력을 조절할 수 있는 반도체 메모리를 제공한다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 일측면에 따른 반도체 메모리 소자는 노말드라이빙전압을 공급하기 위한 제1전원공급원; 메모리셀어레이블록; 상기 메모리셀어레이블록의 비트라인 쌍의 전압차이를 감지하여 증폭시키기 위한 비트라인 감지증폭기블럭; 제1 드라이빙제어신호에 응답하여 상기 제1전원공급원과의 연결노드에 걸린 전압으로 상기 비트라인 감지증폭기의 전원라인을 구동하기 위한 제1 구동수단; 오버드라이빙신호의 활성화 구간동안 입력된 테스트모드-구동력증가신호 및 테스트모드-구동력감소신호에 응답하여 상기 구동력증가신호와 구동력감소신호를 생성하는 테스트모드 오버드라이빙 구동력 조절수단; 및 상기 오버드라이빙신호와, 상기 구동력증가신호와, 상기 구동력감소신호에 제어받아 선택적으로 활성화되어 상기 노말드라이빙전압 보다 높은 오버드라이빙전압으로 상기 연결노드를 구동하기 위한 복수의 제2 구동수단을 구비한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도 3은 본 발명의 일 실시예에 따른 오버드라이버의 크기를 조절하는 반도체 메모리 소자의 블럭 구성도이다.

도 3를 참조하면, 본 실시예에 따른 반도체 메모리 소자는 메모리셀어레이블록(100)과, 메모리셀어레이블럭(100)의 비트라인 쌍(bit, bitb)들의 전압차이를 감지하여 증폭시키기 위한 비트라인 감지증폭기블럭(200)과, 드라이빙제어신호 sap에 응답하여 노말전원과의 연결노드(N2)에 걸린 전압으로 비트라인 감지증폭기의 전원라인(rto)을 구동하기 위한 노말 드라이버(PM6)와, 노말전압(VCORE) 보다 높은 외부전압(VDD)으로 상기 연결노드(N2)를 구동하기 위한 복수의 오버드라이버(PM3, PM4, PM5)와, 복수의 오버드라이버(PM4, PM5)를 제어하여 그 중 일부를 선택적으로 활성화시켜 전원라인(rto)의 전압레벨을 조절하기 위한 테스트모드 오버드라이빙 구동력 조절부(300)를 구비한다. 그리고 드라이빙제어신호 san에 응답하여 비트라인 감지증폭기의 전원라인 sb를 접지전압(VSS)으로 구동하기 위한 드라이버(NM5)를 구비한다.

그리고 테스트모드 오버드라이빙 구동력 조절부(300)는 테스트모드 시 활성화되는 테스트모드-구동력증가신호(tm_ovd_incb) 및 테스트모드-구동력감소신호(tm_ovd_dec)를 입력으로 하여 각 오버드라이버(PM4, PM5)를 턴온 또는 턴오프시킨다.

참고적으로, 비트라인 감지증폭기블럭(200) 내에는 비트라인 쌍(bit, bitb)의 전압 차이를 증폭하는 비트라인 감지증폭기(202)와, 균등화신호(bleq)에 응답하여 비트라인 감지증폭기(202)의 전원라인 rto 및 sb를 전원전압 VBLP로 프리차지시키기 위한 트랜지스터(NM7, NM8)와, 균등화신호(bleq)에 응답하여 비트라인 감지증폭기(202)의 전원라인 rto 및 sb를 연결시켜 동일한 전압으로 유지시키기 위한 트랜지스터(NM6)를 갖는다.

이를 종래기술에 따른반도체 메모리 소자(도 1참조)와 비교하여 보면, 본 발명에 따른 반도체 메모리 소자는 복수의 오버드라이버(PM3, PM4, PM5)와 이를 제어하기 위한 테스트모드 오버드라이빙 구동력 조절부(300)를 구비한다. 테스트를 통한 설정 전에 복수의 오버드라이버 중 일부는 오버드라이빙신호(saovb)의 활성화 시 활성화된다. 따라서, 반도체 메모리 소자는 테스트모드 오버드라이빙 구동력 조절부(300)를 통해 복수의 오버드라이버를 선택적으로 구동할 수 있어, 전체적인 오버드라이버의 크기를 조절하여 비트라인 감지증폭기의 구동라인 rto의 전압을 원하는 레벨로 유지 시킨다. 즉, 설정을 통해서 오버드라이버의 구동력을 상황에 따라 조절할 수 있다.

도 4는 제1 실시예에 따른 테스트모드 오버드라이빙 구동력 조절부(300)의 내부 회로도이다.

도 4를 참조하면, 테스트모드 오버드라이빙 구동력 조절부(300)는 오버드라이빙신호(saovb)와 테스트모드-구동력감소신호(tm_ovd_dec)를, 그리고 오버드라이빙신호(saovb)와 테스트모드-구동력증가신호(tm_ovd_inc)를 각각의 입력으로 갖는 노어게이트(NR1, NR2)와, 각 노어게이트(NR1, NR2)의 출력신호를 반전시켜 오버드라이버(PM4, PM5)를 제어하기 위한 구동력감소신호(dec_ctrb)와 구동력증가신호(inc_ctrb)를 출력하기 위한 인버터(I5, I6)로 구현된다.

다음으로 테스트모드 오버드라이빙 구동력 조절부(300)의 동작을 살펴본다.

초기 설정 전 오버드라이빙신호(saovb)의 비활성화 영역에서 테스트모드-구동력감소신호(tm_ovd_dec)는 논리레벨 '로우'를, 테스트모드-구동력증가신호(tm_ovd_inc)는 논리레벨 '하이'를 갖는다. 그리고 테스트모드 진입 시에 테스트모드-구동력감소신호(tm_ovd_dec)는 논리레벨 '하이'를, 테스트모드-구동력증가신호(tm_ovd_inc)는 논리레벨 '로우'를 갖는다. 따라서, 설정 전 초기에 테스트모드 오버드라이빙 구동력 조절부(300)는 오버드라이빙신호(saovb)에 응답하여 구동력감소신호(dec_ctrb)를 활성화시키고, 구동력증가신호(inc_ctrb)를 비활성화시키므로, 비트라인 감지증폭기의 초기 구동시 오버드라이빙신호(saovb)와 구동력감소신호(dec_ctrb)에 제어받는 오버드라이버(PM3, PM5)를 통해서 외부 전압(VDD)이 노말전원(VCORE)에 인가되도록 한다.

이후 테스트모드에서 테스트모드-구동력증가신호(tm_ovd_inc) 및 테스트모드-구동력감소신호(tm_ovd_dec)를 입력하여 오버드라이버의 크기를 조절할 수 있다. 오버드라이버의 크기를 줄이고자 하는 경우에는 테스트모드-구동력감소신호(tm_ovd_dec)를 논리레벨 '하이'로 설정해 주고, 오버드라이버의 크기를 키우고자 하는 경우에는 테스트모드-구동력증가신호(tm_ovd_inc)를 논리레벨 '로우'로 설정해 준다. 테스트모드 오버드라이빙 구동력 조절부(300)에서 상기 설정된 테스트모드-구동력증가신호(tm_ovd_inc) 및 테스트모드-구동력감소신호(tm_ovd_dec)에 응답하여 오버드라이버의 제어신호를 출력하므로써, 오버드라이버의 구동력이 조절된다.

도 5는 제2 실시예에 따른 테스트모드 오버드라이빙 구동력 조절부(300)의 내부 회로도이다.

도 5를 참조하면, 테스트모드 오버드라이빙 구동력 조절부(300)는 테스트모드-구동력감소신호(tm_ovd_dec)와 테스트모드-구동력증가신호(tm_ovd_inc)를 각각의 제어신호로 하여 오버드라이빙신호(saovb)를 전달하기 위한 트랜스퍼게이트(322, 324)와, 각 트랜스퍼게이트(322, 324)의 출력신호를 래치하여 구동력감소신호(dec_ctrb) 및 구동력증가신호(inc_ctrb)로 출력하기 위한 래치(326, 328)로 구성된다.

그리고 트랜스퍼게이트(322, 324)의 출력노드 각각은 파워업신호(pwrup)를 게이트 입력으로 하여 파워업신호(pwrup)의 활성화 시 트랜스퍼게이트(322, 324)의 출력노드를 논리레벨 '하이'로 유지시켜 오버드라이버(PM4, PM5)가 오프되도록 하는 PMOS트랜지스터(PM7, PM8)를 구비한다.

도 6은 도 5를 통해 예시한 테스트모드 오버드라이빙 구동력 조절부(300)의 입력신호를 퓨즈옵션을 통해 입력받는 경우를 나타낸 도면으로, 퓨즈를 통해서 입력값을 설정해 줄 수 있다.

전술한 본 발명은 테스트모드 시 신호를 설정하여 오버드라이버의 구동력을 조절하기 때문에, 구동력의 조절에 따른 시간을 줄일 수 있다. 또한, 필요한 오버드라이버의 구동력을 분석하는 시간을 줄일 수 있다.

상기에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

전술한 본 발명의 실시예에서는 오버드라이버가 3개인 경우를 예로써 설명하였으나, 이는 오버드라이버의 구동력을 신호로 제어하여 조절할 수 있는 본 발명을 예시한 것으로 오버드라이버의 개수에 본 발명은 제한받지 않는다.

발명의 효과

전술한 본 발명은 테스트모드를 이용하여 오버드라이버의 구동력을 늘려주거나, 줄여주는 테스트를 쉽게 할 수 있으므로 분석하는데 용이할 뿐 아니라 분석 시간도 줄일 수 있다.

(57) 청구의 범위

청구항 1.

노말드라이빙전압을 공급하기 위한 제1전원공급원;

메모리셀어레이블록;

상기 메모리셀어레이블록의 비트라인 쌍의 전압차이를 감지하여 증폭시키기 위한 비트라인 감지증폭기블록;

제1 드라이빙제어신호에 응답하여 상기 제1전원공급원과의 연결노드에 걸린 전압으로 상기 비트라인 감지증폭기의 전원라인을 구동하기 위한 제1 구동수단;

상기 연결노드를 상기 노말드라이빙전압 보다 높은 오버드라이빙전압으로 구동하기 위한 복수의 제2 구동수단; 및

오버드라이빙신호의 활성화 구간 동안 입력된 테스트모드-구동력제어신호에 응답하여 상기 제2 구동수단을 선택적으로 활성화시키기 위한 오버드라이빙 구동력 조절수단

을 구비하는 반도체메모리 소자.

청구항 2.

제1항에 있어서,

상기 오버드라이빙 구동력 조절수단은,

오버드라이빙신호의 활성화 구간동안 입력된 테스트모드-구동력증가신호 및 테스트모드-구동력감소신호에 응답하여 상기 제2 구동수단을 선택적으로 활성화시키기 위한 구동력증가신호와 구동력감소신호를 생성하는 것

을 특징으로 하는 반도체메모리소자.

청구항 3.

제2항에 있어서,

상기 테스트모드 오버드라이빙 구동력 조절수단은,

상기 오버드라이빙신호와 상기 테스트모드-구동력증가신호를 입력으로 갖는 제1 노어게이트와, 상기 제1 노어게이트의 출력신호를 반전시켜 상기 구동력증가신호를 출력하기 위한 제1 인버터와, 상기 오버드라이빙신호와 상기 테스트모드-구동력감소신호를 입력으로 갖는 제2 노어게이트와, 상기 제2 노어게이트의 출력신호를 반전시켜 상기 구동력감소신호를 출력하기 위한 제2 인버터로 구현되는 것을 특징으로 하는 반도체 메모리 소자.

청구항 4.

제2항에 있어서,

상기 테스트모드 오버드라이빙 구동력 조절수단은,

상기 테스트모드-구동력증가신호를 제어신호로 하여 상기 오버드라이빙신호를 전달하기 위한 제1트랜스퍼게이트와, 상기 제1 트랜스퍼게이트의 출력신호를 지연시켜 상기 구동력증가신호로 출력하기 위한 제1래치와, 상기 테스트모드-구동력감소신호를 제어신호로 하여 상기 오버드라이빙신호를 전달하기 위한 제2트랜스퍼게이트와, 상기 제2트랜스퍼게이트의 출력신호를 지연시켜 상기 구동력감소신호로 출력하기 위한 제2래치와, 파워업신호의 비활성화 시 상기 제1 및 제2 트랜스퍼 게이트의 출력노드에 고전압을 인가시키기 위한 제1 및 제2 피모스트랜지스터로 구현되는 것을 특징으로 하는 반도체 메모리 소자.

청구항 5.

제4항에 있어서,

상기 테스트모드 오버드라이빙 구동력 조절수단은,

상기 테스트모드-구동력증가신호 및 테스트모드-구동력감소신호를 퓨즈옵션을 통해 입력받는 것을 특징으로 하는 반도체 메모리 소자.

청구항 6.

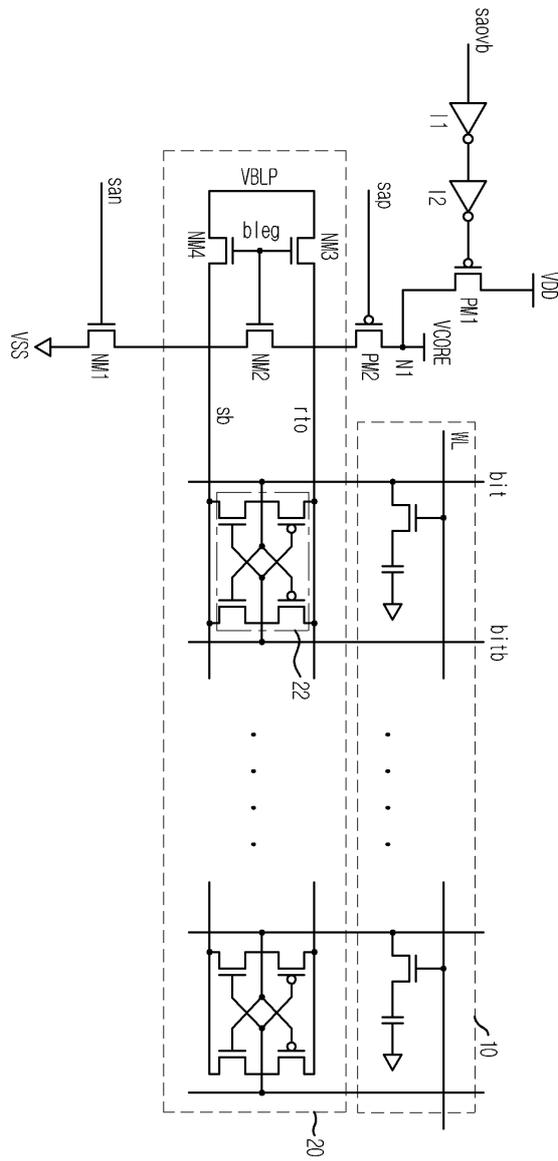
제3항 또는 제5항에 있어서,

상기 복수의 제2 구동수단은,

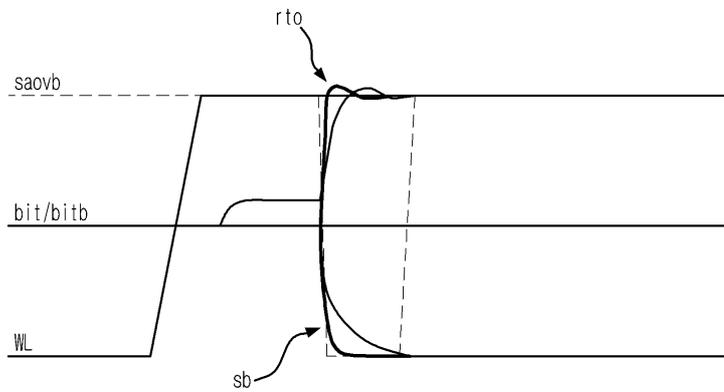
상기 오버드라이빙신호, 상기 제어수단으로부터 출력된 구동력증가신호와 구동력감소신호를 각각의 게이트 입력으로 가지며 상기 오버드라이빙전압과 상기 연결노드 사이에 소스-드레인 경로를 갖는 제1 내지 제3 모스트랜지스터로 구현되는 것을 특징으로 하는 반도체 메모리 소자.

도면

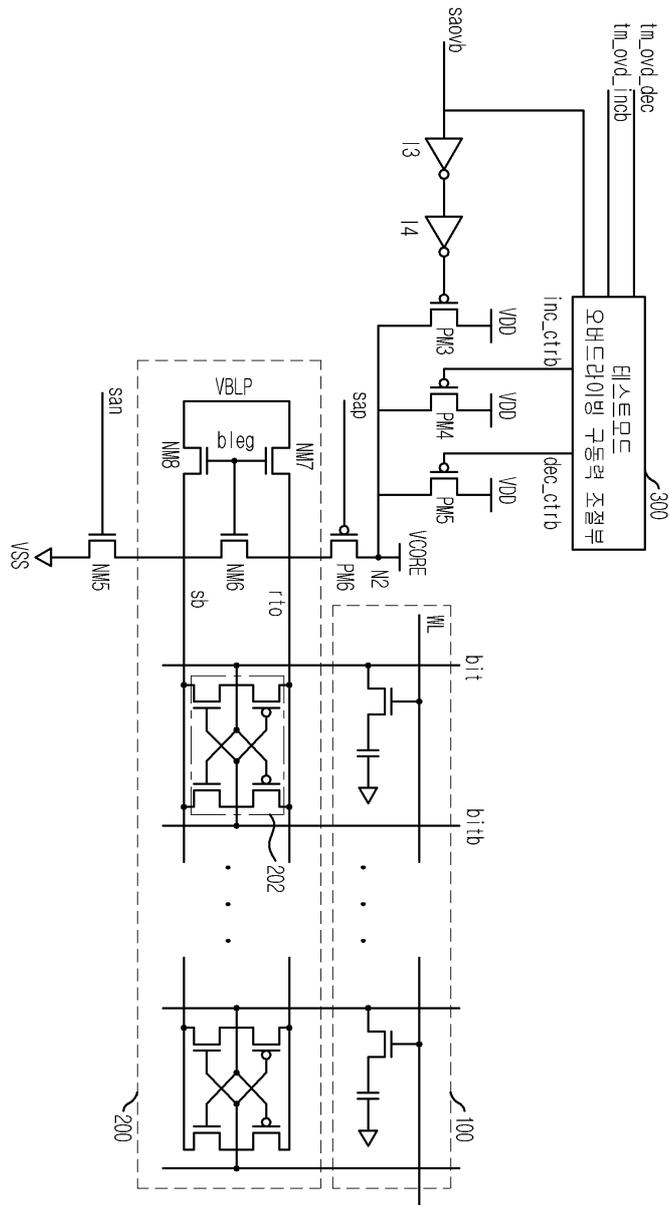
도면1



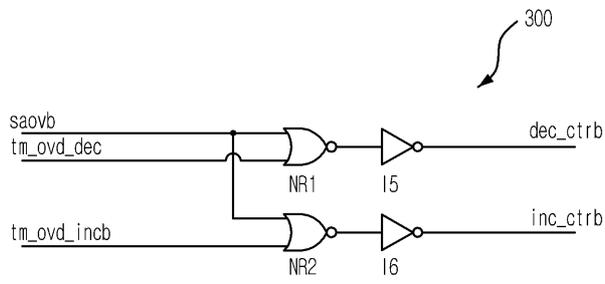
도면2



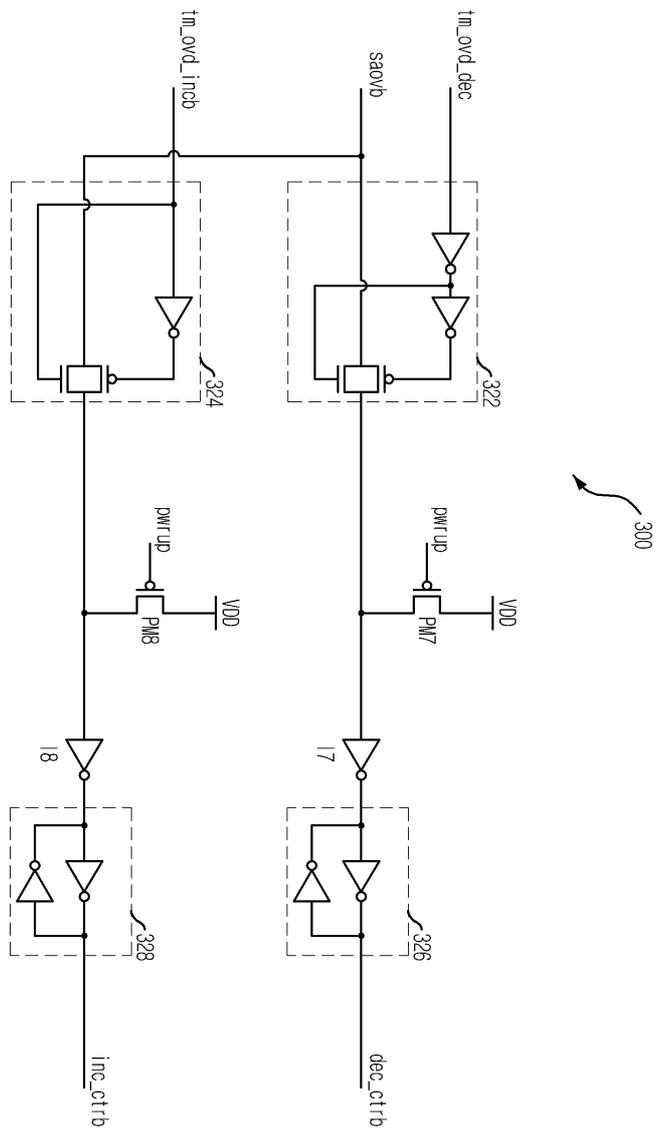
도면3



도면4



도면5



도면6

