

公告本

申請日期	89 年 1 月 19 日
案 號	89100837
類 別	H01L 27/04 21 822

A4
C4

(以上各欄由本局填註)

463362

發 明 專 利 說 明 書

一、發明 名稱	中 文	靜電保護電路及使用此之半導體積體電路
	英 文	
二、發明人 創作	姓 名	(1) 橋本正美 (2) 大川和彦
	國 籍	(1) 日本 (2) 日本
	住、居所	(1) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內 (2) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內
三、申請人	姓 名 (名稱)	(1) 精工愛普生股份有限公司 セイコーエプソン株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都新宿區西新宿二丁目四番一號
	代 表 人 姓 名	(1) 安川英昭

裝

訂

線

五、發明說明(1)

【技術領域】

本發明係為關於靜電保護電路及使用此之半導體積體電路；特別是關於使用絕緣閘極金屬氧化物半導體場效電晶體（以下，簡稱MOSFET）之積體電路的靜電保護電路。

【先行技術】

第9圖係為表示有關用積層基板之MOS積體電路的一般性信號端子1509及電源端子1509之代表性靜電保護電路。在於第9圖，具有從訊號端子1509介由二極體流到表示電位 $+V_{DD}$ 的第1電源端子1之路徑及從表示電位 $-V_{SS}$ 之第2電源端子介由二極體1504流到訊號端子之路徑，作為訊號端子1509及加諸到第1與第2電源端子間的靜電電荷吸收之路徑。另外具有從第2電源端子2介由二極體1501流到第1電源端子1。更實際的是如第9圖所示，從接點端子1506之輸入訊號供給到電阻1505及經由二極體1503、1504的一端而形成內部電路換流器之P型MOSFET 1507與N型MOSFET 1508的閘極電極。

第9圖中，將接點1506直接連接到內部電路的P型MOSFET 1507或N型MOSFET 1508的閘極電極，則從接點1506輸入靜電的情況，P型MOSFET 1507或N型MOSFET 1508的閘極電極易於破壞。為了防止此問題，使用促

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂 · 線

五、發明說明(2)

使減輕靜電衝擊之電阻 1505 及促使吸收電荷之二極體 1503、1504。另外，如後述，二極體 1501 係為加諸在第 1、2 電源端子間之靜電當然對加諸在前述過的訊號端子之靜電也能作為電荷吸收路徑作用之構成。

然而，在於過去的靜電保護電路，促使前述的電荷吸收之二極體元件 1503 係為電荷流到第 1 電源端子 1；二極體 1504 係為從第 2 電源端子 2 電荷流到訊號端子 1509 而被連接。另外，在第 1 電源端子 1 與第 2 電源端子 2 之間反方向連接二極體 1501。此原因係為順方向連接二極體 1501、1503、1504 使其與第 9 圖相反方向流動電荷，則電源連接到積體電路而實際使其動作時，通過順方向之二極體而漏電流通之故。

另外，在於使用絕緣體上覆蓋矽 (Silicon • ON • Insulator) 基板 (以下，簡稱 OS I 積體電路)，並不是通常積層的阱區其絕緣，以填入氧化膜下方被絕緣，周圍也被覆蓋在選擇性氧化膜 (LOCOS)。因而，一般並不相當於在第 9 圖中第 1、2 電源端子間所具有的二極體。具體而言如第 11 圖所示，在第 1、2 電源端子間，從過去基板的 P 阱區及 N 阱區所形成的二極體完全不存在。不過，如後述從保護靜電之觀點，則須要相當於此保護靜電之二極體。因此在於 SO I 積體電路，也是如第 12 圖將二極體 1801 附加在第 1、2 電源端子間，如第 13 圖將相互連接源極電極與閘極電極之 MOSFET 1901 連接在第 1、2 電源端子間，使其形成與反方向二極體同樣

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

的作用。或者是如第14圖分別並聯相互連接源極電極與閘極電極之P型MOSFET 2001及N型MOSFET 2000使其在電源間形成與反方向二極體同樣的作用，達到與一般積層基板的積體電路相同原理之靜電保護。

然則，靜電加諸在電源端子間或信號端子的情況，會造成在積體電路內部引起靜電破壞的情形。首先，針對靜電加諸在信號端子的情況，在靜電保護電路不迅速吸收該電荷，則經常引起信號端子之前的內部電路破壞。在於第9圖，易於引起P型MOSFET 1507或N型MOSFET 1508的閘極破壞。MOSFET的閘極膜厚，在與基板之間由數百Å~數十Å的非常薄之膜所形成，基板或是源極電極終究是連結到電源。因此在薄的矽氧化膜之間加諸高電壓且是強電界，造成破壞閘極膜。因此，加諸靜電之際，為了迅速吸收該電荷而使其消滅，所以如前述使用第9圖的靜電保護電路或是相當於該保護電路之手段。在於第9圖的電路，在訊號端子1509，第1電源端子1及第2電源端子2各自之間的電荷流法被認為有以下4種方式。

- | | |
|--------------|------------|
| (A) 訊號端子：正電荷 | 第1電源端子：負電荷 |
| (B) 訊號端子：負電荷 | 第1電源端子：正電荷 |
| (C) 訊號端子：正電荷 | 第2電源端子：負電荷 |
| (D) 訊號端子：負電荷 | 第2電源端子：正電荷 |

過去電路第9圖的狀態；前述(A)及(D)的情況，因

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

二極體 1503 或是 1504 對電荷為順方向流動，所以所侵入之靜電電荷迅速地被吸收，防止靜電破壞。(B)及(C)的情況，二極體 1503 或是 1504，在於各別的情況，都是對靜電電荷的極性為反方向。因此，(B)的情況，負的電荷就是為反方向仍勉強通過二極體。或者是負的電荷，首先以對電荷為順方向穿過二極體

1504，從第2電源端子2到第1電源端子1，從存在於基板之P阱區(P-well)通過N阱區(N-well)的反方向二極體1501到第1電源端子1。(C)的情況，正的電荷就是為反方向仍勉強通過二極體1504。或者是正的電荷，首先以順方向穿過二極體1503，從第1電源端子1到第2電源端子2，從存在於基板之N阱區通過P阱區的反方向二極體1501到第2電源端子2。因此，(B)及(C)的情況，因電荷必須勉強通過反方向的二極體，所以削弱靜電，較低的電壓就破壞。然而，第10圖表示(C)的情況靜電電荷通過的樣子，作為代表例。

以上已說明過靜電加諸到訊號端子時促使在電源間形成反方向二極體，但與電源同樣的極性靜電加諸到電源端子間其二極體的情況，電荷朝反方向通過存在於電源端子間的二極體。另外，SOI積體電路，由於沒有此二極體，所以無法吸收靜電電荷，在電源配線中最弱的處所，容易引起破壞。

其次，其原因，以第30圖、第31圖簡單地說明靜電電荷通過二極體的情況順方向較強，反方向較弱之結構

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(5)

。第30圖則是在P型擴散層131與N型擴散層132的界面接合，形成PN二極體。第30圖表示P型擴散層131為正電位，N型擴散層132為負電位之情況。此情況，電位的關係係為朝二極體的順方向對電荷作動，電流因PN境界面的任何處都能勉強通過所以電流經過PN境界面的全面，所到之處同樣狀態流通。因此二極體全體，電流易於流通，且吸收能力也提高。另外在二極體也是平均地分散電流，所以沒有過度集中之處，也不會引起因電流流通所造成二極體自身的破壞。

另則，第31圖表示朝反方向流通時的樣子。第31圖則是在P型擴散層141與N型擴散層142的界面接合，形成PN二極體。第31圖表示P型擴散層141為負電位，N型擴散層142為正電位之情況。

此情況，電位的關係係為由二極體形成為反方向所以一般電流不流通。但是因而勉強地加諸高電壓而反方向流通電流的情況，由於PN境界面不均等，所以相對地耐壓減弱，從易流通的特定處所開始流通。因此就是超越耐壓，電流流出也不會形成在PN境界面均等地反方向流通電流，會有集中在較易流通的處所之傾向。第31圖表示此電流流通的樣子。此樣，反方向電流流過二極體的情況因不均等地流通，會有集中在特定處所之傾向，所以依據二極體的PN境界的大小之比率，減弱電流流通的能力，也就是減弱吸收能力。且由於二極體當中在特定的易於流通之處所電流集中，所以所集中處之電流密度極高，包含發

(請先閱讀背面之注意事項再寫本頁)

裝
訂
線

五、發明說明(6)

熱，非常易於引起二極體的破壞。

依據以上所述，具有二極體順方向作用的情況對靜電非常強，另則二極體反方向作用的情況對靜電非常弱之特性，隨著靜電的施加，恐會因低耐壓而造成破壞。

另外，在過去的靜電保護電路方式，一定會產生如前述過二極體對電荷只有反方向作用的情況。爲了提高該時的靜電耐壓，而加大二極體或是M O S F E T的形狀，加大二極體或是M O S F E T的面積使其對應反方向作用時的強弱。因而具有附加在各接點之靜電保護電路所占用之基片面積變大，成本提高或無法加多接點數或接腳的限制之課題。

另外，增大二極體面積，則隨此面積增大，增大作用電容器之寄生靜電容量，具有在必要高周波動作之端子，對高周波各種特性的惡化或消耗電流增加之課題。

進而，S O I 積體電路的情況，如前述過，具有在電源端子間連P N 阱區之反方向二極體通常都不存在，靜電耐壓非常弱之課題。另外例如在電源端子間，以新的二極體或M O S F E T 等價地附加相當於過去一般積層的P N 阱區的反方向二極體之二極體。但是相當於過去電源端子間所寄生存在之P 阱區及N 阱區形成爲過大面積的二極體之二極體因占用積面的問題而無法形成，所以仍具有無法確保充分靜電耐壓之課題。

因此，本發明鑑於此樣的課題、問題點，其目的係爲提供在於電源端子間或是電源端子・訊號端子間，持有充

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

分的靜電耐壓之靜電保護電路及使用該電路之半導體積體電路。本發明的其他目的係為提供以較小的面積持有充分的靜電耐壓之靜電保護電路、以及使用此電路之靜電耐壓較強，且附加靜電保護電路所造成的寄生靜電容量較小，適於高周波動作之靜電保護電路。

【發明開示】

本發明一形態之靜電保護電路其特徵為：

具有：施加第1電壓之第1電源端子；及

施加比前述第1電壓還低的第2電壓之第2電源端子；及

反方向連接在前述第1、第2電源端子間之第1二極體；及

順方向連接在前述第1、第2電源端子間之第2二極體；

設定前述第2二極體的順方向降下電壓，使其比被供給到前述第1、第2電源端子間之驅動電壓還高。

依據本發明一形態，對加諸在第1、第2電源端子間之靜電，就是為正負的任何極性之電荷，也對其電荷，第1、第2二極體的一者必須形成為順方向。因此造成靜電之電荷，介由對其電荷為順方向之二極體而迅速地被吸收後消滅。

此外，第2二極體因順方向連接在第1、第2電源端子間，所以當一般作動時對被施加到第1、第2電源端子

(請先閱讀背面之注意事項再寫本頁)

裝
訂
線

五、發明說明(8)

之驅動電壓的電荷，第2二極體為順方向作用。但是設定前述第2二極的順方向降下電壓，使其比被供給到第1、第2電源端子間的驅動電壓還高。因而，當一般作動時在第2二極體不致流通順方向漏電流。

第2二極體可以具有P型擴散層與N型擴散層接觸之PN接合構造。此情況，第2二極體的順方向降下電壓，依照在P型擴散層與N型擴散層的境界面所產生的電位差之接觸電位（接觸電位差）而被定義。因此，若設定第2二極體的順方向降下電壓，使其比被供給到第1、第2電源端子間之驅動電壓還高，則一般動作時可以防止第2二極體流通順方向漏電流。

前述第2二極體可以利用串聯的複數個二極體形成。此複數個的各個二極體具有P型擴散層與N型擴散層接觸之PN接合構造。因此，串聯之二極體個數設為n時，第2二極體的順方向降下電壓，因形成為各二極體其接觸電位的n倍，所以能使用較高的電源電壓。

前述第2二極體可以在第1P型擴散層與第1N型擴散層之間，相互使其接觸配置第2P型或是N型擴散層而形成。此情況，理想的是設定第1P型及N型擴散層的擴散濃度使其比第2P型或是N型擴散層的擴散濃度還濃。可以提高第2二極體的接觸電位，因此能使用更高的電源電壓。

前述第2二極體可以利用連接汲極與閘極電極之MOS電晶體形成。此情況，第2二極體的順方向降下電

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

壓依照MOS電晶體的臨界電壓而被定義。

前述第2二極體可以串聯複數個MOS電晶體而形成。此情況，也是複數個的各個電晶體，連接汲極與閘極電極。因此，串聯的MOS電晶體個數設為 n ，則第2二極體的順方向降下電壓形成為各MOS電晶體其臨界電壓的 n 倍。因而能使用更高的電源電壓。

前述第1二極體可以將源極電極及閘極連接在前述第1電源端子之P型MOS電晶體、與源極電極及閘極電極連接在前述第2電源端子之N型MOS電晶體並聯而構成。因此，第1二極體可以得到更安定的特性。

前述第1、第2二極體，理想的是形成在SOI基板上。因此，因第1、第2二極體的周圍覆蓋在絕緣層，所以能防止形成多餘的寄生二極體。

本發明其他形態之靜電保護電路，其特徵為：

具有：施加第1電壓之第1電源端子；及

施加比前述第1電壓還低的第2電壓之第2電源端子；及

施加低於前述第1電壓且高於前述第2電壓的訊號電壓之訊號端子；及

順方向連接在前述第1電源端子與前述訊號端子之間之第1二極體；及

順方向連接在前述訊號端子與前述第2電源端子之間之第2二極體；及

反方向連接在前述第1電源端子與前述訊號端子之間

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(10)

之第3二極體；及

反方向連接在前述訊號端子與前述第2電源端子之間之第4二極體；

設定前述第1、第2二極體的各個順方向降下電壓，使其比被供給到前述第1、第2電源端子間之驅動電壓還高。

依據本發明一形態，對訊號端子、及加諸在第1或是第2電源端子間之靜電，就是為正負任何極性電荷，對其電荷，第1～第4二極體的其中1個必須形成為順方向。因此，靜電所形成之電荷，介由對其電荷形成為順方向之二極體，迅速地被吸收後消滅。

此處，第1、第2二極體順方向連接在訊號端子與第1或第2電源端子之間。因而，對一般動作時施加到訊號端子與第1或第2電源端子之驅動電壓的電荷，第1、第2二極體為順方向作用。但是設定前述第1、第2二極體的順方向降下電壓，使其比被供給到第1、第2電源端子間之驅動電壓還高。因而當一般動作時不致在第1、第2二極體流通順方向漏電流。

然而，在於本發明的其他形態，以本發明一形態可以適用各種實施形態。

本發明另外形態之半導體積體電路，其特徵為：

具有：連接複數個P型MOS電晶體及複數個N型MOS電晶體而構成之邏輯電路；及

被配置在前述邏輯電路的周邊之輸入出電路；

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(11)

前述輸入出電路係為以靜電保護前述邏輯電路，包含具備本發明一形態的構成之靜電保護電路。

依據本發明的另外形態，利用上述過靜電保護電路的作用，而能以靜電保護邏輯電路。

此處，在發明之半導體積體電路，也以本發明一形態適用上述過靜電保護電路的各種實施形態。

特別是第1二極所具有之P型及N型擴散層的至少一者之擴散濃度，可以設定為與使用在邏輯電路內的複數個P型及N型MOS電晶體的源極電極之擴散層的擴散濃度相同或是比該擴散濃度還高。若設定為上述擴散層的濃度相等，或是設定第2二極體的順方向降下電壓（接觸電位）使其比被供給到第1、第2電源端子間之驅動電壓還高，則當一般動作動在第2二極體未產生順方向漏電流。若提高設定上述的擴散濃度，則因第2二極體的接觸電位變高，所以能使用更高的電源電壓。

設定形成第2二極體之MOS電晶體的臨界電壓，使其比邏輯電路內的複數個P型及N型MOS電晶體的各個臨界電壓之情況，也同樣地能使用更高的電源電壓。

本發明另外其他形態之半導體積體電路含有具備其他形態的構成之靜電保護電路。

此處，在於本發明之半導體積體電路，以本發明的其他形態可以適用上述過靜電保護電路的各種實施形態。

【圖面之簡單說明】

(請先閱讀背面之注意事項再寫本頁)

裝
訂
線

五、發明說明(12)

第1圖係為表示本發明第1實施形態之電路圖。

第2圖係為表示實際使用本發明第1實施形態的情況之第2實施形態電路圖。

第3圖係為表示本發明第3實施形態之電路圖。

第4圖係為表示本發明第4實施形態之電路圖。

第5圖係為表示本發明第5實施形態之電路圖。

第6圖係為表示本發明第6實施形態之電路圖。

第7圖係為表示本發明第7實施形態之電路圖。

第8圖係為表示本發明第8實施形態之電路圖。

第9圖係為表示實際使用過去靜電保護電路的情況之電路圖。

第10圖係為表示在過去靜電保護電路加諸靜電的情況其電荷的流程一例之模式圖。

第11圖係為表示過去靜電保護電路的一例之電路圖。

第12圖係為表示過去靜電保護電路的其他例之電路圖。

第13圖係為表示過去靜電保護電路的另外例之電路圖。

第14圖係為表示過去靜電保護電路的另外例之電路圖。

第15圖係為表示本發明第9實施形態之電路圖。

第16圖係為表示實際使用本發明第10實施形態的情況之電路圖。

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明 (13)

第 17 圖係為表示本發明第 11 實施形態之電路圖。

第 18 圖係為表示本發明第 12 實施形態之電路圖。

第 19 圖係為表示本發明第 13 實施形態之電路圖。

第 20 圖係為表示在於本發明所使用的 P N 二極體一例之斷面圖。

第 21 圖係為表示在於本發明所使用的 P N 二極體其例之斷面圖。

第 22 圖係為表示在於本發明所使用的 P N 二極體另外例之斷面圖。

第 23 圖係為表示在於本發明所使用的 P N 二極體另外例之斷面圖。

第 24 圖係為表示在於本發明所使用的 P N 二極體另外例之斷面圖。

第 25 圖係為表示在於本發明所使用的 P N 二極體另外例之斷面圖。

第 26 圖係為表示在於本發明所使用的 P N 二極體另外例之斷面圖。

第 27 圖係為表示在於本發明所使用的 P N 二極體另外例之斷面圖。

第 28 圖係為表示在於本發明所使用的 P N 二極體另外例之斷面圖。

第 29 圖係為表示在於本發明所使用的 P N 二極體另外例之斷面圖。

第 30 圖係為表示順方向流通本發明所使用之 P N 二

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(14)

極體接合面的電流之樣子模式圖。

第31圖係為表示反方向流通本發明所使用之PN二極體接合面的電流之樣子模式圖。

第32圖係為表示一般半導體積體電路的構成例之方塊圖。

【圖號說明】

1：第1電源端子

2：第2電源端子

11、12、23、24、32、33、42、

1501、1503、1504、1801、2111~

2114、2441、2442、2551~2554：

二極體

27、51~53、62、1507、2001、

2228、2333：P型MOSFET

28、80、84、85、1508、1901、

2000、2229、2334：N型MOSFET

25、73、74、1505、2227：電阻元件

29、1509、2115、2445：訊號端子

26、1506、2220：接點

90、2910：矽基板

92、92A~92D、119：溫度較低的P型擴

散層

129：濃度較低的N型擴散層

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明(15)

93、93A、93B、113、131、141、
2911、2911A~2911D、2681、

2791、2801：P型擴散層

94、94A、94B、114、132、142、
2912、2912A~2912D、2682、

2792、2802：N型擴散層

95、96、106、2914、2915、
3024~3026、3134~3136、2684、
2685、2794、2795、2804、2805：

鋁配線

91、97、2913、2916~2918、
2686~2688、2796~2798、2806~
2808：二氧化矽

2683、2803：濃度較低的N阱區

2793：濃度較低的P阱區

3610：基片

3620：輸入出電路領域

3630：邏輯電路領域

【實施形態】

第32圖係為表示半導體積體電路的一般性構成例。在基片3610內極密地配置基板格(cell)。在邏輯電路領域3630內連接複數個基本格彼此間而形成複數個邏輯電路。在此邏輯電路領域3630的周邊配置輸入出電

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明 (16)

路領域 3 6 2 0，在此輸入出電路領域 3 6 2 0 內配置各別的輸入出電路。另外，在各個的輸入出電路內分別設置靜電保護電路（未圖示）。另外，不限於第 3 2 圖所示的邏輯電路（未圖示），也可以適用於類比電路或記憶電路。本發明主要是關於此靜電保護電路。

以下，詳細說明本發明。

〈第 1 實施形態〉

第 1 圖表示本發明第 1 實施形態之電路圖。在於第 1 圖，各個的二極體 1 1、1 2 以 P 型擴散層及 N 型擴散層而被構成。第 1 電源端子 1 施加電位 $+V_{DD}$ ，第 2 電源端子 2 施加電位 $-V_{SS}$ 。在此第 1 電源端子 1 與第 2 電源端子 2 之間連接順方向連接之二極體 1 2 及反方向連接之二極體 1 1，因此樣所被連接，所以在第 1、2 的電源端子間加諸靜電的情況，就是其靜電的電荷極性為正負的任何極性，二極體 1 1、1 2 的一者也對電荷必須是順方向作用。因此迅速地吸收電荷，且若為順方向則二極體自體也不易被破壞，所以得到較高的靜電耐壓。

然且，在於第 1 圖，二極體 1 1 當使其動作積體電路時與電源的關係形成反方向極性的二極體，所以不致造成問題，但二極體 1 2 在於積體電路動作時與電源的關係形成為順方向二極體。因而第 1、2 電源端子間的電壓增高，通過此順方向二極體而流通電流。因此，第 1 圖所示之實施形態，使用比順方向二極體的接觸電位一般較低的第

（請先閱讀背面之注意事項再寫本頁）

裝 · 訂 · 線

五、發明說明(17)

1、第2電源端子間電壓。然而，在於MOS積體電路所使用之P型擴散及N型擴散所形成之擴散濃度，大多是所被形成二極體的一般性接觸電位從0.5V~0.8V程度。另則近年來要求攜帶機器用的積體電路為低消耗電力且是低電壓動作，為了以太陽電池為電源進行動作，所以增加了以0.5V以下的電源電壓使其動作積體電路之事例。另外在演進為微細化下，越是傾向低電壓電源化。另外在於SOI積體電路，為了降下動作時的等價臨界電壓而使其低電壓動作，具有連接MOSFET的閘極電極與基體(基板)而使其動作之動態·臨界·MOS(以下，簡稱DTMOS)方式。此樣的情況，在連接到前述DTMOS的閘極電極之基體與源電電極之間存有順方向連接之二極體。因此，用DTMOS之SOI積體電路使用比二極體的接觸電位還低的電源電壓。以如上例的0.5V以下或比二極體的接觸電位還低的電源電壓使其動作之積體電路的情況，第1圖中本發明的實施形態，可以有效地作為靜電保護電路使用。

〈第2實施形態〉

第1圖只表示第1、2電源端子間靜電保護電路的吸收路徑中之二極體。第2圖表示包含訊號端子29之更實際靜電保護電路的構成。在於第2圖，具有與積體電路外部交換訊號時所必要的接點端子2b、及靜電進入到內部時為了緩和該靜電衝擊之電阻25。二極體23、24係

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (18)

爲了吸收侵入到訊號端子 2 9 的電荷之二極體。藉由 P 型 MOSFET 2 7 及 N 型 MOSFET 2 8 構成換流器電路，在此換流器電路輸入端子的閘極電極連接訊號端子 2 9。針對訊號端子 2 9，第 1、2 電源端子間之電荷流通方式被認爲有如下的 4 種方式。

(A) 訊號端子：正電荷 第 1 電源端子：負電荷

(B) 訊號端子：負電荷 第 1 電源端子：正電荷

(C) 訊號端子：正電荷 第 2 電源端子：負電荷

(D) 訊號端子：負電荷 第 2 電源端子：正電荷

(A) 及 (D) 的情況，因二極體 2 3 或是二極體 2 4 對電荷爲順方向作用，所以侵入之靜電電荷迅速地被吸收，防止靜電破壞。(B) 的情況，首先以順方向將二極體通往第 2 電源端子，其次從第 2 電源端子 2 到第 1 電源端子，以順方向通過二極體 1 2，通往第 1 電源端子 1。以上，電荷全部朝順方向流通，沒有勉強往反方向流通的路徑。(C) 的情況，加諸到訊號端子 2 9 之正電荷，首先以順方向將二極體 2 3 通往第 1 電源端子，其次從第 1 電源端子至第 2 電源端子 2，以順方向通過二極體 1 2，通往第 2 電源端子 2。以上，電荷全部朝順方向流通，沒有勉強朝反方向流通的路徑。以上所述，在第 1、2 電源端子間附加二極體 1 2，而對加諸到訊號端子 2 9 之靜電也形成爲吸收路徑全部存有順方向的路徑，靜電耐壓增強。

另外，對第 1、2 電源端子間，就是加諸靜電的情況，二極體 1 1 或是二極體 1 2 的任何 1 個，也因必須對電

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明 (19)

荷形成爲順方向所以提高第 1、2 電源端子間的靜電耐壓。

〈 第 3 實施形態 〉

第 3 圖係爲表示本發明第 3 實施形態之電路圖。在於第 3 圖，各個二極體 1 1、1 2 係由 P 型擴散層及 N 型擴散層而被構成。第 3 圖中，擇其在於第 1 圖對二極體 1 2 爲 1 個的二極體，串聯二極體 3 2、3 3 之構成。將 2 個二極體視同 1 個二極體的等價二極體。經此方式，接觸電位爲 2 倍之值，更高的第 1、2 電源端子間電壓也是朝順方向使其作用二極體，能在無順方向的漏電流下使用。由上述，靜電耐壓增高，且第 1、2 電源端子間電壓也充分地能在實用性較高的範圍使用之構成，表示在第 3 圖的電路。然而，第 3 圖的二極體 1 1，因形成爲在第 1、2 電源端子之間當一般動作時，反方向流通電荷之二極體，所以提高二極體 1 1 的接觸電位，且不必要串聯連接，而以過去方式的 1 個二極體即可。

另外，在於第 3 圖串聯 2 個二極體 3 2、3 3，但因應於所使用第 1、2 電源端子間電壓的範圍而採行串聯 3 個以上二極體亦可。

〈 第 4 實施形態 〉

第 4 圖係爲表示本發明第 4 實施形態之電路圖。第 4 圖中，形成爲第 1 圖的二極體 1 2 更換爲二極體 4 2 之構

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明 (20)

成。二極體 4 2 係為改變 P 型擴散層及 N 型擴散層的一者或是兩者之擴散濃度，接觸電位之值變大。然則二極體的接觸電位 V_B 如下式表示。

$$V_B = -(KT/q) \cdot \text{Log}_e \{ (n_N \cdot n_P) / n_i^2 \}$$

此處，K 為玻耳滋曼定數，T 為絕對溫度，q 為電子 1 個的電荷量， n_N 為 N 型擴散層的不純物濃度， n_P 為 P 型擴散層的不純物濃度， n_i 為單結晶矽的發熱勵起而存在於傳導帶之電子密度， Log_e 為自然對數。因此，若增高擴散濃度，則可以提高接觸電位。第 4 圖的二極體 4 2 係為提高 P 型擴散層、N 型擴散層的任何一者或是兩者的擴散濃度，而比二極體 1 1 還增高接觸電位，其分，達到更提高第 1、2 電源端子間電壓就能使用之構成。

〈 第 5 實施形態 〉

第 5 圖係為表示本發明第 5 實施形態之電路圖。P 型 MOSFET 5 1 的閘極電極及源極電極連接在第 1 電源端子 1，汲極電極連接在第 2 電源端子 1。P 型 MOSFET 5 2 的源極電極連接在第 1 電源端子 1，閘極電極及汲極電極相互間連接在 P 型 MOSFET 5 3 的源極電極。P 型 MOSFET 5 3 的閘極電極及汲極電極連接在第 2 電源端子 2。

然且，如前述過 P 型 MOSFET 5 1 的閘極電極

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明 (21)

及源極電極連接在第 1 電源端子 1，汲極電極連接在第 2 電源端子 2。因此，第 2 電源端子若是比第 1 電源端子 1 還超過 P 型 MOSFET 51 的臨界電壓而為較高電位則 P 型 MOSFET 51 ON。另外若第 2 電源端子 2 比第 1 電源端子 1 還低的電位則 P 型 MOSFET 51 OFF。也就是 P 型 MOSFET 51 連接源極電極與閘極電極，而表示二極體特性，進行與第 3 圖的二極體 11 同樣的作動。然而，此時 P 型 MOSFET 51 的臨界電壓相當於二極體的接觸電位。P 型 MOSFET 52、53 因分別相互間連接閘極電極與汲極電極所以仍然是表示二極體特性，進行與第 3 圖中 2 個串聯的二極體 32、33 同樣的作動。因此與電源的極性相同極性電荷的靜電對電荷為順方向動作，促使吸收電荷。因此，由於串聯 2 個 MOSFET 52、53，所以就是達到 P 型 MOSFET 52、53 的各別臨界電壓的合計值為止提高第 1、2 電源端子間電壓也沒有流通順方向的漏電流。

然而，為了以更高的第 1、2 電源端子間電壓使其動作，而串聯 3 個以上的 MOSFET 亦可。

〈第 6 實施形態〉

第 6 圖係為表示本發明第 6 實施形態之電路圖。第 6 圖中串聯之 2 個 P 型 MOSFET 52、53 更換為 P 型 MOSFET 62。第 6 圖的 P 型 MOSFET

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明(22)

62 因相互間連接閘極電極及汲極電極，所以持有二極體特性，進行與第 1 圖的二極體 12 同樣的作動。只不過 P 型 MOSFET 62，在 P 型 MOSFET 61 或積體電路內部的端子領域部一般性使用臨界電壓，被設定為比 P 型 MOSFET 的臨界電壓還高。由於此因，就是較高的第 1、2 電源端子間電壓，P 型 MOSFET 62 也未 ON，在沒有漏電流下使其動作積體電路的 MOSFET 就可以將充分的第 1、2 電源端子間電壓供給到積體電路內的 MOSFET。然而具有改變通道摻雜的注入量之方法、加厚閘極膜厚之方法、改變閘極電極的材質且改變不純物濃度之方法，作為提高 P 型 MOSFET 62 的臨界電壓之方法。

〈第 7 實施形態〉

第 7 圖係為表示本發明第 7 實施形態之電路圖。第 7 圖中，在第 6 圖的電路中 P 型 MOSFET 62 的閘極附加電阻元件，在第 6 圖的電路中 P 型 MOSFET 51 的閘極附加電阻元件 73。由於此因，預防介隔 P 型 MOSFET 71、72 的閘極電極之靜電破壞，依情況可以期待更高的靜電耐壓。

〈第 8 實施形態〉

第 8 圖係為表示本發明第 8 實施形態之電路圖。第 8 圖中，在第 5 圖的第 1、2 電源端子間並聯 N 型

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明 (23)

M O S F E T 80 與所串聯之 N 型 M O S F E T 84、85。另外 N 型 M O S F E T 80 係為以 N 型 M O S F E T 構成與 P 型 M O S F E T 51 同樣的效果。另外 N 型 M O S F E T 84、85 係為以 P 型 M O S F E T 構成與 P 型 M O S F E T 52、53 同樣的效果。因此第 8 圖係為使用 P 型 M O S F E T 及 N 型 M O S F E T 的兩者元件而構成與第 5 圖相同的電路。因使用 P 型 M O S F E T 及 N 型 M O S F E T 的兩者，所以可以期待更安定的特性。

(第 9 實施形態)

第 15 圖係為表示本發明第 9 實施形態之電路圖。在第 1 電源端子 1 施加電位 $+V_{DD}$ ，在第 2 電源端子 2 施加電位 $-V_{SS}$ 。在此第 1、2 電源端子間，串聯順方向連接之二極體 2111、2112。在此第 1、2 電源端子間串聯反方向連接之二極體 2113、2114。對加諸到訊號端子 2115 及第 1、2 電源端子間之靜電，就是為正負任何極性之電荷，也對其電荷，4 個二極體 2111、2112、2113、2114 當中的 1 個必須形成為順方向。因此，若是迅速地吸收電荷，且是順方向則二極體自體不易破壞，所以達到較高的靜電耐壓。

第 16 圖係為表示本發明第 10 實施形態之電路圖。在第 15 圖只表示電源間的靜電保護電路的吸收路徑之二極體，第 16 圖表示包含訊號端子之更實際靜電保護電路

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明 (24)

的構成。在於第 1 6 圖，具有與積體電路外部交換訊號時所必要之接點端子 2 2 2 0、靜電進入到內部時爲了緩和其電氣衝擊之電阻 2 2 2 7。由 P 型 M O S F E T 2 2 2 8 及 N 型 M O S F E T 2 2 2 9 構成換流器電路。二極體 2 1 1 1、2 1 1 2、2 1 1 3、2 1 1 4 係爲了吸收從接點端子 2 2 2 0 所侵入的電荷之二極體。由於此因，保護 P 型 M O S F E T 2 2 2 8 或 N 型 M O S F E T 2 2 2 9 的閘極電極。然而，在於第 1 6 圖表示電阻 2 2 2 7，但重視輸入訊號的電氣特性之情況，也會有沒有此電阻 2 2 2 7 的情況。另外在於第 1 6 圖表示連接到換流器電路的閘極電極之輸入電路例，但也會有連接到 M O S F E T 的汲極電極之輸出電路的情況。在訊號端子 2 1 1 5、第 1 電源端子 1 與第 2 電源端子 2 的各別之間的電荷流通方式，被認爲有如下的 4 種方式。

- | | |
|----------------|--------------|
| (A) 訊號端子：正電荷 | 第 1 電源端子：負電荷 |
| (B) 訊號端子：負電荷 | 第 1 電源端子：正電荷 |
| (C) 訊號端子：正電荷 | 第 2 電源端子：負電荷 |
| (D) 訊號端子：負電荷 | 第 2 電源端子：正電荷 |

(A) 的情況，二極體 2 1 1 3 對電荷爲順方向作用。(B) 的情況，二極體 2 1 1 1 對電荷爲順方向作用。(C) 的情況，二極體 2 1 1 2 對電荷爲順方向作用。(D) 的情況，二極體 2 1 1 4 對電荷爲順方向作用。此樣在於 (A) ~ (D) 的情況，因各別的二極體 2 1 1 1 ~ 2 1 1 4 當中的 1 個對電荷爲順方向作用，所以所侵入靜

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明 (25)

電的電荷迅速地被吸收，防止靜電破壞。

〈第 1 1 實施形態〉

第 1 7 圖係為表示本發明第 1 1 實施形態之電路圖。形成為第 1 5 圖的二極體 2 1 1 3 更換為第 1 7 圖的 P 型 MOSFET 2 3 3 3，第 1 5 圖的二極體 2 1 1 4 更換為第 7 圖的 N 型 MOSFET 2 3 3 4 之構成。P 型 MOSFET 2 3 3 3 的閘極電極及源極電極連接在第 1 電源端子，汲極電極連接在訊號端子 2 1 1 5。因此若訊號端子 2 1 1 5 比第 1 電源端子 1 的電位還高的電位則 P 型 MOSFET 2 3 3 3 ON。另外若訊號端子 2 1 1 5 比第 1 電源端子 1 的電位還低的電位則 P 型 MOSFET 2 3 3 3 OFF。也就是進行與第 1 5 圖的二極體 2 1 1 3 相同的作動。另外 N 型 MOSFET 2 3 3 4 的閘極電極及源極電極連接在第 2 電源端子 2，汲極電極連接在訊號端子 2 1 1 5。因此若訊號端子 2 1 1 5 比第 2 電源端子 2 的電位還低的電位則 N 型 MOSFET 2 3 3 4 ON，若訊號端子 2 1 1 5 比第 2 電源端子的電位還低的電位則 N 型 MOSFET 2 3 3 4 OFF。也就是進行第 1 5 圖的二極體 2 1 1 4 相同的作動。因此作為第 1 7 圖的吸收電路之靜電保護電路進行與第 1 5 圖的電路同樣的作動，提供較強的靜電耐壓。另外形成為適於高周波用訊號端子之靜電保護電路。只不過與第 1 5 圖、第 1 6 圖同樣地，必須以比

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明 (26)

二極體 2 1 1 1、2 1 1 2 的各接觸電位還低的第 1、2 電源端子間電壓使用積體電路。

〈 第 1 2 實施形態 〉

第 1 8 圖係為表示本發明第 1 2 實施形態之電路圖。形成為第 1 5 圖的二極體 2 1 1 1 更換為第 1 8 圖的二極體 2 4 4 1，第 1 5 圖的二極體 2 1 1 2 更換為第 1 8 圖的二極體 2 4 4 2 之構成。改變二極體 2 4 4 1、2 4 4 2 的 P 型擴散層及 N 型擴散層的一者或是兩者的擴散濃度而增大接觸電位之值。由於此因，達到更提高第 1、2 電源端子間電壓可以使用。

〈 第 1 3 實施形態 〉

第 1 9 圖係為表示本發明第 1 3 實施形態之電路圖。形成為第 1 5 圖的二極體 2 1 1 1 更換為第 1 8 圖的 2 個串聯之二極體 2 5 5 1、2 5 5 2，第 1 5 圖的二極體 2 1 1 2 更換為第 1 8 圖的 2 個串聯之二極體 2 5 5 3、2 5 5 4 之構成。第 1 9 圖中則是藉由分別串聯二極體 2 5 5 1 與 2 5 5 2、二極體 2 5 5 3 與 2 5 5 4，而構成為只將 2 個二極體作為 1 個二極體之等價二極體。由於此因，接觸電位為 2 倍之值，對更高的第 1、2 電源端子間電壓，也能在沒有順方向流通之漏電流下使用。由上述，可以適於靜電耐壓較高且寄生靜電容量較小之高周波用端子，並且第 1、2 電源端子間電壓也充分地達到實用性

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明 (27)

較高的範圍使用。然而，第 19 圖的二極體 2113、2114 反方向連接在第 1、2 電源端子之間。因而，在一般動作時因對電荷為反方向作用，所以提高接觸電位，且不須要串聯，以過去方式的 1 個二極體即可。

另外，在於第 19 圖，例如在第 1 電源端子 1 與訊號端子 2555 之間，串聯 2 個二極體 2551、2552，但因應於所使用第 1、2 電源端子間電壓的範圍而使用串聯 3 個以上二極體亦可。

另外，在於第 9 ~ 13 的實施形態，取代 P N 接合構造的二極體，改使用 P 型 MOSFET 或 N 型 MOSFET 亦可。例如也能適當地將順方向連接在第 1、2 電源端子訊號端子間之二極體更換為第 5 圖的 P 型 MOSFET 51。

(二極體之構造)

以上從電路的觀點已進行說明過，但以下，在第 20 ~ 29 圖表示實施形態 1 ~ 13 所使用之被形成在矽基板上或是 SOI 基板上之二極體的構造例。然而第 20 ~ 26 圖表示在 SOI 基板上形成二極體之圖，第 27 ~ 29 圖表示在矽基板上形成二極體之圖。

第 20 圖係為表示構成 P 型擴散層及 N 型擴散層所形成之二極體的情況之元件斷面圖。在於第 20 圖具有矽基板 90、由二氧化矽 91 所形成之充填氧化膜層、濃度較低之 P 型擴散層 92、P 型擴散層 93、N 型擴散層 94

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明 (28)

、鋁配線 9 5、9 6、二氧化矽之絕緣膜 9 7。在濃度較低的 P 型擴散層 9 2 上，形成 P 型擴散層 9 3 與 N 型擴散層 9 4 的 P N 接合。然而，以鋁配線 9 5、9 6 連接各擴散層的情況已說明過，但以銅等的其他金屬亦可，另外使用濃度較低的 N 型擴散層 9 2 亦可。另外因應於所須也有在二氧化矽的膜 9 7 混入其他物質的情況，但無論任何情況都是以第 2 0 圖的構造就能形成二極體。

第 2 1 圖係為串聯 2 個第 2 0 圖所示的二極體之情況其元件之斷面圖。在於第 2 1 圖，右側的二極體係為在第 2 0 圖的圖號尾部附加 A，左側的二極體係為在第 2 0 圖的圖號尾部附加 B。2 個的二極體係為以鋁配線 1 0 6 串聯連接。然而因 N 型擴散層 9 4 A 與 P 型擴散層 9 3 B 利用鋁配線 1 0 6 連接，所以此間的 P N 二極體對電路而言可以忽視。此樣串聯連接二極體之元件可以作為第 3 圖中 2 個串聯二極體 3 2、3 2 使用。在於第 2 1 圖，其特徵為：因使用 S O I (silicon • on • insulater) 基板，所以二極體的周圍覆蓋在絕緣層，未形成多餘的寄生二極體，可以純粹地構成 2 個串聯的二極體。

另外，在於第 2 1 圖表示二極體 2 個串聯的情況，但若增加 P N 連接則以幾乎同樣的構成就可以形成 3 個以上串聯之二極體。

第 2 2 圖係為在第 2 0 圖所示二極體的 P N 接合之間，設置濃度較低的 P 型擴散層 1 1 9 之構成的情況其元件之斷面圖。第 2 2 圖則是與第 2 0 圖作比較，更加提高形

(請先閱讀背面之注意事項再為本頁)

裝 · 訂 · 線

五、發明說明 (29)

成爲二極體之 P 型擴散層 1 1 3 與 N 型擴散層 1 1 4 的擴散濃度。由於此因，加大形成爲二極體的順方向電壓降下分之接觸電位，而使其至更高的第 1、2 電源端子間電壓爲止可以使用積體電路。只不過直接接觸較高擴散濃度的 P 型擴散層 1 1 3 與 N 型擴散層 1 1 4，則由於隧道現象而產生漏電流，所以將形成爲濃度的緩衝領域之濃度較低之 P 型擴散層 1 1 9 設置在其間。

第 2 3 圖係爲在第 2 2 圖所示二極體的 P N 接合之間，進而設置濃度較低的 N 型擴散層 1 2 9 之構成的情況其元件之斷面圖。直接使其接觸較高擴散濃度的 P 型擴散層 1 1 3 與 N 型擴散層 1 1 4，則由於隧道現象而產生漏電流。第 2 3 圖與第 2 2 圖的不同點係爲第 2 3 圖中進而避免發生漏電流爲目的，而在濃度的緩衝領域，除了濃度較低的 P 型擴散層 1 1 9 以外設置濃度較低的 N 型擴散層 1 2 9。由於此因，更加高兩端 P N 的擴散濃度而增大接觸電位，就能擴張積體電路的使用電壓範圍。

第 2 4 圖係爲構成 P 型擴散層及 N 型擴散層所形成的二極體之情況其元件之斷面圖。在於第 2 4 圖，具有 P 型擴散層 2 9 1 3；N 型擴散層 2 9 1 2；S O I 基板所持有的二氧化矽所形成之填入層 2 9 1 3；矽基板 2 9 1 0；鋁配線 2 9 1 4、2 9 1 5；二氧化矽的絕緣膜 2 9 1 6、2 9 1 7、2 9 1 8。此時，在於鋁配線 2 9 1 4 的端子至 P 型擴散層 2 9 1 1、N 型擴散層 2 9 1 2、鋁配線 2 9 1 5 的端子間，形成 P N 二極體。

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明 (30)

然而，使用鋁配線 2 9 1 4、2 9 1 5 的情況已說明過，但使用銅等的其他金屬亦可。另外作為二氧化矽的絕緣膜 2 9 1 3，若為絕緣膜即可，所以若為藍寶石（此時基板為藍寶石上覆蓋矽 S O S (Silicon • On • Sapphire) 或鑽石等亦可。無論如何，以第 2 4 圖的構造也可以形成二極體。然而，其特徵為：如第 2 4 圖被形成在 S O I 的填入氧化層的絕緣膜上之二極體因以絕緣膜將周圍隔開，所以可以防止除了本來目的的二極體以外的寄生二極體附著。

第 2 5 圖係為 2 個串聯構成 P 型擴散層與 N 型擴散層所形成的二極體之情況其元件之斷面圖。第 2 5 圖係為串聯 2 個第 2 4 圖所示的二極體之情況其元件之斷面圖。在於第 2 5 圖，右側的二極體係為在第 2 4 圖的圖號尾部附加 A，左側的二極體係為在第 2 4 圖的圖號尾部附加 B。2 個二極體係為以鋁配線 3 0 2 6 串聯連接。從 N 型擴散層 2 9 1 2 B 到 P 型擴散層 2 9 1 1 A 係為以鋁配線 3 0 2 6 連接，所以在此之間二極體對電路而言可以忽視。此樣串聯二極體之元件，可以作為第 1 9 圖中 2 個串聯之二極體 2 5 5 1、2 5 5 2 使用，或是直接作為二極體 2 5 5 3、2 5 5 4 使用。在於第 2 5 圖，其特徵為：因使用 S O I（絕緣材上覆蓋矽）基板，所以二極體的周圍被覆蓋在絕緣層，未形成所餘的寄生二極體，就可以純粹地構成 2 個串聯之二極體。

另外在於第 2 5 圖串聯 2 個二極體的情況，但若增加 P N 的配置，則以幾乎同樣的構成就可以形成 3 個以上串

（請先閱讀背面之注意事項再寫本頁）

裝 訂 線

五、發明說明 (31)

聯之二極體。

第 2 6 圖串聯 2 個構成 P 型擴散層與 N 型擴散層所形成的二極體之情況其元件之斷面圖。在於第 2 6 圖，右側的二極體係為在第 2 4 圖的圖號尾部附加 C，左側的二極體係為在第 2 4 圖的圖號尾部附加 D。此時，在於鋁配線 3 1 3 4 的端子至 P 型擴散層 2 9 1 1 D、N 型擴散層 2 9 1 2 D、P 型擴散層 2 9 1 1 C、N 型擴散層 2 9 1 2 C、鋁配線 3 1 3 5 的端子間，串聯 2 個形成 P-N 二極體。然而，從 N 型擴散層 2 9 1 2 D 到 P 型擴散層 2 9 1 1 C，因利用鋁配線 3 1 3 6 連接，所以在此之間，P N 二極體對電路而言可以忽視。此樣串聯二極體之元件可以作為第 1 9 圖的 2 個串聯二極體 2 5 5 1、2 5 5 2 使用，或是直接可以作為二極體 2 5 5 3、2 5 5 4 使用。在於第 2 6 圖其特徵為：因使用 S O I 基板，所以二極體的周圍被覆蓋在絕緣層，未形成多餘的寄生二極體，就可以純粹地構成 2 個串聯之二極體。

若使用 S O I 基板，則組合在第 2 4 圖或第 2 5 圖或第 2 6 圖所形成之二極體，以鋁配線層連接，因而可以容易地形成串聯 3 個以上複數個的二極體之構成。

然而，以上的二極體構造，藉由使用具有填入氧化膜層的 S O I 基板之積體電路已說明過。但是，若為絕緣膜就可以構成同樣的功能，所以使用藍寶石（此時，基板為藍寶石上覆蓋矽 S O S）或鑽石等作為基板的絕緣層之積體電路亦可。

（請先閱讀背面之注意事項再寫本頁）

裝 · 訂 · 線

五、發明說明 (32)

第 2 7 圖係為構成 P 型擴散層與 N 型擴散層所形成的二極體的情況其元件之斷面圖。在於第 2 7 圖，具有 P 型擴散層 2 6 8 1、N 型擴散層 2 6 8 2；濃度較低的 N 阱區 2 6 8 3；鋁配線 2 6 8 4、2 6 8 5；二氧化矽的絕緣膜 2 6 8 6、2 6 8 7、2 6 8 8。在於鋁配線 2 6 8 4 的端子至 P 型擴散層 8 1、N 阱區 2 6 8 3、N 型擴散層 2 6 8 2、鋁配線 2 6 8 5 的端子間，形成 P - N 二極體。

然而，以鋁配線 2 6 8 4、2 6 8 5 的情況已說明過，但以銅等其他的金屬亦可；另外因應所須也有在二氧化矽 2 6 8 6、2 6 8 7、2 6 8 8 之膜混入其他物質的情況，但無論如何以第 2 7 圖的構造就可以形成二極體。

第 2 8 圖係為構成 P 型擴散層與 N 型擴散層所形成的二極體之情況其元件之斷面圖。在第 2 8 圖，具有 P 型擴散層 2 7 9 1；N 型擴散層 2 7 9 2；濃度較低的 P 阱區 2 7 9 3；鋁配線 2 7 9 4、2 7 9 5；二氧化矽的絕緣膜 2 7 9 6、2 7 9 7、2 7 9 8。第 2 8 圖中，在於鋁配線 2 7 9 4 的端子至 P 型擴散層 2 7 9 1、P 阱區 2 7 9 3、N 型擴散層 2 7 9 2、鋁配線 2 7 9 5 的端子間，形成 P - N 二極體。此第 2 8 圖與第 2 7 圖的不同點係為取代第 2 7 圖的 N 阱區 2 6 8 3，在於第 2 8 圖改而使用 P 阱區。

第 2 9 圖係為構成 P 型擴散層與 N 型擴散層所形成的二極體之情況其元件之斷面圖。在於第 2 9 圖，具有 P 型

(請先閱讀背面之注意事項再為本頁)

裝
訂
線

五、發明說明 (33)

擴散層 2801；N型擴散層 2802；濃度較低的N阱區 2803；鋁配線 2804、2805；二氧化矽的絕緣膜 2806、2807、2808。在於鋁配線 2804的端子至P型擴散層 2801、N型擴散層 2802、鋁配線 2805的端子間，形成P-N二極體。以此圖的構造就可以形成二極體。

如上述依據本發明之靜電保護電路，在於沒有寬潤面積的阱區層，本質上靜電較弱的傾向之SOI積體電路，針對電源端子間或是針對訊號端子，都具有達到較高靜電耐壓之效果。

另外，本發明由於是以順方向之二極體使其吸收靜電的電荷，所以為了確保相同靜電耐壓，而縮小形成積體電路內的二極體之占用面積亦可，對配置效率、降低成本具有效果。

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

四、中文發明摘要(發明之名稱： 靜電保護電路及使用此之半導體積體電路)

本發明之靜電保護電路係由施加第1電壓之第1電源端子1、及施加比第1電壓還低的第2電壓之第2電源端子2、及反方向連接在第1與第2電源端子之第1二極體12、及順方向連接在第1與第2電源端子間之第2二極體11等所構成。以此構成，對加諸到第1與第2電源端子間之靜電，就是為正負任何極性的電荷，對該電荷，第1、第2二極體的一者也必須是順方向。因此，由於靜電所形成之電荷，介由對該電荷為順方向之二極體迅速地吸收而消滅。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：)

訂

線

六、申請專利範圍

第89100837號專利申請案

中文申請專利範圍修正本

民國90年6月修正

1. 一種靜電保護電路，其特徵為：
具有：施加第1電壓之第1電源端子；及
較前述第1之電壓為低施加第2電壓的第2電源端子；及
反方向連接在前述第1、第2電源端子間之第1二極體；及
順方向連接在前述第1、第2電源端子間之第2二極體；
較供予前述第1、第2之電源端子間的驅動電壓，前述第2之二極體之順方向下降電壓被設定為高者。
2. 如申請專利範圍第1項之靜電保護電路，其中前述第2二極體，具有接觸P型擴散層與N型擴散層之PN接合構造，前述順方向降下電壓，依照前述P型擴散層與前述N型擴散層的接觸電位而被定義。
3. 如申請專利範圍第1項之靜電保護電路，其中前述第2二極體係由串聯的複數個二極體所形成，前述複數個的各個二極體，具有P型擴散層與N型擴散層接觸之PN接合構造。
4. 如申請專利範圍第1項之靜電保護電路，其中前述第2二極體係為在第1P型擴散層與第1N型擴散層之

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

六、申請專利範圍

間，相互間使其接觸配置第 2 P 型或是 N 型擴散層而被形成，設定前述第 1 P 型及 N 型擴散層的擴散濃度，使其比前述第 2 P 型或是 N 型擴散層的擴散濃度還濃。

5. 如申請專利範圍第 1 項之靜電保護電路，其中前述第 2 二極體係由連接汲極及閘極電極之 M O S 電晶體所形成，前述順方向降下電壓依照前述 M O S 電晶體的臨界電壓而被定義。

6. 如申請專利範圍第 1 項之靜電保護電路，其中前述第 2 二極體係為串聯複數個 M O S 電晶體而被形成，前述複數個的各個 M O S 電晶體，連接汲極及閘極電極。

7. 如申請專利範圍第 1、2、3、4、5 或 6 項之靜電保護電路，其中前述第 1 二極體係為將源極電極及閘極電極連接在前述第 1 電源端子之 P 型 M O S 電晶體、與源極及閘極電極連接在前述第 2 電源端子之 N 型 M O S 電晶體並聯連接而被構成。

8. 如申請專利範圍第 1、2、3、4、5 或 6 項之靜電保護電路，其中前述第 1、第 2 二極體被形成在絕緣體上，覆蓋矽 (S O I : Silicon ON insulater) 基板上。

9. 一種靜電保護電路，其特徵為：

具有：施加第 1 電壓之第 1 電源端子；及

施加比前述第 1 電壓還低的第 2 電壓之第 2 電源端子；及

施加低於前述第 1 電壓且是高於前述第 2 電壓的訊號電壓之訊號端子；及

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

順方向連接在前述第 1 電源端子與前述訊號端子之間之第 1 二極體；及

順方向連接在前述訊號端子與前述第 2 電源端子之間之第 2 二極體；及

反方向連接在前述第 1 電源端子與前述訊號端子之間之第 3 二極體；及

反方向連接在前述訊號端子與前述第 2 電源端子之間之第 4 二極體；

設定前述第 1、第 2 二極體的各個順方向降下電壓，使其比被供給到前述第 1、第 2 電源端子間之驅動電壓為高者。

10. 如申請專利範圍第 9 項之靜電保護電路，其中前述第 1、第 2 二極體各個具有 P 型擴散層與 N 型擴散層接觸之 P N 接合構造，前述順方向降下電壓，依照前述 P 型擴散層與前述 N 型擴散層的接觸電位而被定義。

11. 如申請專利範圍第 9 項之靜電保護電路，其中前述第 1、2 二極體各個係由串聯的複數個二極體所形成，前述複數個二極體各個具有 P 型擴散層與 N 型擴散層接觸之 P N 接合構造。

12. 如申請專利範圍第 9 項之靜電保護電路，其中前述第 2 二極體係為在第 1 P 型擴散層與第 1 N 型擴散層之間，相互間使其接觸配置第 2 P 型或是 N 型擴散層而被形成，設定前述第 1 P 型及 N 型擴散層的擴散濃度，使其比前述第 2 P 型或是 N 型擴散層的擴散濃度還濃。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1 3 . 如申請專利範圍第 9 項之靜電保護電路，其中前述第 1、第 2 二極體各個係由連接汲極及閘極電極之 M O S 電晶體而被形成，前述順方向降下電壓依照前述 M O S 電晶體的臨界電壓而被定義。

1 4 . 如申請專利範圍第 9 項之靜電保護電路，其中前述第 1、2 二極體各個係為串聯複數個 M O S 電晶體而被形成，前述複數個的各個 M O S 電晶體係為連接汲極及閘極電極。

1 5 . 如申請專利範圍第 9、1 0、1 1、1 2、1 3 或 1 4 項之靜電保護電路，其中前述第 3、第 4 二極體各個係為將源極電極及閘極電極連接在前述第 1 電源端子之 P 型 M O S 電晶體、與源極電極及閘極電極連接在前述第 2 電源端子之 N 型 M O S 電晶體並聯連接而被構成。

1 6 . 如申請專利範圍第 9、1 0、1 1、1 2、1 3 或 1 4 項之靜電保護電路，其中前述第 1、2、3 或 4 二極體被形成 S O I 基板上。

1 7 . 如申請專利範圍第 9、1 0、1 1、1 2、1 3 或 1 4 項之靜電保護電路，其中在前述訊號端子輸入高周波訊號。

1 8 . 一種半導體積體電路，其特徵為：

具有：連接複數個 P 型電晶體與複數個 N 型 M O S 電晶體而被構成之邏輯電路；及

被配置在前述邏輯電路的周邊之輸入出電路；

前述輸入出電路包含以靜電保護前述邏輯電路之靜電

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

六、申請專利範圍

保護電路：

前述靜電保護電路具有：

施加第 1 電壓之第 1 電源端子；及

施加比前述第 1 電壓還低的第 2 電壓之第 2 電源端子；及

反方向連接在前述第 1、第 2 電源端子間之第 1 二極體；及

順方向連接在前述第 1、第 2 電源端子間之第 2 二極體；

設定前述第 2 二極體的順方向下降電壓，使其比被供到前述第 1、第 2 電源端子間之驅動電壓還高。

19. 如申請專利範圍第 18 項之半導體積體電路，其中前述第 2 二極體具有 P 型擴散層與 N 型擴散層接觸之 P N 接合構造，前述順方向下降電壓依照前述 P 型擴散層與前述 N 型擴散層的接觸電位而被定義。

20. 如申請專利範圍第 19 項之半導體積體電路，其中前述 P 型及 N 型擴散層的至少一者擴散濃度，被設定為與前述複數個 P 型及 N 型 M O S 電晶體的源極電極所使用之擴散層的擴散濃度相等。

21. 如申請專利範圍第 19 項之半導體積體電路，其中前述 P 型及 N 型擴散層的至少一者擴散濃度，被設定為比前述複數個 P 型及 N 型 M O S 電晶體的源極電極所使用之擴散濃度還高。

22. 如申請專利範圍第 18 項之半導體積體電路，

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

六、申請專利範圍

其中前述第 2 二極體係由連接汲極及閘極電極之 M O S 電晶體所形成，前述順方向降下電壓依照前述 M O S 電晶體的臨界電壓而被定義。

23. 如申請專利範圍第 22 項之半導體積體電路，其中形成前述第 2 二極體之前述 M O S 電晶體的臨界電壓，被設定為比前述複數個 P 型及 N 型 M O S 電晶體的各個臨界電壓還高。

24. 一種半導體積體電路，其特徵為：

具有：連接複數個 P 型 M O S 電晶體與複數個 N 型 M O S 電晶體而被構成之邏輯電路；及

被配置在前述邏輯電路的周邊之輸入出電路；

前述輸入出電路包含以靜電保護前述邏輯電路之靜電保護電路；

前述靜電保護電路具有：

施加第 1 電壓之第 1 電源端子；及

施加比前述第 1 電壓還低的第 2 電壓之第 2 電源端子；及

施加低於前述第 1 電壓且是高於前述第 2 電壓的訊號電壓之訊號端子；及

順方向連接在前述第 1 電源端子與前述訊號端子之間之第 1 二極體；及

順方向連接在前述訊號端子與前述第 2 電源端子之間之第 2 二極體；及

反方向連接在前述第 1 電源端子與前述訊號端子之間

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

之第 3 二極體；及

反方向連接在前述訊號端子與前述第 2 電源端子之間之第 4 二極體；

設定前述第 3、第 4 二極體的順方向降下電壓，使其比被供給到前述第 1、第 2 電源端子間之驅動電壓還高。

25. 如申請專利範圍第 24 項之半導體積體電路，其中前述第 1、第 2 二極體各個具有 P 型擴散層與 N 型擴散層接觸之 P-N 接合構造，前述順方向降下電壓依照前述 P 型擴散層與前述 N 型擴散層的接觸電位而被定義。

26. 如申請專利範圍第 25 項之半導體積體電路，其中前述 P 型及 N 型擴散層的至少一者擴散濃度，被設定為與前述複數個 P 型及 N 型 MOS 電晶體的源極電極所使用之擴散層的擴散濃度相等。

27. 如申請專利範圍第 25 項之半導體積體電路，其中前述 P 型及 N 型擴散層的至少一者擴散濃度，被設定為比前述複數個 P 型及 N 型 MOS 電晶體的源極電極所使用之擴散層的擴散濃度還高。

28. 如申請專利範圍第 24 項之半導體積體電路，其中前述第 1、第 2 二極體各個係由連接汲極及閘極電極之 MOS 電晶體而分別被形成，連接前述汲極及閘極電極，前述順方向降下電壓依照前述 MOS 電晶體的臨界電壓而被定義。

29. 如申請專利範圍第 28 項之半導體積體電路，其中形成前述第 1、第 2 二極體之各個前述 MOS 電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

的臨界電壓，被設定為比前述複數個 P 型及 N 型 M O S 電晶體的各個臨界電壓還高。

(請先閱讀背面之注意事項再填寫本頁)

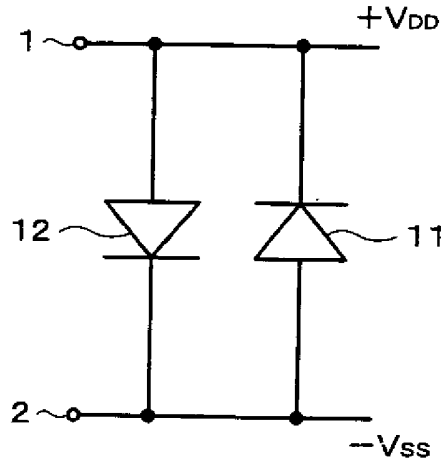
裝
訂
線

463362 89100837

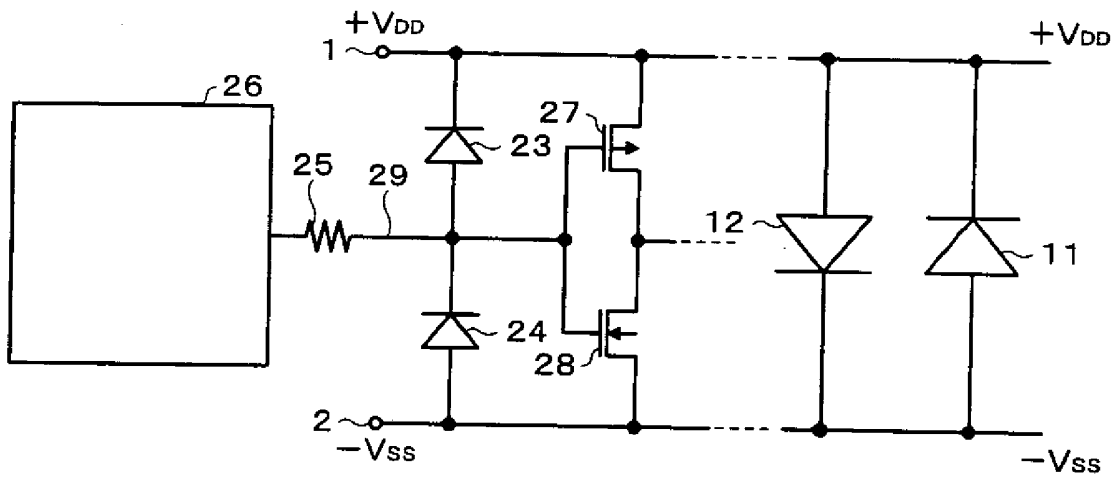
735939

1/17

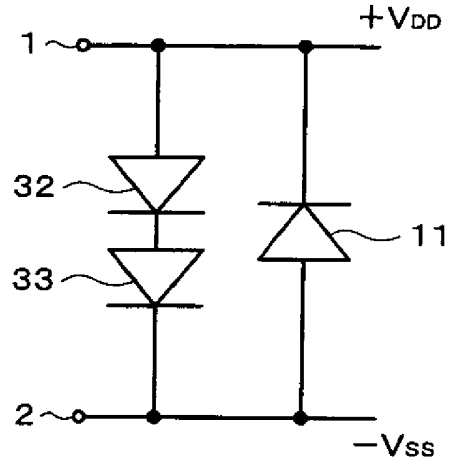
第 1 圖



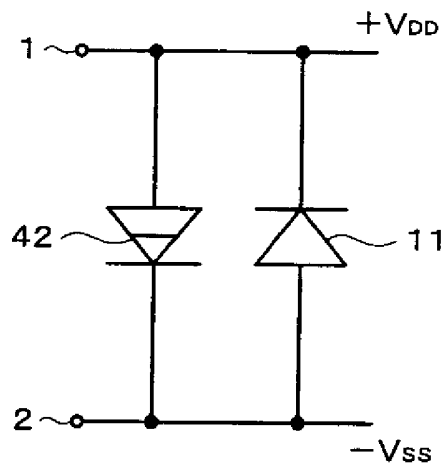
第 2 圖



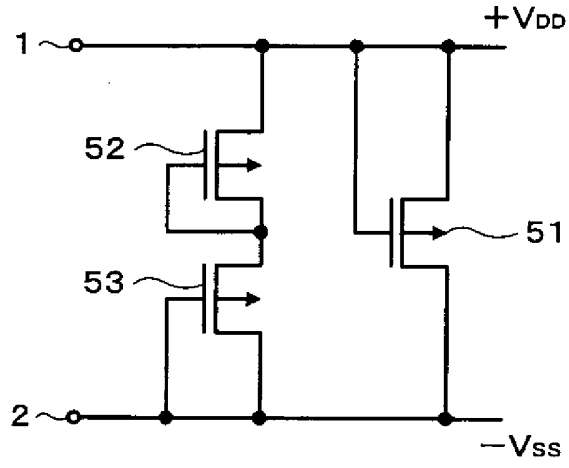
第 3 圖



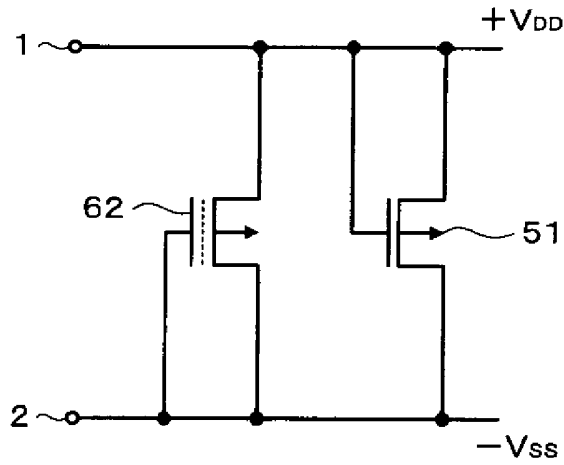
第 4 圖



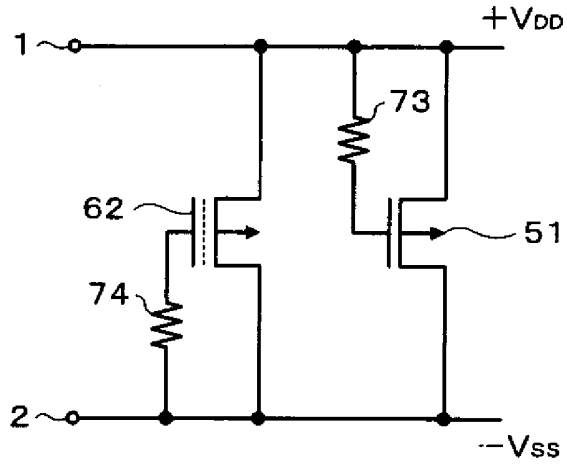
第 5 圖



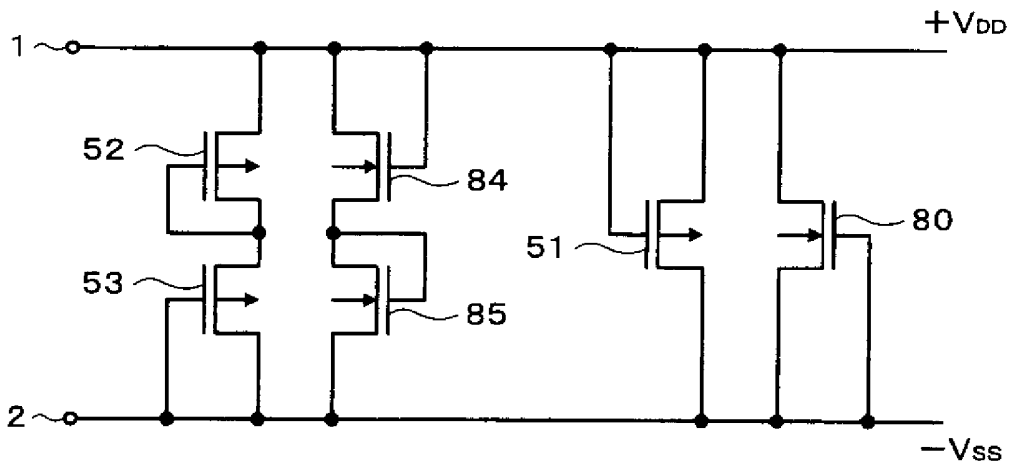
第 6 圖



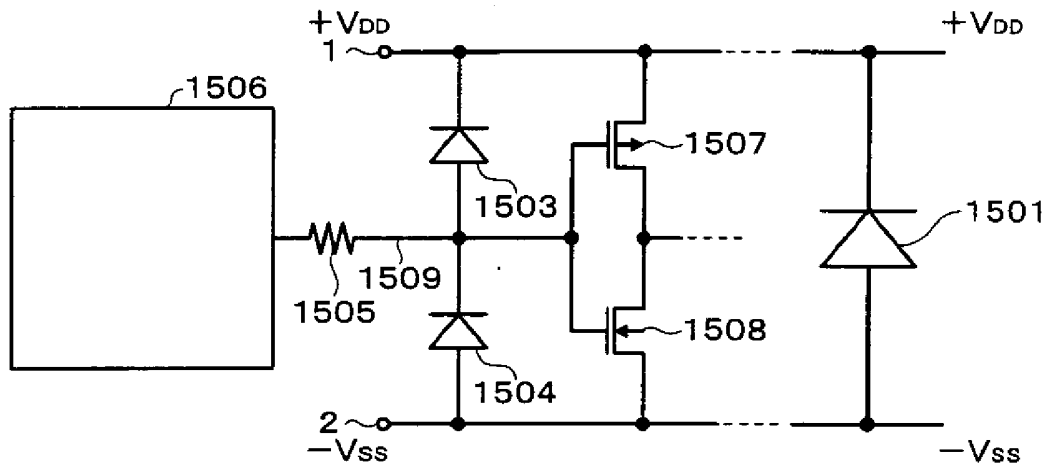
第 7 圖



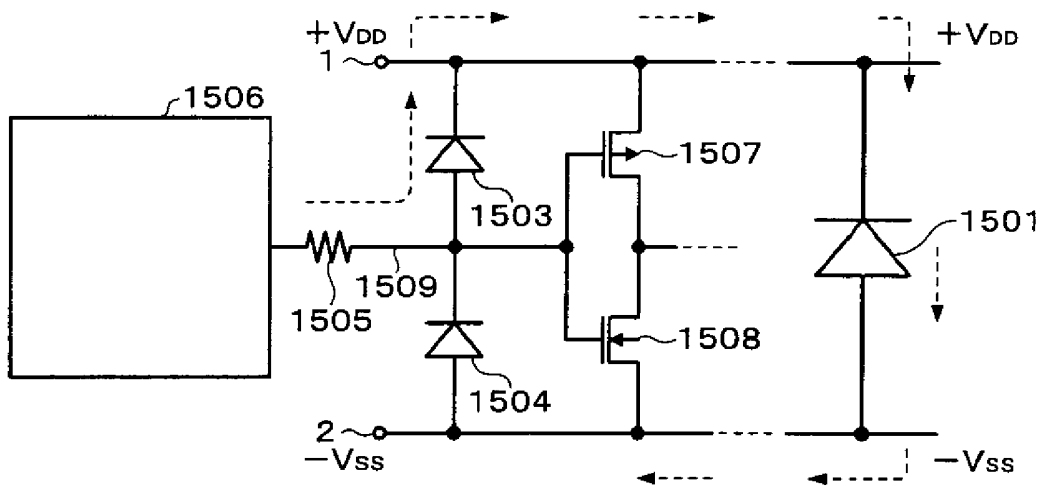
第 8 圖



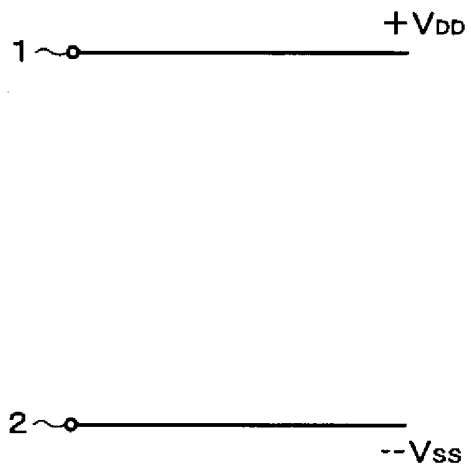
第 9 圖



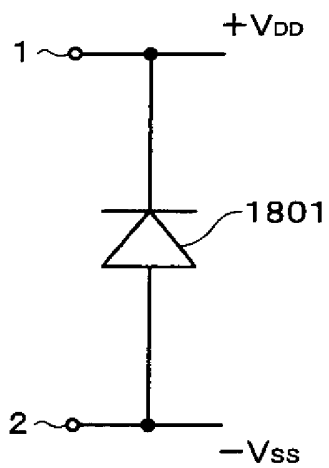
第 10 圖



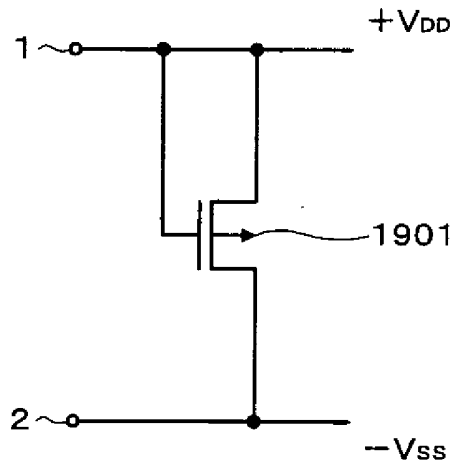
第 11 圖



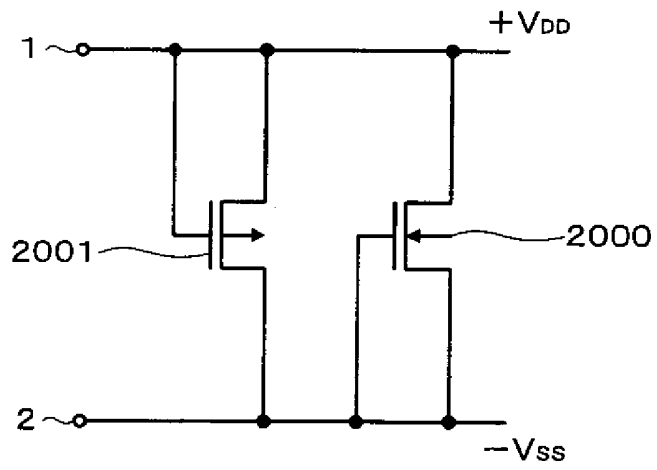
第 12 圖



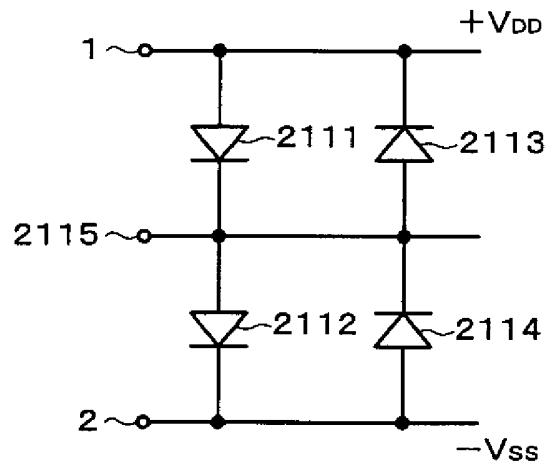
第 13 圖



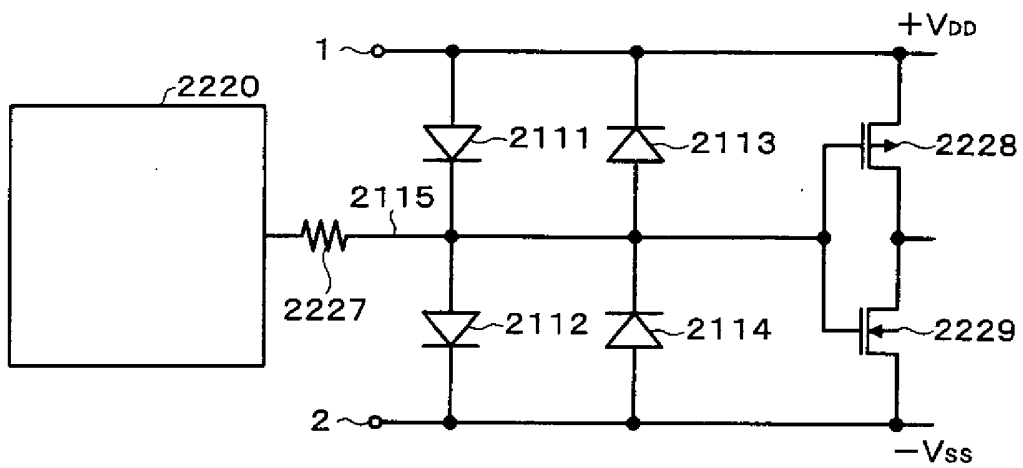
第 14 圖



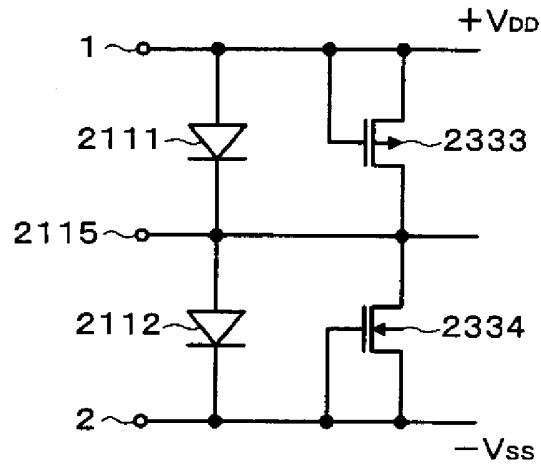
第 15 圖



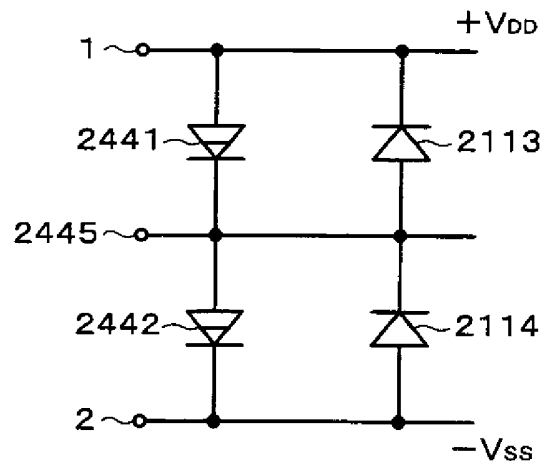
第 16 圖



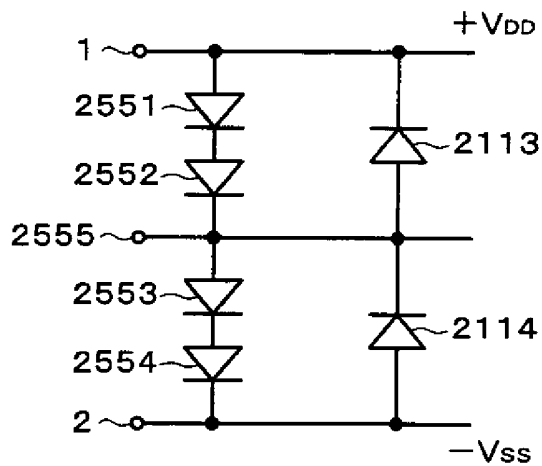
第 17 圖



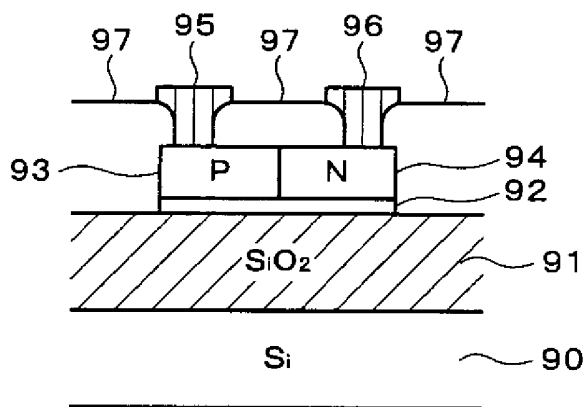
第 18 圖



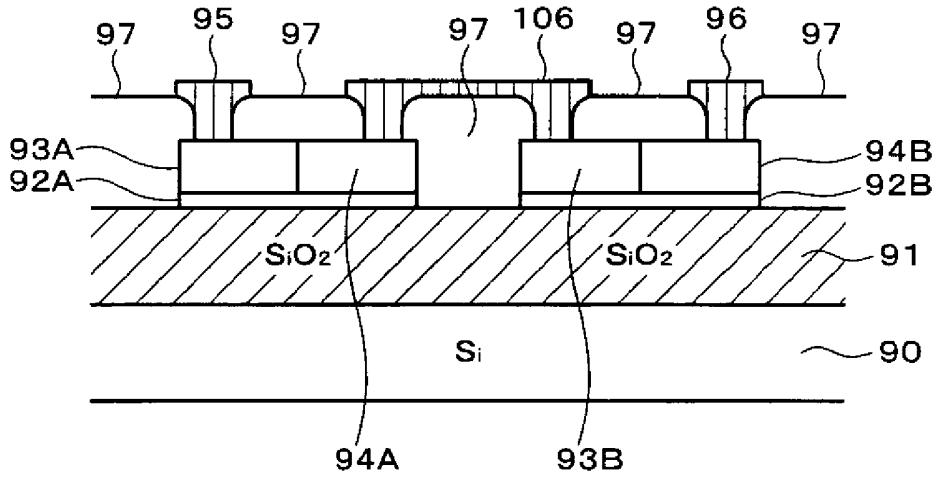
第 19 圖



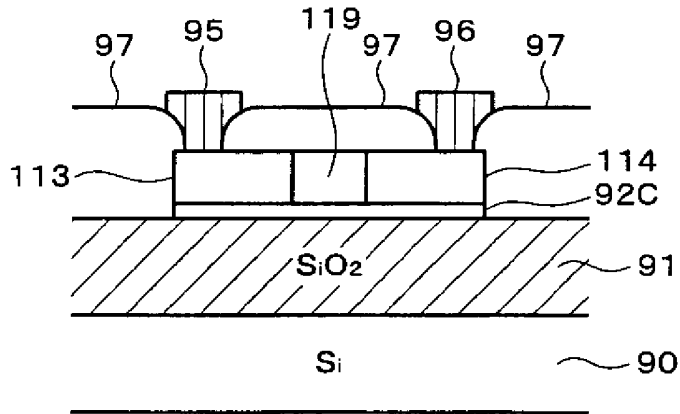
第 20 圖



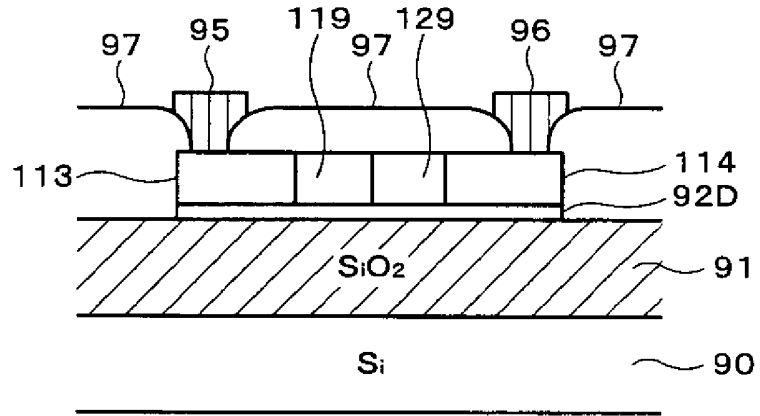
第 21 圖



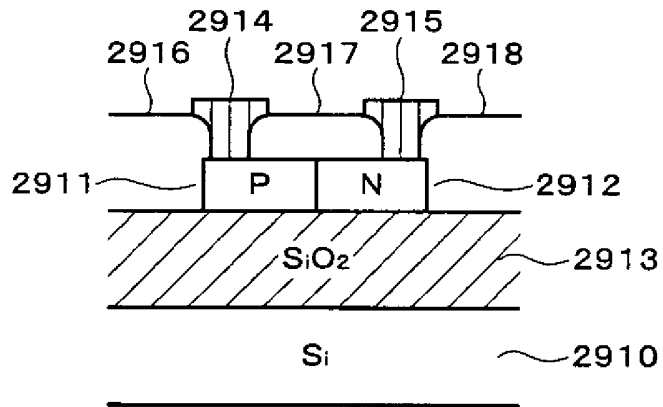
第 22 圖



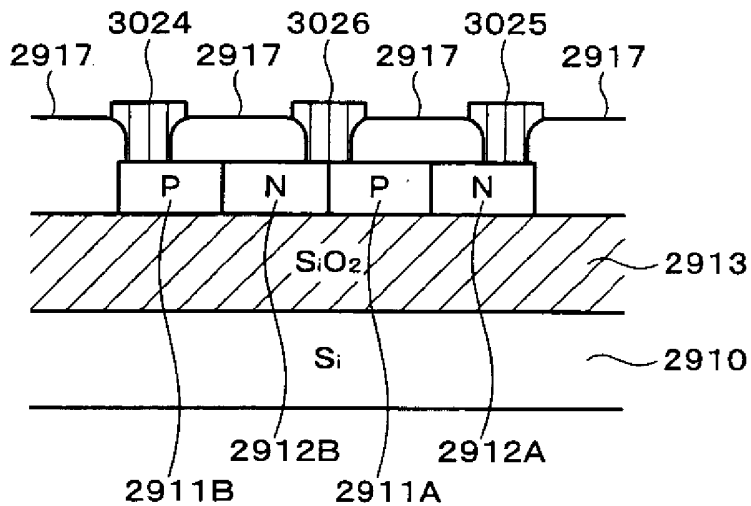
第 23 圖



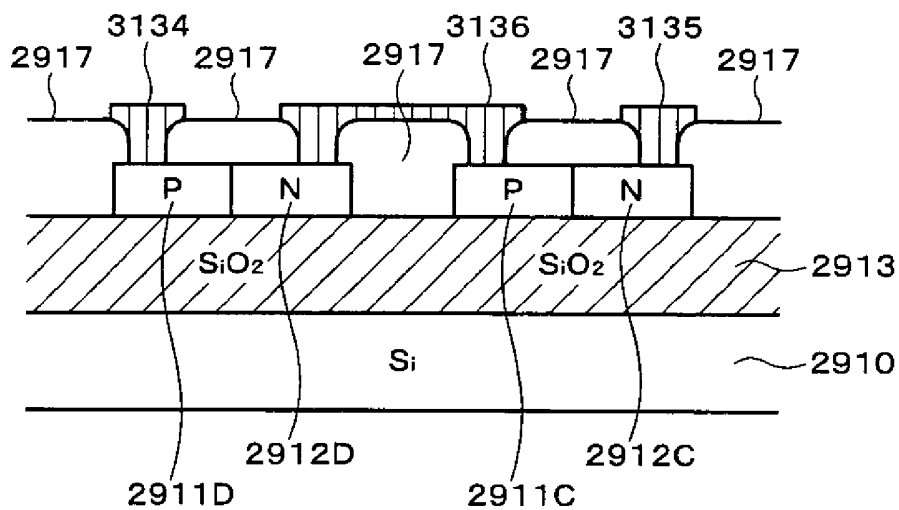
第 24 圖



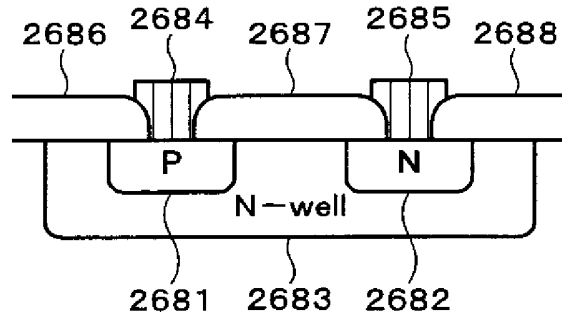
第 25 圖



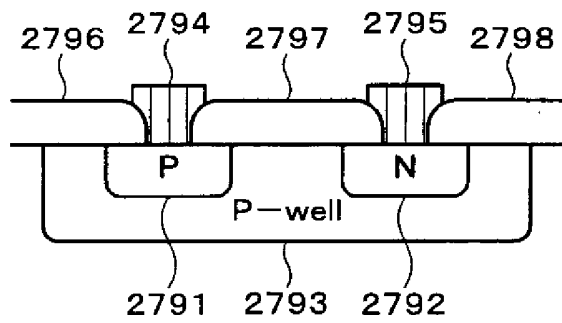
第 26 圖



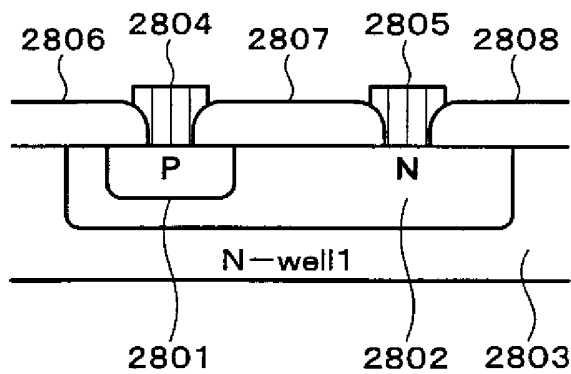
第 27 圖



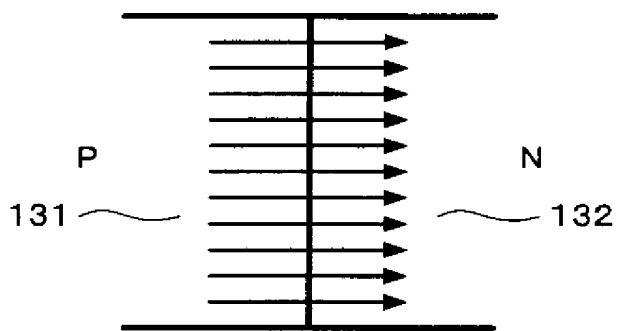
第 28 圖



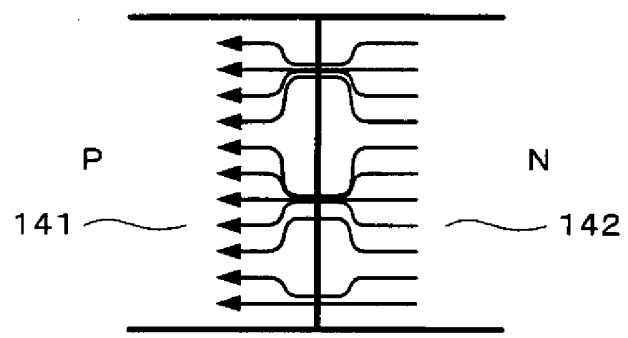
第 29 圖



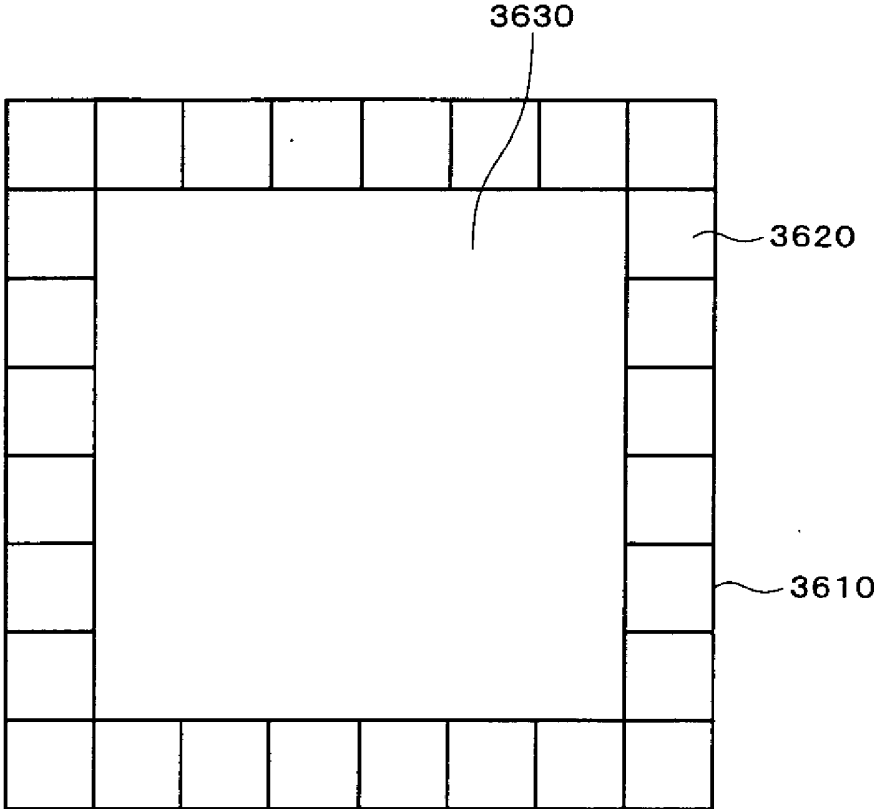
第 30 圖



第 31 圖



第 32 圖



六、申請專利範圍

第89100837號專利申請案

中文申請專利範圍修正本

民國90年6月修正

1. 一種靜電保護電路，其特徵為：
具有：施加第1電壓之第1電源端子；及
較前述第1之電壓為低施加第2電壓的第2電源端子；及
反方向連接在前述第1、第2電源端子間之第1二極體；及
順方向連接在前述第1、第2電源端子間之第2二極體；
較供予前述第1、第2之電源端子間的驅動電壓，前述第2之二極體之順方向下降電壓被設定為高者。
2. 如申請專利範圍第1項之靜電保護電路，其中前述第2二極體，具有接觸P型擴散層與N型擴散層之PN接合構造，前述順方向降下電壓，依照前述P型擴散層與前述N型擴散層的接觸電位而被定義。
3. 如申請專利範圍第1項之靜電保護電路，其中前述第2二極體係由串聯的複數個二極體所形成，前述複數個的各個二極體，具有P型擴散層與N型擴散層接觸之PN接合構造。
4. 如申請專利範圍第1項之靜電保護電路，其中前述第2二極體係為在第1P型擴散層與第1N型擴散層之

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線