

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6145205号
(P6145205)

(45) 発行日 平成29年6月7日(2017.6.7)

(24) 登録日 平成29年5月19日(2017.5.19)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78

6 1 6 L

H O 1 L 21/336 (2006.01)

H O 1 L 29/78

6 1 8 B

H O 1 L 21/28 (2006.01)

H O 1 L 29/78

6 2 7 F

H O 1 L 29/417 (2006.01)

H O 1 L 21/28

B

H O 1 L 51/50 (2006.01)

H O 1 L 21/28

3 0 1 B

請求項の数 1 (全 53 頁) 最終頁に続く

(21) 出願番号 特願2016-161653 (P2016-161653)

(22) 出願日 平成28年8月22日(2016.8.22)

(62) 分割の表示 特願2015-133407 (P2015-133407)
の分割

原出願日 平成22年10月7日(2010.10.7)

(65) 公開番号 特開2017-17328 (P2017-17328A)

(43) 公開日 平成29年1月19日(2017.1.19)

審査請求日 平成28年9月8日(2016.9.8)

(31) 優先権主張番号 特願2009-234413 (P2009-234413)

(32) 優先日 平成21年10月8日(2009.10.8)

(33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 坂倉 真之

栃木県栃木市都賀町升塚161-2 アド

バンスト フィルム デバイス インク

株式会社内

(72) 発明者 渡邊 了介

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

酸化物半導体層に窒素又は希ガス雰囲気下で第1の熱処理を行い、
 前記酸化物半導体層の第1の領域に接する酸素を含む絶縁層を形成し、
 前記酸化物半導体層の第2の領域に接し、金属材料を有する第1の層を形成し、
 前記酸化物半導体層の第3の領域に接し、金属材料を有する第2の層を形成し、
 前記絶縁層、前記第1の層及び前記第2の層を形成した後に、第2の熱処理を行い、
 前記第1の領域は、チャネル形成領域としての機能を有し、
 前記第2の熱処理を行った後、前記第2の領域は、前記第1の領域よりも低抵抗となり

、
 前記第2の熱処理を行った後、前記第3の領域は、前記第1の領域よりも低抵抗となる
 ことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置、およびそれを用いた表示装置及び電子機器に関する。

【背景技術】

【0002】

近年、絶縁表面を有する基板上に形成された半導体薄膜(厚さ数nm以上数百nm以下程
 度)を用いて薄膜トランジスタ(TFT)を構成する技術が注目されている。薄膜トラン

ジスタはＩＣや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

【０００３】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化スズ、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献１及び特許文献２）。

【０００４】

また、酸化物半導体を適用したＴＦＴは、電界効果移動度が高い。そのため、当該ＴＦＴを用いて、表示装置などの駆動回路を構成することもできる。

【先行技術文献】

【特許文献】

【０００５】

【特許文献１】特開２００７－１２３８６１号公報

【特許文献２】特開２００７－９６０５５号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

絶縁表面上に複数の異なる回路を形成する場合、例えば、画素部と駆動回路を同一基板上に形成する場合には、画素部に用いる薄膜トランジスタは、優れたスイッチング特性、例えばオンオフ比が大きいことが要求され、駆動回路に用いる薄膜トランジスタには動作速度が速いことが要求される。特に、表示装置の精細度が高精細であればあるほど、表示画像の書き込み時間が短くなるため、駆動回路に用いる薄膜トランジスタは速い動作速度とすることが好ましい。

【０００７】

本発明の一態様は、電気特性が良好で信頼性の高い薄膜トランジスタ及び当該薄膜トランジスタをスイッチング素子として用いた表示装置を提供することを課題とする。

【課題を解決するための手段】

【０００８】

本発明の一態様の半導体装置は、基板上にゲート電極層と、ゲート電極層上にゲート絶縁層と、ゲート絶縁層上に酸化物半導体層と、酸化物半導体層の一部と接する酸化物絶縁層と、酸化物半導体層の一部と接するソース電極層及びドレイン電極層と、を有し、酸化物半導体層において、ソース電極層と酸化物絶縁層の間の領域と、ドレイン電極層と酸化物絶縁層の間の領域と、は、ソース電極層と重なる領域、酸化物絶縁層と重なる領域、及びドレイン電極層と重なる領域よりも薄い膜厚を有することを特徴とする。

【０００９】

また、酸化物絶縁層と接する酸化物半導体層の表層部は、結晶領域を有することを特徴とする。

【００１０】

上記構成において、半導体装置に含まれるゲート電極層、ソース電極層及びドレイン電極層は、アルミニウム、銅、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウムから選ばれた金属元素を主成分とする膜、若しくはそれらの合金膜を組み合わせた積層膜を用いる。また、ソース電極層及びドレイン電極層は、上述した元素を含む単層に限定されず、二層以上の積層を用いることができる。

【００１１】

また、酸化インジウム、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する酸化物導電層をソース電極層、ドレイン電極層及びゲート電極層に用いる

10

20

30

40

50

ことで画素部の透光性を向上させ、開口率を高くすることもできる。

【0012】

また、ソース電極層及びドレイン電極層を構成する上記金属元素を主成分とする膜と酸化物半導体層のそれぞれの間に上記酸化物導電層を形成することで、接触抵抗を低減した高速動作が可能な半導体装置を構成することもできる。

【0013】

上記構成において、半導体装置は、酸化物半導体層を有し、該酸化物半導体層上に酸化物絶縁層を有し、酸化物半導体層のチャネル形成領域上に接する酸化物絶縁層はチャネル保護層として機能する。

【0014】

また、上記構成において、半導体装置のチャネル保護層として機能する酸化物絶縁層はスパッタ法によって形成される無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウムなどを用いる。

【0015】

なお、酸化物半導体層としては、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される薄膜を形成し、その薄膜を酸化物半導体層として用いた薄膜トランジスタを作製する。なお、 M は、 Ga 、 Fe 、 Ni 、 Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。例えば M として、 Ga の場合があることその他、 Ga と Ni または Ga と Fe など、 Ga 以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、 M として含まれる金属元素の他に、不純物元素として Fe 、 Ni その他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。本明細書においては、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される構造の酸化物半導体層のうち、 M として Ga を含む構造の酸化物半導体を In-Ga-Zn-O 系酸化物半導体とよび、その薄膜を In-Ga-Zn-O 系膜とも呼ぶ。

【0016】

また、酸化物半導体層に適用する金属酸化物として上記の他にも、 In-Sn-O 系、 In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-O 系、 Sn-O 系、または Zn-O 系の金属酸化物を適用することができる。また上記金属酸化物からなる酸化物半導体層に酸化珪素を含ませてもよい。

【0017】

また、酸化物半導体層には、 RTA 法等で高温短時間の脱水または脱水素化処理をしたものを用いる。 RTA 法等による加熱工程により、酸化物半導体層の表層部は粒子サイズが 1nm 以上 20nm 以下の所謂ナノクリスタルで構成された結晶領域を有するようになり、その他の部分は非晶質、または、非晶質領域中に微結晶が点在した非晶質と微結晶の混合物となる。

【0018】

このような構成をした酸化物半導体層を用いることにより、表層部からの水分の再侵入や酸素の脱離による N 型化による電気特性の劣化を防止することができる。また、酸化物半導体層の表層部は、バックチャネル側であり、ナノクリスタルで構成された結晶領域を有することで寄生チャネルの発生を抑えることができる。

【0019】

また、脱水または脱水素化後に酸化物半導体層を島状に形成する場合は、側面部には結晶領域は形成されず、側面部を除く表層部のみに結晶領域が形成されるが、側面部の面積比率は小さく、上記効果を妨げることはない。

【0020】

また、本発明の一態様である薄膜トランジスタを用いて、駆動回路部及び画素部を同一基板上に形成し、 EL 素子、液晶素子または電気泳動素子などを用いて表示装置を作製することができる。

【0021】

10

20

30

40

50

本発明の一態様である表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部においてもある薄膜トランジスタのゲート電極と他の薄膜トランジスタのソース配線、或いはドレイン配線を接続させる箇所を有している。また、本発明の一態様である表示装置の駆動回路においては、薄膜トランジスタのゲート電極とその薄膜トランジスタのソース配線、或いはドレイン配線を接続させる箇所を有している。

【0022】

また、薄膜トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、画素部の薄膜トランジスタの保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。

10

【0023】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0024】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【発明の効果】

【0025】

酸化物半導体層を用いた薄膜トランジスタにおいて、該酸化物半導体層のチャネル形成領域の表層部に結晶領域を有する構成とすることによって、電気特性が良好で信頼性の高い薄膜トランジスタ及び表示装置を作製することができる。

20

【図面の簡単な説明】

【0026】

【図1】本発明の一態様を説明する断面図。

【図2】本発明の一態様を説明する断面工程図。

【図3】本発明の一態様を説明する上面図。

【図4】本発明の一態様を説明する断面図及び上面図。

【図5】本発明の一態様を説明する断面図及び上面図。

【図6】本発明の一態様を説明する断面工程図。

30

【図7】半導体装置のブロック図を説明する図。

【図8】信号線駆動回路の回路図およびタイミングチャート。

【図9】シフトレジスタの構成を示す回路図。

【図10】シフトレジスタの動作を説明する回路図及びタイミングチャート。

【図11】本発明の一態様を説明する平面図及び断面図。

【図12】本発明の一態様を説明する断面図。

【図13】本発明の一態様を説明する断面図。

【図14】半導体装置の画素等価回路を説明する図。

【図15】本発明の一態様を説明する断面図。

【図16】本発明の一態様を説明する平面図及び断面図。

40

【図17】電子ペーパーの使用形態の例を説明する図。

【図18】電子書籍の一例を示す外観図。

【図19】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【図20】遊技機の例を示す外観図。

【図21】携帯電話機の一例を示す外観図。

【図22】本発明の一態様を説明する断面図。

【図23】酸化物半導体の結晶構造の一例を説明する図。

【図24】科学計算の概要を説明する図。

【図25】科学計算の概要を説明する図。

【図26】科学計算の結果を説明する図。

50

【発明を実施するための形態】

【0027】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0028】

(実施の形態1)

本実施の形態では、薄膜トランジスタの構造について、図1を用いて説明する。

【0029】

本実施の形態のチャネル保護型の薄膜トランジスタを図1に示す。

【0030】

図1に示す薄膜トランジスタ470は、絶縁表面を有する基板400上にゲート電極層421a、ゲート絶縁層402、チャネル形成領域を含む酸化物半導体層423、ソース電極層425a、ドレイン電極層425b、及びチャネル保護層として機能する酸化物絶縁層426aが設けられている。

【0031】

ゲート電極層421aは、アルミニウム、銅、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウムなどの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いて、単層又は積層で形成することができる。好ましくはアルミニウムや銅などの低抵抗金属材料での形成が有効であるが、耐熱性や腐食性の問題から高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。

【0032】

また、画素部の開口率を向上させることを目的として、ゲート電極層421aに酸化インジウム、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する酸化物導電層を用いることもできる。

【0033】

ゲート絶縁層402はCVD法やスパッタ法などで形成する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化タンタルなどの単層膜または積層膜を用いることができる。

【0034】

酸化物半導体層423は、In、Ga、及びZnを含むIn-Ga-Zn-O系膜を用い、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される構造とする。なお、Mは、ガリウム(Ga)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)及びコバルト(Co)から選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合があること
他、GaとNi又はGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。
また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。

【0035】

酸化物半導体層423はスパッタ法を用いて形成する。膜厚は、10nm以上300nm以下とし、好ましくは20nm以上100nm以下とする。但し、図1に示すように、酸化物半導体層423は、ソース電極層425aと酸化物絶縁層426aの間の第3領域424cと、ドレイン電極層425bと酸化物絶縁層426aの間の第4領域424dとが、ソース電極層425aと重なる第1領域424a、酸化物絶縁層426aと重なる第5領域424e、及びドレイン電極層425bと重なる第2領域424bよりも薄い膜厚を

10

20

30

40

50

有している。

【0036】

酸化物半導体層423は、RTA(Rapid Thermal Anneal)法等で高温短時間の脱水化または脱水素化処理をしたものを用いる。脱水化または脱水素化処理は、高温の窒素、または希ガス等の不活性ガスや光を用いて500以上750以下(若しくはガラス基板の歪点以下の温度)で1分間以上10分間以下程度、好ましくは650、3分間以上6分間以下程度のRTA処理で行うことができる。RTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

【0037】

10

酸化物半導体層423は、成膜された段階では多くの未結合手を有する非晶質であるが、上記脱水化または脱水素化処理の加熱工程を行うことで、近距離にある未結合手同士が結合し合い、秩序化された非晶質構造とすることができる。また、秩序化が発展すると、非晶質領域中に微結晶が点在した非晶質と微結晶の混合物、または全体が非晶質で形成されるようになる。ここで、微結晶の粒子サイズは1nm以上20nm以下の所謂ナノクリスタルであり、一般的にマイクロクリスタルと呼ばれる微結晶粒子よりも小さいサイズである。

【0038】

また、酸化物絶縁層426aと重なる、酸化物半導体層423の第5領域424eでは、酸化物半導体層423の表層部は、結晶領域となり、層表面に対し垂直方向にc軸配向をしたナノクリスタルが形成されることが好ましく、この場合、c軸方向に長軸を有し、短軸方向は1nm以上20nm以下となる。

20

【0039】

このような構成をした酸化物半導体層を用いることにより、チャネル形成領域の表層部はナノクリスタルで構成された緻密な結晶領域が存在するため、表層部からの水分の再侵入や酸素の脱離によるN型化による電気特性の劣化を防止することができる。また、チャネル形成領域において酸化物半導体層の表層部は、バックチャネル側であり、N型化の防止は寄生チャネルの抑制にも効果がある。

【0040】

ここで、In-Ga-Zn-O系膜は、用いる金属酸化物ターゲットによって、成長しやすい結晶構造が異なる。例えば、モル数比が $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 0.5$ となるIn、Ga、及びZnを含む金属酸化物ターゲットを用いてIn-Ga-Zn-O系膜を成膜し、加熱工程を経て結晶化させた場合、In酸化物層の間にはGaとZnを含む1層または2層の酸化物層が混在する六方晶系層状化合物型の結晶構造となりやすい。このとき、結晶領域の結晶構造は、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ で表される構造(図23参照)をとりやすい。また、酸化物半導体層中の非晶質又は非晶質と微結晶とが混在している領域の構造のモル数比は、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ となりやすい。また、モル数比が $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ となる金属酸化物ターゲットを用いて成膜し、加熱工程を経て結晶化させた場合は、In酸化物層の間のGaとZnを含む酸化物層は2層となりやすい。安定な結晶構造は後者のGaとZnを含む酸化物層が2層のものであり、結晶成長も起こりやすく、モル数比が $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ のターゲットを用いて成膜し、加熱工程を経て結晶化させた場合は、表層からゲート絶縁層界面までつながった結晶が形成されることがある。なお、モル数比は原子数比と言い換えても良い。

30

40

【0041】

本実施の形態においては、ソース電極層425a及びドレイン電極層425bは、第1の導電層、第2の導電層、および第3の導電層からなる3層構造とする。これらの材料としては、前述したゲート電極層421aと同様の材料を適宜用いることができる。

【0042】

また、ゲート電極層421aと同様に前述の透光性を有する酸化物導電層をソース電極層

50

4 2 5 a 及びドレイン電極層 4 2 5 b に用いることで画素部の透光性を向上させ、開口率を高くすることもできる。

【 0 0 4 3 】

また、ソース電極層 4 2 5 a 及びドレイン電極層 4 2 5 b となる前述の金属材料を主成分とする膜と酸化物半導体層 4 2 3 のそれぞれの間に前述の酸化物導電層を形成し、接触抵抗を低減させることもできる。

【 0 0 4 4 】

酸化物半導体層 4 2 3 上には、酸化物半導体層 4 2 3 の一部と接して、チャネル保護層として機能する酸化物絶縁層 4 2 6 a を有する。酸化物絶縁層にはスパッタ法を用いる無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウムなどを用いる。

10

【 0 0 4 5 】

また、図 1 ではチャネル保護層として機能する酸化物絶縁層 4 2 6 a と、ゲート電極層とがゲート絶縁層 4 0 2 を介して重なる酸化物半導体層の第 5 領域 4 2 4 e をチャネル形成領域と呼ぶこととする。なお、薄膜トランジスタのチャネル長 L は、ソース電極層とドレイン電極層との距離で定義されるが、チャネル保護型の薄膜トランジスタ 4 7 0 のチャネル長 L は、キャリアの流れる方向と平行な方向の酸化物絶縁層 4 2 6 a の幅と等しい。なお、薄膜トランジスタ 4 7 0 のチャネル長 L は、酸化物半導体層 4 2 3 と酸化物絶縁層 4 2 6 a との界面における長さ、即ち、図 1 に示す断面図において酸化物絶縁層 4 2 6 a は台形として示しており、その台形の底辺の長さである。

20

【 0 0 4 6 】

また、チャネル保護型の薄膜トランジスタにおいて、チャネル形成領域のチャネル長 L を短くするために、酸化物絶縁層の幅を狭くして、該幅の狭い酸化物絶縁層上にソース電極層及びドレイン電極層を設けた場合、ソース電極層とドレイン電極層とが酸化物絶縁層上で短絡する恐れがある。この問題を解消するため、図 1 に示す薄膜トランジスタは、幅の狭い酸化物絶縁層 4 2 6 a から端部を離してソース電極層 4 2 5 a 及びドレイン電極層 4 2 5 b を設ける構成とする。チャネル保護型の薄膜トランジスタ 4 7 0 は、チャネル形成領域のチャネル長 L を例えば、 $0.1 \mu\text{m}$ 以上 $2 \mu\text{m}$ 以下と短くするため酸化物絶縁層の幅を狭くし、動作速度の速い薄膜トランジスタを実現することができる。

【 0 0 4 7 】

以下、図 2 及び図 3 を用いて、図 1 に示すチャネル保護型の薄膜トランジスタを含む表示装置の作製工程の例を説明する。なお、図 3 は、表示装置の平面図であり、図 2 は、図 3 の A 1 - A 2 及び B 1 - B 2 における断面図を示す。

30

【 0 0 4 8 】

まず、基板 4 0 0 を準備する。基板 4 0 0 は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐える耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。

【 0 0 4 9 】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラス基板などを用いることができる。

40

【 0 0 5 0 】

また基板 4 0 0 上に下地膜として絶縁膜を形成してもよい。下地膜としては、CVD法やスパッタ法等を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、または窒化酸化シリコン膜を単層、又は積層で形成すればよい。基板 4 0 0 としてガラス基板のような可動イオンを含有する基板を用いる場合、下地膜として窒化シリコン膜、窒化酸化シリコン膜などの窒素を含有する膜を用いることで、可動イオンが酸化物半導体層や半導体層に侵入することを防ぐことができる。

【 0 0 5 1 】

50

次に、ゲート電極層 4 2 1 a を含むゲート配線、容量配線 4 2 1 b、及び第 1 の端子 4 2 1 c を形成するための導電膜をスパッタ法や真空蒸着法で基板 4 0 0 全面に成膜する。次いで、導電膜を基板 4 0 0 全面に形成した後、第 1 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極（ゲート電極層 4 2 1 a を含むゲート配線、容量配線 4 2 1 b、及び第 1 の端子 4 2 1 c）を形成する。このとき段切れ防止のために、少なくともゲート電極層 4 2 1 a の端部にテーパ形状が形成されるようにエッチングするのが好ましい。

【 0 0 5 2 】

ゲート電極層 4 2 1 a を含むゲート配線と容量配線 4 2 1 b、端子部の第 1 の端子 4 2 1 c は、アルミニウム、銅、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウムなどの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いて、単層又は積層で形成することができる。好ましくはアルミニウムや銅などの低抵抗金属材料での形成が有効であるが、耐熱性や腐食性の問題から高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。

10

【 0 0 5 3 】

例えば、ゲート電極層 4 2 1 a の積層構造としては、アルミニウム上にモリブデンが積層された二層の積層構造、または銅上にモリブデンを積層した二層構造、または銅上に窒化チタン若しくは窒化タンタルを積層した二層構造、窒化チタンとモリブデンとを積層した二層構造とすることが好ましい。3 層の積層構造としては、アルミニウム、アルミニウムとシリコンの合金、アルミニウムとチタンの合金またはアルミニウムとネオジムの合金を中間層とし、タングステン、窒化タングステン、窒化チタンまたはチタンを上下層として積層した構造とすることが好ましい。

20

【 0 0 5 4 】

このとき、一部の電極層や配線層に透光性を有する酸化物導電層を用いて開口率を向上させることもできる。例えば、酸化物導電層には酸化インジウム、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等を用いることができる。

【 0 0 5 5 】

次いで、ゲート電極層 4 2 1 a を覆ってゲート絶縁層 4 0 2 を成膜する（図 2（A））。ゲート絶縁層 4 0 2 は C V D 法やスパッタ法などを用い、膜厚を 1 0 n m 以上 4 0 0 n m 以下とする。

30

【 0 0 5 6 】

例えば、ゲート絶縁層 4 0 2 として C V D 法やスパッタ法により酸化シリコン膜を用い、1 0 0 n m の厚さで形成する。勿論、ゲート絶縁層 4 0 2 はこのような酸化シリコン膜に限定されるものでなく、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

【 0 0 5 7 】

また、ゲート絶縁層 4 0 2 の形成は、高密度プラズマ装置により行う。ここでは、高密度プラズマ装置は、 $1 \times 10^{11} / \text{cm}^3$ 以上のプラズマ密度を達成できる装置を指している。例えば、3 k W ~ 6 k W のマイクロ波電力を印加してプラズマを発生させて、絶縁膜の成膜を行う。

40

【 0 0 5 8 】

チャンパーに材料ガスとしてモノシランガス（ SiH_4 ）と亜酸化窒素（ N_2O ）と希ガスを導入し、1 0 P a ~ 3 0 P a の圧力で高密度プラズマを発生させてガラス等の絶縁表面を有する基板上に絶縁膜を形成する。その後、モノシランガスの供給を停止し、大気に曝すことなく亜酸化窒素（ N_2O ）と希ガスを導入して絶縁膜表面にプラズマ処理を行ってもよい。亜酸化窒素（ N_2O ）と希ガスを導入して絶縁膜表面に行われるプラズ

50

マ処理は、少なくとも絶縁膜の成膜より後に行う。上記プロセス順序を経た絶縁膜は、膜厚が薄く、例えば100nm未満であっても信頼性を確保することができる絶縁膜である。

【0059】

ゲート絶縁層402の形成の際、チャンバーに導入するモノシランガス(SiH_4)と亜酸化窒素(N_2O)との流量比は、1:10から1:200の範囲とする。また、チャンバーに導入する希ガスとしては、ヘリウム、アルゴン、クリプトン、キセノンなどを用いることができるが、中でも安価であるアルゴンを用いることが好ましい。

【0060】

また、高密度プラズマ装置により得られた絶縁膜は、一定した厚さの膜形成ができるため段差被覆性に優れている。また、高密度プラズマ装置により得られる絶縁膜は、薄い膜の厚みを精密に制御することができる。

10

【0061】

上記プロセス順序を経た絶縁膜は、従来の平行平板型のPCVD装置で得られる絶縁膜とは大きく異なっており、同じエッチャントを用いてエッチング速度を比較した場合において、平行平板型のPCVD装置で得られる絶縁膜の10%以上または20%以上遅く、高密度プラズマ装置で得られる絶縁膜は緻密な膜と言える。

【0062】

また、ゲート絶縁層402として、有機シランガスを用いたCVD法により酸化シリコン層を形成することも可能である。有機シランガスとしては、珪酸エチル(TEOS :化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン(TMS :化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)等のシリコン含有化合物を用いることができる。

20

【0063】

また、ゲート絶縁層402として、アルミニウム、イットリウム、又はハフニウムの酸化物、窒化物、酸化窒化物、又は窒化酸化物の一種又はそれらの化合物を少なくとも2種以上含む化合物を用いることもできる。

【0064】

なお、本明細書において、酸化窒化物とは、その組成として、窒素原子よりも酸素原子の数が多き物質のことを指し、窒化酸化物とは、その組成として、酸素原子よりも窒素原子の数が多き物質のことを指す。例えば、酸化窒化シリコン膜とは、その組成として、窒素原子よりも酸素原子の数が多く、ラザフォード後方散乱法(RBS : $\text{Rutherford Backscattering Spectrometry}$)及び水素前方散乱法(HFS : $\text{Hydrogen Forward Scattering}$)を用いて測定した場合に、濃度範囲として酸素が50原子%以上70原子%以下、窒素が0.5原子%以上15原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素原子よりも窒素原子の数が多く、 RBS 及び HFS を用いて測定した場合に、濃度範囲として酸素が5原子%以上30原子%以下、窒素が20原子%以上55原子%以下、シリコンが25原子%以上35原子%以下、水素が10原子%以上30原子%以下の範囲で含まれるものをいう。但し、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

30

40

【0065】

なお、酸化物半導体層423を形成するための酸化物半導体膜を成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形

50

成して表面を改質する方法である。なお、アルゴン雰囲気にて代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気にて酸素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気にて Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。逆スパッタ処理後、大気に曝すことなく酸化物半導体膜を成膜することによって、ゲート絶縁層402と酸化物半導体層423の界面にパーティクル(ゴミ)や水分が付着するのを防ぐことができる。

【0066】

次いで、ゲート絶縁層402上に、膜厚5nm以上200nm以下、好ましくは10nm以上40nm以下の酸化物半導体膜を形成する。

【0067】

酸化物半導体膜は、In-Ga-Zn-O系膜、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、またはZn-O系の酸化物半導体膜を用いることができる。また、酸化物半導体膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素混合雰囲気下においてスパッタ法により形成することができる。また、スパッタ法を用いる場合、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体膜に結晶化を阻害する SiO_x ($x > 0$)を含ませても良い。

【0068】

ここでは、In、Ga、及びZnを含む金属酸化物ターゲット(モル数比が $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 0.5$ 、 $In : Ga : ZnO = 1 : 1 : 1$ 、または、 $In : Ga : ZnO = 1 : 1 : 2$)を用いて、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。本実施の形態では、酸化物半導体膜として、In-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により膜厚30nmのIn-Ga-Zn-O系膜を成膜する。

【0069】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法、直流電源を用いるDCスパッタ法、さらにパルスのバイアスを与えるパルスDCスパッタ法がある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

【0070】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0071】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0072】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【0073】

次に、第2のフォトリソグラフィ工程を行い、レジストマスクを形成し、In-Ga-Zn-O系膜をエッチングする。エッチングには、クエン酸やシュウ酸などの有機酸をエッチング液として用いることができる。ここでは、ITO07N(関東化学社製)を用いたウェットエッチングにより、不要な部分を除去してIn-Ga-Zn-O系膜を島状にし、酸化物半導体層423を形成する。酸化物半導体層423の端部をテーパ状にエッチ

10

20

30

40

50

ングすることで、段差形状による配線の段切れを防ぐことができる。なお、ここでのエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0074】

次いで、酸化物半導体層の脱水化または脱水素化を行う。この脱水化または脱水素化を行う第1の加熱処理は、高温の窒素、または希ガス等の不活性ガスや光を用いて500以上750以下（若しくはガラス基板の歪点以下の温度）で1分間以上10分間以下程度、好ましくは650、3分間以上6分間以下程度のRTA処理で行うことができる。RTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を越える温度でも処理することができる。なお、加熱処理は、このタイミングに限らず、フォトリソグラフィ工程や成膜工程の前後などで複数回行ってよい。

10

【0075】

ここで、酸化物半導体層423の表層部は第1の加熱処理によって結晶化し、ナノクリスタルで構成された結晶領域106を有するようになる。また、酸化物半導体層423のその他の領域は、非晶質、または非晶質領域中に微結晶が点在した非晶質と微結晶の混合物となる。なお、結晶領域106は酸化物半導体層423の一部であり、以降、酸化物半導体層423の表記には、結晶領域106は含まれるものとする。

【0076】

なお、本明細書では、窒素、または希ガス等の不活性気体雰囲気下での加熱処理を脱水化または脱水素化のための加熱処理と呼ぶ。本明細書では、この加熱処理によって H_2O または H_2 として脱離させていることのみを脱水化または脱水素化と呼んでいるわけではなく、 H 、 OH などを脱離することを含めて脱水化または脱水素化と便宜上呼ぶこととする。

20

【0077】

酸化物半導体層に対して脱水化または脱水素化を行う加熱温度 T から温度を下げる際、脱水化または脱水素化を行った同じ炉を用いて大気に触れさせないことで、水または水素を再び混入させないことが重要である。脱水化または脱水素化を行い、酸化物半導体層を低抵抗化、即ち N 型化（ N^- 、 N^+ など）させた後、高抵抗化させて I 型とした酸化物半導体層を用いて薄膜トランジスタを作製すると、薄膜トランジスタのしきい値電圧値をプラスとすることができ、所謂ノーマリーオフ特性のスイッチング素子を実現できる。薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成されることが表示装置には望ましい。なお、薄膜トランジスタのしきい値電圧値がマイナスであると、ゲート電圧が0Vでもソース電極とドレイン電極の間に電流が流れる、所謂ノーマリーオン特性となりやすい。アクティブマトリクス型の表示装置においては、回路を構成する薄膜トランジスタの電気特性が重要であり、この電気特性が表示装置の性能を左右する。特に、薄膜トランジスタの電気特性のうち、しきい値電圧（ V_{th} ）が重要である。電界効果移動度が高くともしきい値電圧値が高い、或いはしきい値電圧値がマイナスであると、回路として制御することが困難である。しきい値電圧値が高く、しきい値電圧の絶対値が大きい薄膜トランジスタの場合には、駆動電圧が低い状態ではTFETとしてのスイッチング機能を果たすことができず、負荷となる恐れがある。 n チャネル型の薄膜トランジスタの場合、ゲート電圧として正の電圧を印加してはじめてチャネルが形成されて、ドレイン電流が流れ出すトランジスタが望ましい。駆動電圧を高くしないとチャネルが形成されないトランジスタや、負の電圧状態でもチャネルが形成されてドレイン電流が流れるトランジスタは、回路に用いる薄膜トランジスタとしては不向きである。

30

40

【0078】

また、加熱温度 T から下げるガス雰囲気は、加熱温度 T まで昇温したガス雰囲気と異なるガス雰囲気に切り替えてもよい。例えば、脱水化または脱水素化を行った同じ炉で大気に触れさせることなく、炉の中を高純度の酸素ガスまたは N_2O ガス、超乾燥エア（露点が-40以下、好ましくは-60以下）で満たして冷却を行う。

【0079】

なお、第1の加熱処理においては、雰囲気中に、水、水素などが含まれないことが好まし

50

い。または、加熱処理装置に導入する不活性ガスの純度を、6 N (9 9 . 9 9 9 9 %) 以上、好ましくは7 N (9 9 . 9 9 9 9 9 %) 以上、(即ち不純物濃度を1 p p m 以下、好ましくは0 . 1 p p m 以下) とすることが好ましい。

【 0 0 8 0 】

上記、不活性気体雰囲気下での加熱処理を行った場合、酸化物半導体層は加熱処理により酸素欠乏型となって低抵抗化、即ちN型化 (N ⁻ 化など) する。その後、酸化物半導体層に接する酸化物絶縁層の形成を行うことにより酸化物半導体層を酸素過剰な状態とすることで高抵抗化、即ちI型化させているとも言える。これにより、電気特性が良好で信頼性のよい薄膜トランジスタを作製することができる。

【 0 0 8 1 】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層の一部が結晶化することがある。第1の加熱処理後は、酸素欠乏型となって低抵抗化した酸化物半導体層423となる。第1の加熱処理後は、成膜直後の酸化物半導体膜よりもキャリア濃度が高まり、好ましくは $1 \times 10^{18} / \text{cm}^3$ 以上のキャリア濃度を有するようになる。

【 0 0 8 2 】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、第2のフォトリソグラフィ工程を行う。この場合は、酸化物半導体層423の側部には結晶領域は形成されず、側部を除く上層部のみに結晶領域106は形成される。

【 0 0 8 3 】

次いで、第3のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去してゲート電極層421aと同じ材料の配線や電極層に達するコンタクトホールを形成する (図2 (B)) 。このコンタクトホールは後に形成する導電膜と直接接続するために設ける。例えば、駆動回路部において、ゲート電極層とソース電極層或いはドレイン電極層と直接接する薄膜トランジスタや、端子部のゲート配線と電氣的に接続する端子を形成する場合にコンタクトホールを形成する。

【 0 0 8 4 】

次いで、酸化物半導体層423及びゲート絶縁層402上に、スパッタ法で酸化物絶縁膜を形成した後、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層426a、426b、426c、426dを形成し、その後レジストマスクを除去する (図2 (C)) 。この段階で、酸化物半導体層は、酸化物絶縁層426aと接する領域が形成され、この領域のうち、ゲート電極層とゲート絶縁層を介して重なり、且つ酸化物絶縁層426aと重なる領域がチャネル形成領域となる。また、第4のフォトリソグラフィ工程により第1の端子421cに達するコンタクトホールの形成も行う。

【 0 0 8 5 】

酸化物絶縁膜は、少なくとも1nm以上の膜厚とし、スパッタリング法など、酸化物絶縁膜に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、酸化物絶縁膜として酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300 以下とすればよく、本実施の形態では100 とする。酸化珪素膜のスパッタリング法による成膜は、希ガス (代表的にはアルゴン) 雰囲気下、酸素雰囲気下、または希ガス (代表的にはアルゴン) 及び酸素混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び希ガス雰囲気下でスパッタリング法により酸化珪素膜を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁膜は、水や、水素イオンや、OH ⁻ などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

【 0 0 8 6 】

本実施の形態では、純度が6Nであり、柱状多結晶Bドープの珪素ターゲット（抵抗値0.01 cm）を用い、基板とターゲットの間との距離（T-S間距離）を89mm、圧力0.4Pa、直流（DC）電源6kW、酸素（酸素流量比率100%）雰囲気下でパルスDCスパッタ法により成膜する。膜厚は300nmとする。

【0087】

次に、酸化物半導体層423上に金属材料からなる導電膜をスパッタ法や真空蒸着法で成膜する。導電膜の材料としては、前述したゲート電極層421aと同様の材料を用いることができる。

【0088】

本実施の形態では、第1乃至第3の導電膜を積層させた導電膜を形成するものとする。例えば、第1の導電膜及び第3の導電膜として耐熱性導電性材料であるチタンを用い、第2の導電膜としてネオジムを含むアルミニウム合金を用いる。このような構成にすることで、アルミニウムの低抵抗性を活かしつつ、ヒロックの発生を低減することができる。なお、本実施の形態では第1乃至第3の導電膜からなる3層構造としたが、これに限られることはなく、単層構造としてもよいし、2層構造としてもよいし、4層以上の構造としてもよい。例えば、チタン膜の単層構造としてもよいし、シリコンを含むアルミニウム膜の単層構造としてもよい。

【0089】

なお、ナノクリスタルで構成された緻密な結晶領域106を表層部に有する酸化物半導体層層上に接して導電膜を成膜する際に、成膜工程の熱や成膜による結晶領域へのダメージによって、酸化物半導体層の結晶領域106が非晶質化されることがある。しかしながら、本実施の形態で示す薄膜トランジスタの作製方法においては、酸化物半導体層のチャネル形成領域となる領域に接して、チャネル保護層として機能する酸化物絶縁層426aが設けられているため、導電膜を成膜した場合においても、酸化物半導体層の少なくともチャネル形成領域（第5領域）においては、表層部に結晶領域106を有する構造とすることができる。

【0090】

次に、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去してソース電極層425a、ドレイン電極層425b、及び接続電極429を形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。例えば、第1の導電膜及び第3の導電膜にチタンを、第2の導電膜にネオジムを含むアルミニウム合金を用いる場合には、過酸化水素水又は加熱塩酸をエッチャントに用いてウェットエッチングすることができる。

【0091】

このエッチング工程において、酸化物半導体層423の一部がエッチングされ、ソース電極層425aと酸化物絶縁層426aの間の第3領域424cと、ドレイン電極層425bと酸化物絶縁層426aの間の第4領域424dとが、ソース電極層425aと重なる第1領域424a、酸化物絶縁層426aと重なる第5領域424e、及びドレイン電極層425bと重なる第2領域424bよりも膜厚の薄い領域となる（図2（D））。なお、酸化物半導体層423の第5領域424eは、酸化物絶縁層426aによってエッチングされることなく保護されるため、少なくともチャネル形成領域の表層部にはナノクリスタルで構成された緻密な結晶領域が存在する。チャネル形成領域において酸化物半導体層の表層部は、バックチャネル側であり、この結晶領域によって、寄生チャネルを抑制することができる。

【0092】

また、この第5のフォトリソグラフィ工程において、接続電極429は、ゲート絶縁層に形成されたコンタクトホールを介して端子部の第1の端子421cと直接接続される。なお、ここでは図示しないが、上述した工程と同じ工程を経て駆動回路の薄膜トランジスタのソース配線あるいはドレイン配線とゲート電極が直接接続される。

【0093】

10

20

30

40

50

次いで、薄膜トランジスタ470を覆う酸化物絶縁層428を形成する(図2(E))。酸化物絶縁層428はスパッタ法などを用いて得られる酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの酸化物絶縁層を用いることができる。

【0094】

酸化物絶縁層は、スパッタリング法など、酸化物絶縁層に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、酸化物絶縁層として酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。ここで、成膜時に水、水素等の不純物を混入させない方法として、成膜前に減圧下で150以上350以下の温度で2分間以上10分間以下のプリベークを行い、大気に触れることなく酸化物絶縁層を形成することが望ましい。酸化珪素膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び希ガス雰囲気下でスパッタリング法により酸化珪素膜を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層は、水や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜が好ましい。

【0095】

本実施の形態では、純度が6Nであり、柱状多結晶Bドーパの珪素ターゲット(抵抗値0.01 Ωcm)を用い、基板とターゲットの間との距離(T-S間距離)を89mm、圧力0.4Pa、直流(DC)電源6kW、酸素(酸素流量比率100%)雰囲気下でパルスDCスパッタ法により成膜する。膜厚は300nmとする。

【0096】

次いで、不活性ガス雰囲気下、または窒素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。または、第1の加熱処理と同様に高温短時間のRTA処理を行っても良い。第2の加熱処理を行うと、酸化物絶縁層と、該酸化物絶縁層と重なる酸化物半導体層とが接した状態で加熱される。なお、第2の加熱処理を行うと、第1の加熱処理で低抵抗化された酸化物半導体層423が酸素過剰な状態となり、高抵抗化(I型化)することができる。

【0097】

本実施の形態では、酸化珪素膜成膜後に第2の加熱処理を行ったが、加熱処理のタイミングは酸化珪素膜成膜以降であれば問題なく、酸化珪素膜成膜直後に限定されるものではない。

【0098】

また、ソース電極層425a及びドレイン電極層425bに耐熱性のある材料を用いる場合には、第2の加熱処理のタイミングで、第1の加熱処理条件を用いた工程を行うことができる。この場合、加熱処理は酸化珪素膜成膜後の1回のみとすることも可能である。

【0099】

次に、第6のフォトリソグラフィ工程を行い、レジストマスクを形成し、酸化物絶縁層428のエッチングによりドレイン電極層425bに達するコンタクトホールを形成する。また、ここでのエッチングにより接続電極429に達するコンタクトホールも形成する。

【0100】

次いで、レジストマスクを除去した後、透明導電膜を成膜する。透明導電膜の材料としては、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する)などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。ただし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3-\text{ZnO}$)を用いても良い。

【0101】

次に、第7のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層110を形成する。

【0102】

また、この第7のフォトリソグラフィ工程において、容量部におけるゲート絶縁層402、酸化物絶縁層426b及び酸化物絶縁層428を誘電体として、容量配線421bと画素電極層110とで保持容量が形成される。

【0103】

また、この第7のフォトリソグラフィ工程において、第1の端子421cをレジストマスクで覆い端子部に形成された透明導電膜128を残す。透明導電膜128はFPCとの接続に用いられる電極または配線となる。第1の端子421cと直接接続された接続電極429上に形成された透明導電膜128は、ゲート配線の入力端子として機能する接続用の端子電極となる。また、図示しないが、ソース配線の入力端子として機能する接続用の端子電極も同時に形成される。

10

【0104】

また、図4(A1)、図4(A2)は、この段階でのゲート配線端子部の断面図及び平面図をそれぞれ図示している。図4(A1)は図4(A2)中のC1-C2線に沿った断面図に相当する。図4(A1)において、酸化物絶縁層428上に形成される透明導電膜415は、入力端子として機能する接続用の端子電極である。また、図4(A1)において、端子部では、ゲート配線と同じ材料で形成される第1の端子411と、ソース配線と同じ材料で形成される接続電極412とがゲート絶縁層402を介して重なり直接接して導通させている。また、接続電極412と透明導電膜415が酸化物絶縁層428に設けられたコンタクトホールを介して直接接して導通させている。

20

【0105】

また、図4(B1)、及び図4(B2)は、ソース配線端子部の断面図及び平面図をそれぞれ図示している。また、図4(B1)は図4(B2)中のC3-C4線に沿った断面図に相当する。図4(B1)において、酸化物絶縁層428上に形成される透明導電膜418は、入力端子として機能する接続用の端子電極である。また、図4(B1)において、端子部では、ゲート配線と同じ材料で形成される電極416が、ソース配線と電氣的に接続される第2の端子414の下方にゲート絶縁層402を介して重なる。電極416は第2の端子414とは電氣的に接続しておらず、電極416を第2の端子414と異なる電位、例えばフローティング、GND、0Vなどに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第2の端子414は、酸化物絶縁層428を介して透明導電膜418と電氣的に接続している。

30

【0106】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第1の端子、ソース配線と同電位の第2の端子、容量配線と同電位の第3の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【0107】

こうして7回のフォトリソグラフィ工程により、7枚のフォトマスクを使用して、チャンネル保護型の薄膜トランジスタ470及び保持容量部を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置し画素部を構成することにより、アクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

40

【0108】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第4の端子を端子部に設ける。この第4の端子は、共通電極を固定電位、例えばGND、0Vなどに設定す

50

るための端子である。

【0109】

また、本実施の形態は、図3の画素構成に限定されない。例えば、容量配線を設けず、画素電極を隣り合う画素のゲート配線と保護絶縁膜及びゲート絶縁層を介して重ねて保持容量を形成してもよい。この場合、容量配線及び容量配線と接続する第3の端子は省略することができる。

【0110】

また、図5に示すように、チャンネル保護層として機能する酸化物絶縁層456a上に、ソース電極層425a及びドレイン電極層425bが重なる構成としても良い。この場合、ソース電極層425a及びドレイン電極層425bのパターニングの際に酸化物半導体層がエッチングされないため、酸化物半導体層において膜厚の薄い領域が形成されない。すなわち、それぞれ同じ膜厚を有する、ソース電極層425aと重なる第1領域424aと、ドレイン電極層425bと重なる第2領域424bと、チャンネル形成領域となる第5領域424eと、を有する酸化物半導体層となる。

【0111】

また、図22(A)に示すように、酸化物半導体層の第5領域424eにおける、非晶質または非晶質と微結晶の混合物である領域の膜厚が、第3領域424c及び第4領域424dの膜厚よりも厚い(すなわち、第5領域424eにおける結晶領域と、非晶質または非晶質と微結晶の混合物である領域と、の界面が、第3領域424c及び第4領域424dの最表面よりも上方に存在する)構成を有する薄膜トランジスタ490としてもよい。このような構成の薄膜トランジスタ490は、例えば、第1の加熱処理において、加熱温度または加熱時間を調整することにより、酸化物半導体層の結晶領域を極浅く作製することで、得ることができる。図22(A)に示す薄膜トランジスタ490の構成とすることで、オフ電流を低減することができる。

【0112】

なお、図22(A)に示すチャンネル保護型の薄膜トランジスタ490のチャンネル長Lは、キャリアの流れる方向と平行な方向の酸化物絶縁層426aの幅と等しい。また、図22(A)に示す薄膜トランジスタ490において、酸化物半導体層の第3領域のチャンネル長方向の幅L3と、第4領域のチャンネル長方向の幅L4とは、必ずしも同一ではないが、第3領域のチャンネル長方向の幅L3と第4領域のチャンネル長方向の幅L4の合計の値は、一定の値となる。

【0113】

また、図22(B)に示すように、酸化物半導体層の第1領域乃至第5領域424a~424eにおいて、表層部に結晶領域を有する薄膜トランジスタ430としてもよい。図22(B)に示す薄膜トランジスタ430の構成とすることで、オン電流を増加させることができる。

【0114】

また、同一基板上に、薄膜トランジスタ430、450、470または490等の異なる構成を有する薄膜トランジスタを形成しても良い。なお、画素部と駆動回路を同一基板上に形成する場合には、画素部に用いる薄膜トランジスタは優れたスイッチング特性が要求され、駆動回路に用いる薄膜トランジスタは動作速度が速いことが好ましい。例えば、図22(C)に示すように、駆動回路部には薄膜トランジスタ430を配置し、画素部には薄膜トランジスタ490を配置してもよい。駆動回路部に配置された薄膜トランジスタ430はオン電流を増加させることができるため、大きな電流駆動能力を要求する用途に適しており、画素部に配置された薄膜トランジスタ490は、オフ電流を低減することができるため、画素部のスイッチング素子として用いた場合、コントラストを向上させることができる。または、図22(D)に示すように、駆動回路部に薄膜トランジスタ450を配置し、画素部にオフ電流の低い薄膜トランジスタ470を配置してもよい。また、図示しないが、駆動回路部に薄膜トランジスタ430を配置し、画素部には薄膜トランジスタ470を配置しても良いし、駆動回路部に薄膜トランジスタ450を配置し、画素部には

薄膜トランジスタ 490 を配置しても良い。

【0115】

なお、本実施の形態で示す薄膜トランジスタ 430、450、470 及び 490 において、ゲート絶縁層 402 と接する酸化物半導体層 423 の界面は、非晶質または非晶質と微結晶の混合物であり、且つ、少なくとも酸化物絶縁層 426a と接する表層部は結晶領域を有する。

【0116】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

10

【0117】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を 1 フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

【0118】

また、垂直同期周波数を通常の 1.5 倍好ましくは 2 倍以上にすることで応答速度を改善するとともに各フレーム内の分割された複数フィールド毎に書き込む階調を選択する、所謂、倍速駆動と呼ばれる駆動技術もある。

20

【0119】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数の LED (発光ダイオード) 光源または複数の EL 光源などを用いて面光源を構成し、面光源を構成している各光源を独立して 1 フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3 種類以上の LED を用いてもよいし、白色発光の LED を用いてもよい。独立して複数の LED を制御できるため、液晶層の光学変調の切り替えタイミングに合わせて LED の発光タイミングを同期させることもできる。この駆動技術は、LED を部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

【0120】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

30

【0121】

本実施の形態で得られる n チャンネル型のトランジスタは、In-Ga-Zn-O 系膜をチャンネル形成領域に用いており、良好な動特性を有するため、これらの駆動技術を組み合わせることができる。

【0122】

また、発光表示装置を作製する場合、有機発光素子の一方の電極(カソードとも呼ぶ)は、低電源電位、例えば GND、0V などに設定するため、端子部に、カソードを低電源電位、例えば GND、0V などに設定するための第 4 の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電気的に接続する第 5 の端子を設ける。

40

【0123】

以上の工程により、電気特性が良好で信頼性の高い薄膜トランジスタ及び該薄膜トランジスタを用いた表示装置を提供することができる。

【0124】

本実施の形態で示す薄膜トランジスタは、酸化物半導体層を用いた薄膜トランジスタであって、該酸化物半導体層の少なくともチャンネル形成領域の表層部は結晶領域を有し、その他の部分は非晶質または非晶質と微結晶の混合物である構成とすることができ、寄生チャネルの発生を抑制可能な薄膜トランジスタとすることができる。

50

【 0 1 2 5 】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせ用いることができることとする。

【 0 1 2 6 】

(実施の形態 2)

本実施の形態では、実施の形態 1 と異なる表示装置の作製工程の例を図 6 を用いて説明する。なお、本実施の形態において、実施の形態 1 と同一部分または同様な機能を有する部分、及び工程は、実施の形態 1 と同様に行うことができ、繰り返しの説明は省略する。

【 0 1 2 7 】

まず、絶縁表面を有する基板 4 0 0 上に、ゲート電極層 4 2 1 a を含むゲート配線、容量配線 4 2 1 b、及び第 1 の端子 4 2 1 c を形成するための導電膜をスパッタ法や真空蒸着法で全面に成膜する。次いで、導電膜を基板 4 0 0 全面に形成した後、第 1 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極(ゲート電極層 4 2 1 a を含むゲート配線、容量配線 4 2 1 b、及び第 1 の端子 4 2 1 c)を形成する。

10

【 0 1 2 8 】

次いで、ゲート電極層 4 2 1 a、容量配線 4 2 1 b、及び第 1 の端子 4 2 1 c 上にゲート絶縁層 4 0 2 を形成し、ゲート絶縁層 4 0 2 上に、膜厚 5 nm 以上 2 0 0 nm 以下、好ましくは 1 0 nm 以上 4 0 nm 以下の酸化物半導体膜 1 0 3 を形成する。なお、ここまでの工程は実施の形態 1 と同様に行うことができる。

20

【 0 1 2 9 】

次いで、酸化物半導体膜 1 0 3 上に、スパッタ法で酸化物絶縁膜 1 0 5 を形成した後、第 2 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って第 1 の端子 4 2 1 c に達するコンタクトホールを形成を行う(図 6 (A))。酸化物絶縁膜 1 0 5 は、実施の形態 1 で示した酸化物絶縁層 4 2 6 a となる酸化物絶縁膜と同様に成膜することが可能である。

【 0 1 3 0 】

次いで、酸化物半導体膜 1 0 3 の脱水化または脱水素化を行う。この脱水化または脱水素化を行う第 1 の加熱処理は、高温の窒素、または希ガス等の不活性ガスや光を用いて 5 0 0 以上 7 5 0 以下(若しくはガラス基板の歪点以下の温度)で 1 分間以上 1 0 分間以下程度、好ましくは 6 5 0 、3 分間以上 6 分間以下程度の R T A 処理で行うことができる。R T A 処理を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。なお、加熱処理は、このタイミングに限らず、フォトリソグラフィ工程や成膜工程の前後などで複数回行っても良い。

30

【 0 1 3 1 】

ここで、酸化物半導体膜 1 0 3 の表層部は第 1 の加熱処理によって結晶化し、ナノクリスタルで構成された緻密な結晶領域 1 0 6 を有するようになる。また、酸化物半導体膜 1 0 3 のその他の領域は、非晶質、または非晶質領域中に微結晶が点在した非晶質と微結晶の混合物となる。なお、結晶領域 1 0 6 は酸化物半導体膜 1 0 3 の一部であり、以降、酸化物半導体膜 1 0 3 の表記には、結晶領域 1 0 6 は含まれるものとする。

40

【 0 1 3 2 】

酸化物半導体膜に対して脱水化または脱水素化を行う加熱温度 T から温度を下げる際、脱水化または脱水素化を行った同じ炉を用いて大気に触れさせないことで、水または水素を再び混入させないことが重要である。また、加熱温度 T から下げるガス雰囲気は、加熱温度 T まで昇温したガス雰囲気と異なるガス雰囲気に切り替えてもよい。例えば、脱水化または脱水素化を行った同じ炉で大気に触れさせることなく、炉の中を高純度の酸素ガスまたは N₂O ガス、超乾燥エア(露点 が - 4 0 以下、好ましくは - 6 0 以下)で満たして冷却を行う。

【 0 1 3 3 】

なお、第 1 の加熱処理においては、雰囲気中に、水、水素などが含まれないことが好まし

50

い。または、加熱処理装置に導入する不活性ガスの純度を、6 N (9 9 . 9 9 9 9 %) 以上、好ましくは7 N (9 9 . 9 9 9 9 9 %) 以上、(即ち不純物濃度を1 p p m 以下、好ましくは0 . 1 p p m 以下) とすることが好ましい。

【 0 1 3 4 】

第1の加熱処理後は、酸素欠乏型となって低抵抗化した酸化物半導体膜103となる。第1の加熱処理後は、成膜直後の酸化物半導体膜よりもキャリア濃度が高まり、好ましくは $1 \times 10^{18} / \text{cm}^3$ 以上のキャリア濃度を有するようになる。

【 0 1 3 5 】

次いで、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層426a、426b、426c、426dを形成し、その後レジストマスクを除去する(図6 (B))。ここで、酸化物絶縁層426aは、薄膜トランジスタのチャネル保護層として機能する。また、酸化物半導体膜103において、酸化物絶縁層426aと重なる領域が後にチャネル形成領域となる領域である。

10

【 0 1 3 6 】

次に、酸化物半導体膜103、及び酸化物絶縁層426a、426b、426c、426d上に金属材料からなる導電膜をスパッタ法や真空蒸着法で成膜する。導電膜の材料としては、ゲート電極層421aと同様の材料を用いることができる。

【 0 1 3 7 】

本実施の形態では、第1乃至第3の導電膜を積層させた導電膜を形成するものとする。例えば、第1の導電膜及び第3の導電膜として耐熱性導電性材料であるチタンを用い、第2の導電膜としてネオジムを含むアルミニウム合金を用いる。このような構成にすることで、アルミニウムの低抵抗性を活かしつつ、ヒロックの発生を低減することができる。なお、本実施の形態では第1乃至第3の導電膜からなる3層構造としたが、これに限られることはなく、単層構造としてもよいし、2層構造としてもよいし、4層以上の構造としてもよい。例えば、チタン膜の単層構造としてもよいし、シリコンを含むアルミニウム膜の単層構造としてもよい。

20

【 0 1 3 8 】

なお、ナノクリスタルで構成された緻密な結晶領域106を表層部に有する酸化物半導体層層上に接して導電膜を成膜する際に、成膜時の熱や成膜による結晶領域へのダメージによって、酸化物半導体層の結晶領域106が非晶質化されることがある。しかしながら、本実施の形態で示す薄膜トランジスタの作製方法においては、酸化物半導体層のチャネル形成領域となる領域に接して、チャネル保護層として機能する酸化物絶縁層426aが設けられているため、導電膜を成膜した場合においても、酸化物半導体層の少なくともチャネル形成領域においては、表層部に結晶領域106を有する構造とすることができる。

30

【 0 1 3 9 】

次に、第4のフォトリソグラフィ工程を行い、レジストマスク480a及び480bを形成し、エッチングにより不要な部分を除去して導電層425及び接続電極429を形成する(図6 (C))。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。例えば、第1の導電膜及び第3の導電膜にチタンを、第2の導電膜にネオジムを含むアルミニウム合金を用いる場合には、過酸化水素水又は加熱塩酸をエッチャントに用いてウェットエッチングすることができる。

40

【 0 1 4 0 】

また、この第4のフォトリソグラフィ工程において、接続電極429は、ゲート絶縁層に形成されたコンタクトホールを介して端子部の第1の端子421cと直接接続される。なお、ここでは図示しないが、上述した工程と同じ工程を経て駆動回路の薄膜トランジスタのソース配線あるいはドレイン配線とゲート電極が直接接続される。

【 0 1 4 1 】

本実施の形態におけるレジストマスク480aは凹部又は凸部を有するレジストマスクである。換言すると、厚さの異なる複数の領域(ここでは、2つの領域)からなるレジストマスクともいうことができる。レジストマスク480aにおいて、厚い領域をレジストマ

50

スクの凸部と呼び、薄い領域をレジストマスクの凹部と呼ぶこととする。

【0142】

レジストマスク480aにおいて、後にソース電極層及びド레인電極層が形成される部分には凸部が形成され、後の島状の酸化物半導体層の周縁部分には凹部が形成される。

【0143】

本実施の形態で示すレジストマスクは、多階調マスクを用いることで形成することができる。多階調マスクとは、多段階の光量で露光を行うことが可能なマスクであり、代表的には、露光領域、半露光領域及び未露光領域の3段階の光量で露光を行うものをいう。多階調マスクを用いることで、一度の露光及び現像工程によって、複数（代表的には2種類）の厚さを有するレジストマスクを形成することができる。そのため、多階調マスクを用いることで、フォトマスクの枚数を削減することができる。

10

【0144】

多階調マスクを用いて露光して現像を行うことで、厚さの異なる領域を有するレジストマスク480a及び480bを形成することができる。ただし、これに限定されず、多階調マスクを用いることなくレジストマスクを形成してもよい。

【0145】

レジストマスク480a及び480bを用いて、導電層425及び接続電極429を形成した後、レジストマスク480a及び480bを後退（縮小）させることで、レジストマスク482a、482b及び482cを形成する。レジストマスクを後退（縮小）させるには、酸素プラズマによるアッシング等を行えばよい。レジストマスクの後退（縮小）によって、レジストマスク480aにおける凹部が消失してレジストマスク482a及びレジストマスク482bへ分割される。また、レジストマスク482aとレジストマスク482bに挟まれた領域の電極層425が露出する（図示なし）。

20

【0146】

次いで、レジストマスク482a、482b及び482cを用いて、露出した導電層425及び接続電極429の一部と、をエッチングすることにより、ソース電極425a、ド레인電極425b及び島状の酸化物半導体層423を形成する（図6（D））。

【0147】

このエッチング工程において、酸化物半導体膜103の一部がエッチングされ、ソース電極層425aと酸化物絶縁層426aの間の第3領域424cと、ド레인電極層425bと酸化物絶縁層426aの間の第4領域424dとが、ソース電極層425aと重なる第1領域424a、ド레인電極層425bと重なる第2領域424b及び酸化物絶縁層426aと重なる第5領域424eよりも膜厚の薄い領域となる。なお、酸化物半導体層423の第5領域424eは、酸化物絶縁層426aによって、エッチングされることなく保護されるため、少なくともチャネル形成領域の表層部にはナノクリスタルで構成された緻密な結晶領域が存在する。チャネル形成領域において酸化物半導体層の表層部は、バックチャネル側であり、この結晶領域によって、寄生チャネルを抑制することができる。

30

【0148】

なお、第1領域424aと第2領域424bとは、チャネル形成領域である第5領域424eと同じ膜厚を有している。

40

【0149】

次いで、薄膜トランジスタ410を覆う酸化物絶縁層428を形成する（図6（E））。酸化物絶縁層428はスパッタ法などを用いて得られる酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの酸化物絶縁層を用いることができる。

【0150】

次いで、不活性ガス雰囲気下、または窒素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。または、第1の加熱処理と同様に高温短時間のRTA処理を行っても良い。第2の加熱処理を行うと、酸化物絶縁層と、該酸化物絶縁層と重なる酸化物半導体層とが接した状態で加熱される。なお、第2の加熱処理を

50

行うと、第 1 の加熱処理で低抵抗化された酸化物半導体層 4 2 3 が酸素過剰な状態となり、高抵抗化（I 型化）することができる。

【0151】

本実施の形態では、酸化珪素膜成膜後に第 2 の加熱処理を行ったが、加熱処理のタイミングは酸化珪素膜成膜以降であれば問題なく、酸化珪素膜成膜直後に限定されるものではない。

【0152】

また、ソース電極層 4 2 5 a 及びドレイン電極層 4 2 5 b に耐熱性のある材料を用いる場合には、第 2 の加熱処理のタイミングで、第 1 の加熱処理条件を用いた工程を行うことができる。この場合、加熱処理は酸化珪素膜成膜後の 1 回のみとすることも可能である。

10

【0153】

なお、酸化物絶縁層 4 2 8 上に、保護絶縁層を形成しても良い。保護絶縁層としては、例えば R F スパッタ法を用いて窒化珪素膜を形成することができる。保護絶縁層は、水や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウム膜などを用いる。また、保護絶縁層は、酸化物絶縁層 4 2 8 と連続的に成膜することも可能である。

【0154】

次に、第 5 のフォトリソグラフィ工程を行い、レジストマスクを形成し、酸化物絶縁層 4 2 8 のエッチングによりドレイン電極層 4 2 5 b に達するコンタクトホールを形成する。また、ここでのエッチングにより接続電極 4 2 9 に達するコンタクトホールも形成する。

20

【0155】

次いで、レジストマスクを除去した後、透明導電膜を成膜する。透明導電膜の材料としては、酸化インジウム (In_2O_3) や酸化インジウム酸化スズ合金 (In_2O_3 SnO₂、ITO と略記する) などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。ただし、特に ITO のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 (In_2O_3 ZnO) を用いても良い。

【0156】

次に、第 6 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層 1 1 0 を形成する。

30

【0157】

また、この第 6 のフォトリソグラフィ工程において、容量部におけるゲート絶縁層 4 0 2、酸化物半導体層、酸化物絶縁層 4 2 6 b 及び酸化物絶縁層 4 2 8 を誘電体として、容量配線 4 2 1 b と画素電極層 1 1 0 とで保持容量が形成される。

【0158】

また、この第 6 のフォトリソグラフィ工程において、第 1 の端子 4 2 1 c をレジストマスクで覆い端子部に形成された透明導電膜 1 2 8 を残す。透明導電膜 1 2 8 は F P C との接続に用いられる電極または配線となる。第 1 の端子 4 2 1 c と直接接続された接続電極 4 2 9 上に形成された透明導電膜 1 2 8 は、ゲート配線の入力端子として機能する接続用の端子電極となる。また、図示しないが、ソース配線の入力端子として機能する接続用の端子電極も同時に形成される。

40

【0159】

こうして 6 回のフォトリソグラフィ工程により、6 枚のフォトマスクを使用して、チャンネル保護型の薄膜トランジスタ 4 1 0 及び保持容量部を完成させることができる。

【0160】

本実施の形態で示す薄膜トランジスタは、酸化物半導体層を用いた薄膜トランジスタであって、該酸化物半導体層のチャンネル形成領域の表層部は結晶領域を有し、その他の部分は非晶質または非晶質と微結晶の混合物である構成とすることができる。この構成を有することによって、寄生チャンネルの発生を抑制することができるため、電気特性が良好で信頼

50

性の高い薄膜トランジスタ及び表示装置を作製することができる。

【0161】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることとする。

【0162】

(実施の形態3)

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0163】

画素部に配置する薄膜トランジスタは、実施の形態1または実施の形態2に従って形成する。また、実施の形態1または実施の形態2に示す薄膜トランジスタはnチャネル型TFTであるため、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【0164】

アクティブマトリクス型表示装置のブロック図の一例を図7(A)に示す。表示装置の基板5300上には、画素部5301、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304を有する。画素部5301には、複数の信号線が信号線駆動回路5304から延伸して配置され、複数の走査線が第1の走査線駆動回路5302、及び第2の走査線駆動回路5303から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板5300はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路5305(コントローラ、制御ICともいう)に接続されている。

【0165】

図7(A)では、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304は、画素部5301と同じ基板5300上に形成される。そのため、外部に設ける駆動回路等の部品数が減るので、コストの低減を図ることができる。また、基板5300外部に駆動回路を設けた場合の配線を延伸させることによる接続部での接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

【0166】

なお、タイミング制御回路5305は、第1の走査線駆動回路5302に対し、一例として、第1の走査線駆動回路用スタート信号(GSP1)、走査線駆動回路用クロック信号(GCK1)を供給する。また、タイミング制御回路5305は、第2の走査線駆動回路5303に対し、一例として、第2の走査線駆動回路用スタート信号(GSP2)(スタートパルスともいう)、走査線駆動回路用クロック信号(GCK2)を供給する。信号線駆動回路5304に、信号線駆動回路用スタート信号(SSP)、信号線駆動回路用クロック信号(SCK)、ビデオ信号用データ(DATA)(単にビデオ信号ともいう)、ラッチ信号(LAT)を供給するものとする。なお各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号(CKB)とともに供給されるものであってもよい。なお、第1の走査線駆動回路5302と第2の走査線駆動回路5303との一方を省略することが可能である。

【0167】

図7(B)では、駆動周波数が低い回路(例えば、第1の走査線駆動回路5302、第2の走査線駆動回路5303)を画素部5301と同じ基板5300に形成し、信号線駆動回路5304を画素部5301とは別の基板に形成する構成について示している。当該構成により、単結晶半導体を用いたトランジスタと比較すると電界効果移動度が小さい薄膜トランジスタによって、基板5300に形成する駆動回路を構成することができる。したがって、表示装置の大型化、工程数の削減、コストの低減、又は歩留まりの向上などを行うことができる。

【0168】

また、実施の形態 1 または実施の形態 2 に示す薄膜トランジスタは、 n チャネル型 T F T である。図 8 (A)、図 8 (B) では n チャネル型 T F T で構成する信号線駆動回路の構成、動作について一例を示し説明する。

【 0 1 6 9 】

信号線駆動回路は、シフトレジスタ 5 6 0 1、及びスイッチング回路 5 6 0 2 を有する。スイッチング回路 5 6 0 2 は、スイッチング回路 5 6 0 2 _ 1 ~ 5 6 0 2 _ N (N は自然数) という複数の回路を有する。スイッチング回路 5 6 0 2 _ 1 ~ 5 6 0 2 _ N は、各々、薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k (k は自然数) という複数のトランジスタを有する。薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k は、 N チャネル型 T F T である例を説明する。

10

【 0 1 7 0 】

信号線駆動回路の接続関係について、スイッチング回路 5 6 0 2 _ 1 を例にして説明する。薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k の第 1 端子は、各々、配線 5 6 0 4 _ 1 ~ 5 6 0 4 _ k と接続される。薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k の第 2 端子は、各々、信号線 $S_1 \sim S_k$ と接続される。薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k のゲートは、配線 5 6 0 5 _ 1 と接続される。

【 0 1 7 1 】

シフトレジスタ 5 6 0 1 は、配線 5 6 0 5 _ 1 ~ 5 6 0 5 _ N に順番に H レベル (H 信号、高電源電位レベル、ともいう) の信号を出力し、スイッチング回路 5 6 0 2 _ 1 ~ 5 6 0 2 _ N を順番に選択する機能を有する。

20

【 0 1 7 2 】

スイッチング回路 5 6 0 2 _ 1 は、配線 5 6 0 4 _ 1 ~ 5 6 0 4 _ k と信号線 $S_1 \sim S_k$ との導通状態 (第 1 端子と第 2 端子との間の導通) に制御する機能、即ち配線 5 6 0 4 _ 1 ~ 5 6 0 4 _ k の電位を信号線 $S_1 \sim S_k$ に供給するか否かを制御する機能を有する。このように、スイッチング回路 5 6 0 2 _ 1 は、セレクトとしての機能を有する。また薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k は、各々、配線 5 6 0 4 _ 1 ~ 5 6 0 4 _ k と信号線 $S_1 \sim S_k$ との導通状態を制御する機能、即ち配線 5 6 0 4 _ 1 ~ 5 6 0 4 _ k の電位を信号線 $S_1 \sim S_k$ に供給する機能を有する。このように、薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k は、各々、スイッチとしての機能を有する。

【 0 1 7 3 】

なお、配線 5 6 0 4 _ 1 ~ 5 6 0 4 _ k には、各々、ビデオ信号用データ (D A T A) が入力される。ビデオ信号用データ (D A T A) は、画像情報又は画像信号に応じたアナログ信号である場合が多い。

30

【 0 1 7 4 】

次に、図 8 (A) の信号線駆動回路の動作について、図 8 (B) のタイミングチャートを参照して説明する。図 8 (B) には、信号 $S_{out_1} \sim S_{out_N}$ 、及び信号 $V_{data_1} \sim V_{data_k}$ の一例を示す。信号 $S_{out_1} \sim S_{out_N}$ は、各々、シフトレジスタ 5 6 0 1 の出力信号の一例であり、信号 $V_{data_1} \sim V_{data_k}$ は、各々、配線 5 6 0 4 _ 1 ~ 5 6 0 4 _ k に入力される信号の一例である。なお、信号線駆動回路の 1 動作期間は、表示装置における 1 ゲート選択期間に対応する。1 ゲート選択期間は、一例として、期間 $T_1 \sim$ 期間 T_N に分割される。期間 $T_1 \sim T_N$ は、各々、選択された行に属する画素にビデオ信号用データ (D A T A) を書き込むための期間である。

40

【 0 1 7 5 】

期間 $T_1 \sim$ 期間 T_N において、シフトレジスタ 5 6 0 1 は、H レベルの信号を配線 5 6 0 5 _ 1 ~ 5 6 0 5 _ N に順番に出力する。例えば、期間 T_1 において、シフトレジスタ 5 6 0 1 は、ハイレベルの信号を配線 5 6 0 5 _ 1 に出力する。すると、薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k はオンになるので、配線 5 6 0 4 _ 1 ~ 5 6 0 4 _ k と、信号線 $S_1 \sim S_k$ とが導通状態になる。このとき、配線 5 6 0 4 _ 1 ~ 5 6 0 4 _ k には、 $D_{ata}(S_1) \sim D_{ata}(S_k)$ が入力される。 $D_{ata}(S_1) \sim D_{ata}(S_k)$ は、各々、薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k を介して、選択される行に属

50

する画素のうち、1列目～k列目の画素に書き込まれる。こうして、期間 $T_1 \sim T_N$ において、選択された行に属する画素に、k列ずつ順番にビデオ信号用データ(DATA)が書き込まれる。

【0176】

以上のように、ビデオ信号用データ(DATA)が複数の列ずつ画素に書き込まれることによって、ビデオ信号用データ(DATA)の数、又は配線の数減らすことができる。よって、外部回路との接続数を減らすことができる。また、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができ、ビデオ信号の書き込み不足を防止することができる。

【0177】

なお、シフトレジスタ5601及びスイッチング回路5602としては、実施の形態1または実施の形態2に示す薄膜トランジスタで構成される回路を用いることが可能である。この場合、シフトレジスタ5601が有する全てのトランジスタの極性をNチャンネル型、又はPチャンネル型のいずれかの極性のみで構成することができる。

【0178】

なお、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタを有している。また場合によってはレベルシフタやバッファ等を有していても良い。走査線駆動回路において、シフトレジスタにクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしないでほしいので、バッファは大きな電流を流すことが可能なものが用いられる。

【0179】

走査線駆動回路及び/または信号線駆動回路の一部に用いるシフトレジスタの一形態について図9及び図10を用いて説明する。

【0180】

シフトレジスタは、第1のパルス出力回路10__1乃至第Nのパルス出力回路10__N(Nは3以上の自然数)を有している(図9(A)参照)。図9(A)に示すシフトレジスタの第1のパルス出力回路10__1乃至第Nのパルス出力回路10__Nには、第1の配線11より第1のクロック信号CK1、第2の配線12より第2のクロック信号CK2、第3の配線13より第3のクロック信号CK3、第4の配線14より第4のクロック信号CK4が供給される。また第1のパルス出力回路10__1では、第5の配線15からのスタートパルスSP1(第1のスタートパルス)が入力される。また2段目以降の第nのパルス出力回路10__n(nは、2以上N以下の自然数)では、一段前段のパルス出力回路からの信号(前段信号OUT(n-1)という)(nは2以上の自然数)が入力される。また第1のパルス出力回路10__1では、2段後段の第3のパルス出力回路10__3からの信号が入力される。同様に、2段目以降の第nのパルス出力回路10__nでは、2段後段の第(n+2)のパルス出力回路10__(n+2)からの信号(後段信号OUT(n+2)という)が入力される。従って、各段のパルス出力回路からは、後段及び/または二つ前段のパルス出力回路に入力するための第1の出力信号(OUT(1)(SR)～OUT(N)(SR))、別の配線等に電気的に接続される第2の出力信号(OUT(1)～OUT(N))が出力される。なお、図9(A)に示すように、シフトレジスタの最終段の2つの段には、後段信号OUT(n+2)が入力されないが、一例としては、別途第6の配線16より第2のスタートパルスSP2、第7の配線17より第3のスタートパルスSP3をそれぞれ入力する構成とすればよい。または、別途シフトレジスタの内部で生成された信号であってもよい。例えば、画素部へのパルス出力に寄与しない第(n+1)のパルス出力回路10__(n+1)、第(n+2)のパルス出力回路10__(n+2)を設け(ダミー段ともいう)、当該ダミー段より第2のスタートパルス(SP2)及び第3のスタートパルス(SP3)に相当する信号を生成する構成としてもよい。

【 0 1 8 1 】

なお、クロック信号 (C K) は、一定の間隔で H レベルと L レベル (L 信号、低電源電位レベル、ともいう) を繰り返す信号である。ここで、第 1 のクロック信号 (C K 1) ~ 第 4 のクロック信号 (C K 4) は、順に 1 / 4 周期分遅延している。本実施の形態では、第 1 のクロック信号 (C K 1) ~ 第 4 のクロック信号 (C K 4) を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号は、入力される駆動回路に応じて、 G C K 、 S C K ということもあるが、ここでは C K として説明を行う。

【 0 1 8 2 】

第 1 の入力端子 2 1、第 2 の入力端子 2 2 及び第 3 の入力端子 2 3 は、第 1 の配線 1 1 ~ 第 4 の配線 1 4 のいずれかと電氣的に接続されている。例えば、図 9 (A) において、第 1 のパルス出力回路 1 0 _ 1 は、第 1 の入力端子 2 1 が第 1 の配線 1 1 と電氣的に接続され、第 2 の入力端子 2 2 が第 2 の配線 1 2 と電氣的に接続され、第 3 の入力端子 2 3 が第 3 の配線 1 3 と電氣的に接続されている。また、第 2 のパルス出力回路 1 0 _ 2 は、第 1 の入力端子 2 1 が第 2 の配線 1 2 と電氣的に接続され、第 2 の入力端子 2 2 が第 3 の配線 1 3 と電氣的に接続され、第 3 の入力端子 2 3 が第 4 の配線 1 4 と電氣的に接続されている。

【 0 1 8 3 】

第 1 のパルス出力回路 1 0 _ 1 ~ 第 N のパルス出力回路 1 0 _ N の各々は、第 1 の入力端子 2 1、第 2 の入力端子 2 2、第 3 の入力端子 2 3、第 4 の入力端子 2 4、第 5 の入力端子 2 5、第 1 の出力端子 2 6、第 2 の出力端子 2 7 を有しているとする (図 9 (B) 参照)。第 1 のパルス出力回路 1 0 _ 1 において、第 1 の入力端子 2 1 に第 1 のクロック信号 C K 1 が入力され、第 2 の入力端子 2 2 に第 2 のクロック信号 C K 2 が入力され、第 3 の入力端子 2 3 に第 3 のクロック信号 C K 3 が入力され、第 4 の入力端子 2 4 にスタートパルスが入力され、第 5 の入力端子 2 5 に後段信号 O U T (3) が入力され、第 1 の出力端子 2 6 より第 1 の出力信号 O U T (1) (S R) が出力され、第 2 の出力端子 2 7 より第 2 の出力信号 O U T (1) が出力されていることとなる。

【 0 1 8 4 】

次に、図 9 (B) に示したパルス出力回路の具体的な回路構成の一例について、図 9 (C) で説明する。

【 0 1 8 5 】

図 9 (C) に示したパルス出力回路は、第 1 のトランジスタ 3 1 ~ 第 1 1 のトランジスタ 4 1 を有している。また、上述した第 1 の入力端子 2 1 ~ 第 5 の入力端子 2 5、及び第 1 の出力端子 2 6、第 2 の出力端子 2 7 に加え、第 1 の高電源電位 V D D が供給される電源線 5 1、第 2 の高電源電位 V C C が供給される電源線 5 2、低電源電位 V S S が供給される電源線 5 3 から、第 1 のトランジスタ 3 1 ~ 第 1 1 のトランジスタ 4 1 に信号、または電源電位が供給される。ここで図 9 (C) における各電源線の電源電位の大小関係は、第 1 の電源電位 V D D は第 2 の電源電位 V C C 以上の電位として、第 2 の電源電位 V C C は第 3 の電源電位 V S S より大きい電位とする。なお、第 1 のクロック信号 (C K 1) ~ 第 4 のクロック信号 (C K 4) は、一定の間隔で H レベルと L レベルを繰り返す信号であるが、H レベルのとき V D D、L レベルのとき V S S であるとする。なお電源線 5 1 の電位 V D D を、電源線 5 2 の電位 V C C より高くすることにより、動作に影響を与えることなく、トランジスタのゲート電極に印加される電位を低く抑えることができ、トランジスタのしきい値のシフトを低減し、劣化を抑制することができる。

【 0 1 8 6 】

図 9 (C) において、第 1 のトランジスタ 3 1 は、第 1 端子が電源線 5 1 に電氣的に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に電氣的に接続され、ゲート電極が第 4 の入力端子 2 4 に電氣的に接続されている。第 2 のトランジスタ 3 2 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に電氣的に接続され、ゲート電極が第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続されている。第 3 のトランジスタ 3 3 は、第 1 端子が第 1 の入力端子 2 1 に電氣的に接続され、

第2端子が第1の出力端子26に電氣的に接続されている。第4のトランジスタ34は、第1端子が電源線53に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第5のトランジスタ35は、第1端子が電源線53に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第4の入力端子24に電氣的に接続されている。第6のトランジスタ36は、第1端子が電源線52に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第5の入力端子25に電氣的に接続されている。第7のトランジスタ37は、第1端子が電源線52に電氣的に接続され、第2端子が第8のトランジスタ38の第2端子に電氣的に接続され、ゲート電極が第3の入力端子23に電氣的に接続されている。第8のトランジスタ38は、第1端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第2の入力端子22に電氣的に接続されている。第9のトランジスタ39は、第1端子が第1のトランジスタ31の第2端子及び第2のトランジスタ32の第2端子に電氣的に接続され、第2端子が第3のトランジスタ33のゲート電極及び第10のトランジスタ40のゲート電極に電氣的に接続され、ゲート電極が電源線52に電氣的に接続されている。第10のトランジスタ40は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第9のトランジスタ39の第2端子に電氣的に接続されている。第11のトランジスタ41は、第1端子が電源線53に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続されている。

【0187】

図9(C)において、第3のトランジスタ33のゲート電極、第10のトランジスタ40のゲート電極、及び第9のトランジスタ39の第2端子の接続箇所をノードAとする。また、第2のトランジスタ32のゲート電極、第4のトランジスタ34のゲート電極、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲート電極の接続箇所をノードBとする(図10(A)参照)。

【0188】

なお、薄膜トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、薄膜トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。

【0189】

ここで、図10(A)に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図10(B)に示す。なおシフトレジスタが走査線駆動回路である場合、図10(B)中の期間61は垂直帰線期間であり、期間62はゲート選択期間に相当する。

【0190】

なお、図10(A)に示すように、ゲートに第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作の前後において、以下のような利点がある。

【0191】

ゲート電極に第2の電位VCCが印加される第9のトランジスタ39がない場合、ブートストラップ動作によりノードAの電位が上昇すると、第1のトランジスタ31の第2端子であるソースの電位が上昇していき、第1の電源電位VDDより大きくなる。そして、第

10

20

30

40

50

1のトランジスタ31のソースが第1端子側、即ち電源線51側に切り替わる。そのため、第1のトランジスタ31においては、ゲートとソースの間、ゲートとドレインの間ともに、大きなバイアス電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となりうる。そこで、ゲート電極に第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作によりノードAの電位は上昇するものの、第1のトランジスタ31の第2端子の電位の上昇を生じないようにすることができる。つまり、第9のトランジスタ39を設けることにより、第1のトランジスタ31のゲートとソースの間に印加される負のバイアス電圧の値を小さくすることができる。よって、本実施の形態の回路構成とすることにより、第1のトランジスタ31のゲートとソースの間に印加される負のバイアス電圧も小さくできるため、ストレスによる第1のトランジスタ31の劣化を抑制することができる。

10

【0192】

なお、第9のトランジスタ39を設ける箇所については、第1のトランジスタ31の第2端子と第3のトランジスタ33のゲートとの間に第1端子と第2端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第9のトランジスタ39を省略してもよく、トランジスタ数を削減する利点がある。

【0193】

なお第1のトランジスタ31乃至第11のトランジスタ41の半導体層として、酸化物半導体を用いることにより、薄膜トランジスタのオフ電流を低減すると共に、オン電流及び電界効果移動度を高めることが出来ると共に、劣化の度合いを低減することが出来るため、回路内の誤動作を低減することができる。また酸化物半導体を用いたトランジスタ、アモルファスシリコンを用いたトランジスタに比べ、ゲート電極に高電位が印加されることによるトランジスタの劣化の程度が小さい。そのため、第2の電源電位VCCを供給する電源線に、第1の電源電位VDDを供給しても同様の動作が得られ、且つ回路間を引き回す電源線の数低減することができるため、回路の小型化を図ることが出来る。

20

【0194】

なお、第7のトランジスタ37のゲート電極に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極に第2の入力端子22によって供給されるクロック信号は、第7のトランジスタのゲート電極に第2の入力端子22によって供給されるクロック信号、第8のゲート電極に第3の入力端子23によって供給されるクロック信号となるように、結線関係を入れ替えても同様の作用を奏する。このとき、図10(A)に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオフ、第8のトランジスタ38がオンの状態、次いで第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じる、ノードBの電位の低下が第7のトランジスタ37のゲート電極の電位の低下、及び第8のトランジスタ38のゲート電極の電位の低下に起因して2回生じることとなる。一方、図10(A)に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオン、第8のトランジスタ38がオフの状態、次いで、第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じるノードBの電位の低下を、第8のトランジスタ38のゲート電極の電位の低下による一回に低減することができる。そのため、第7のトランジスタ37のゲート電極に第3の入力端子23からクロック信号が供給され、第8のトランジスタ38のゲート電極に第2の入力端子22からクロック信号が供給される結線関係とすることが好適である。なぜなら、ノードBの電位の変動回数が低減され、また、ノイズを低減することが出来るためである。

30

40

【0195】

このように、第1の出力端子26及び第2の出力端子27の電位をLレベルに保持する

50

期間に、ノードBに定期的にHレベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。

【0196】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることとする。

【0197】

(実施の形態4)

実施の形態1及び2に示す薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置(表示装置ともいう)を作製することができる。また、実施の形態1及び2に示す薄膜トランジスタを有する駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0198】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL(Electro Luminescence)素子、有機EL素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0199】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0200】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0201】

本実施の形態では、半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図11を用いて説明する。図11は、第1の基板4001上に形成された実施の形態1及び2で示したIn-Ga-Zn-O系膜を酸化物半導体層として含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図11(B)は、図11(A1)(A2)のM-Nにおける断面図に相当する。

【0202】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0203】

10

20

30

40

50

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図11(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図11(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

【0204】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図11(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

10

【0205】

薄膜トランジスタ4010、4011は、In-Ga-Zn-O系膜を酸化物半導体層として含む信頼性の高い実施の形態1及び2に示す薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0206】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。なお、図示はしていないが、カラーフィルタは第1の基板4001または第2の基板4006のどちら側に設けても良い。

20

【0207】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiber glass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルム、またはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

30

【0208】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

【0209】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が10μsec.以上100μsec.以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

40

【0210】

なお本実施の形態は透過型液晶表示装置の例であるが、本発明は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

50

【0211】

また、本実施の形態の液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

【0212】

また、本実施の形態では、薄膜トランジスタ起因の表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態1または2で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層（絶縁層4020、絶縁層4021）で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

【0213】

ここでは、保護膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化シリコン膜を形成する。保護膜として酸化シリコン膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

【0214】

また、保護膜の二層目として絶縁層を形成する。ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化シリコン膜を形成する。保護膜として窒化シリコン膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

【0215】

また、保護膜を形成した後に、酸化物半導体層のアニール（300 以上400 以下）を行ってもよい。

【0216】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、アクリル、ポリイミド、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0217】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0218】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、酸化物半導体層のアニール（300 以上400 以下）を行ってもよい。絶縁層4021の焼成工程と酸化物半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0219】

画素電極層 4 0 3 0、対向電極層 4 0 3 1 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0220】

また、画素電極層 4 0 3 0、対向電極層 4 0 3 1 として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000 \text{ } \Omega / \square$ 以下、波長 550 nm における透光率が 70% 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1 \text{ } \Omega \cdot \text{cm}$ 以下であることが好ましい。

10

【0221】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの 2 種以上の共重合体などがあげられる。

【0222】

また別途形成された信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 または画素部 4 0 0 2 に与えられる各種信号及び電位は、FPC 4 0 1 8 から供給されている。

【0223】

本実施の形態では、接続端子電極 4 0 1 5 が、液晶素子 4 0 1 3 が有する画素電極層 4 0 3 0 と同じ導電膜から形成され、端子電極 4 0 1 6 は、薄膜トランジスタ 4 0 1 0、4 0 1 1 のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

20

【0224】

接続端子電極 4 0 1 5 は、FPC 4 0 1 8 が有する端子と、異方性導電膜 4 0 1 9 を介して電氣的に接続されている。

【0225】

また図 1 1 においては、信号線駆動回路 4 0 0 3 を別途形成し、第 1 の基板 4 0 0 1 に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

30

【0226】

図 1 2 は、実施の形態 1 及び 2 に示す TFT を適用して作製される TFT 基板 2 6 0 0 を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0227】

図 1 2 は液晶表示モジュールの一例であり、TFT 基板 2 6 0 0 と対向基板 2 6 0 1 がシール材 2 6 0 2 により固着され、その間に TFT 等を含む画素部 2 6 0 3、液晶層を含む表示素子 2 6 0 4、着色層 2 6 0 5 が設けられ表示領域を形成している。着色層 2 6 0 5 はカラー表示を行う場合に必要であり、RGB 方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT 基板 2 6 0 0 と対向基板 2 6 0 1 の外側には偏光板 2 6 0 6、偏光板 2 6 0 7、拡散板 2 6 1 3 が配設されている。光源は冷陰極管 2 6 1 0 と反射板 2 6 1 1 により構成され、回路基板 2 6 1 2 は、フレキシブル配線基板 2 6 0 9 により TFT 基板 2 6 0 0 の配線回路部 2 6 0 8 と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

40

【0228】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned

50

Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

【0229】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0230】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることとする。

【0231】

(実施の形態5)

本実施の形態では、実施の形態1または2に示す薄膜トランジスタを適用した半導体装置として電子ペーパーの例を示す。

【0232】

図13は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、実施の形態1及び2で示す薄膜トランジスタを適用することができる。

【0233】

図13の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を、表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

【0234】

基板580と基板596との間に封止される薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層によって第1の電極層587と、絶縁層584、585に形成する開口で接しており電氣的に接続している。第1の電極層587と第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている(図13参照)。本実施の形態においては、第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。第2の電極層588は、薄膜トランジスタ581と同一基板上に設けられる共通電位線と電氣的に接続される。実施の形態1及び2に示すいずれか一の共通接続部を用いて、一对の基板間に配置される導電性粒子を介して第2の電極層588と共通電位線とを電氣的に接続することができる。

【0235】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10μm以上200μm以下程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置(単に表示装置、又は表示装置を具備する半導体装置ともいう)を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【0236】

以上により、半導体装置として信頼性の高い電子ペーパーとすることができる。

10

20

30

40

50

【 0 2 3 7 】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせ用いることができることとする。

【 0 2 3 8 】

(実施の形態 6)

本実施の形態では、実施の形態 1 または 2 に示す薄膜トランジスタを適用した半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 E L 素子、後者は無機 E L 素子と呼ばれている。

10

【 0 2 3 9 】

有機 E L 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア (電子および正孔) が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【 0 2 4 0 】

無機 E L 素子は、その素子構成により、分散型無機 E L 素子と薄膜型無機 E L 素子とに分類される。分散型無機 E L 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 E L 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 E L 素子を用いて説明する。

20

【 0 2 4 1 】

図 1 4 は、本発明を適用した半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【 0 2 4 2 】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは、実施の形態 1 及び 2 で示した、酸化物半導体層 (I n - G a - Z n - O 系膜) をチャネル形成領域に用いる n チャンネル型のトランジスタを、1つの画素に2つ用いる例を示す。

30

【 0 2 4 3 】

画素 6 4 0 0 は、スイッチング用トランジスタ 6 4 0 1、駆動用トランジスタ 6 4 0 2、発光素子 6 4 0 4 及び容量素子 6 4 0 3 を有している。スイッチング用トランジスタ 6 4 0 1 はゲートが走査線 6 4 0 6 に接続され、第 1 電極 (ソース電極及びドレイン電極の一方) が信号線 6 4 0 5 に接続され、第 2 電極 (ソース電極及びドレイン電極の他方) が駆動用トランジスタ 6 4 0 2 のゲートに接続されている。駆動用トランジスタ 6 4 0 2 は、ゲートが容量素子 6 4 0 3 を介して電源線 6 4 0 7 に接続され、第 1 電極が電源線 6 4 0 7 に接続され、第 2 電極が発光素子 6 4 0 4 の第 1 電極 (画素電極) に接続されている。発光素子 6 4 0 4 の第 2 電極は共通電極 6 4 0 8 に相当する。共通電極 6 4 0 8 は、同一基板上に形成される共通電位線と電氣的に接続される。その接続部分を共通接続部とすればよい。

40

【 0 2 4 4 】

なお、発光素子 6 4 0 4 の第 2 電極 (共通電極 6 4 0 8) には低電源電位が設定されている。なお、低電源電位とは、電源線 6 4 0 7 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば G N D、0 V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 6 4 0 4 に印加して、発光素子 6 4 0 4 に電流を流して発光素子 6 4 0 4 を発光させるため、高電源電位と低電源電位との電位差が発光素子 6 4 0 4 の順方向しきい値電圧以上となるようにそれ

50

それぞれの電位を設定する。

【0245】

なお、容量素子6403は駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量については、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

【0246】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、(電源線電圧+駆動用トランジスタ6402の V_{th})以上の電圧をかける。

10

【0247】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合も信号の入力を異ならせることで、図14と同じ画素構成を用いることができる。

【0248】

アナログ階調駆動を行う場合、駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+駆動用トランジスタ6402の V_{th} 以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

20

【0249】

なお、図14に示す画素構成は、これに限定されない。例えば、図14に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0250】

次に、発光素子の構成について、図15を用いて説明する。ここでは、駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図15(A)(B)(C)の半導体装置に用いられる駆動用TFTであるTFT7001、7011、7021は、実施の形態1及び2で示す薄膜トランジスタと同様に作製でき、In-Ga-Zn-O系膜を酸化物半導体層として含む信頼性の高い薄膜トランジスタである。

30

【0251】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。

【0252】

下面射出構造の発光素子について図15(A)を用いて説明する。

40

【0253】

駆動用TFT7011がn型で、発光素子7012から発せられる光が第1の電極7013側に射出する場合の、画素の断面図を示す。図15(A)では、駆動用TFT7011のドレイン電極層と電気的に接続された透光性を有する導電膜7017上に、発光素子7012の第1の電極7013が形成されており、第1の電極7013上にEL層7014、第2の電極7015が順に積層されている。

【0254】

透光性を有する導電膜7017としては、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化

50

チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いることができる。

【0255】

また、発光素子の第1の電極7013は様々な材料を用いることができる。例えば、第1の電極7013を陰極として用いる場合には、仕事関数が小さい材料、具体的には、例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。図15(A)では、第1の電極7013の膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、第1の電極7013として用いる。

10

【0256】

なお、透光性を有する導電膜とアルミニウム膜を積層成膜した後、選択的にエッチングして透光性を有する導電膜7017と第1の電極7013を形成してもよく、この場合、同じマスクを用いてエッチングすることができるため、好ましい。

【0257】

また、第1の電極7013の周縁部は、隔壁7019で覆う。隔壁7019は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7019は、特に感光性の樹脂材料を用い、第1の電極7013上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7019として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

20

【0258】

また、第1の電極7013及び隔壁7019上に形成するEL層7014は、少なくとも発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL層7014が複数の層で構成されている場合、陰極として機能する第1の電極7013上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

【0259】

また、上記積層順に限定されず、第1の電極7013を陽極として機能させ、第1の電極7013上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、第1の電極7013を陰極として機能させ、第1の電極7013上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが、駆動回路部の電圧上昇を抑制でき、消費電力を少なくできるため好ましい。

30

【0260】

また、EL層7014上に形成する第2の電極7015としては、様々な材料を用いることができる。例えば、第2の電極7015を陽極として用いる場合、仕事関数が大きい材料、例えば、ZrN、Ti、W、Ni、Pt、Cr等や、ITO、IZO、ZnOなどの透明導電性材料が好ましい。また、第2の電極7015上に遮蔽膜7016、例えば光を遮光する金属、光を反射する金属等を用いる。本実施の形態では、第2の電極7015としてITO膜を用い、遮蔽膜7016としてTi膜を用いる。

40

【0261】

第1の電極7013及び第2の電極7015で、発光層を含むEL層7014を挟んでいる領域が発光素子7012に相当する。図15(A)に示した素子構造の場合、発光素子7012から発せられる光は、矢印で示すように第1の電極7013側に射出する。

【0262】

なお、図15(A)において、発光素子7012から発せられる光は、カラーフィルタ層7033を通過し、絶縁層7032、酸化物絶縁層7031、ゲート絶縁層7060、及び基板7010を通過して射出させる。

【0263】

50

カラーフィルタ層 7033 はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。

【0264】

また、カラーフィルタ層 7033 はオーバーコート層 7034 で覆われ、さらに保護絶縁層 7035 によって覆う。なお、図 15 (A) ではオーバーコート層 7034 は薄い膜厚で図示したが、オーバーコート層 7034 は、アクリル樹脂などの樹脂材料を用い、カラーフィルタ層 7033 に起因する凹凸を平坦化する機能を有している。

【0265】

また、保護絶縁層 7035 及び絶縁層 7032 に形成され、且つ、接続電極層 7030 に達するコンタクトホールは、隔壁 7019 と重なる位置に配置する。

10

【0266】

次に、両面射出構造の発光素子について、図 15 (B) を用いて説明する。

【0267】

図 15 (B) では、駆動用 TFT 7021 のドレイン電極層と電気的に接続された透光性を有する導電膜 7027 上に、発光素子 7022 の第 1 の電極 7023 が形成されており、第 1 の電極 7023 上に EL 層 7024、第 2 の電極 7025 が順に積層されている。

【0268】

透光性を有する導電膜 7027 としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いることができる。

20

【0269】

また、第 1 の電極 7023 は様々な材料を用いることができる。例えば、第 1 の電極 7023 を陰極として用いる場合、仕事関数が小さい材料、具体的には、例えば、Li や Cs 等のアルカリ金属、および Mg、Ca、Sr 等のアルカリ土類金属、およびこれらを含む合金 (Mg:Ag、Al:Li など) の他、Yb や Er 等の希土類金属等が好ましい。本実施の形態では、第 1 の電極 7023 を陰極として用い、その膜厚は、光を透過する程度 (好ましくは、5 nm ~ 30 nm 程度) とする。例えば 20 nm の膜厚を有するアルミニウム膜を、陰極として用いる。

【0270】

30

なお、透光性を有する導電膜とアルミニウム膜を積層成膜した後、選択的にエッチングして透光性を有する導電膜 7027 と第 1 の電極 7023 を形成してもよく、この場合、同じマスクを用いてエッチングすることができ、好ましい。

【0271】

また、第 1 の電極 7023 の周縁部は、隔壁 7029 で覆う。隔壁 7029 は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁 7029 は、特に感光性の樹脂材料を用い、第 1 の電極 7023 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁 7029 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

40

【0272】

また、第 1 の電極 7023 及び隔壁 7029 上に形成する EL 層 7024 は、少なくとも発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL 層 7024 が複数の層で構成されている場合、陰極として機能する第 1 の電極 7023 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

【0273】

また、上記積層順に限定されず、第 1 の電極 7023 を陽極として用い、陽極上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、第 1 の電極 7023 を陰極として用い、陰極上に電子注入層

50

、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが消費電力が少ないため好ましい。

【0274】

また、EL層7024上に形成する第2の電極7025としては、様々な材料を用いることができる。例えば、第2の電極7025を陽極として用いる場合、仕事関数が高い材料、例えば、ITO、IZO、ZnOなどの透明導電性材料を好ましく用いることができる。本実施の形態では、第2の電極7025を陽極として用い、酸化珪素を含むITO膜を形成する。

【0275】

第1の電極7023及び第2の電極7025で、発光層を含むEL層7024を挟んでいる領域が発光素子7022に相当する。図15(B)に示した素子構造の場合、発光素子7022から発せられる光は、矢印で示すように第2の電極7025側と第1の電極7023側の両方に射出する。

10

【0276】

なお、図15(B)において、発光素子7022から第1の電極7023側に発せられる一方の光は、カラーフィルタ層7043を通過し、絶縁層7042、酸化物絶縁層7041、ゲート絶縁層7070、及び基板7020を通過して射出させる。

【0277】

カラーフィルタ層7043はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。

20

【0278】

また、カラーフィルタ層7043はオーバーコート層7044で覆われ、さらに保護絶縁層7045によって覆う。

【0279】

また、保護絶縁層7045及び絶縁層7042に形成され、且つ、接続電極層7040に達するコンタクトホールは、隔壁7029と重なる位置に配置する。

【0280】

ただし、両面射出構造の発光素子を用い、どちらの表示面もフルカラー表示とする場合、第2の電極7025側からの光はカラーフィルタ層7043を通過しないため、別途カラーフィルタ層を備えた封止基板を第2の電極7025上方に設けることが好ましい。

30

【0281】

次に、上面射出構造の発光素子について、図15(C)を用いて説明する。

【0282】

図15(C)に、駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が第2の電極7005側に抜ける場合の、画素の断面図を示す。図15(C)では、駆動用のTFT7001のドレイン電極層と電氣的に接続された発光素子7002の第1の電極7003が形成されており、第1の電極7003上にEL層7004、第2の電極7005が順に積層されている。

【0283】

また、第1の電極7003は様々な材料を用いることができる。例えば、第1の電極7003を陰極として用いる場合、仕事関数が小さい材料、具体的には、例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。

40

【0284】

また、第1の電極7003及び隔壁7009上に形成するEL層7004は、少なくとも発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL層7004が複数の層で構成されている場合、陰極として用いる第1の電極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

【0285】

50

また、上記積層順に限定されず、陽極として用いる第1の電極7003上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。

【0286】

図15(C)ではTi膜、アルミニウム膜、Ti膜の順に積層した積層膜上に、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層し、その上にMg:Ag合金薄膜とITO膜との積層を形成する。

【0287】

ただし、TF7001がn型の場合、第1の電極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが、駆動回路における電圧上昇を抑制することができ、消費電力を少なくできるため好ましい。

10

【0288】

第2の電極7005は透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いても良い。

【0289】

第1の電極7003及び第2の電極7005で発光層を含むEL層7004を挟んでいる領域が発光素子7002に相当する。図15(C)に示した素子構造の場合、発光素子7002から発せられる光は、矢印で示すように第2の電極7005側に射出する。

20

【0290】

また、図15(C)において、TF7001のドレイン電極層は、酸化物絶縁層7051、保護絶縁層7052及び絶縁層7055に設けられたコンタクトホールを介して第1の電極7003と電気的に接続する。平坦化絶縁層7053は、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の樹脂材料を用いることができる。また上記樹脂材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層7053を形成してもよい。平坦化絶縁層7053の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

30

【0291】

また、第1の電極7003と、隣り合う画素の第1の電極7003とを絶縁するために隔壁7009を設ける。隔壁7009は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、第1の電極7003上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

40

【0292】

また、図15(C)の構造においては、フルカラー表示を行う場合、例えば発光素子7002として緑色発光素子とし、隣り合う一方の発光素子を赤色発光素子とし、もう一方の発光素子を青色発光素子とする。また、3種類の発光素子だけでなく白色素子を加えた4種類の発光素子でフルカラー表示ができる発光表示装置を作製してもよい。

【0293】

また、図15(C)の構造においては、配置する複数の発光素子を全て白色発光素子として、発光素子7002上方にカラーフィルタなどを有する封止基板を配置する構成とし、フルカラー表示ができる発光表示装置を作製してもよい。白色などの単色の発光を示す材料を形成し、カラーフィルタや色変換層を組み合わせることによりフルカラー表示を行う

50

ことができる。

【0294】

もちろん単色発光の表示を行ってもよい。例えば、白色発光を用いて照明装置を形成してもよいし、単色発光を用いてエリアカラータイプの発光装置を形成してもよい。

【0295】

また、必要があれば、円偏光板などの偏光フィルムなどの光学フィルムを設けてもよい。

【0296】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0297】

なお、発光素子の駆動を制御する薄膜トランジスタ（駆動用TFT）と発光素子が電氣的に接続されている例を示したが、駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

【0298】

なお本実施の形態で示す半導体装置は、図15に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0299】

次に、実施の形態1または2に示す薄膜トランジスタを適用した半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図16を用いて説明する。図16（A）は、第1の基板上に形成された薄膜トランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの上面図であり、図16（B）は、図16（A）のH-Iにおける断面図に相当する。

【0300】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0301】

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図16（B）では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0302】

薄膜トランジスタ4509、4510は、In-Ga-Zn-O系膜を酸化物半導体層として含む信頼性の高い実施の形態1及び2に示す薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4509、4510はnチャネル型薄膜トランジスタである。

【0303】

絶縁層4544上において駆動回路用の薄膜トランジスタ4509の酸化物半導体層のチャネル形成領域と重なる位置に導電層4540が設けられている。導電層4540を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4509のしきい値電圧の変化量を低減することができる。また、導電層4540は、電位が薄膜トランジスタ4509のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4540の電位がGND、0V、或いはフローティング状態であってもよい。

【0304】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

【0305】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

10

【0306】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0307】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC膜等を形成することができる。

【0308】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

20

【0309】

本実施の形態では、接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【0310】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0311】

発光素子4511からの光の取り出し方向に位置する第2の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

30

【0312】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施の形態は充填材として窒素を用いた。

【0313】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ / 4板、 / 2板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

40

【0314】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図16の構成に限定されない。

50

【 0 3 1 5 】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【 0 3 1 6 】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることとする。

【 0 3 1 7 】

（実施の形態 7）

実施の形態 1 または 2 に示す薄膜トランジスタを適用した半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図 17、図 18 に示す。

10

【 0 3 1 8 】

図 17（A）は、電子ペーパーで作られたポスター 2631 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【 0 3 1 9 】

また、図 17（B）は、電車などの乗り物の車内広告 2632 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、車内広告は無線で情報を送受信できる構成としてもよい。

20

【 0 3 2 0 】

また、図 18 は、電子書籍の一例を示している。例えば、電子書籍 2700 は、筐体 2701 および筐体 2703 の 2 つの筐体で構成されている。筐体 2701 および筐体 2703 は、軸部 2711 により一体とされており、該軸部 2711 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【 0 3 2 1 】

筐体 2701 には表示部 2705 が組み込まれ、筐体 2703 には表示部 2707 が組み込まれている。表示部 2705 および表示部 2707 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 18 では表示部 2705）に文章を表示し、左側の表示部（図 18 では表示部 2707）に画像を表示することができる。

30

【 0 3 2 2 】

また、図 18 では、筐体 2701 に操作部などを備えた例を示している。例えば、筐体 2701 において、電源 2721、操作キー 2723、スピーカ 2725などを備えている。操作キー 2723 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子、または AC アダプタおよび USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2700 は、電子辞書としての機能を持たせた構成としてもよい。

40

【 0 3 2 3 】

また、電子書籍 2700 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【 0 3 2 4 】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用い

50

ることができることとする。

【0325】

(実施の形態8)

実施の形態1または2に示す薄膜トランジスタを用いた半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0326】

図19(A)は、テレビジョン装置の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0327】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

【0328】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

【0329】

図19(B)は、デジタルフォトフレームの一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0330】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子(USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

【0331】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0332】

図20(A)は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図20(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段(操作キー9885、接続端子9887、センサ9888(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン9889)等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本発明に

10

20

30

40

50

係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図20(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図20(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0333】

図20(B)は大型遊技機であるスロットマシンの一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン9900の構成は上述のものに限

10

【0334】

図21(A)は、携帯電話機の一例を示している。携帯電話機1000は、筐体1001に組み込まれた表示部1002の他、操作ボタン1003、外部接続ポート1004、スピーカ1005、マイク1006などを備えている。

【0335】

図21(A)に示す携帯電話機1000は、表示部1002を指などで触れることで、情報を入力ことができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部1002を指などで触れることにより行うことができる。

20

【0336】

表示部1002の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

【0337】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部1002を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部1002の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

【0338】

また、携帯電話機1000内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機1000の向き(縦か横か)を判断して、表示部1002の画面表示を自動的に切り替えるようにすることができる。

30

【0339】

また、画面モードの切り替えは、表示部1002を触れること、又は筐体1001の操作ボタン1003の操作により行われる。また、表示部1002に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

【0340】

また、入力モードにおいて、表示部1002の光センサで検出される信号を検知し、表示部1002のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

40

【0341】

表示部1002は、イメージセンサとして機能させることもできる。例えば、表示部1002に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【0342】

図21(B)も携帯電話機の一例である。図21(B)の携帯電話機は、筐体9411に、表示部9412、及び操作ボタン9413を含む表示装置9410と、筐体9401に

50

操作ボタン 9402、外部入力端子 9403、マイク 9404、スピーカ 9405、及び着信時に発光する発光部 9406を含む通信装置 9400とを有しており、表示機能を有する表示装置 9410は電話機能を有する通信装置 9400と矢印の2方向に脱着可能である。よって、表示装置 9410と通信装置 9400の短軸同士を取り付けることも、表示装置 9410と通信装置 9400の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置 9400より表示装置 9410を取り外し、表示装置 9410を単独で用いることもできる。通信装置 9400と表示装置 9410とは無線通信又は有線通信により画像又は入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

【0343】

10

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることとする。

【0344】

(実施の形態 9)

本実施の形態では、酸化物半導体層と金属層(導電層)または酸化物絶縁層の接触によって酸素が移動する現象について、酸化物半導体層が非晶質の場合と結晶の場合との違いの科学計算結果を説明する。

【0345】

図 24 は、本発明の一態様である薄膜トランジスタの構造において、酸化物半導体層とソース電極層及びドレイン電極層となる金属層及び酸化物絶縁層が接触した状態の模式図である。図の矢印方向は、それぞれが接触した状態もしくは、加熱した状態でのそれぞれ酸素の移動方向を示している。

20

【0346】

I 型の酸化物半導体層は、酸素欠損を起こすと N 型の導電性を示すようになり、逆に酸素欠損で N 型となっている酸化物半導体層は、酸素を過剰に供給されることで I 型となる。実際のデバイスプロセスではこの効果を利用し、ソース電極層及びドレイン電極層となる金属層と接する酸化物半導体層は、金属側に酸素が引っ張られ、その接した領域の一部(膜厚が薄い場合は膜厚方向全体)が酸素欠損を起こして N 型化し、金属層と良好な接触を得ることができる。また、酸化物絶縁層と接する酸化物半導体層は、酸化物絶縁層から酸化物半導体層に酸素が供給され、その接した領域の一部が(膜厚が薄い場合は膜厚方向全体)が酸素過剰となって I 型化し、薄膜トランジスタのチャンネル形成領域として機能するようになる。

30

【0347】

本発明の一態様では、酸化物半導体層とソース電極層及びドレイン電極層となる金属層及び酸化物絶縁層が接触する領域には、結晶領域が形成されており、非晶質の状態と、結晶領域とでの、酸素の移動形態の違いの有無を科学計算によって確かめた。

【0348】

科学計算に用いたモデルは、In-Ga-Zn-O 系の非晶質及び結晶構造で、直方体の長手方向片側の領域から酸素を 10% 欠損させたものを用いた(図 25 参照。)計算内容は、650 の加速条件下で 10 nsec. 後の酸素の分布を比較するものである。それぞれの条件を表 1、表 2 に示す。

40

【0349】

【表 1】

	構造条件
原子数	317個(酸素192個)
格子定数	a=b=1.3196 nm, c=2.6101 nm, $\alpha=\beta=90^\circ$, $\gamma=120^\circ$
密度	6.23 g/cm ³

【0350】

【表 2】

	計算内容
アンサンブル	NTV(原子数、温度、体積固定)
温度	923 K
時間刻み幅	0.2 fs
総計算時間	10 ns
ポテンシャル	Metal-Oxygen&Oxygen-OxygenにBorn-Mayer-Huggins型を適用
電荷	In:+3, Ga:+3, Zn:+2, O:-2

【0351】

図26(A)に非晶質を用いた場合の酸素の分布、図26(B)に結晶を用いた場合の酸素の分布を示す。点線が初期(Initial)、実線が結果(10ns後)である。分布の変化から、非晶質、結晶を問わず酸素が移動していることがわかる。

10

【0352】

酸素欠損有りの領域で、計算前後での酸素原子の増加率は、非晶質で15.9%、結晶で11.3%であった。つまり、非晶質の方が結晶よりも酸素が動きやすく、酸素欠損を埋めやすいという結果となった。すなわち、結晶内では非晶質よりも比較的酸素は動きにくいことになる。

【0353】

従って、本発明の一態様における酸化物半導体層に結晶領域を有する構造においても、酸化物半導体層が非晶質の場合と同様に酸素の移動が起こることが確認された。また、結晶内では非晶質よりも比較的酸素は動きにくいことから、酸化物半導体層からの酸素の脱離を抑える効果があることが確認できた。

20

【符号の説明】

【0354】

400 基板
 402 ゲート絶縁層
 410 薄膜トランジスタ
 411 端子
 412 接続電極
 414 端子
 415 透明導電膜
 416 電極
 418 透明導電膜
 421a ゲート電極層
 421b 容量配線
 421c 端子
 423 酸化物半導体層
 424a 第1領域
 424b 第2領域
 424c 第3領域
 424d 第4領域
 424e 第5領域
 425a ソース電極層
 425b ドレイン電極層
 426a 酸化物絶縁層
 426b 酸化物絶縁層
 428 酸化物絶縁層
 429 接続電極
 430 薄膜トランジスタ
 450 薄膜トランジスタ
 456a 酸化物絶縁層

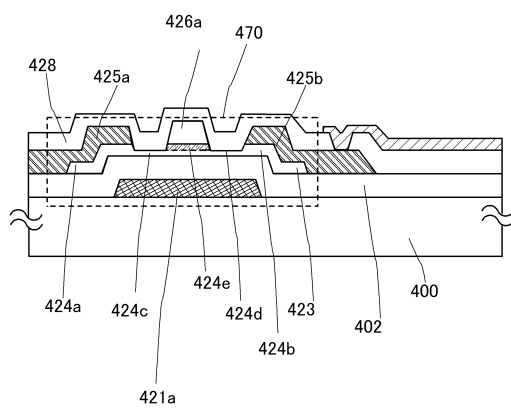
30

40

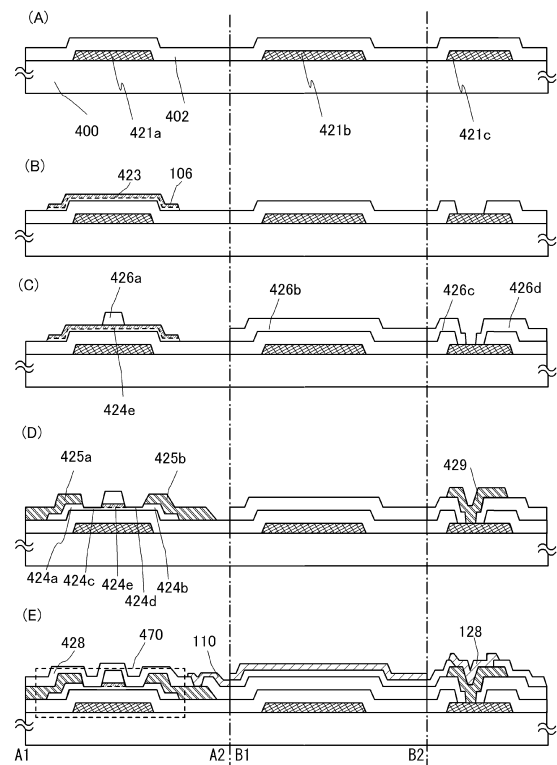
50

4 7 0	薄膜トランジスタ
4 8 0 a	レジストマスク
4 8 0 b	レジストマスク
4 8 2 a	レジストマスク
4 8 2 b	レジストマスク
4 8 2 c	レジストマスク
4 9 0	薄膜トランジスタ

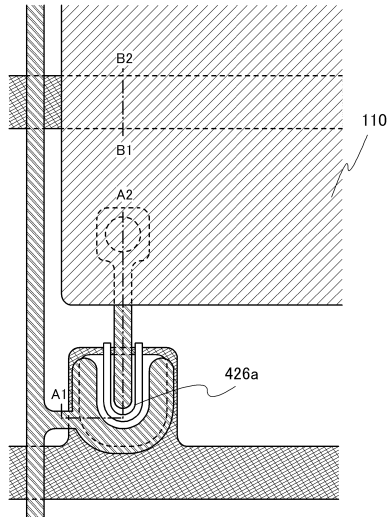
【図 1】



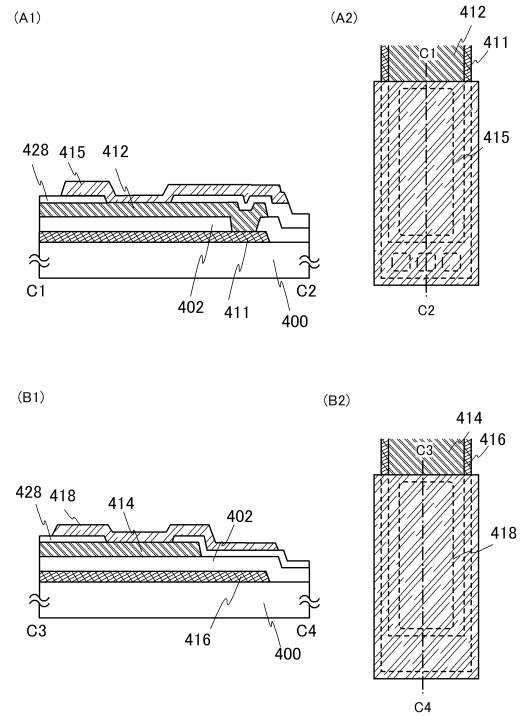
【図 2】



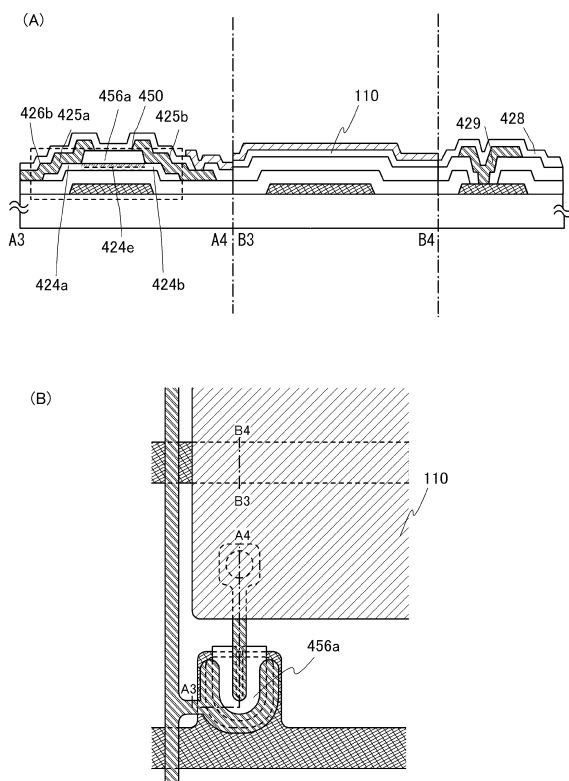
【図 3】



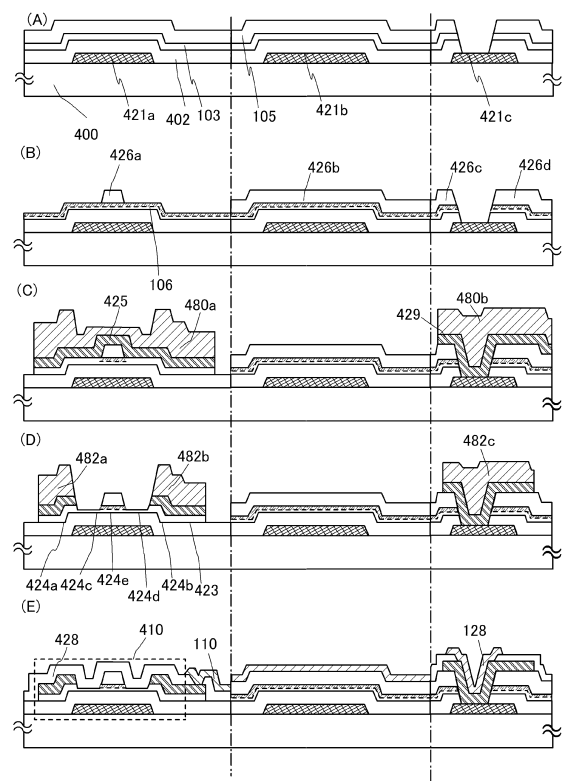
【図 4】



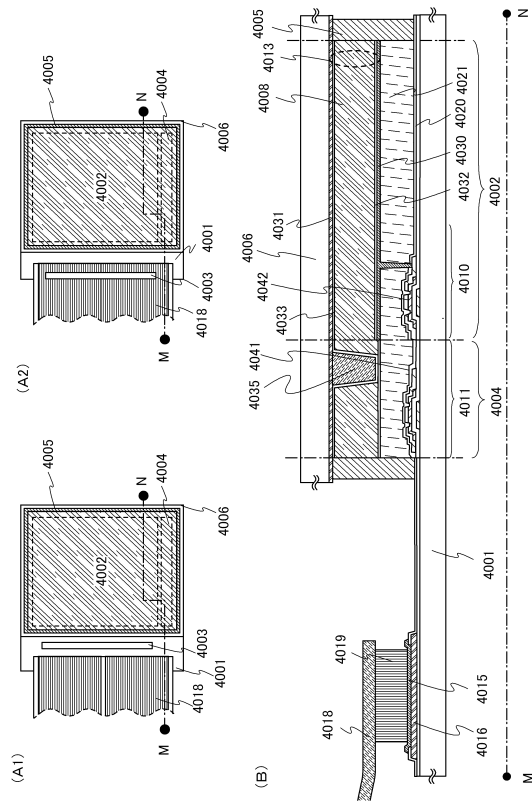
【図 5】



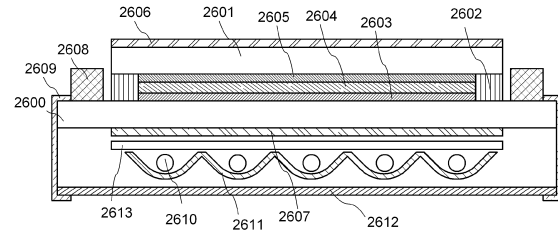
【図 6】



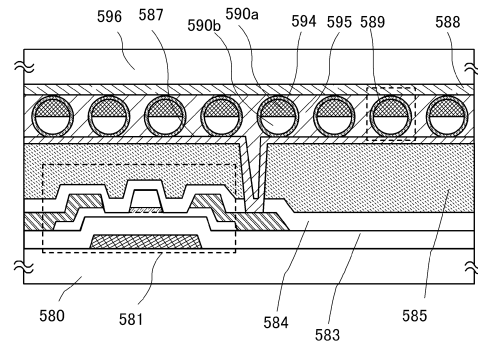
【図 1 1】



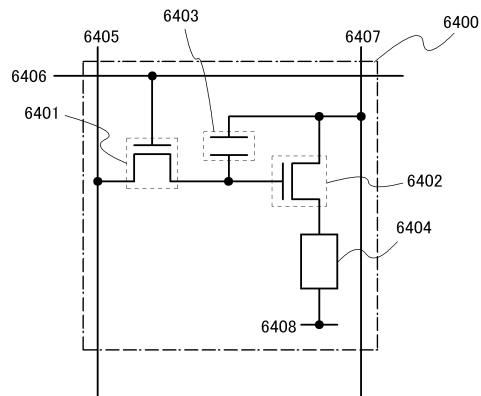
【図 1 2】



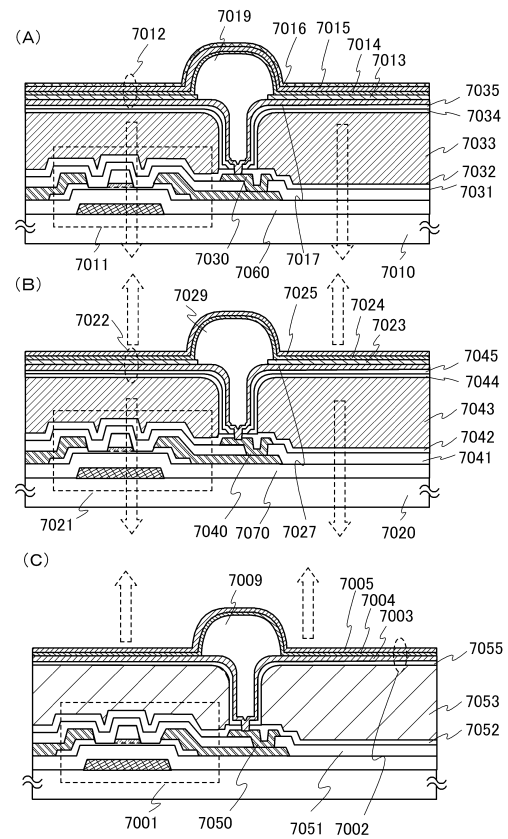
【図 1 3】



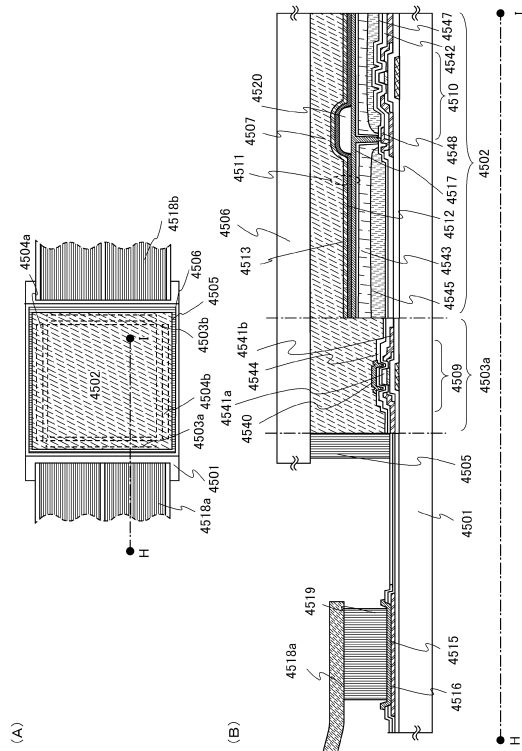
【図 1 4】



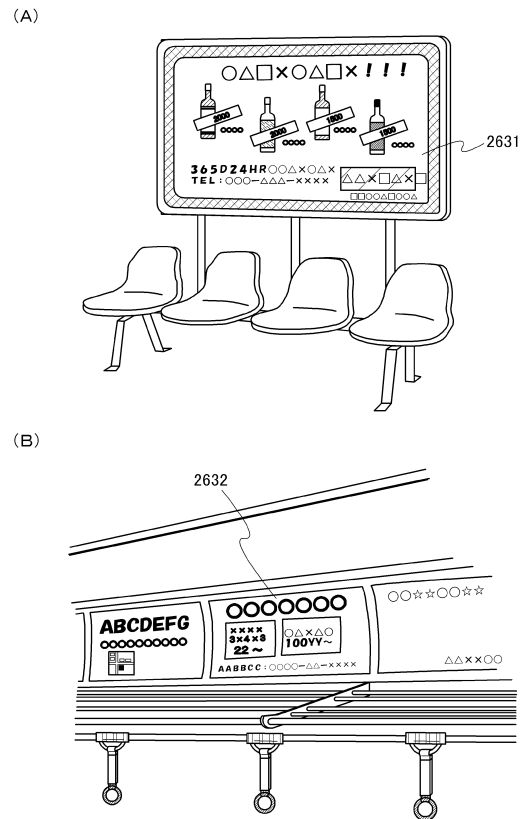
【図 1 5】



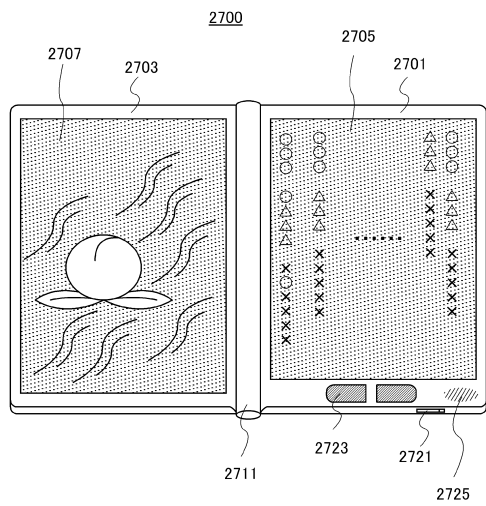
【図 16】



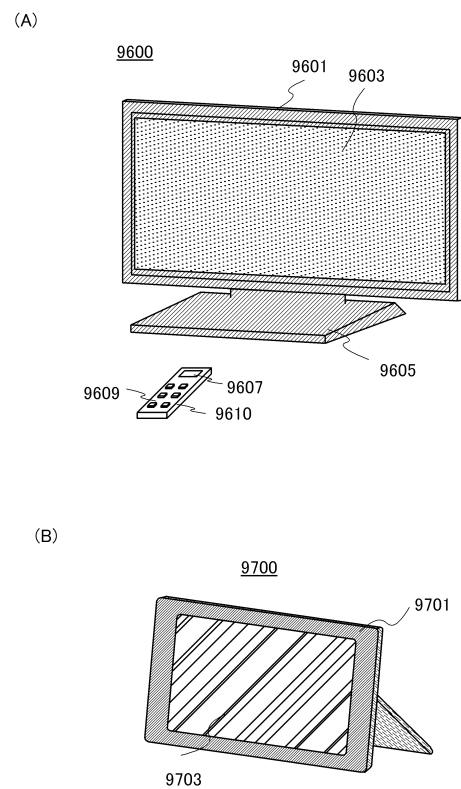
【図 17】



【図 18】

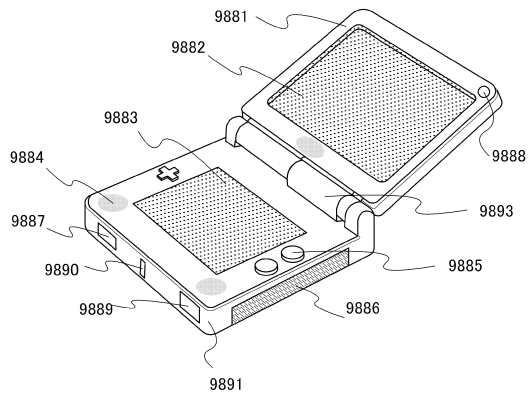


【図 19】

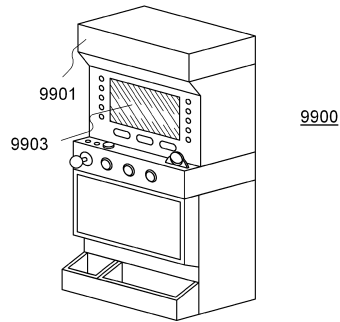


【図 20】

(A)

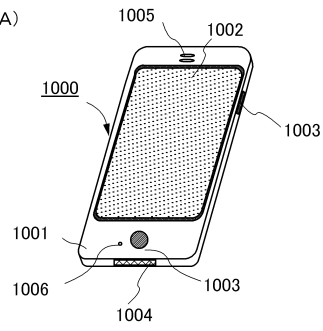


(B)

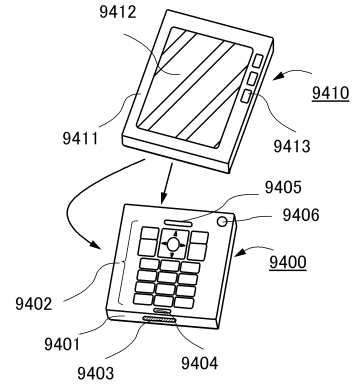


【図 21】

(A)

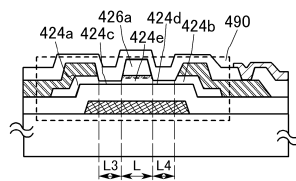


(B)

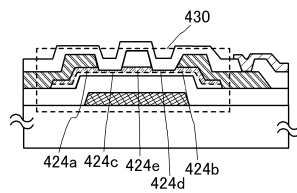


【図 22】

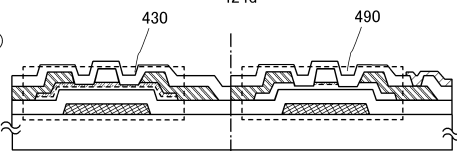
(A)



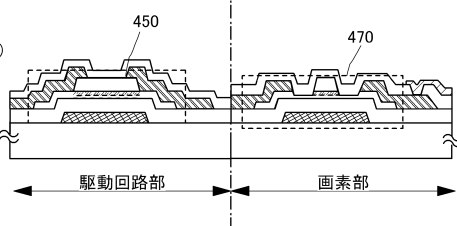
(B)



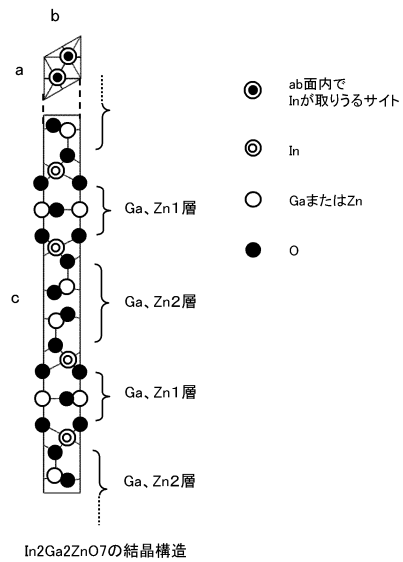
(C)



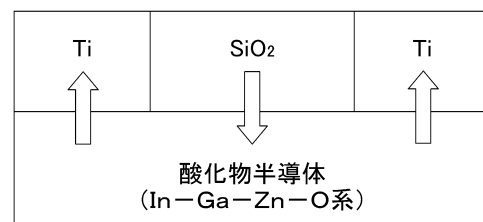
(D)



【図 23】



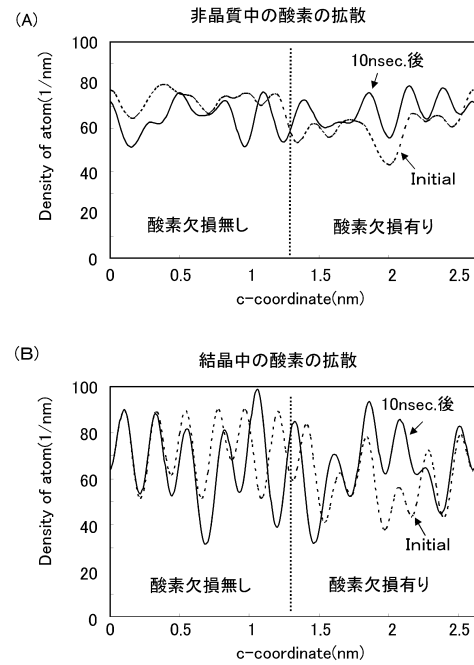
【図 24】



【図 25】



【図 26】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 (2006.01) H 0 1 L 29/50 M
H 0 5 B 33/14 A
H 0 5 B 33/14 Z

(72)発明者 坂田 淳一郎
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 秋元 健吾
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 宮永 昭治
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 廣橋 拓也
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 岸田 英幸
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 川原 光司

(56)参考文献 特開 2 0 0 8 - 2 8 1 9 8 8 (J P , A)
特開 2 0 0 7 - 2 8 4 3 4 2 (J P , A)
国際公開第 2 0 0 9 / 0 9 3 6 2 5 (W O , A 1)
特開 2 0 0 9 - 0 9 9 8 4 7 (J P , A)
特開 2 0 0 8 - 1 6 6 7 1 6 (J P , A)
特開 2 0 0 9 - 0 9 9 9 5 3 (J P , A)
国際公開第 2 0 0 9 / 0 7 5 2 8 1 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 4 1 7
H 0 1 L 2 9 / 7 8 6
H 0 1 L 5 1 / 5 0
H 0 5 B 3 3 / 1 4