400482 400482

申請日期	84. 05. 23.
案號	84105185
類別	G06F 13/14

公告本 A4 C4

Int.·Cl[6]

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	具有含猝衝直接記憶體存取之顯示控制器的資料處理系統
	英文	DATA PROCESSING SYSTEM HAVING DISPLAY CONTROLLER WITH BURSTING DIRECT MEMORY
二、發明 ~~創作~~ 人	姓名	1.游 良 興 2.安卓 邱 3.格倫·J·索納
	國籍	1.2.均香港 3.美國
	住、居所	1.香港NT城泉灣泉金花園8 區34E號 2.香港台寶區山陶克泉68號 3.美國德州奧斯丁市奇士特佛力司街8903號
三、申請人	姓名（名稱）	美商摩托羅拉公司
	國籍	美國
	住、居所（事務所）	美國伊利諾州史堪伯市東阿崗崑路1303號 摩托羅拉中心
	代表人姓名	安索尼·J·沙利二世

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

美　國（地區）　申請專利，申請日期：1995.5.15　案號：08/440960，□有　□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（ 1 ）

發明領域

本發明通常係有關於資料之處理，特別是關於一種含有猝衝直接記憶存取之顯示控制器的資料處理系統。

發明背景

液晶顯示(LCD)銀幕已被廣泛使用以顯示資料和／或圖形由一資料處理系統所產生的。一LCD 銀幕常是使用於需要小尺寸以及有相當低的電力消耗之應用中。典型上使用一分開的LCD 控制器以使LCD 銀幕與資料處理系統產生介面，以及使用一外接的視頻記憶體以儲存用來更新LCD 銀幕之顯示資料。但是，使用外接的視頻記憶體會增加腳數目、板的大小、包裝成本以及資料處理系統的電力消耗。

圖式之簡述

圖1 以方塊圖式顯示根據本發明之資料處理系統的一實施例。

圖2 以方塊圖型式顯示圖1 之資料處理系統的一部份。

圖3 例示圖1 之資料處理系統的不同信號之時序圖。

圖4 例示圖1 之資料處理系統的操作流程圖。

一較佳實施例的描述

通常本發明係提供一種具有顯示控制器之資料處理系統，該控制器利用匯流排仲裁和資料猝衝以提供顯示資料來更新一顯示銀幕（例如一LCD顯示銀幕）上的像素，且該系統使用一系統記憶體來取代一分開的視頻RAM(隨機存取記憶體)。該系統記憶體係由顯示控制器與一中央處理單元(CPU)所共用。一銀幕DMA(直接記憶體存取)自系統記憶體

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 2 ）

取出為具預設字元數目的猝衝型式之顯示資料來填滿一線緩衝器。此銀幕DMA 控制器為一種一般目的的 (飛馳型式，fly-by type)的猝衝DMA控制器一個LCD控制邏輯電路則經由一游標邏輯電路一框速率控制電路和一介面電路將線緩衝器內的顯示資料抽取出來，以更新該LCD顯示幕。

該銀幕DMA 控制器接收較CPU或LCD控制邏輯所使用的時鐘信號還快的時鐘信號。此能允許DMA 控制器以比CPU 還快的速度運轉，以減少取回顯示資料所需的頻寬。此外若CPU 的時鐘頻率因為電力處理的目的而有所改變時此LCD顯示幕會因為使用不同的時鐘而不會受到影響，在例示的實施例中，CPU 顯示控制器和系統記憶體皆是放置在相同的積體電路上。因為使用系統記憶體來儲存顯示資料，腳數目、包裝成本、板的空間以及電力消耗都會因之降低，使得DMA 控制器會特別有用於手持式，電池操作的裝置中、如呼叫器、無線電路、口袋型遊戲機等。

名詞"主張"和"忽略"將用於有關一信號之狀態位元或者類似的元件中，各表示其邏輯為真或邏輯為假的狀態。若邏輯為真的狀態是一數位邏輯位準1 ，則邏輯為假的狀態為數位邏輯位準0 。以及若邏輯為真的狀態是一數位邏輯位準0 ，則邏輯為假的狀態是數位邏輯位準1 。名詞 "匯流排" 將用來說明許多個信號可被用來轉換一或多個不同型式的資訊，例如資料、位址、控制或狀態。

本發明之內容可由參考圖1-4 而能更完整地描述，該圖以方塊圖形式例示根據本發明之資料處理系統20。該資料

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

處理系統20包括中央處理單元（CPU）22，全體非同步接收器／發射器（UART）模組26，一LCD控制模組28，串聯的周邊介面（SPI）32、內部資訊匯流排電路34、系統整合模組（SIM）40以及多功能級42和44以及46和48。

SIM 40係連接於內部匯流排電路34，且能經由該內部匯流排電路34而接收及傳送信號至該資料處理系統20或至資料處理系統20外部的電路。系統記憶體30則經由此SIM 40而連接至資料處理系統20，流多功能的級42和44可接收和傳送資料處理系統20外部的信號，並連接至內部匯流排電路34上。級46和48能接收和傳送資料處理系20外部的信號，並連接至內部的匯流排電路34，該級42，44和46為多目的的並聯雙向級，用來傳送和接收資料處理系統20外部的信號，例如鍵盤、外部記憶體DSP。（數位信號處理器）、調變解調器等。級48用以將顯示資料傳送至LCD顯示器49。級42、44、46和48可被耦合至積體電路腳，墊或其他型式之終端上，以傳送和接收資料處理系統20外部的信號。SIM 40可接收及傳送信號至任何其他與內部匯流排電路34連接的模組上。

CPU 22被連接至內部匯流排34上，且可接收和傳送信號至每一個其他與內部匯流排電路34連接的模組，CPU 22可以選擇性地經由SIM 40接收和傳送資料處理系統20外部的信號。CPU通常負責接收、轉譯和執行用來控制資料處理系統的軟體指令。UART 26連接至內部匯流排電路43。此UART 26支持與外部裝置的非同步串聯通信，這些外部裝

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4 ）

置例如為調變解調器以及其他為標準鮑率（baud rate）的資料處理系統。

SPI 32能接收和傳送資料處理系統20外部的信號，以及經由內部匯流排模組34而至其他模組。SPI 32為一主／從式串聯週邊介面，用以與諸如類比至數位轉換器，非揮發性記憶體裝置以及其他資料處理系統等外部裝置通信。系統記憶體30乃雙向地與SIM 40連接。此系統記憶體30為一傳統的記憶單元，其包含一呈行和列架構的靜態隨機存取記憶體陣列。此系統記憶體也可以是位於資料處理系統20外部，或者與該資料處理系統20位於相同的積體電路上。在此例示的實施例中，系統記憶體30是一個外接的記憶單元，一計時器24與內部匯流排電路34連接，並經由此內部匯流排電路34與資料處理系統20的其他模組通信。

該LCD 控制模組28與該內部匯流排電路34連接，此LCD 控制模組28提供更新一與級48連接的LCD 顯示銀幕之控制功能。此模組28將於說明圖2 時詳細描述之。

顯示於圖1 之資料處理系統20的實施例乃說明一設於一微處理器系統內的一特別的徵處理器，因為在此相同系列內的微處理器通常都有許多不同的板上週邊元件或模組，圖1 只例示資料處理系統20的一個實施例，資料處理系統20的另一實施例則可以包含比圖1 所顯示的為多之不同的板上週邊元件。

圖2 以方塊圖型式例示圖1 之資料處理系統20的一部分。LCD 控制模組28包括CPU 介面暫存器56，銀幕直接記憶

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（ 5 ）

體存取（DMA）控制器58，線緩衝器60以及顯示器控制塊61。該顯示器控制塊61包括游標邏輯62、框率控制器64以及LCD 介面66。銀幕DMA 控制器58為一種一般目的，飛馳型（fly-by）的16位元寬之猝衝DMA。晶片選擇邏輯54為SIM 40的一部分（圖1）。內部匯流排34（亦顯示於圖1中）包括一位址匯流排51和一資料匯流排52。

CPU 22具有一輸入端，以接收一名為"CPU CLOCK" 的時鐘信號，多個與該位址匯流51連接的雙向性的終端，一用以接收一標為"BR*" 的匯流排請求信號之輸入端，一提供標示為"BG*" 的匯流排準備信號之輸出端，以及多個連接至資料匯流排52的雙向性終端。上述晶片選擇邏輯54為圖1 所示之SIM 40的一部分，它具有多個與位址匯流排51連接之輸入端，用以提供標示為"CS"之晶片選擇信號的第一輸出端，以及用以提供一標示為"OE*" 之輸出致能信號之第二輸出端。注意在一信號名稱後之註腳"*" 表示此信號作用如邏輯0 ，系統記憶體30具有一第一輸入端，與晶片選擇邏輯54之第一輸出端連接以接收信號CS*， 一與晶片選擇邏輯54連接之第二輸入端以接收輸出致能信號OE*、多個與位址匯流排51連接之雙方向性終端，以及多個與資料匯流排52連接之雙方向性終端。

上述CPU 介面暫存器56具有多個與位址匯流排51連接之雙向性終端、多個與資料匯流排51連接之雙向性終端、以及一用以接收標示為"SYSTEM CLOCK"之時鐘信號，銀幕DMA 58具有多個與位址匯流排51連接之輸出端，一用來提供匯

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 6 ）

流排請求信號BR* 之第一輸出終端，一用來提供鍵擊標示為"WS"之寫入的第二輸出終端，一用來接收匯流排認可信號"BG*" 之第一輸入終端、一用來接收標示為"RD"之請求資料控制信號之第二輸入終端，以及一用以接收時鐘信號SYSTEM CLOCK之第三輸入終端。線緩衝器60具有多個與資料匯流排52連接之輸入終端、一用來提供請求資料控制信號RD之輸出終端、一用以接收寫入鍵擊WS之輸入終端，以及多個輸出終端。

在顯示器控制塊61中，游標邏輯62具有許多個與該線緩衝器60的輸出終端連接之輸入終端，多個輸出端以及一用以接收一標示為"LCD CLOCK"已時鐘信號的輸入終端，框率控制器64具有一用以接收時鐘信號LCD CLOCK 之輸入終端、許多個連接游標邏輯62之輸出端的輸入終端，以及多個輸出終端。LCD 介面66包含多個輸入終端，與框率控制器64之輸出終端連接，和多個連接級48之輸出終端。

圖3 所示為圖1 之資料處理系統的不同信號之時序圖。時鐘信號SYSTEM CLOCK的每一時鐘週期皆在一數字後被標以一符號"t"。參考圖2 和3 所示，該LCD控制模組28使用匯流排仲截和資料猝衝兩者在當需要更新LCD 銀幕49時來提供系統記憶體30之資料予線緩衝器60。該線緩衝器60必須包含兩個或多個線緩衝器並且以類似於一先入先出（FIFO）緩衝器的方式操作。然而顯示資料係由顯示控制塊61由該線緩衝器60的線緩衝器之一將資料抽取至LCD 顯示器49，而其他的線緩衝器也可由系統記憶體30予以更新。當

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 7 ）

線緩衝器61空了時或是將近空白時，該線緩衝器60即會以如邏輯1 的方式選出請求資料信號RD至銀幕DMA 58上。此銀幕DMA 58以來自系統記憶體30之顯示資料填充該線緩衝器60。且該資料係呈具預設數目之字元的猝衝形式。上述預設數目之猝衝在所例示的實施例中可以是8 或16個。但是在其他實施例中，該猝衝數目仍可不同，銀幕DMA 58選出匯流流請求BR* 至CPU 22，如圖3 中在時鐘週期t1處所示者。當內部匯流排電路34有作用時，CPU22 則，以邏輯0 在時鐘週期t1的開始時送出匯流排許可信號BG* 。注意在圖3 中，匯流排許可信號之顯示如同於匯流排請求信號送出後發生一時鐘週期。但是，在匯流排請求和匯流排許可之間將會發生幾種仲裁狀態。同時，若CPU 22在一降低中力模式時該匯流排語可信號BG*可以已是一邏輯0，在此情況下，要送出一匯流排認可信號只需要一個週期以下。

在時鐘信號t2開始時，將會有八個字元自系統記憶體30猝衝至該線緩衝器61中，在時鐘信號t2時，由銀幕DMA 58將一標示為"A0"之基本位址經由位址匯流排51供至系統記憶體30。同時晶片選擇邏輯54將晶片選擇信號CS* 以及輸出致能信號OE* 送出以選擇系統記憶體30。對應於上述基本位址A0之標示為"D0"之資料信號則由該系統記憶體30讀出，且被寫入該緩衝器60中。銀幕DMA 58然後增量該基本位址A0，以產生一標示為"A1"之位址。此位址A1被供至系統記憶體30，且標示為"D1"之資料信號被寫至該線緩衝器60中。資料猝衝繼續由位址信號A2-A7的 時鐘週期

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（ 8 ）

t4至 t9，以取回對應的顯示資料信號D2-D7 。資料猝衝完成後，LCD 控制模組28即停止對內部匯流排電路34之控制。

為減少取回顯示資料所需之頻寬，以高於時鐘信號CPU CLOCK和LCD CLOCK之頻率提供時鐘信號SYSTEM CLOCK。此能允許銀幕DMA 58運轉速度較CPU 22為快。此外若CPU 時鐘頻率為了電力處理的目的而改變時，則因LCD 顯示銀幕以不同的時鐘操作之故，而不會受到影響。

顯示資料是由線緩衝器60而供至游標邏輯62，框率控制器64和LCD 介面66。這些方塊能提供用於共用的LCD 馳動器所需的傳統顯示控制邏輯。在此例示的實施例中，LCD 顯示器49是一個已知的單色LCD 面板，其具有之銀幕大小從320× 240像素到1024× 512像素。

LCD 控制邏輯61經由游標邏輯62，框率控制64和LCD 介面66取出顯示資料，以更新LCD 顯示幕，該游標邏輯62接收顯示資料並控制一游標在顯示銀幕上之位置。此游標邏輯包括一重直線計數器和一水平的像素計數器，以特定游標的銀幕位置，框率控制64接收顯示資料並決定更新顯示銀幕之顯示率時序。該顯示速率係依特定LCD 銀幕所使用的顯示速率之需求而定。LCD 介面66乃經由級48使LCD 顯示器49與LCD 控制模組28產生介面。

圖4 例示當LCD 控制模組28自系統記憶體30拉取顯示資料時，資料處理系統20的操作流程圖。鑽石形狀的盒76和76表示決定步驟，長方形盒71、72、73、74、75、77和

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（ 9 ）

78表示拉取作用中所執行的步驟。在步驟70時線緩衝器60的內容被連續地監視。當該線緩衝器60幾近空白時步驟71則採取"YES"路徑，在步驟71時，LCD控制模組28藉送出匯流排請求信號BR*的方式請求對內部匯流排電路34做存取。步驟72時許可對內部匯流排電路34之存取，且送出匯流排排許可信號BG*。在步驟73時，銀幕DMA 58以一開始將顯示資料猝衝至線緩衝器60之基本位址存取系統記憶體30。步驟74，自系統記憶體30讀取顯示資料。步驟75，該顯示資料以預設數目之猝衝方式被寫入於線緩衝器60中。

在決定步驟76時由檢查用來增量基本位址的計數器（未顯示）之值的方式決定是否已完成猝衝。若猝尚未完成步驟"77"採行"否"的路徑，前一位址被增量，且由重覆步驟74和75，將顯示資料自系統記憶體30取出來。當猝衝完成時則在步驟78採行"是"的路徑，並以上述方式，以顯示資料刷新LCD顯示幕49。

為減少腳的計數，包封成本和板的空間，LCD顯示控制模組28則直接自系統記憶體30取出資料，而非採用一分開的視頻或隨機存取記憶體。LCD控制模組28和CPU 22使用分開的時鐘信號予以計時使得LCD控制模組的操作速度能較CPU 22為快，如比降低了LCD控制模組28所需的頻寬。

本發明雖已描述於較佳實施例的內容中，但明顯地對於習於此藝之人士來說，本發明尚可以不同的方式修改，且能假設出多個不同於前述說明的實施例。例如，在此例示

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

實施例中使用一個LCD銀幕。但在其他實施例中，也可使用不同型式的顯示銀幕，如一LED（發光二極體銀幕）。因此，後列之申請專利範圍能涵蓋本發明的所有修改，且落於本發明的真正精神及領域內。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：）

具有含猝衝直接記憶體存取之顯示控制器的資料處理系統

一種資料處理系統（20），具有一顯示器控制器（28），此控制器使用匯流排仲裁及資料猝衝來提供顯示資料，以更新一LCD銀幕（49），該系統以一系統記憶體（30）代替一分開的視頻RAM、一幕DMA（58）以來自系統記憶體（30）之顯示資料來充填一線緩衝器（60），而該資料為具有預設字元數目的猝衝。此銀幕DMA（58）接收比CPU（22）所使用之時鐘信號還快的時鐘信號。此能允許該銀幕DMA（58）運轉速度比CPU（22）快，以減低拉取顯示資料所需的頻寬。此外若CPU（22）的時鐘頻率因為電力處理的目的而有所改變時

英文發明摘要（發明之名稱：）

DATA PROCESSING SYSTEM HAVING DISPLAY CONTROLLER WITH BURSTING DIRECT MEMORY

A data processing system (20) has a display controller (28) that uses bus arbitration and data bursting to supply display data for refreshing an LCD screen (49), utilizing a system memory (30) instead of a separate video RAM. A screen DMA (58) fills a line buffer (60) with display data from the system memory (30) in bursts of a predetermined number of words. The screen DMA (58) receives a faster clocking signal than is used by the CPU (22). This allows the screen DMA (58) to run faster than the CPU (22) to reduce bandwidth needed to retrieve the display data. In addition, if the CPU (22) clock frequency is changed for power management purposes, the LCD screen (49) is not affected since it uses a different clock. By using the system memory (30) for storing display data, pin count, packaging costs, and board space are reduced.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　　）

，該LCD 銀幕(49)因為使用不同的頻率，故不會受到影響。因使用系統記憶體(30)以儲存顯示資料，因之能降低腳數、包裝成本以及板的空間。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1. 一種資料處理系統，包含：

一中央處理單元，耦合於一匯流排，以執行由一記憶單元取出的指令；和

一顯示控制器與該匯該排耦合，用以刷新來自記憶單元之顯示資料，該顯示資料用來刷新一顯示銀幕。

2. 根據申請專利範圍第1項之資料處理系統，其中該顯示控制器包含：

一直接存取控制器，以存取該記憶單元；和

一線緩衝器，與該記憶單元耦合，以儲存自此記憶單元讀出的顯示資料。

3. 根據申請專利範圍第2項之資料處理系統，其中該直接記憶體存取控制器以預設猝衝數目的顯示資料取出顯示資料。

4. 根據申請專利範圍第2項之資料處理系統，其中該直接記憶體存取控制器之特色為一返馳式猝衝直接記憶體存取控制器。

5. 根據申請專利範圍第1項之資料處理系統，其中該顯示控制器之特色為一液晶顯示控制器。

6. 根據申請專利範圍第2項之資料處理系統，其中該顯示控制器尚包含一顯示控制塊，該顯示控制塊包含：

游標邏輯與線緩衝器耦合，以接收顯示資料和控制顯示銀幕上之游標位置；

一框率控制器與線緩衝器和游標邏輯耦合，以接收顯示資料和決定用以更新顯示銀幕之顯示時序；和

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

液晶顯示介面，耦合於該框率控制器和顯示銀幕用以使顯示銀幕與顯示控制器產生介面。

7. 根據申請專利範圍第1項之資料處理系統，其中該中央處理單元接收一第一時鐘信號，且該顯示控制器接收第二時鐘信號，該第一時鐘信號係以第一頻率操作，且第二時鐘信號以不同於第一頻率的第二頻率操作。

8. 一種資料處理系統，包含：

一中央處理單元，與一匯流排耦合，以執行自一記憶體取出之指令；和

一顯示控制器，與該匯流排耦合，此顯示控制器包含；

一直接記憶體存取控制器用以存取該部憶體，以取回顯示資料；和

一線緩衝器，與該匯流排和直接記憶體存取控制器耦合，以儲存自記憶體取出之顯示資料，該顯示資料用以週期性地刷新顯示銀幕。

9. 根據申請專利範圍第8項之資料處理系統，其中該中央處理單元接收第一時鐘信號，和該顯示控制器接收第二時鐘信號，該第一時鐘信號以第一頻率操作，且第二時鐘信號以不同於第一頻率之第二頻率操作。

10. 根據申請專利範圍第8項之資料處理系統，其中該直接記憶體存取控制器以預定數目之猝衝取出顯示資料。

11. 根據申請專利範圍第8項之資料處理系統，其中該直接記憶體存取控制器之特色為一返馳式猝衝直接記憶體存

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

取控制器。

12. 根據申請專利範圍第8項之資料處理系統，其中該顯示控制器之特色為一液晶顯示控制器。

13. 根據申請專利範圍第8項之資料處理系統，其中該顯示控制器尚包含一顯示控制塊，該顯示控制塊包含：

游標邏輯與線緩衝器耦合，以接收顯示資料和控制顯示銀幕上之游標位置；

一框率控制器與線緩衝器和游標邏輯耦合，以接收顯示資料和決定用以更新顯示銀幕之顯示時序；和

液晶顯示介面，耦合於該框率控制器和顯示銀幕用以使顯示銀幕與顯示控制器產生介面。

14. 根據申請專利範圍第8項之資料處理系統，其中該匯流排包含一位址匯流排和一資料匯流排該位址流排和資料匯流排係耦合於中央處理單元，顯示控制器和記憶體單元，該中央控制單元和顯示控制器用於仲裁該匯流排使用，當中央處理單元使用此匯流排時，該匯流排即將指令傳送至中央處理單元，和當顯示控制器使用匯流排時，該匯流排則將顯示資料傳送至該顯示控制器。

15. 一種用於資料處理系統中，用以週期性地提供刷新液晶顯示幕之顯示資料和執行中央處理單元的指令之方法，該資料處理系統具有一中央控制單元和一用以控制一液晶顯示器之液晶顯示控制器，該中央處理單元和液晶顯示器耦合於一匯流排，該方法包含下列步驟：

請求對匯流排之存取；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

接收對匯流排之存取；

致能一系統記憶體，以對系統記憶體做讀取的存取；

以預設數目之猝衝由系統記憶體讀取顯示資料；和

將該具預設數目之猝衝的顯示資料寫入液晶顯示控制器。

16. 根據申請專利範圍第15項之方法，其中該寫入預設數目之猝衝的顯示資料之步驟尚包含將該具預設猝衝數目的顯示資料寫入線緩衝器中。

17. 根據申請專利範圍第16項之方法，其中該請求對匯流排作存取之步驟尚包含當線緩衝器已準備好接收顯示資料時，請求對該匯流排作存取。

18. 根據申請專利範圍第15項之方法，其中該自系統記憶體讀取顯示資料之步驟尚包含以第一預設頻率讀取顯示資料，該第一預設頻率不同於中央處理單元的操作頻率。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

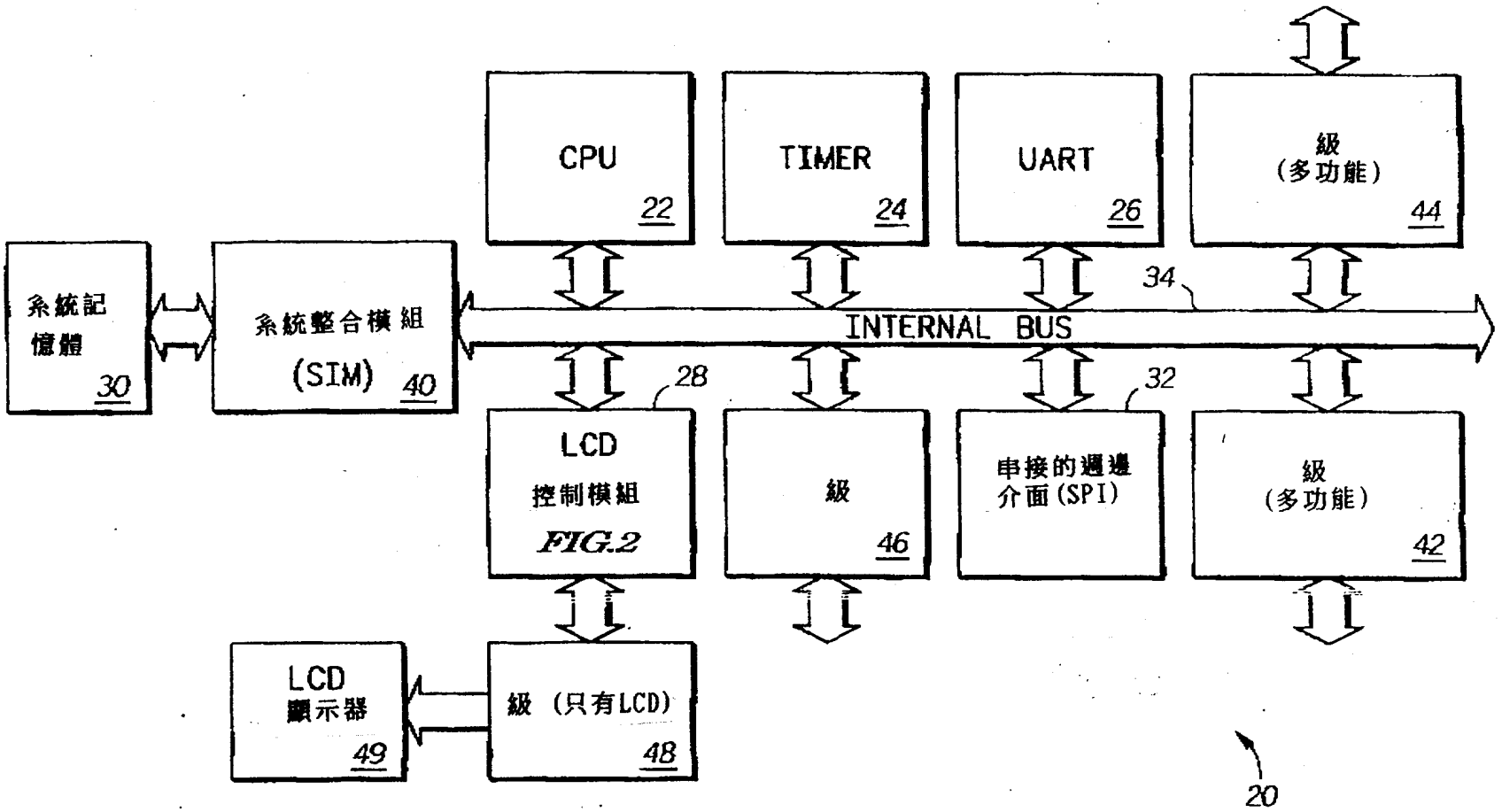
CPU
22
TIMER
24
UART
26
級
(多功能)
44
系統記
憶體
30
系統整合模組
(SIM)
40
34
INTERNAL BUS
28
32
LCD
控制模組
FIG.2
級
46
串接的週邊
介面(SPI)
級
(多功能)
42
LCD
顯示器
49
級 (只有LCD)
48
20

圖 1

400482

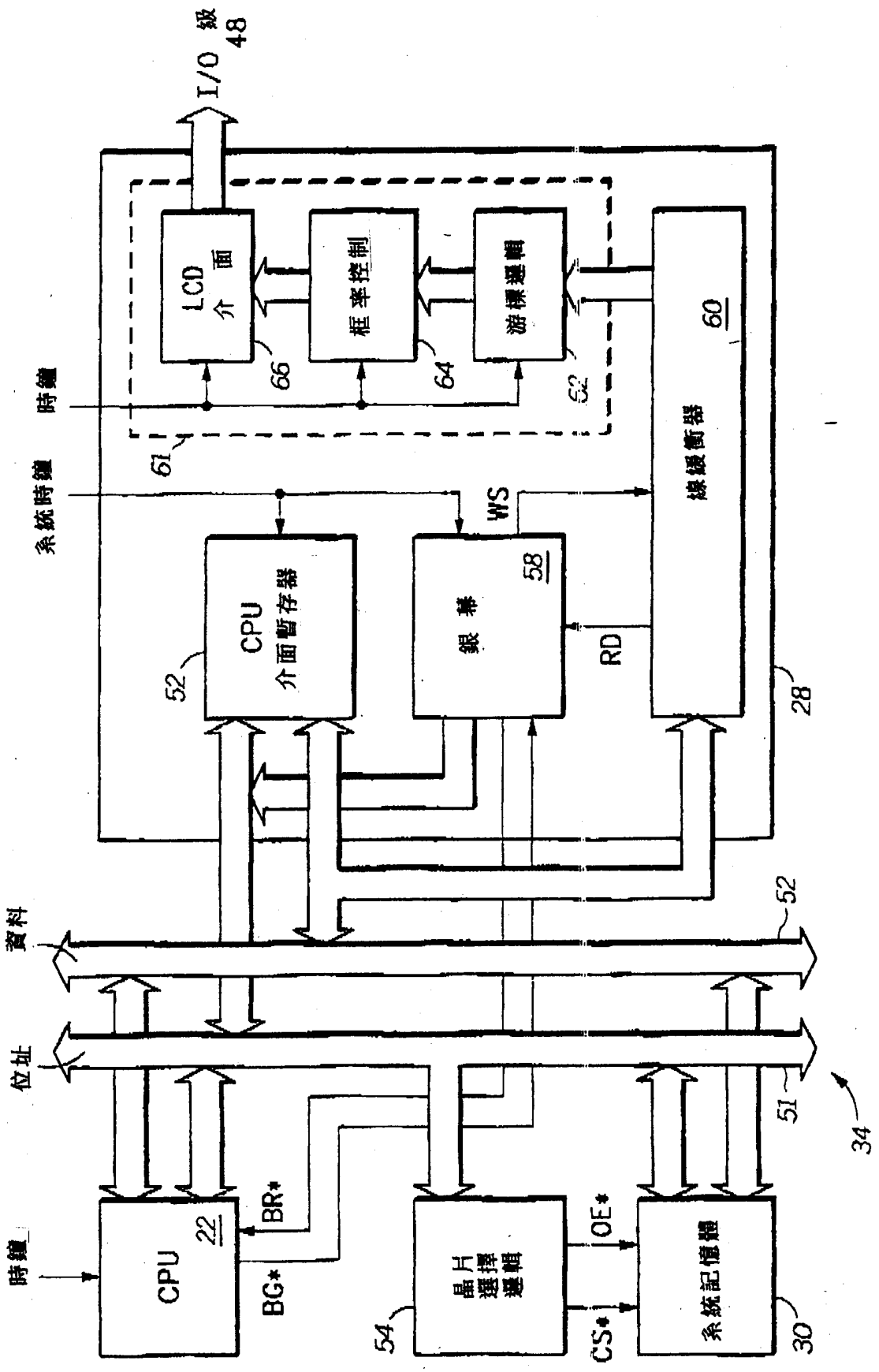
I/O 級
48
LCD 介面
框率控制
游標邏輯
60
61
66
64
62
時鐘
系統時鐘
WS
CPU 介面暫存器
52
銀幕
58
RD
線緩衝器
28
資料
52
位址
51
34
CPU
22
BR*
BG*
時鐘
晶片選擇邏輯
54
OE*
CS*
系統記憶體
30

圖 2

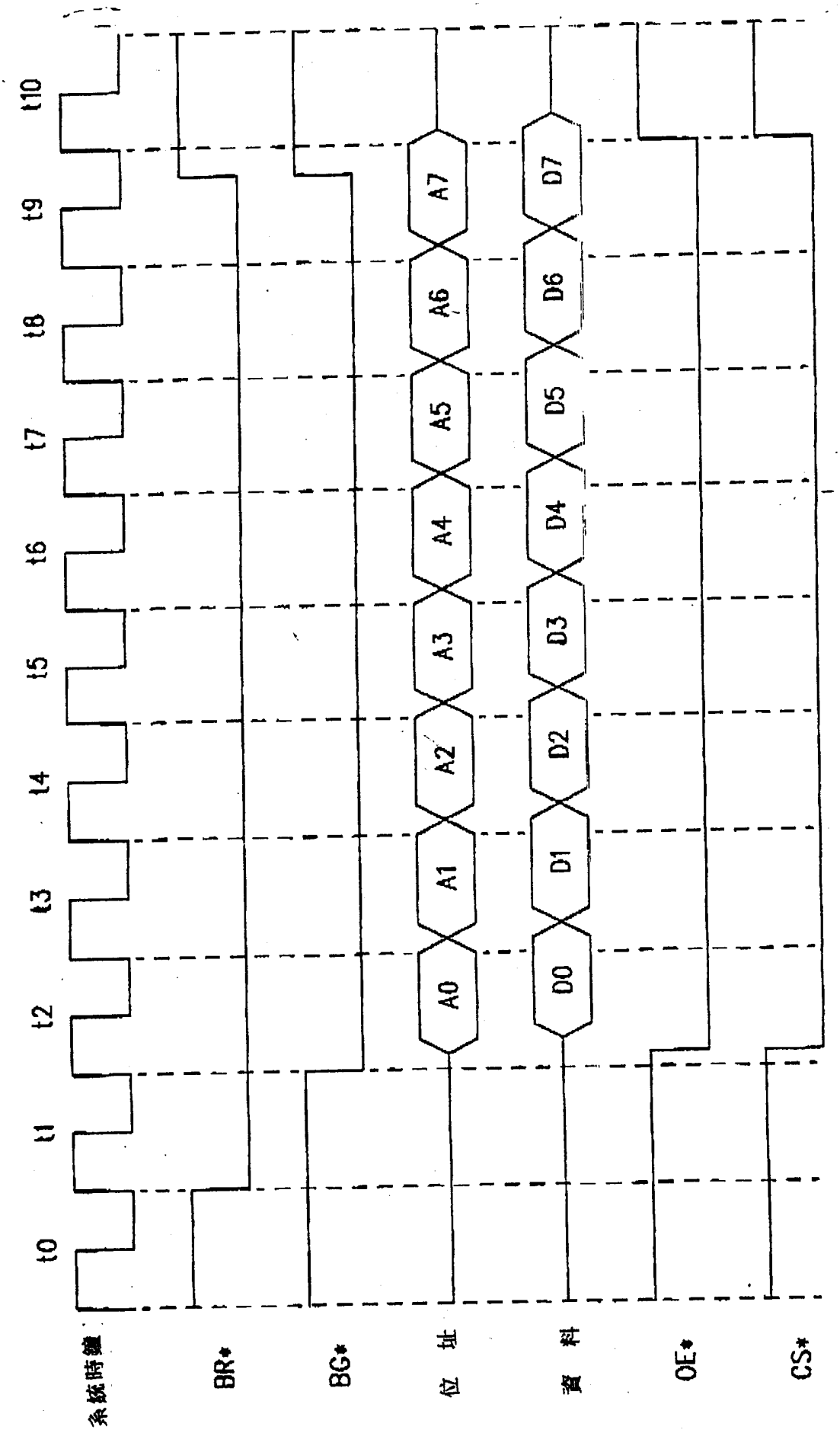
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
系統時鐘
BR*
BG*
位址
資料
OE*
CS*
A0
A1
A2
A3
A4
A5
A6
A7
D0
D1
D2
D3
D4
D5
D6
D7

圖 3

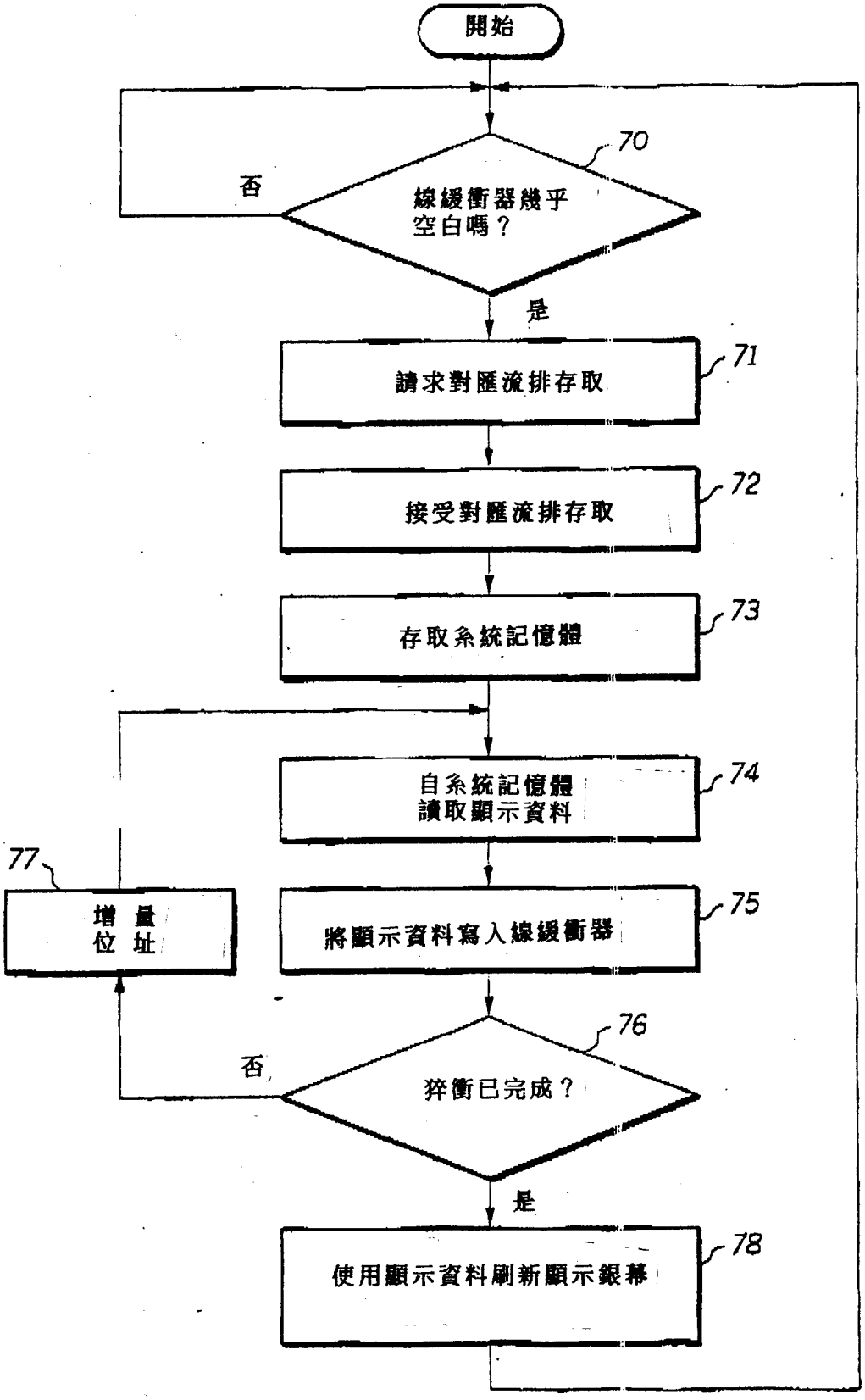
開始
70
線緩衝器幾乎空白嗎？
否
是
71
請求對匯流排存取
72
接受對匯流排存取
73
存取系統記憶體
74
自系統記憶體讀取顯示資料
77
增量位址
75
將顯示資料寫入線緩衝器
76
猝衝已完成？
否
是
78
使用顯示資料刷新顯示銀幕

圖4