

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 96132268

※申請日期： 96.8.30

※IPC 分類：H01L 21/3065 (2006.01)

一、發明名稱：(中文/英文)

形成高縱橫比特徵及相關結構之選擇性蝕刻化學

SELECTIVE ETCH CHEMISTRIES FOR FORMING HIGH ASPECT
RATIO FEATURES AND ASSOCIATED STRUCTURES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商美光科技公司

MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

羅素 史利佛

SLIFER, RUSSELL

住居所或營業所地址：(中文/英文)

美國愛達荷州鮑西市南菲德洛路8000號

8000 SOUTH FEDERAL WAY, BOISE, IDAHO 83707-0006, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 馬克 凱爾包區
KIEHLBAUCH, MARK
2. 泰德 泰勒
TAYLOR, TED

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年08月31日；11/515,435

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明在各個實施例中大體係關於積體電路製造，特定言之係關於在積體電路製造期間蝕刻材料之方法及所得結構。

【先前技術】

積體電路製造按照慣例包括在軟式或硬式光罩中形成開口圖案及經由圖案化光罩蝕刻材料以在材料中形成開口。在某些應用中，經蝕刻之材料可又用作用以隨後將圖案轉印至下伏材料之硬式光罩(或第二硬式光罩)。在鑲嵌應用中，蝕刻開口可採用絕緣層中之通道及/或溝槽之形式，該等通道及/或溝槽可用以形成積體電路之各個部分，包括導電接點、互連線及諸如電容器及電晶體之電設備。

蝕刻材料可涉及執行將材料暴露於定向電漿之乾式蝕刻，其中以緊密角度分布將受激物質導引至材料。原則上，乾式蝕刻形成具有相對筆直側壁之均勻開口。受激物質藉由與材料形成揮發性物質及/或藉由歸因於被受激物質轟擊而物理濺鍍掉材料來蝕刻材料。

一般蝕刻材料包括介電質，諸如層間介電質。介電質中之開口可用以固持積體電路中之各種導電或半導體特徵，介電質在該等特徵之間提供電絕緣。

氧化矽為通用介電材料，其可以多種方法形成並可包括各種其他組份。用於基於氧化矽之材料的典型乾式蝕刻化學包括氫氟碳、氧氣(O_2)及惰性氣體。參看圖1，可將蝕

刻化學作為電漿受激物質導引通過一遮蔽層20中之開口10以蝕刻一氧化矽層30。參看圖2，儘管電漿受激物質之流動主要為垂直的，但某些電漿受激物質之路徑具有可引起側壁之蝕刻的水平分量。此蝕刻導致弓形側壁之形成，且結果一般被稱為"彎曲"。通道或溝槽之間的絕緣材料之生成變薄可導致破裂，從而在填充通道/溝槽或寄生電容之導電元件之間形成短路。

繼續參看圖2，來自蝕刻化學之氫氟碳之碳可於蝕刻期間在開口50中沈積並聚合，藉此形成聚合薄膜60。一般而言，沈積主要在開口50之上部部分附近相鄰於遮蔽層20之側壁而發生。聚合薄膜60在聚合薄膜60之最厚部分處形成所謂的頸部。在某些情況下，聚合薄膜60可生長得如此厚以使得其阻斷或堵塞開口50。然而，通常，開口50保持開放且此等頸部可為有益的，因為其可在側壁40上形成"遮蔽"，藉此保護側壁40不被蝕刻，藉此減少彎曲。

儘管為保護側壁40所需，但具有較厚頸部區之聚合薄膜60亦可能阻礙某些蝕刻劑流進開口50；與周邊部分相比，更多蝕刻劑到達開口50之底部的中間部分，從而使中間部分處之材料被優先移除。結果，開口50隨著其進一步進入層30可能變尖。若聚合薄膜60在開口50中非對稱地沈積或在不同開口50之間以不同量沈積，則變尖可為不均勻的，從而引起不均勻開口50之形成。應瞭解，在積體電路製造中通常需要筆直側壁40及均勻開口50之形成以允許(例如)最終產物之性質的可預測性、可靠性及均一性。然而，藉

由在頸部區中形成較薄聚合薄膜60而最小化變尖可能提供側壁40之不充分保護，從而引起過度彎曲。

因此，需要允許有效控制蝕刻開口之輪廓的方法及結構。

【發明內容】

本發明之實施例與高輪廓控制及高輪廓均一性組合提供使介電材料中所蝕刻之開口之側壁之鈍化成為可能的蝕刻化學。該等蝕刻化學包括矽物質及鹵化物物質，且亦較佳包括碳物質及氧物質。此等物質中之至少一者且較佳每一者可為電漿受激物質。

在某些實施例中，電漿受激物質由矽、碳及/或氧化合物衍生或產生。在某些實施例中，可將矽化合物表示為 $\text{Si}_x\text{M}_y\text{H}_z$ ，其中"Si"為矽，"M"為一或多個鹵素(例如，氟、溴及/或氯)，"H"為氫，且 $x \geq 1$ ， $y \geq 0$ 且 $z \geq 0$ (較佳地， $y \geq 1$)。如上所述，蝕刻化學亦可包括碳化合物，可將其表示為 $\text{C}_\alpha\text{M}_\beta\text{H}_\gamma$ ，其中"C"為碳，"M"為一或多個鹵素，"H"為氫，且 $\alpha \geq 1$ ， $\beta \geq 0$ 且 $\gamma \geq 0$ (較佳地， $\beta \geq 1$)。另外，蝕刻化學可包括氧化合物(例如，分子氧(O_2)、過氧化氫(H_2O_2)或水(H_2O))。應瞭解，在某些情況下，可能可利用藉此產生矽、鹵素、碳及氧電漿受激物質中之兩者或兩者以上之化合物。舉例而言，涵蓋由矽、碳及鹵素原子形成之化合物。

蝕刻化學有利地使介電材料(諸如層間介電質或含矽之介電材料)之電漿蝕刻能夠形成高縱橫比開口。矽化合物

中之矽可鈍化在側壁上形成矽層之開口的側壁。矽層有利地較(例如)可使用習知氟碳化合物化學形成之無矽聚合物層更抗蝕刻劑。此對蝕刻劑之抗性相對於單獨使用氟碳化合物減少側壁之彎曲。此外，如以下進一步討論，矽化合物藉由為矽化合物及/或碳化合物(當蝕刻化學中包括碳化合物時)適當選擇鹵素組份而有利地使鈍化及蝕刻之程度被調整。

另外，已有利地發現根據所揭示實施例之蝕刻化學(諸如包括 SiF_4 之蝕刻化學)較許多習知蝕刻化學提供更高選擇性。此外，矽鈍化層可耗散可在電漿蝕刻期間累積且可自界定開口之表面排斥電漿受激物質之電荷。藉由最小化電荷累積，可增加蝕刻速率，因為更多電漿受激物質被允許到達介電材料中之開口(例如，通道或溝槽)的表面。

【實施方式】

現將參看諸圖，其中相似數字始終指代相似部分。應瞭解，圖式及其中之部分未必按比例繪製。

參看圖3，說明一經部分製造之積體電路100。如以下所討論，一圖案化遮蔽層120覆蓋將被蝕刻之介電或絕緣材料之層130。遮蔽層120包括開口110之圖案。在所說明實施例中，圖案化遮蔽層120為含碳硬式光罩層，較佳為非晶碳層，例如，高透光之透明非晶碳層。可在A. Helmbold、D. Meissner的Thin Solid Films, 283 (1996) 196-203中找到用以形成高透明碳之沈積技術，該案之全部揭示內容以引用的方式併入本文中。

可在自一或多個上覆層(諸如光阻層及一或多個介入硬式光罩層)之圖案轉印之後形成開口110之圖案。光阻可經由主光罩被曝露於輻射且接著經顯影以形成被轉印至遮蔽層120之所要圖案。

用於遮蔽層120之另一碳材料之一實例為光阻本身。在其他材料之實例中，遮蔽層120可由可相對於層130之介電材料被選擇性蝕刻且被選擇之含矽材料(例如，矽或氮化矽)形成。

層130包含可含矽之介電材料。舉例而言，層130可為氧化矽之形式且較佳為層間介電(ILD)層。在所說明實施例中，層130由氧化矽(例如，諸如二氧化矽之未摻雜氧化矽、氟化氧化矽(FSG)、諸如硼磷矽玻璃(BPSG)及磷矽玻璃(PSG)之矽玻璃、摻雜或未摻雜之熱生長氧化矽、摻雜或未摻雜之TEOS沈積氧化矽等)形成。

參看圖4，氧化矽層130已經受乾式蝕刻。在蝕刻期間，定向電漿受激物質在行進通過遮蔽層120中之開口110(圖3)之後與層130接觸，藉此蝕刻層130並形成開口150。應瞭解，"電漿受激物質"指代經由將能量施加於氣體所產生之自由基、離子或其他受激物質。可使用含有基板之反應腔室內部之直接電漿產生器(亦即，"原位"或"直接"電漿產生)或使用遠端電漿產生器(亦即，"外部"或"遠端"電漿產生)來產生電漿受激物質。可原位產生電漿受激物質。可經由諸如電感耦合、紫外輻射、微波、電容耦合、RF功率之施加等之多種方法將能量施加(耦合)於氣體。在缺乏耦

合能量時，電漿產生終止。電漿受激物質可包括(但不限於)鹵化物自由基及離子。在蝕刻期間，較佳經由施加電場將電漿受激物質(例如， F^+)較佳導引至待蝕刻之材料的表面，以提供定向或各向異性蝕刻。

電漿物質由包括矽化合物且更佳為矽與鹵素化合物之蝕刻化學產生。在實施例中，矽化合物一般可由 $Si_xM_yH_z$ 表示，其中" Si "為矽；" M "為一或多個鹵素，諸如氟、溴、氯或碘；" H "為氫且 $x \geq 1$ ， $y \geq 0$ 且 $z \geq 0$ 。更佳地，矽化合物包括鹵素以輔助層130之蝕刻，使得 $y \geq 1$ 。舉例而言，在某些實施例中，矽化合物為 SiF_4 ，其為相對侵襲性蝕刻化合物。如以下所討論之具有較小侵襲性之其他矽化合物的實例為 $SiBr_2F_2$ 、 $SiBr_2H_2$ 、 $SiBr_4$ 、 $SiBr_3H$ 及 SiH_4 。另外，蝕刻化學亦可包括不同矽化合物之組合。較佳借助於惰性運載氣體(例如，氦(He)、氬(Ar)及氖(Ne))，將蝕刻化學提供至含有經部分製造之積體電路100之反應腔室。

較佳地，蝕刻化學亦包括碳化合物。可將碳化合物表示為 $C_\alpha M_\beta H_\gamma$ ，其中" C "為碳，" M "為一或多個鹵素，" H "為氫，且 $\alpha \geq 1$ ， $\beta \geq 0$ 且 $\gamma \geq 0$ 。更佳地，包括至少一鹵素以輔助層130之蝕刻，使得 $\beta \geq 1$ 。碳化合物之實例包括 CF_4 及 C_2Br_6 。亦涵蓋不同含碳化合物之組合。

在不受理論限制之情況下，咸信藉由用受激物質物理轟擊之層130之材料的濺鍍連同歸因於鹵化物物質(來自碳化合物或矽化合物)與(例如)介電層130之矽之反應的揮發性化合物之形成引起材料自層130之移除，藉此形成開口

150。為輔助材料之移除，蝕刻化學較佳亦包括碳化合物。碳原子有利地與(例如)來自氧化矽之氧原子反應，以形成輔助氧原子之移除之揮發性碳氧化合物(例如，CO及/或CO₂)。

在某些實施例中，蝕刻化學較佳亦包括較佳能夠燃燒碳之氧化合物。氧化合物之一實例為分子氧(O₂)。

在不受理論限制之情況下，氧化合物可用以藉由與碳形成揮發性化合物(例如，經由"燃燒"反應)自開口150移除碳而增加製程寬容度。舉例而言，儘管來自碳化合物之碳可用以自開口150移除介電層130之氧，但在某些應用中，可能需要將過量碳化合物遞送至開口150，以(例如)增加蝕刻之侵襲性。氧化合物之使用在遞送至開口150之碳化合物之量下有利地允許較大製程寬容度，因為氧化合物可移除另外將累積於開口150中之碳。

應瞭解，本文所揭示之各種化合物之各種下標(諸如，x、y、z、 α 、 β 、 γ 及 δ)的數值受可由形成化合物之各種構成原子形成之鍵結的數目限制。舉例而言，熟習此項技術者應瞭解，矽原子及碳原子形成至其他原子之四個鍵結，而鹵素及氫將與單一其他原子形成鍵結。

繼續參看圖4，蝕刻化學有利地將鈍化薄膜160沈積於開口150之側壁140上，包括沈積於遮蔽層120之表面上。在不受理論限制之情況下，可信矽化合物之矽藉由沈積及聚合而鈍化側壁140以形成鈍化薄膜160。另外，來自碳化合物之碳亦可沈積並聚合以輔助鈍化薄膜160之形成，尤其

是遮蔽層 130 之表面上之形成。在某些情況下，咸信朝向開口 150 之頂部，在遮蔽層 120 之表面上，鈍化薄膜 160 可由含碳聚合物(主要由碳形成)形成，而下降至開口 150 中，在介電層 130 之表面上，鈍化薄膜 160 可為含矽聚合物(主要由矽形成)，諸如聚矽氧。

有利地，鈍化薄膜 160 中之矽使薄膜對藉由蝕刻劑之蝕刻呈高抗性。因此，鈍化薄膜 160 保護側壁 140 不受蝕刻，藉此最小化彎曲。應瞭解，鈍化薄膜 160 之某蝕刻確實發生，但與在無較佳實施例之矽化合物之情況下使用氟碳的習知蝕刻相比，此被認為是最小限度的。並非允許鈍化薄膜 160 保持完全未蝕刻，較佳選擇蝕刻化學以在足以防止鈍化薄膜 160 生長而阻塞開口 150 之速率下蝕刻鈍化薄膜 160，同時仍允許鈍化薄膜 160 保護側壁 140 並最小化彎曲。

此外，鈍化薄膜 160 之相對較高蝕刻抗性允許形成較薄鈍化層，藉此增加頸部區 162 處之開口的大小。此相對較窄鈍化層 160 及相對較寬頸部開口 162 有利地有助於改良輪廓控制。有利地，可減少頸部對蝕刻劑之阻塞，藉此減少開口 150 之變尖。結果，可形成更直、更垂直側壁 140 且開口 150 之寬度貫穿開口之高度更為均勻。另外，開口 150 之經降低之錐度可藉由有效減小特徵之縱橫比而有利地增加蝕刻速率。

應瞭解，鈍化薄膜 160 可有利地增加所要垂直蝕刻速率。歸因於蝕刻期間電漿受激物質之產生及使用，電荷可

累積於側壁140上。此等電荷可藉由排斥帶電蝕刻劑物質並不良地減少碰撞於開口150之底部上之此等帶電受激物質的數目而降低蝕刻速率。有利地，含矽層為半導體的，從而允許電荷之耗散並最小化電荷累積。結果，更多帶電蝕刻劑物質可到達開口150之底部，以蝕刻該底部處之材料，藉此增加蝕刻速率。舉例而言，開口150之底部可帶正電，從而引起蝕刻化學之陽離子之排斥。經由沈積導電或半導體薄膜(諸如含矽薄膜160)而減少開口150之底部處之正電荷可藉由降低此排斥而增加蝕刻速率。

可藉由適當選擇一或多個鹵素而調整除其他參數外之蝕刻化學之相對鈍化程度及蝕刻強度。應瞭解，可將各種鹵素之相對蝕刻強度推廣為 $F > Cl > Br > I$ ，自最多侵襲性(F)至最少侵襲性(I)而變化。可利用鹵素與氫之組合(例如， $SiF_aCl_bBr_cH_d$)來進一步調整相對鈍化程度及蝕刻強度。當側壁140之鈍化程度及鈍化薄膜160之蝕刻速率較佳經平衡以最小化彎曲時，調整蝕刻化學(包括矽化合物)之蝕刻強度之能力有利地有助於此平衡。在結合更多侵襲性蝕刻劑使用矽化合物之某些實施例中，矽化合物可為(例如) SiH_4 ，從而允許其主要起鈍化劑作用，同時提供鹵化物蝕刻劑(例如)作為氟碳。

如以上所討論，在某些實施例中，應瞭解，可藉由適當選擇製程參數(例如，電漿能量、電漿脈衝持續時間、基板溫度、反應器壓力及流速)且藉由選擇遞送至反應腔室之蝕刻化學中之矽、碳及氧化化合物的組成及相對比率來達

成對開口 150 之輪廓控制。舉例而言，可藉由選擇具有具更大或更小蝕刻強度之鹵素之矽及/或碳化合物來修改蝕刻化學之侵襲性。在某些實施例中，蝕刻化學中僅包括矽化合物(在該種情況下，矽化合物含有鹵素，但不含有碳物質)，但較佳地，亦包括碳化合物，且更佳地，亦包括碳化合物及氧化合物。

亦應瞭解，蝕刻化學之各種化合物可分離地或間歇地流入反應腔室，在某些實施例中，碳化合物及氧化合物可連續流入腔室，而矽化合物間歇流入腔室。碳化合物可在光罩開口之側壁上形成鈍化薄膜。然而，隨著蝕刻進行，上覆遮蔽層 120 及遮蔽層 120 之表面上之任何鈍化薄膜亦被蝕刻。結果，遮蔽層 120 可經磨損而變薄且由蝕刻形成之頸部及任何弓形可穿透至介電層 130 中。舉例而言，隨著遮蔽層 120 變得愈來愈薄，碳鈍化薄膜亦可被蝕刻，使得由碳鈍化薄膜形成之頸部在開口 150 中愈來愈低地形成。在某些情況下，頸部可自光罩開口之側壁移動至介電層 130 之側壁。此經降低之頸部可使介電層 130 之在頸部以上之部分不被保護而免受蝕刻劑影響。在此發生前，為增加鈍化薄膜對於蝕刻之抗性，藉此減少頸部之向下移動並減少遮蔽層 120 之變薄，可將矽化合物添加至蝕刻化學。除提供蝕刻抗性外，矽化合物可沈積於遮蔽層 120 上，以增加光罩高度並抵抗遮蔽層 120 之變薄。為防止鈍化薄膜之過度沈積或生長，可一度停止矽化合物之流動。可在遮蔽層 120 之變薄及鈍化薄膜之蝕刻再次進行至不良程度之前隨

後再次添加矽化合物。因此，含矽鈍化劑可在暫時分離脈衝下循環流動，而含碳蝕刻劑連續流動或與含矽鈍化劑交替流動。

參看圖5，在蝕刻後，可移除遮蔽層120且開口150可經受後蝕刻清潔製程以形成清潔開口150a。應瞭解，遮蔽層120可經受適合於移除形成該層之材料的蝕刻或其他製程。舉例而言，可使用灰化製程來移除光阻。可藉由各種製程(包括與 O_2 及 N_2 組合使用含氟氣體(例如， CF_4)之灰化製程)來移除鈍化薄膜160。在使用高量矽之某些情況下，來自蝕刻化學之矽可形成側壁140(圖4)上之難以移除的矽化合物。在該等情況下，可應用偏壓汽提器(更合適為按照慣例用於汽提製程之微波汽提器)來移除矽化合物。

儘管僅展示部分延伸通過層130，但在某些實施例中，應瞭解蝕刻可經執行以致形成完全延伸通過層130之開口。參看圖6，一下伏層170充當蝕刻終止；蝕刻相對於形成層130之材料對於下伏層170為選擇性的。結果，開口150b經形成而完全延伸通過層130，藉此暴露下伏層170。

可接著進一步加工經部分製造之積體電路100以形成完整積體電路。舉例而言，繼續參看圖6，可用材料填充開口150b以形成各種特徵，諸如在當層170包括導電特徵(諸如互連)時之情況下之導電接點。在其他應用中，蝕刻層130可用作用以將由開口150b界定之圖案轉印至下伏層170之光罩。在另一實例中，參看圖6，亦可用材料填充開口150b以形成各種電設備，諸如電晶體或電容器。舉例而

言，開口 150b 可用以形成用於與亦可形成於開口 150b 中之罐形電容器接觸的多晶矽插塞。

有利地，根據較佳實施例之加工允許形成均勻、高縱橫比特徵或開口。舉例而言，開口 150a(圖 5)或 150b(圖 6)可具有約 15:1 或更高、約 20:1 或，更佳地，約 30:1 或更高，或約 40:1 或更高之縱橫比(在開口之頂部處的深度對寬度)。開口 150a 或 150b 亦可有利地較窄，寬度為 100 nm 或更小，且小至約 80 nm 或更小，或約 65 nm。開口 150a 或 150b 可貫穿其深度為非常均勻的，寬度之變化小於約 10 nm RMS(3σ 內)。

此外，所揭示實施例有利地允許在蝕刻速率方面，在蝕刻選擇性方面，在所形成特徵之均一性方面且在可形成之開口之縱橫比方面對習知蝕刻進行改良。在此等類別中，可能存在 15% 且更佳 25% 之改良。舉例而言，此等實施例在形成孔 150a、150b(圖 5 及圖 6)之過程中允許約 50-60 Å/min 或更高之蝕刻速率及約 4:1 或更高之選擇性(用於(例如)氧化矽層之蝕刻速率與非晶碳層之蝕刻速率之比)。

另外，所形成之開口具有更均勻、幾乎垂直之側壁。應瞭解，開口 150a、150b 具有開口之間的材料或間隔物 132 且可參考間隔物 132 而特性化側壁 140 之彎曲量。一頂部寬度 134(開口 150a 之頂部處之間隔物 132 的寬度)與一弓形寬度 136(間隔物 132 在其最窄點處之寬度)之比可小於或等於約 1.4:1，小於或等於約 1.3:1 或甚至小於或等於約 1.2:1。在某些實施例中，頂部寬度 134 與弓形寬度 136 之比為約

1.15:1。因此，彎曲之程度有利地較低。應瞭解，間隔物132可起待形成於開口150a、150b中之導體之間的絕緣分離之作用。舉例而言，對於具有相同縱橫比之開口，執行使用相同蝕刻速率並具有相同選擇性之習知蝕刻可產生大於由本發明之某些實施例所產生之比約25-30%之頂部寬度134與弓形寬度136之比。

實例

氧化矽介電層經蝕刻通過非晶碳遮蔽層以形成溝槽。在可自Tokyo Electron Limited of Tokyo, Japan購得之雙頻電容耦合反應器中執行蝕刻。蝕刻化學包括藉由氫運載氣體提供至反應腔室之 SiF_4 、 C_4F_8 及 O_2 。以約18每分鐘標準立方公分(sccm)之流動速率將 SiF_4 提供至反應腔室， C_4F_8 在約35 sccm下流動，且 O_2 在13 sccm下流動。基板溫度為約 50°C 且反應腔室壓力為約35 mTorr。將60 MHz下之1500 W之功率耦接至頂部電極且將2 MHz下之2750 W之功率耦接至底部電極。生成溝槽具有約25:1之縱橫比及其頂部處之約90 nm之寬度。

參看圖7，展示生成溝槽之掃描電子顯微圖。有利地，溝槽具有特別均勻且筆直之側壁。

參看圖8A至圖8E，發現了蝕刻利用藉由Ar運載氣體而由 C_4F_8 及 O_2 組成之蝕刻化學來提供對基線蝕刻之各種改良。值得注意的是，氧化矽相對於非晶碳硬式光罩之蝕刻選擇性增加(圖8A)，同時仍達成高蝕刻速率(圖8B)。另外，弓形CD(溝槽之間的未蝕刻介電材料之寬度)或弓形寬

度增加，從而指示彎曲已減少(圖8C)。又，頸部尺寸與弓形尺寸之間的差(頸部尺寸減去弓形尺寸)有利地較低，從而指示溝槽之側壁特別筆直(圖8D)。

又，任何彎曲出現之深度低於基線化學之彎曲出現之深度(圖8E)。有利地，此有助於對彎曲之程度及蝕刻開口之輪廓的控制。舉例而言，在某些實施例中，蝕刻化學可在蝕刻過程期間被改變，使得任何彎曲更均勻地分布於開口之高度上。舉例而言，蝕刻化學可自提供相對較淺弓形深度之化學(例如，基線化學)至提供相對較深弓形深度之化學(SiF_4)而變化。結果，任何彎曲可分布於開口之高度上，使得給定高度處之彎曲量減少。

應自本文中之描述瞭解，本發明包括各種實施例。舉例而言，根據本發明之一實施例，提供一種用於形成積體電路之方法。該方法包含在反應腔室中提供具有上覆遮蔽層之層間介電(ILD)層。遮蔽層具有暴露ILD層之部分的開口。由包含矽化合物之氣體產生電漿受激物質。藉由使ILD層之暴露部分與電漿受激物質接觸而蝕刻ILD層。

根據本發明之另一實施例，提供一種用於半導體加工之方法。該方法包含藉由使含矽介電層之暴露部分與包含鹵素化合物及矽化合物之化學接觸而蝕刻含矽介電層。該等化合物中之至少一者處於電漿受激狀態。

根據本發明之又一實施例，提供一種用於在半導體基板上形成層間介電(ILD)層中之高縱橫比特徵的方法。該方法包含在ILD層上提供遮蔽層。遮蔽層具有部分暴露介電

層之一或多個開口。使用蝕刻化學相對於遮蔽層選擇性地蝕刻ILD層之暴露部分。蝕刻化學包含矽物質、鹵化物物質、碳物質及氧物質。

根據本發明之另一實施例，提供一種具有層間介電(ILD)層之經部分製造之積體電路。該經部分製造之積體電路包含形成於ILD層中之複數個特徵。該等特徵具有由ILD層中之開口界定之側壁。該等特徵中之每一者之頂部處的寬度界定頂部寬度且該等特徵之最小寬度界定弓形寬度。頂部寬度與弓形寬度之弓形比小於或等於約1.4:1。經部分製造之積體電路亦包含側壁之至少部分上之矽聚合薄膜。

除上述揭示內容外，熟習此項技術者亦應瞭解，可在不脫離本發明之範疇的情況下對上述方法及結構進行添加及修改。所有此等修改及改變意欲屬於如由附加申請專利範圍所界定之本發明的範疇。

【圖式簡單說明】

圖1為根據先前技術的具有覆蓋待蝕刻材料之圖案化軟式或硬式光罩之經部分製造之積體電路的橫截面側視圖；

圖2為根據先前技術的在執行定向電漿蝕刻後之圖1之經部分製造之積體電路的橫截面側視圖；

圖3為根據本發明之實施例的具有覆蓋介電材料之圖案化光罩之經部分製造之積體電路的橫截面側視圖；

圖4為根據本發明之實施例的在蝕刻介電材料後之圖3之經部分製造之積體電路的橫截面側視圖；

圖5為根據本發明之實施例的在移除光罩並清潔蝕刻開口後之圖4之經部分製造之積體電路的橫截面側視圖；

圖6為根據本發明之實施例的在蝕刻通過介電材料，移除光罩並清潔蝕刻開口後之圖3之經部分製造之積體電路的橫截面側視圖；

圖7為根據本發明之實施例所形成之溝槽的掃描電子顯微圖；及

圖8A至8E為展示根據本發明之實施例且根據先前技術之蝕刻的性質之圖表。

【主要元件符號說明】

10	開口
20	遮蔽層
30	氧化矽層
40	側壁
50	開口
60	聚合薄膜
100	經部分製造之積體電路
110	開口
120	遮蔽層
130	層間介電層/氧化矽層
132	間隔物
134	頂部寬度
136	弓形寬度
140	側壁

150	開口
150a	開口/孔
150b	開口/孔
160	鈍化薄膜
162	頸部區/頸部開口
170	下伏層

五、中文發明摘要：

本發明係關於使用一包括一矽物質及一鹵化物物質且亦較佳包括一碳物質及一氧物質的電漿蝕刻化學來選擇性蝕刻一諸如一氧化矽層的層間介電層(130)。該矽物質可由一矽化合物(諸如 $\text{Si}_x\text{M}_y\text{H}_z$)產生，其中 "Si" 為矽，"M" 為一或多個鹵素，"H" 為氫且 $x \geq 1$ ， $y \geq 0$ 且 $z \geq 0$ 。該碳物質可由一碳化合物(諸如 $\text{C}_\alpha\text{M}_\beta\text{H}_\gamma$)產生，其中 "C" 為碳，"M" 為一或多個鹵素，"H" 為氫，且 $\alpha \geq 1$ ， $\beta \geq 0$ 且 $\gamma \geq 0$ 。該氧物質可由一可與碳反應以形成一揮發性化合物之諸如 O_2 的氧化合物產生。

六、英文發明摘要：

An interlevel dielectric layer (130), such as a silicon oxide layer, is selectively etched using a plasma etch chemistry including a silicon species and a halide species and also preferably a carbon species and an oxygen species. The silicon species can be generated from a silicon compound, such as $\text{Si}_x\text{M}_y\text{H}_z$, where "Si" is silicon, "M" is one or more halogens, "H" is hydrogen and $x \geq 1$, $y \geq 0$ and $z \geq 0$. The carbon species can be generated from a carbon compound, such as $\text{C}_\alpha\text{M}_\beta\text{H}_\gamma$, where "C" is carbon, "M" is one or more halogens, "H" is hydrogen, and $\alpha \geq 1$, $\beta \geq 0$ and $\gamma \geq 0$. The oxygen species can be generated from an oxygen compound, such as O_2 , which can react with carbon to form a volatile compound.

十一、圖式：

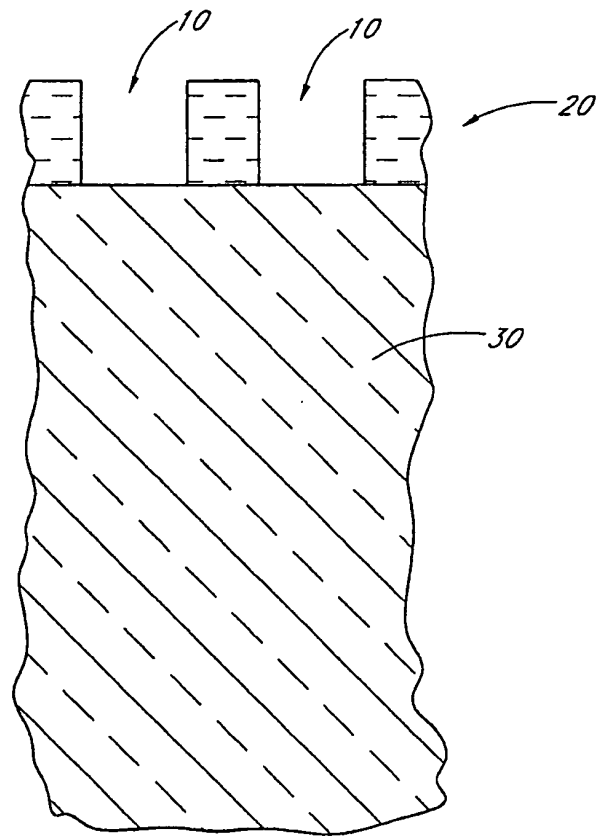


圖 1

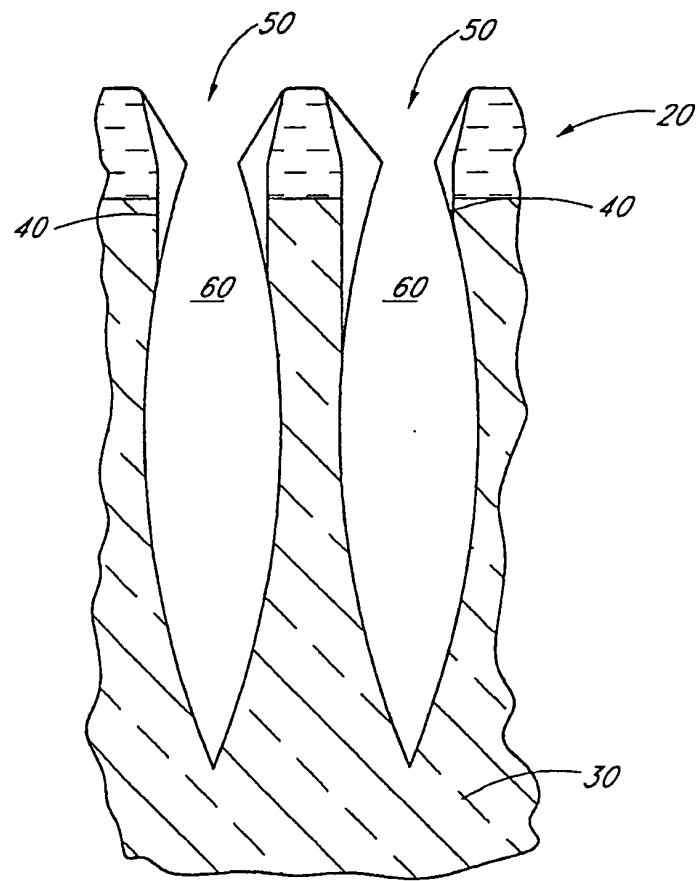


圖2

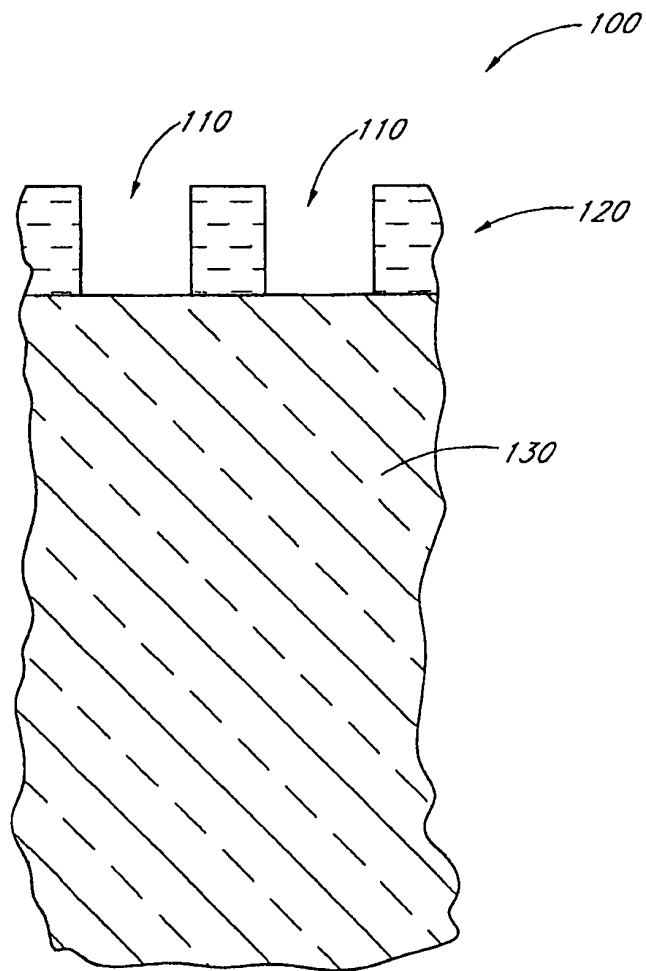


圖 3

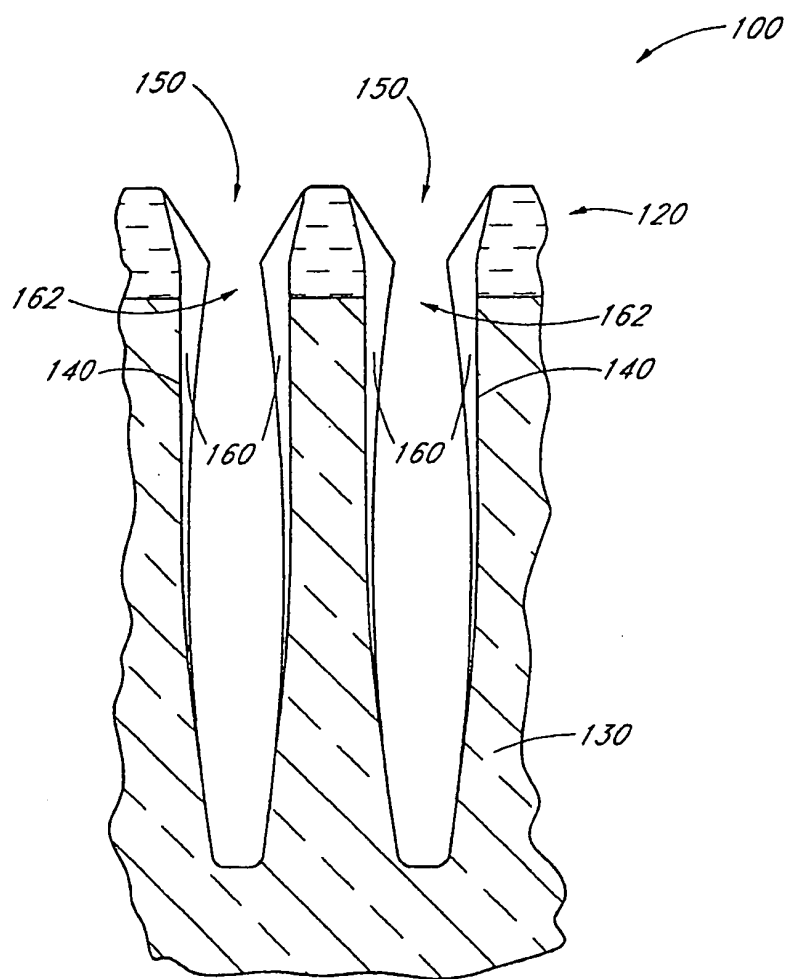


圖4

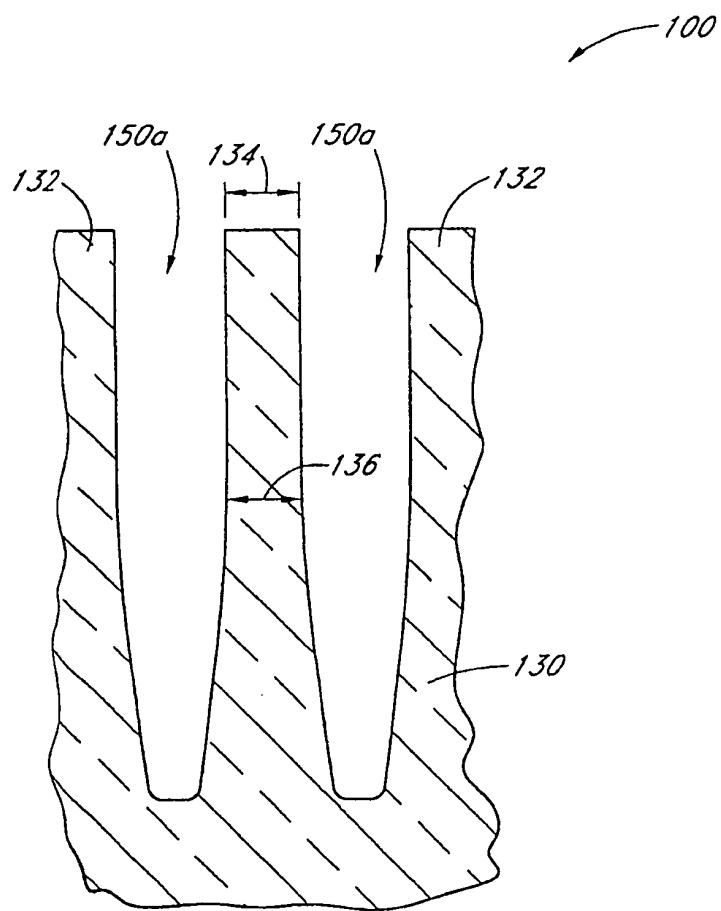


圖5

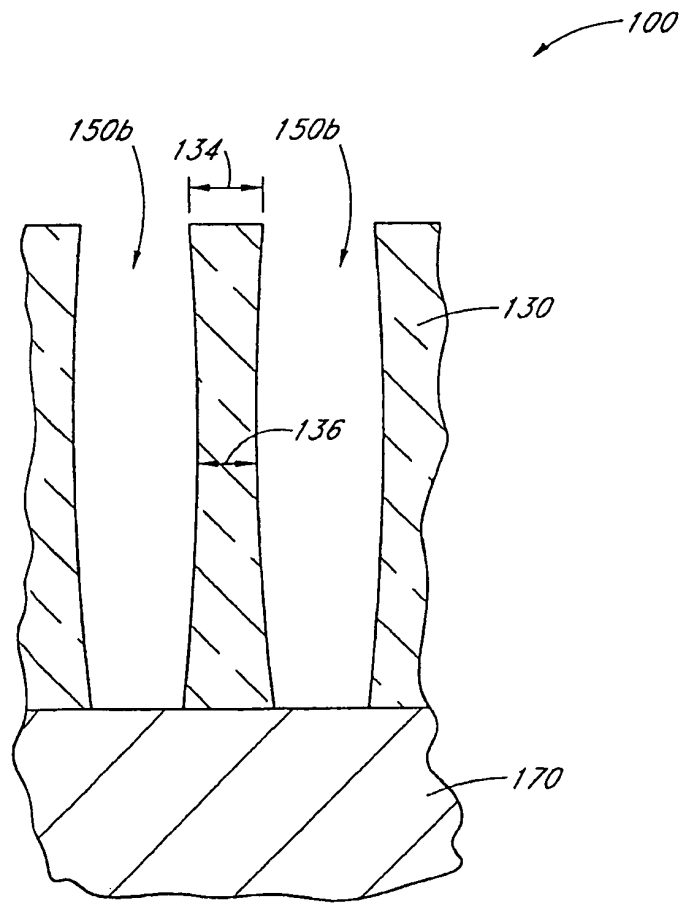


圖6

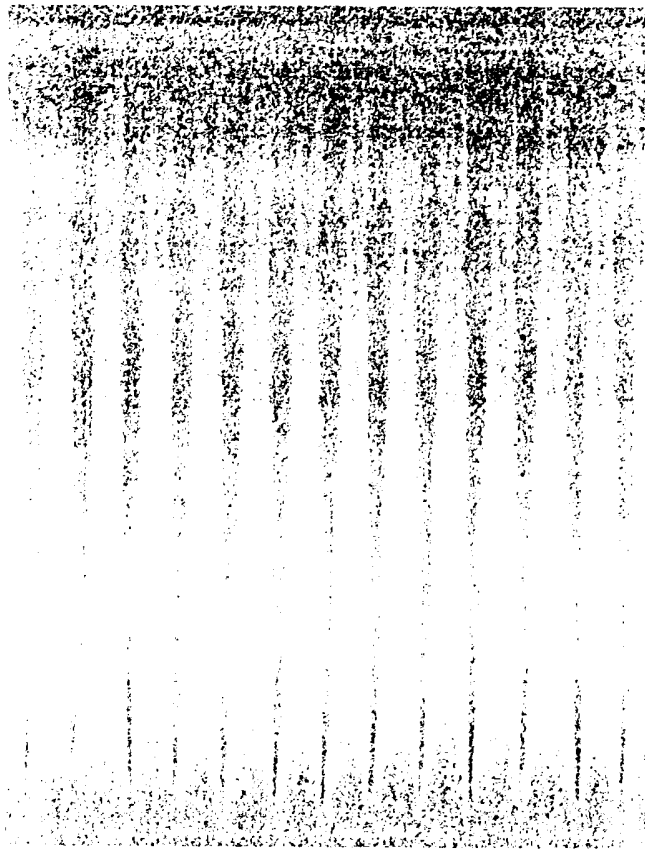


圖 7

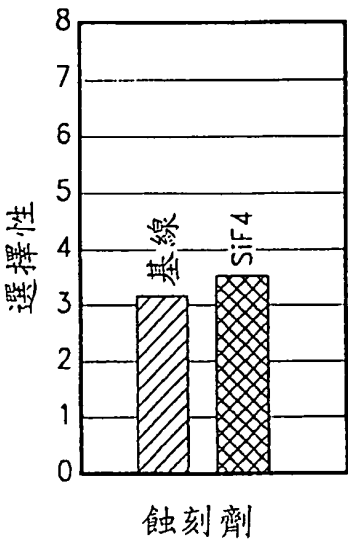


圖 8A

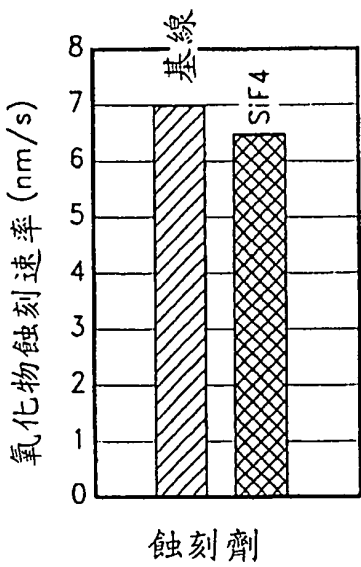


圖 8B

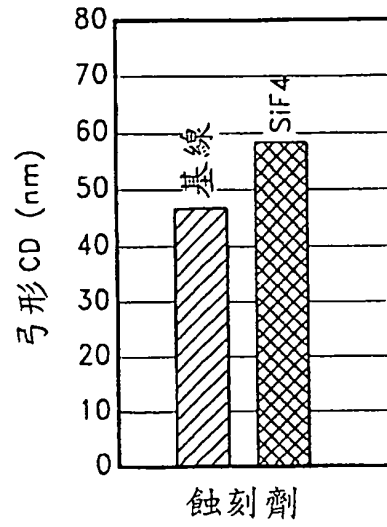


圖 8C

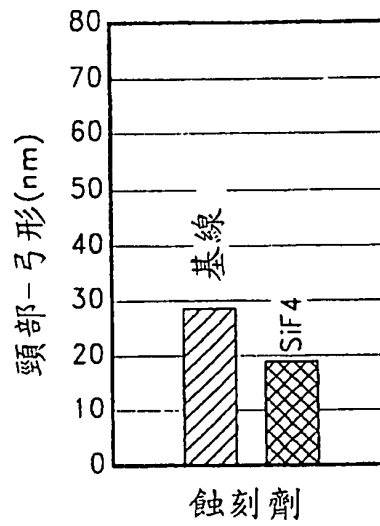


圖 8D

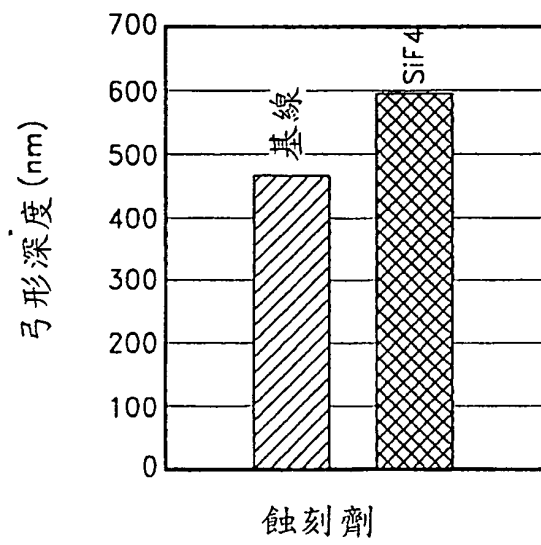


圖 8E

七、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

100	經部分製造之積體電路
130	層間介電層/氧化矽層
132	間隔物
134	頂部寬度
136	弓形寬度
150a	開口/孔

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種用於形成一積體電路之方法，其包含：

在一反應腔室中提供一具有一上覆遮蔽層之層間介電(ILD)層，該遮蔽層具有暴露該ILD層之部分的開口；

藉由使該ILD層之該等暴露部分與包含由一碳化合物產生之電漿受激物質之一蝕刻化學接觸而蝕刻該ILD層；及

藉由自一包含一矽化合物之氣體產生電漿受激物質，及將由該矽化合物產生之該電漿受激物質添加至該蝕刻化學而連續蝕刻該ILD層，

其中該ILD層初始地由該碳化合物產生之該電漿受激物質蝕刻，而不使該等暴露部分與由該矽化合物產生之該電漿受激物質接觸。

2. 如請求項1之方法，其中由該氣體產生電漿受激物質包含由 $\text{Si}_x\text{M}_y\text{H}_z$ 產生電漿受激物質，其中Si為矽，H為氫且M為選自由氟(F)、溴(Br)、氯(Cl)及碘(I)組成之群之一或多個鹵素，且其中 $x \geq 1$ ， $y \geq 0$ 且 $z \geq 0$ 。
3. 如請求項2之方法，其中由該氣體產生電漿受激物質包含由 $\text{Si}_x\text{M}_y\text{H}_z$ 產生電漿受激物質，其中 $x \geq 1$ ， $y \geq 1$ 且 $z \geq 0$ 。
4. 如請求項1之方法，其中使該ILD層之該等暴露部分與由該碳化合物產生之電漿受激物質接觸包含由 $\text{C}_\alpha\text{M}_\beta\text{H}_\gamma$ 產生電漿受激物質，其中C為碳，H為氫且M為選自由氟(F)、溴(Br)、氯(Cl)及碘(I)組成之群之一或多個鹵素，且其中 $\alpha \geq 1$ ， $\beta \geq 0$ 且 $\gamma \geq 0$ 。

5. 如請求項4之方法，其中由 $C_\alpha M_\beta H_\gamma$ 產生電漿受激物質包含由其中 $\alpha \geq 1$ ， $\beta \geq 0$ 且 $\gamma \geq 0$ 之 $C_\alpha M_\beta H_\gamma$ 產生電漿受激物質。
6. 如請求項1之方法，其進一步包含使該ILD層之該等暴露部分與由一氧化合物產生之電漿受激物質接觸。
7. 如請求項6之方法，其中使該ILD層之該等暴露部分與由該氧化合物產生之電漿受激物質接觸包含由分子氧(O_2)產生電漿受激物質。
8. 如請求項6之方法，其中產生電漿受激物質包含使該矽化合物、該碳化合物及該氧化合物在一選自由氦(He)、氬(Ar)及氖(Ne)組成之群之惰性運載氣體中流動。
9. 如請求項6之方法，其中使該ILD層之該等暴露部分與由該矽化合物產生之該等電漿受激物質接觸係以暫時分離脈衝執行。
10. 如請求項6之方法，其中使該ILD層之該等暴露部分與由該碳化合物產生之該等電漿受激物質接觸及使該ILD層之該等暴露部分與由一氧化合物產生之電漿受激物質接觸係在由該矽化合物產生之該等電漿受激物質之脈衝期間且在該等脈衝之間連續執行。
11. 如請求項1之方法，其中使該ILD層之該等暴露部分接觸在該等開口之側壁之至少部分上形成一鈍化層。
12. 如請求項1之方法，其中該ILD層係由氧化矽形成。
13. 如請求項12之方法，其中該遮蔽層係由一碳材料形成。
14. 如請求項13之方法，其中該碳層係由一光阻形成。
15. 如請求項13之方法，其中該碳層係由非晶碳形成。

16. 如請求項1之方法，其中在該反應腔室內部執行產生該電漿。
17. 一種用於半導體加工之方法，其包含：
- 藉由以下步驟蝕刻一含矽介電質之一層：
- 使一ILD層之暴露部分與包含由一碳化合物產生之電漿受激物質之一蝕刻化學接觸；及
- 使該含矽介電層之暴露部分與一包含一鹵素化合物及一矽化合物之化學接觸，其中該等鹵素及矽化合物中之至少一者係處於一電漿受激狀態，
- 其中該ILD層初始地由該碳化合物產生之該電漿受激物質蝕刻，而不使該等暴露部分與處於該電漿受激狀態之該等鹵素及矽化合物中之該至少一者接觸。
18. 如請求項17之方法，其進一步包含提供一具有該化學之氧化合物。
19. 如請求項17之方法，其中蝕刻該介電質之該層包含將該等暴露部分間歇地暴露於由該矽化合物產生之電漿受激物質。
20. 如請求項17之方法，其中蝕刻該介電層包含增加該介電層中之一開口之一深度而同時鈍化界定該開口之側壁。
21. 如請求項20之方法，其進一步包含在蝕刻該介電層後自該開口之側壁移除一鈍化層。
22. 如請求項17之方法，其中蝕刻該含矽介電質之該層包含蝕刻氧化矽。
23. 如請求項17之方法，其中藉由覆蓋該介電層之一光罩層

中之開口來暴露該介電層之暴露部分。

24. 如請求項23之方法，其中該光罩層係由一選自由光阻、非晶碳、氮化矽及矽組成之群之材料形成。
25. 如請求項17之方法，其中蝕刻該矽介電層包含形成深度與寬度之比大於或等於約20:1之介電層開口。
26. 如請求項25之方法，其中蝕刻該矽介電層包含形成深度與寬度之比大於或等於約30:1之介電層開口。
27. 如請求項26之方法，其中蝕刻該矽介電層包含形成深度與寬度之比大於或等於約40:1之介電層開口。
28. 如請求項17之方法，其中蝕刻該介電層包含形成具有小於或等於約100奈米(nm)之寬度的介電層開口。
29. 如請求項28之方法，其中蝕刻該介電層包含形成具有小於或等於約80 nm之寬度的介電層開口。
30. 如請求項29之方法，其中蝕刻該介電層包含形成具有約65 nm之寬度的介電層開口。
31. 如請求項17之方法，其中蝕刻該介電層包含形成溝槽。
32. 如請求項17之方法，其中藉由一汽相化學來執行蝕刻該介電層。
33. 如請求項17之方法，其中使用一氟碳化合物來執行蝕刻該含矽介電質之該層。
34. 一種用於在一半導體基板上形成一層間介電(ILD)層中之高縱橫比特徵的方法，其包含：

在該ILD層上提供一遮蔽層，該遮蔽層具有部分暴露該介電層之至少一開口；及

使用一蝕刻化學相對於該遮蔽層而選擇性地蝕刻該ILD層之暴露部分，該蝕刻化學包含：

- 一矽物質；
- 一鹵化物物質；
- 一碳物質；及
- 一氧物質，

其中該等暴露部分初始地由該碳物質蝕刻，而不使該等暴露部分與該矽物質接觸。

35. 如請求項34之方法，其中該矽物質係由一矽化合物衍生。
36. 如請求項35之方法，其中該矽物質係由 $\text{Si}_x\text{M}_y\text{H}_z$ 衍生，其中M包含選自由氟(F)、溴(Br)、氯(Cl)及碘(I)組成之群之一或多個鹵素，且其中 $x \geq 1$ 、 $y \geq 1$ 且 $z \geq 0$ 。
37. 如請求項34之方法，其中該碳物質係由一碳化合物衍生。
38. 如請求項37之方法，其中該碳物質係由 $\text{C}_\alpha\text{F}_\beta\text{H}_\gamma$ 衍生，其中 $\alpha \geq 1$ ， $\beta \geq 1$ 且 $\gamma \geq 0$ 。
39. 如請求項34之方法，其中該氧物質係由分子氧(O_2)衍生。
40. 如請求項34之方法，其中選擇性地蝕刻包含產生電漿受激矽物質、電漿受激鹵化物物質、電漿受激碳物質及電漿受激氧物質。
41. 如請求項34之方法，其中對該ILD層提供一氧化矽層。
42. 如請求項34之方法，其中在約50-60 Å/min或更大之一蝕

刻速率下執行選擇性地蝕刻該ILD層之暴露部分。

43. 如請求項42之方法，其中選擇性蝕刻期間的該ILD層之該蝕刻速率與該遮蔽層之蝕刻速率的比大於或等於約4:1。
44. 如請求項43之方法，其中由該蝕刻形成之開口的寬度之變化在 3σ 內小於約10 nm RMS。
45. 如請求項44之方法，其中由該蝕刻形成之該等開口之一縱橫比係大於或等於約15:1。
46. 如請求項34之方法，其進一步包含藉由改變該蝕刻化學而改變藉由選擇性蝕刻所形成之一弓形之一深度。
47. 如請求項46之方法，其進一步包含在首先將該ILD層暴露於一具有一碳電漿受激物質且不具有一矽電漿受激物質之蝕刻化學後將該ILD層暴露於該蝕刻化學。
48. 如請求項34之方法，其中選擇性地蝕刻該ILD層之暴露部分包含以暫時分離脈衝使該等暴露部分與該矽物質接觸。
49. 一種具有一層間介電(ILD)層之經部分製造之積體電路，其包含：

形成於該ILD層中之複數個特徵，該等特徵具有由該ILD層中之開口界定之側壁，其中該等特徵中之每一者之一頂部處的一寬度界定一頂部寬度且該等特徵之一最小寬度界定一弓形寬度，其中該頂部寬度與該弓形寬度之弓形比小於或等於約1.4:1；及

該等側壁之至少部分上之一含矽及含碳聚合物薄膜。

50. 如請求項49之積體電路，其中該矽聚合物薄膜在該開口中橫向向內傾斜以形成一頸部區。
51. 如請求項49之積體電路，其中該弓形比小於或等於約1.3:1。
52. 如請求項51之積體電路，其中該弓形比小於或等於約1.2:1。
53. 如請求項49之積體電路，其中該等開口具有大於或等於約20:1之深度與寬度之比及一小於或等於約100 nm之寬度。
54. 如請求項53之積體電路，其中該深度與寬度之比大於或等於約30:1。
55. 如請求項54之積體電路，其中該深度與寬度之比大於或等於約40:1。
56. 如請求項53之積體電路，其中該寬度為約80 nm或更小。
57. 如請求項49之積體電路，其中該聚合物薄膜在該等側壁之一上部部分係主要由碳形成，及其中該聚合物薄膜在該等側壁之一下部部分係主要由矽形成。