(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 347 275**

(51) Int. Cl.:
G06F 13/40 (2006.01)

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(96) Número de solicitud europea: **06721044 .3**
(96) Fecha de presentación : **24.02.2006**
(97) Número de publicación de la solicitud: **1851641**
(97) Fecha de publicación de la solicitud: **07.11.2007**

(54) Título: **Sistema de matriz de conmutación con arbitrajes de bus plurales por ciclo mediante un arbitro de frecuencia superior.**

(30) Prioridad: **24.02.2005 US 66507**

(45) Fecha de publicación de la mención BOPI:
27.10.2010

(45) Fecha de la publicación del folleto de la patente:
27.10.2010

(73) Titular/es: **Qualcomm Incorporated**
5775 Morehouse Drive
San Diego, California 92121, US

(72) Inventor/es:
Ganasan, Jaya Prakash Subramaniam

(74) Agente: **Carpintero López, Mario**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

Venta de fascículos: Oficina Española de Patentes y Marcas. Pº de la Castellana, 75 – 28071 Madrid

DESCRIPCIÓN

Sistema de matriz de conmutación con arbitrajes de bus plurales por ciclo mediante un árbitro de frecuencia superior.

Antecedentes

La presente invención se refiere generalmente al campo del procesamiento de datos electrónicos, y en particular a un sistema y a un procedimiento para el arbitraje de bus de alto rendimiento.

La transferencia de datos entre unidades funcionales es una operación común en los sistemas de ordenador. Transferir un programa de disco a memoria a un procesador; enviar datos de un motor gráfico a una memoria intermedia a una tarjeta de vídeo; y enviar una entrada de un teclado o un ratón a un procesador son todos ellos ejemplos habituales de transferencia de datos en un sistema de ordenador.

La figura 1 muestra un diagrama simplificado de una arquitectura de bus de un sistema, indicado de manera general por el número 10. Un bus del sistema 12, que puede ser dividido en un canal de direcciones, un canal de datos, un canal de control y similares, interconecta unidades del sistema. Los dispositivos maestros, tales como la CPU 14 o un motor DMA 16, inician la transferencia de datos, denominadas aquí como transacciones de bus, a través del bus 12 a o desde dispositivos esclavos, tales como una memoria 18 y circuitos de entrada/salida 20. Cuando dos o más maestros 14, 16 independientes están conectados al bus 12, su acceso al bus se controla mediante un árbitro 22.

Como es conocido en la técnica, uno o más dispositivos maestros 14, 16 declaran una solicitud de bus al árbitro 22. El árbitro 22 monitoriza la actividad sobre el bus 12, y cuando el bus 12 se encuentra disponible, envía una asignación de bus a uno de los dispositivos maestros 14, 16 solicitantes. El dispositivo maestro 14, 16 al que se le ha asignado acceso puede entonces iniciar transacciones a través del bus 12, tales como ciclos de lectura o escritura dirigidos a uno o más de los dispositivos esclavos 18, 20.

Aunque el bus del sistema 10 funciona bien para conectar unos pocos dispositivos maestros 14, 16 con una variedad de dispositivos esclavos 18, 20, impone la limitación de que tan sólo uno de los dispositivos maestros 14, 16 puede acceder a un dispositivo esclavo 18, 20 a la vez. En procesadores de alto rendimiento, a menudo se da el caso de que dos o más dispositivos maestros 14, 16 pueden desear un acceso independiente a uno o más dispositivos esclavos 18, 20.

La figura 2 muestra un sistema de transferencia de datos de alto rendimiento, indicado generalmente por el número 30. Una matriz de conmutación 32, conocida asimismo como conmutador de barras cruzadas, interconecta una pluralidad de dispositivos maestros 34 con una pluralidad de dispositivos esclavos 36, teniendo cualquier dispositivo maestro acceso cualquier dispositivo esclavo en el caso más general. Por ejemplo, la figura 2 muestra al maestro 1 accediendo al esclavo 1, y simultáneamente, al maestro 2 accediendo al esclavo 0. En algunas implementaciones, uno o más de los dispositivos esclavos 36 puede incluir dos o más buses de direcciones, lo que permite un acceso simultáneo por más de un dispositivo maestro 34.

Para un sistema de bus 30 que comprende n dispositivos maestros 34 y un único dispositivo esclavo 36, tan sólo se necesita un árbitro en la matriz de conmutación 32 para arbitrar accesos en competencia al dispositivo esclavo 36. Para un sistema de n x m barras cruzadas 30, con n maestros 34 y m esclavos 36, se puede implementar de uno a m árbitros. El mayor rendimiento se conseguirá con m árbitros, con cada árbitro dedicado a un dispositivo esclavo 36. Con menos de m árbitros, esto es, con al menos un árbitro realizando el arbitraje para dos o más dispositivos esclavos 36, el rendimiento se degradará, ya que cada árbitro puede arbitrar tan sólo a un dispositivo esclavo 36 a la vez, o dentro de un ciclo de bus dado. Sin embargo, producir muchos árbitros consume área de chip, complica el enrutamiento, y aumenta el consumo de potencia.

Un conmutador de barras cruzadas con una lógica de árbitro dedicada a cada puerto esclavo es conocido del documento de patente US 2005/0027920.

Resumen

De acuerdo con uno o más modos de realización, un árbitro en un bus arbitra múltiples solicitudes de transacciones de bus en un único ciclo de reloj de frecuencia de bus, al funcionar a una frecuencia de árbitro superior a la frecuencia de bus.

En un modo de realización, un sistema incluye un bus que funciona a una frecuencia de bus. Al menos un dispositivo maestro está conectado al bus y solicita transacciones de bus. Al menos un dispositivo esclavo está conectado al bus y se involucra en transacciones de bus. Un árbitro arbitra más de una solicitud de transacción en un único ciclo de reloj de frecuencia de bus al funcionar a una frecuencia de árbitro superior a la frecuencia de bus.

En otro modo de realización, un procedimiento para arbitrar múltiples solicitudes de transacción de bus en un bus que funciona a una frecuencia de bus comprende operar un árbitro a una frecuencia de árbitro superior a la frecuencia de bus, y arbitrar múltiples solicitudes de transacciones de bus en un ciclo de reloj de frecuencia de bus.

Breve descripción de los dibujos

La figura 1 es un diagrama de bloques funcionales de un bus de ordenador del estado de la técnica anterior.

La figura 2 es un diagrama de bloques funcionales de un bus de barras cruzadas.

La figura 3 es un diagrama temporal de un ciclo de arbitraje de bus de barras cruzadas.

Descripción detallada

La figura 3 muestra un diagrama temporal de solicitudes de transacciones de bus representativas y arbitraje en un sistema de matriz cruzada 30. En este ejemplo, el bus funciona a una frecuencia de bus de 100 MHz, con un ciclo de reloj de 10 ns, y dos dispositivos esclavos A y B comparten un único árbitro. Dos dispositivos maestros emiten simultáneamente solicitudes de transacciones de bus dirigidas a dos dispositivos esclavos, A y B, en el ciclo de bus 1.

En un sistema 30 que tiene un árbitro convencional, el arbitraje se llevaría a cabo para el dispositivo esclavo A en el ciclo de bus 2, y para el dispositivo esclavo B en el ciclo de bus 3, como se indica mediante las líneas de puntos. El árbitro emitiría una solicitud al dispositivo esclavo A en el ciclo de bus 3 y al dispositivo esclavo B en el ciclo de bus 4, como se indica por las líneas de puntos. Los dispositivos esclavos aceptarían en los ciclos de bus 4 y 5 respectivamente, y los dispositivos maestros M0 y M1 procederían con

la transacción de bus una vez recibida la aceptación de cada dispositivo esclavo respectivo.

En uno o más modos de realización, se llevan a cabo múltiples ciclos de arbitraje en un ciclo de reloj de frecuencia de bus haciendo funcionar al árbitro a una frecuencia de árbitro superior a la frecuencia de bus. Como se muestra en las señales de línea continua de la figura 3, el árbitro realiza un arbitraje para ambos dispositivos esclavos A y B en el ciclo de bus 2, al funcionar (en este modo de realización) a una frecuencia de árbitro que es dos veces la frecuencia de bus. Así pues, el árbitro es capaz de emitir solicitudes a ambos dispositivos esclavos A y B en el ciclo de bus 3, y ambos dispositivos esclavos A y B pueden aceptar en el ciclo de bus 4. Tanto M0 como M1 pueden comenzar transacciones de bus en el ciclo de bus 5, el cual en el caso de M1 es un ciclo completo antes que en el caso descrito anteriormente, y mostrado en la figura 3 en línea de puntos, en donde el árbitro funciona a la frecuencia de bus. De modo similar, al funcionar el árbitro a 3x, 4x u otro múltiplo de la frecuencia de bus, las solicitudes dirigidas a tres, cuatro o más esclavos pueden ser arbitradas en un único ciclo de reloj de frecuencia de bus, lo que permite que las respectivas transacciones de bus se procesen en paralelo.

En estos modos de realización, una única instancia de un árbitro puede arbitrar múltiples solicitudes de transacciones de bus para múltiples esclavos en paralelo, sin requerir duplicar instancias de la lógica de arbitraje. Como se utiliza en la presente memoria, una instancia única de un árbitro comprende la lógica y la información de configuración necesarias para realizar un arbitraje de una o más solicitudes de transacciones de bus dirigidas a un dispositivo esclavo 36. Al hacer funcionar a un árbitro a una frecuencia de árbitro superior a la frecuencia de bus, se pueden arbitrar múltiples solicitudes de transacciones de bus en un único ciclo de reloj de frecuencia de bus, utilizando tan sólo una instancia de la lógica de arbitraje, por oposición a duplicar la lógica de arbitraje para cada dispositivo esclavo 36. Esto preserva el área de silicio, reduce la complejidad de enrutamiento y conserva la potencia, al coste de generar y encaminar al menos dos señales de reloj de diferentes frecuencias.

En la mayoría de los modos de realización, la frecuencia de árbitro será algún múltiplo de la frecuencia de bus, aunque no necesariamente un múltiplo 2^n (por ejemplo, la frecuencia de árbitro puede ser 3x o 5x la frecuencia de bus). Esto permite que se dedique el máximo tiempo a cada operación de arbitraje. Sin embargo, el que la frecuencia de árbitro sea un múltiplo preciso de la frecuencia de bus no es una limitación de los modos de realización descritos aquí. En general, la frecuencia de árbitro puede ser simplemente lo suficientemente superior a la frecuencia de bus para permitir que al menos dos solicitudes de transacción de bus sean arbitradas en un único ciclo de reloj de frecuencia de bus.

El diagrama temporal de la figura 3 muestra dos dispositivos maestros M0, M1 que solicitan simultáneamente transacciones dirigidas a dos dispositivos esclavos 36 diferentes que comparten un único árbitro inventivo. La misma relación temporal ocurre si un único dispositivo maestro 34 solicita simultáneamente transacciones de bus dirigidas a dos dispositivos esclavos 36 diferentes que comparten un árbitro. Por ejemplo, el dispositivo maestro 34 puede dirigir una transacción de lectura a un dispositivo esclavo 36 y una transacción de escritura al otro. Alternativamente, el dispositivo maestro 34 puede saber que los dispositivos esclavos 36 tienen diferentes latencias de respuesta, y que solicitudes simultáneas de transacciones de bus similares no provocarán colisiones de bus cuando la transacción tenga lugar.

En otro modo de realización, dos o más dispositivos maestros 34 pueden solicitar simultáneamente transacciones de bus dirigidas al mismo dispositivo esclavo 36. Si el dispositivo esclavo 36 tiene suficiente capacidad de bus de direcciones, puede ser capaz de involucrarse en dos o más transacciones de bus de modo contemporáneo. Un ejemplo de alta capacidad de bus de direcciones es una estructura de bus de canal compartido. Para preservar el área de silicio y reducir la complejidad de enrutamiento, la funcionalidad de canal de direcciones de un bus 30 puede ser compartida con un canal de transferencia de datos. Por ejemplo, el bus de direcciones puede compartir un canal con el bus de escritura de datos. Si el sistema tiene un espacio de direcciones real (de dispositivo físico) de 32 bits y un bus de escritura de datos de 128 bits, multiplexar direcciones y funcionalidad de escritura de datos sobre un único canal de bus de 128 bits permite que se transfieran hasta cuatro direcciones separadas durante un ciclo de transferencia de direcciones. En este caso, hasta cuatro dispositivos maestros 34 (o menos, si uno o más de los dispositivos maestros 34 envía una pluralidad de solicitudes de bus) pueden solicitar transacciones de bus y emitir direcciones durante el mismo ciclo, con dos o más de las direcciones dirigidas al mismo dispositivo esclavo 36. Si el dispositivo esclavo 36 tiene la capacidad, puede aceptar todas las solicitudes e involucrarse en múltiples transacciones de bus simultáneas. En este modo de realización, un árbitro individual puede arbitrar múltiples solicitudes de transacciones de bus dirigidas todas ellas al mismo dispositivo esclavo 36, en un único ciclo de reloj de frecuencia de bus, al funcionar a una frecuencia de árbitro superior a la frecuencia de bus.

En uno o más modos de realización, la frecuencia de árbitro puede ser variable. Cuando sólo queda pendiente una solicitud de transacción de bus, la frecuencia de árbitro puede ser igual a la frecuencia de bus. En este modo de realización, el árbitro se asemeja a un árbitro convencional, que realiza un arbitraje por ciclo de reloj de frecuencia de bus. Esto conserva la potencia con respecto a hacer funcionar al árbitro a una frecuencia superior a la frecuencia de bus, cuando hacerlo así no proporciona ninguna mejora de rendimiento.

En un modo de realización, se predice la frecuencia de árbitro. La predicción puede basarse, por ejemplo, en la actividad de bus del pasado reciente. Durante períodos en los que uno o más dispositivos maestros 34 están enviando múltiples solicitudes de transacciones de bus, la frecuencia de árbitro puede ser incrementada contra la posibilidad de múltiples arbitrajes (ya sea de diferentes dispositivos maestros 34 al mismo dispositivo esclavo 36, o de distintos dispositivos esclavos 36 que comparten un árbitro). Por ejemplo, en un modo de realización, el número de solicitudes de transacciones de bus pendientes durante los n ciclos de bus previos puede ser almacenado y examinado para predecir una frecuencia de arbitraje para uno o más de los siguientes ciclos de bus. En otro modo de realización, el hecho de múltiples solicitudes de

transacciones de bus pendientes puede incrementar un contador de saturación, como es bien conocido en implementaciones de predicción de ramificado de procesador. Períodos prolongados sin múltiples solicitudes de transacciones de bus pendientes pueden disminuir el contador. El MSB del contador se puede utilizar como una predicción de si se debe emplear una frecuencia de árbitro superior. Aquellos expertos en la técnica reconocerán que se puede emplear una amplia variedad de técnicas para predecir la frecuencia de árbitro.

En un modo de realización, el árbitro puede aprovecharse de la naturaleza en serie de los arbitrajes secuenciales para aumentar la "inteligencia" de arbitrajes subsiguientes, al considerar los resultados de arbitrajes previos. Por ejemplo, si una primera operación de arbitraje asigna una solicitud de escritura de un dispositivo maestro 34 a un dispositivo esclavo 36, un arbitraje subsiguiente realizado durante el mismo ciclo de reloj de frecuencia de bus puede declinar asignar una solicitud de escritura al mismo dispositivo esclavo 36 de otro dispositivo maestro 34, que en otro caso se habría asignado, para evitar una colisión de escritura de datos en el dispositivo esclavo 36.

En un modo de realización, el árbitro puede incluir un registro de estado de bus pendiente, por ejemplo, asignando un bit para cada combinación posible de transacciones de lectura y escritura de cada dispositivo maestro 34 a cada dispositivo esclavo 36. Decisiones de arbitraje previas por el árbitro pueden establecer los bits de estado de bus pendientes relevantes, y la lógica en el árbitro puede utilizar los resultados de estas decisiones de arbitraje (por ejemplo, el estado de bus pendiente actualizado) para tomar decisiones de arbitraje subsiguiente de modo más inteligente dentro del mismo ciclo de reloj de frecuencia de bus. Esto puede dar como resultado un mejor rendimiento (más allá de la mejora de rendimiento de arbitrajes múltiples por ciclo de reloj de frecuencia de bus) al optimizar el tráfico del bus y evitar colisiones y cuellos de botella.

Realizar múltiples arbitrajes de solicitudes de transacción de bus en un único ciclo de reloj de frecuencia de bus haciendo funcionar al árbitro a una frecuencia de árbitro superior a la frecuencia de bus mejora el rendimiento al permitir el arbitraje en paralelo, sin los costes de múltiples instancias de lógica de árbitro. La naturaleza en serie de los arbitrajes múltiples permite decisiones de arbitraje más inteligentes, ya que operaciones de arbitraje posteriores tienen los resultados de decisiones de arbitraje previas como entradas. Para preservar la potencia, la frecuencia de arbitraje puede ser reducida de nuevo a la frecuencia de bus cuando no quedan pendientes solicitudes múltiples. Para equilibrar la conservación de potencia durante una baja utilización de bus y mejorar el rendimiento durante una utilización del bus intensa, la frecuencia de árbitro puede ser predicha.

Aunque la presente invención se ha descrito aquí con relación a características, aspectos y modos de realización particulares de la misma, será aparente que son posibles numerosas variaciones, modificaciones y otros modos de realización.

REIVINDICACIONES

1. Un sistema de matriz cruzada (30), que comprende:

un bus que funciona a una frecuencia de bus;

al menos un dispositivo maestro (34) conectado al bus y que solicita transacciones de bus dirigidas a al menos un dispositivo esclavo (36) conectado al bus y que se involucra en transacciones de bus; y

que se **caracteriza** por comprender además

un árbitro capaz de arbitrar más de una solicitud de transacción de bus en un único ciclo de reloj de frecuencia de bus al funcionar a una frecuencia de árbitro superior a la frecuencia de bus.

2. El sistema de matriz cruzada de la reivindicación 1 en el que el árbitro comprende una única instantación de lógica de arbitraje.

3. El sistema de matriz cruzada de la reivindicación 1, en el que la frecuencia de árbitro es un múltiplo de la frecuencia de bus.

4. El sistema de matriz cruzada de la reivindicación 1 en el que:

el dispositivo esclavo incluye al menos dos trayectorias de direcciones;

dos dispositivos maestros solicitan simultáneamente transacciones de bus al dispositivo esclavo; y

el árbitro emite asignaciones a ambos dispositivos maestros en un único ciclo de reloj de frecuencia de bus.

5. El sistema de matriz cruzada de la reivindicación 1, en el que

el dispositivo maestro solicita simultáneamente transacciones de bus a dos dispositivos esclavos; y

el árbitro emite asignaciones a los dispositivos maestros para ambos dispositivos esclavos en un único ciclo de reloj de frecuencia de bus.

6. El sistema de matriz cruzada de la reivindicación 1, en el que, si no se declara más de una solicitud de transacción de bus, la frecuencia de árbitro es igual a la frecuencia de bus.

7. El sistema de matriz cruzada de la reivindicación 1, en el que la frecuencia de árbitro se predice como respuesta a una actividad de solicitud de transacciones de bus.

8. El sistema de matriz cruzada de la reivindicación 1, en el que el árbitro arbitra secuencialmente al menos una primera y una segunda solicitud de transacción de bus en un único ciclo de reloj de frecuencia de bus, y en el que el arbitraje de la segunda solicitud incluye el resultado del arbitraje de la primera solicitud.

9. El sistema de matriz cruzada de la reivindicación 8, en el que el árbitro mantiene el estado de las transacciones de bus pendientes.

10. Un procedimiento para arbitrar múltiples solicitudes de transacción de bus, que comprende:

proporcionar un árbitro capaz de funcionar a una frecuencia de árbitro superior a la frecuencia de bus; y

arbitrar múltiples solicitudes de transacción de bus en un ciclo de reloj de frecuencia de bus.

11. El procedimiento de la reivindicación 10, en el que la frecuencia del árbitro es un múltiplo de la frecuencia de bus.

12. El procedimiento de la reivindicación 11, en el que el árbitro arbitra una solicitud de transacción de bus en cada ciclo de reloj de frecuencia de árbitro.

13. El procedimiento de la reivindicación 12, en el que el árbitro arbitra secuencialmente al menos una primera y una segunda solicitud de transacción de bus en un único ciclo de reloj de frecuencia de bus, y en el que el arbitraje de la segunda solicitud incluye el resultado del arbitraje de la primera solicitud.

14. El procedimiento de la reivindicación 13, en el que el árbitro mantiene el estado de las transacciones de bus pendientes.

15. El procedimiento de la reivindicación 10, en el que la frecuencia de árbitro es variable.

16. El procedimiento de la reivindicación 15 en el que la frecuencia de árbitro se predice en base a una actividad de bus.

17. El procedimiento de la reivindicación 10, en el que si tan sólo queda pendiente una solicitud de bus, la frecuencia de árbitro es igual a la frecuencia de bus.

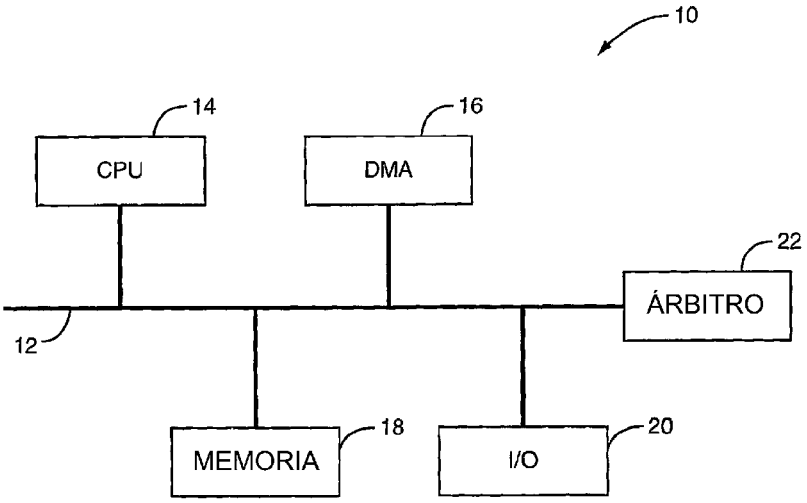

FIG. 1
(Estado de la técnica anterior)

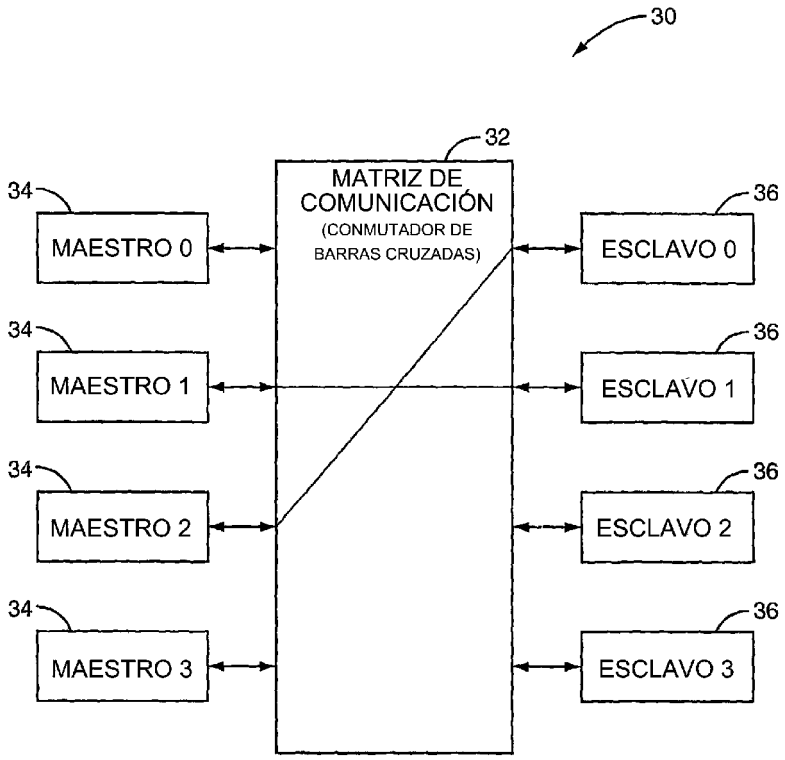
30
32
MATRIZ DE COMUNICACIÓN
(CONMUTADOR DE BARRAS CRUZADAS)
34
MAESTRO 0
34
MAESTRO 1
34
MAESTRO 2
34
MAESTRO 3
36
ESCLAVO 0
36
ESCLAVO 1
36
ESCLAVO 2
36
ESCLAVO 3

FIG. 2

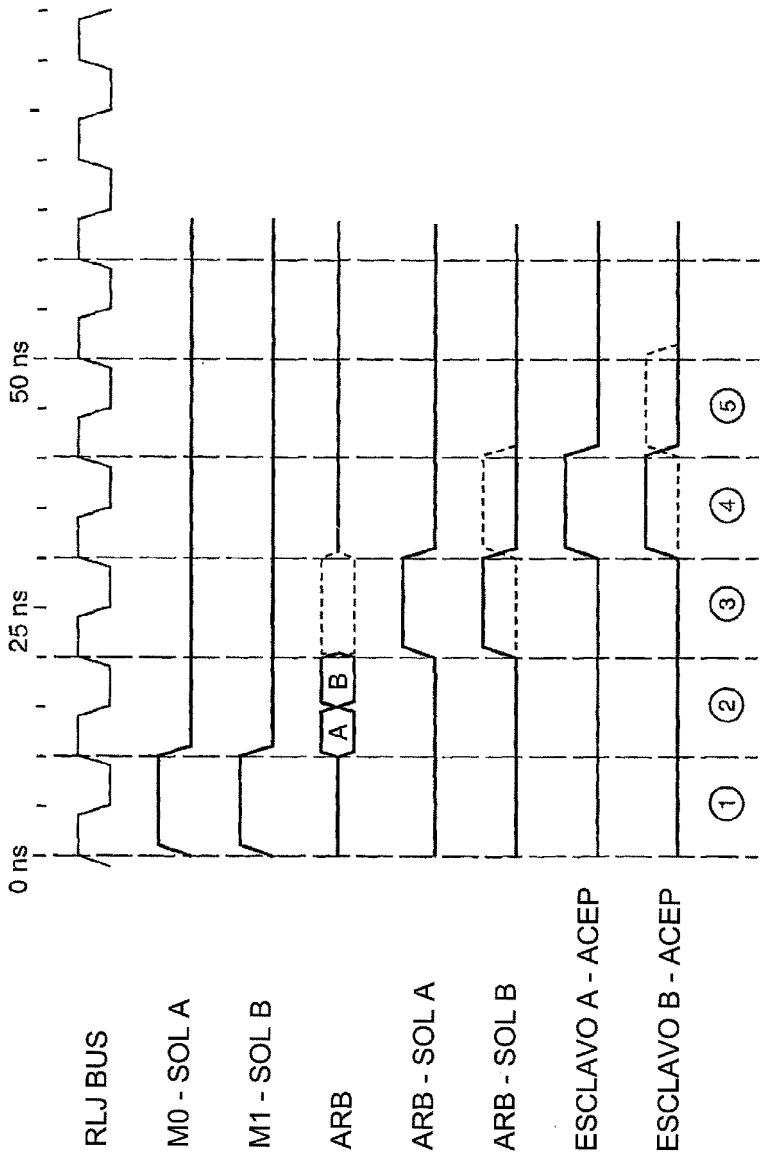
0 ns
25 ns
50 ns
RLJ BUS
M0 - SOL A
M1 - SOL B
ARB
ARB - SOL A
ARB - SOL B
ESCLAVO A - ACEP
ESCLAVO B - ACEP
A
B
1
2
3
4
5

FIG. 3