



(21)申請案號：099101569

(22)申請日：中華民國 99 (2010) 年 01 月 21 日

(51)Int. Cl. : G09G3/36 (2006.01)

(71)申請人：奇景光電股份有限公司 (中華民國) HIMAX TECHNOLOGIES LIMITED (TW)
臺南市新市區紫棟路 26 號

(72)發明人：薛涵水 HSUEH, HAN SHUI (TW) ; 陳發明 CHEN, FA MING (TW)

(74)代理人：陳達仁

(56)參考文獻：

TW 200933568

CN 101447177

US 20010033266A1

US 2006/0001640A1

審查人員：蔡耀萱

申請專利範圍項數：8 項 圖式數：6 共 15 頁

(54)名稱

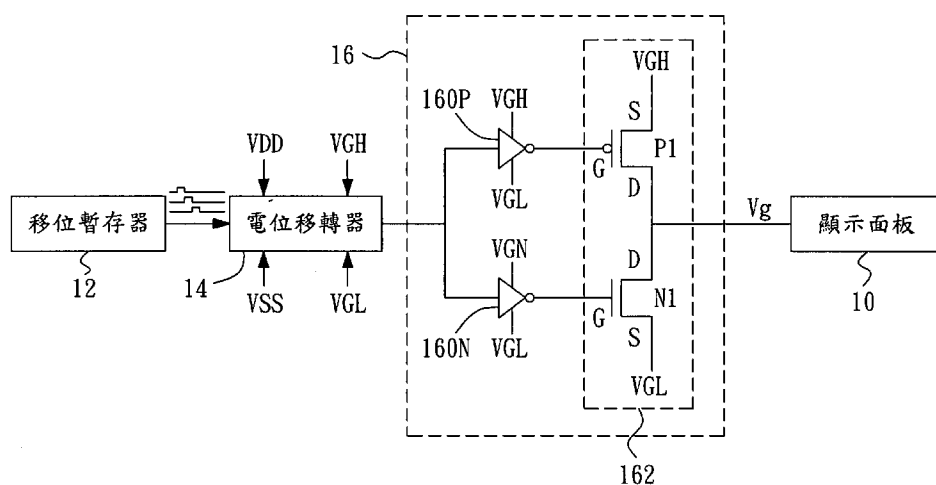
閘極驅動器

GATE DRIVER

(57)摘要

一種閘極驅動器，包含移位暫存器、電位移轉器及緩衝器。其中，緩衝器的部分電路電源使用一低於高位準閘極電壓(VGH)之中位準閘極電壓(VGN)，因而使得所產生掃描信號之波形具有緩降邊緣。

The present invention is directed to a gate driver, which includes a shift register, a level shifter and a buffer. A portion of the buffer is powered by a middle-level gate voltage (VGN), which is lower than a high-level gate voltage (VGH) used in other portions of the buffer. Accordingly, the waveform of a generated scan line has a gradual falling edge.



第三圖

10 . . . 顯示面板

12 . . . 移位暫存器

14 . . . 電位移轉器

16 . . . 緩衝器

160N . . . 第一放大器

160P . . . 第二放大器

162 . . . 驅動電路

G . . . 閘極

S . . . 源極

D . . . 汲極

Vg . . . 掃描信號

VGH . . . 高位準開
極電壓

VGL . . . 低位準開
極電壓

VGN . . . 中位準開
極電壓

N1 . . . NMOS 電晶
體

P1 . . . PMOS 電晶
體

**公告本****【發明摘要】****【中文發明名稱】** 閘極驅動器**【英文發明名稱】** GATE DRIVER**【中文】**

一種閘極驅動器，包含移位暫存器、電位移轉器及緩衝器。其中，緩衝器的部分電路電源使用一低於高位準閘極電壓（VGH）之中位準閘極電壓（VGN），因而使得所產生掃描信號之波形具有緩降邊緣。

【英文】

The present invention is directed to a gate driver, which includes a shift register, a level shifter and a buffer. A portion of the buffer is powered by a middle-level gate voltage (VGN), which is lower than a high-level gate voltage (VGH) used in other portions of the buffer. Accordingly, the waveform of a generated scan line has a gradual falling edge.

【指定代表圖】 第三圖**【代表圖之符號簡單說明】**

- | | |
|----|-------|
| 10 | 顯示面板 |
| 12 | 移位暫存器 |
| 14 | 電位移轉器 |
| 16 | 緩衝器 |

| | |
|------|---------|
| 160N | 第一放大器 |
| 160P | 第二放大器 |
| 162 | 驅動電路 |
| G | 閘極 |
| S | 源極 |
| D | 汲極 |
| Vg | 掃描信號 |
| VGH | 高位準閘極電壓 |
| VGL | 低位準閘極電壓 |
| VGN | 中位準閘極電壓 |
| N1 | NMOS電晶體 |
| P1 | PMOS電晶體 |

發明專利說明書

【發明說明書】

【中文發明名稱】 閘極驅動器

【英文發明名稱】 GATE DRIVER

【技術領域】

【0001】本發明係有關顯示面板之驅動，特別是關於一種具緩降掃描信號之閘極驅動器。

【先前技術】

【0002】液晶顯示（LCD）面板通常由排列成行列矩陣形式的像素單元（或簡稱像素）所組成。每一像素包含一薄膜電晶體（TFT）及一像素電極，其共同形成於一基板上。位於同一列之薄膜電晶體的閘極藉由一掃描線連接在一起，再由閘極驅動器來控制。位於同一行之薄膜電晶體的源極則藉由一資料線連接在一起，再由源極驅動器來控制。共電極（common electrode, Vcom）則是形成於另一基板上。液晶（LC）密封於像素電極基板與共電極基板之間，藉由控制兩基板之間的電壓差而得以進行每一像素的顯示。

【0003】第一圖顯示一個像素的結構示意圖。其中，薄膜電晶體（TFT）的閘極G連接至掃描線，而其汲極則連接至資料線。當薄膜電晶體（TFT）受到掃描線上之掃描信號（例如升高位準的掃描信號）的開啟後，資料信號即藉由資料線通過薄膜電晶體的通道而將電荷儲存於儲存電容C_s內。儲存完成後，掃描信號即降低回復為原來位準，因而關

閉薄膜電晶體。然而，薄膜電晶體的閘極G-汲極D間以及閘極G-源極S間通常具有雜散電容 C_p 。當掃描信號即將降低位準以關閉薄膜電晶體的時候，雜散電容 C_p 往往會拉低薄膜電晶體的汲極D和源極S電壓位準，因而影響到儲存電容 C_s 內的電荷量。此種現象一般稱為饋通（feed through）效應，其會造成顯示顏色的不均勻（mura）。

【0004】為了改善饋通效應，有人提出一種削角電路，用以將掃描信號 V_g 波形的下降尖角予以削角，如第二圖所示。其中，原始的掃描信號 V_g （於時間 t_2 ）具有垂直的下降邊緣。於 t_2 之前的時間 t_1 ，使用削角電路將閘極驅動器的高位準閘極電壓 V_{GH} 下降一位準落差，再於時間 t_2 將其回復為原來的高位準閘極電壓 V_{GH} 。藉此，可產生削角之掃描信號 V_g 。

【0005】上述掃描信號之削角技術雖然可用以降低饋通效應，然而，削角技術需控制複雜的時序，且所需之削角電路會增加電路面積及功率消耗。因而，並不適於高解析度液晶顯示面板之驅動器。

【發明內容】

【0006】鑑於上述，本發明實施例的目的之一在於提出一種具緩降掃描信號之閘極驅動器，以減少或避免饋通（feed through）效應，因而得以減少或避免顏色不均（mura）的現象。

【0007】根據本發明實施例，閘極驅動器包含移位暫存器、電位移轉器及緩衝器。移位暫存器依照預定順序以產生多條掃描線的控制信號。電位移轉器將控制信號由低位準轉換為顯示面板之開關元件所需的高位準。緩衝器產生掃描信號，以便驅動顯示面板的掃描線。其中，緩

衝器的部分電路電源使用一低於高位準閘極電壓 (VGH) 之中位準閘極電壓 (VGN)，因而使得掃描信號之波形具有緩降邊緣。根據一實施例，緩衝器包含第一放大器、第二放大器及驅動電路。第一放大器之電源為低位準閘極電壓 (VGL) 及中位準閘極電壓 (VGN)；第二放大器之電源為低位準閘極電壓 (VGL) 及高位準閘極電壓 (VGH)，其中，中位準閘極電壓 (VGN) 之值介於高位準閘極電壓 (VGH) 和低位準閘極電壓 (VGL) 之間。上述第一放大器的輸入端和第二放大器的輸入端電性耦接至電位移轉器的輸出端，而驅動電路則受控於第一放大器及第二放大器，用以產生掃描信號以驅動顯示面板的掃描線。

【圖式簡單說明】

【0008】

第一圖顯示一個像素的結構示意圖。

第二圖顯示傳統削角技術的波形圖。

第三圖顯示本發明實施例的閘極驅動器。

第四圖顯示中位準閘極電壓VGN的電壓位準及緩降掃描信號。

第五A圖顯示電晶體之導通電流和汲極-源極壓降曲線。

第五B圖例示二緩降之掃描信號的波形。

【實施方式】

【0009】 第三圖顯示本發明實施例的閘極驅動器，用以驅動顯示面

板10，例如液晶顯示（LCD）面板。本實施例之閘極驅動器主要包含移位暫存器（shift register）12、電位移轉器（level shifter）14及緩衝器（buffer）16。其中，移位暫存器12依照預定順序以產生各掃描線的開啟控制信號。電位移轉器14將控制信號由低位準（例如3/0伏特或5/0伏特）轉換為面板開關元件（例如薄膜電晶體（TFT））所需的高位準（例如20/-5伏特）。緩衝器16則是提供驅動能力給控制信號，以便驅動面板10的掃描線。

【0010】本實施例的緩衝器16主要包含第一放大器160N、第二放大器160P及驅動電路162。在本實施例中，第一放大器160N為反相放大器，且第二放大器160P也為反相放大器。驅動電路162包含P型電晶體（例如P型金屬氧化半導體（PMOS）電晶體）P1和N型電晶體（例如N型金屬氧化半導體（NMOS）電晶體）N1，串接於高位準閘極電壓VGH和低位準閘極電壓VGL之間。詳而言之，PMOS電晶體P1的源極S連接至高位準閘極電壓VGH，PMOS電晶體P1的汲極D連接至NMOS電晶體N1的汲極D，NMOS電晶體N1的源極S連接至低位準閘極電壓VGL。第一放大器160N的輸入端和第二放大器160P的輸入端電性耦接；第一放大器160N的輸出端連接至NMOS電晶體N1的閘極，以控制NMOS電晶體N1的開啟或關閉；而第二放大器160P的輸出端則連接至PMOS電晶體P1的閘極，以控制PMOS電晶體P1的開啟或關閉。雖然本實施例的第一放大器160N、第二放大器160P的數目分別為一個，然而，也可以分別串接多個放大器。通常為分別串接奇數個放大器，且第一放大器160N和第二放大器160P的串接數目相同。

【0011】根據本實施例的特徵之一，提供給第一放大器160N的電壓

源為低位準閘極電壓VGL及中位準閘極電壓VGN。換句話說，第一放大器160N的輸出位準大約介於VGN和VGL之間。如果是串接多個第一放大器160N，則提供中位準閘極電壓VGN給最後一級的第一放大器160N，其餘之第一放大器160N可（但非必須）代以高位準閘極電壓VGH。至於第二放大器160P，則是提供低位準閘極電壓VGL及高位準閘極電壓VGH。換句話說，第二放大器160P的輸出位準大約介於VGH和VGL之間。

【0012】第四圖顯示中位準閘極電壓VGN的電壓位準，其大小介於高位準閘極電壓VGH和低位準閘極電壓VGL之間。中位準閘極電壓VGN之值係為預先設定，然而，也可以由使用者來設定。此外，中位準閘極電壓VGN可以由閘極驅動器內部產生，也可以由外部提供。

【0013】由於本實施例提供中位準閘極電壓VGN予第一放大器160N，將使得第一放大器160N於高位準輸出時之電壓（大約為VGN）小於傳統一般的高位準輸出電壓（大約為VGH），因而降低對NMOS電晶體N1的驅動力。藉此，緩衝器16所產生的掃描信號Vg會具有緩降（slow off）的邊緣，如第四圖所示。緩降之掃描信號Vg可減少或避免因薄膜電晶體（TFT）之閘極-汲極間和閘極-源極間寄生電容所產生的饋通（feed through）效應，因而得以減少或避免顏色不均（mura）的現象。

【0014】如前所述，中位準閘極電壓VGN的位準大小可以作調整。第五A圖顯示NMOS電晶體N1之導通電流 I_{ds} 和汲極-源極壓降 V_{ds} 曲線。如圖所示，調高中位準閘極電壓VGN的位準會增加導通電流 I_{ds} ，

亦即增加NMOS電晶體N1之驅動力；調低中位準閘極電壓VGN的位準會降低導通電流 I_{ds} ，亦即降低NMOS電晶體N1之驅動力。第五B圖例示二緩降之掃描信號Vg的波形，其中一個對應至較大的中位準閘極電壓VGN，而另一個則對應至較小的中位準閘極電壓VGN。如圖所示，愈小之中位準閘極電壓VGN可得到更緩降之掃描信號Vg。然而，過於緩降之掃描信號Vg則可能造成前、後掃描信號Vg之間的重疊。

【0015】根據上述，本實施例藉由提供中位準閘極電壓VGN以產生邊緣緩降之掃描信號Vg，可降低NMOS電晶體N1之驅動力，因而得以減少或避免饋通（feed through）效應。與傳統技術（例如第二圖）相較之下，本實施例不需使用複雜的削角電路用以對掃描信號Vg進行削角，本實施例僅需使用簡單機制以產生緩降之掃描信號Vg，因而得以改善饋通效應。

【0016】以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【符號說明】

【0017】

| | |
|------|-------|
| 10 | 顯示面板 |
| 12 | 移位暫存器 |
| 14 | 電位移轉器 |
| 16 | 緩衝器 |
| 160N | 第一放大器 |

| | |
|------|---------|
| 160P | 第二放大器 |
| 162 | 驅動電路 |
| G | 閘極 |
| S | 源極 |
| D | 汲極 |
| Cs | 儲存電容 |
| Cp | 雜散電容 |
| Vg | 掃描信號 |
| VGH | 高位準閘極電壓 |
| VGL | 低位準閘極電壓 |
| VGN | 中位準閘極電壓 |
| N1 | NMOS電晶體 |
| P1 | PMOS電晶體 |

申請專利範圍

【發明申請專利範圍】

【第1項】一種閘極驅動器，包含：

一移位暫存器，其依照預定順序以產生多條掃描線的控制信號；

一電位移轉器，用以將該控制信號由低位準轉換為一顯示面板之開關元件所需的高位準；及

一緩衝器，用以產生掃描信號，以便驅動該顯示面板的掃描線，其中該緩衝器的部分電路電源使用一低於高位準閘極電壓（VGH）之中位準閘極電壓（VGN），因而使得該掃描信號之波形具有緩降邊緣；

其中上述之緩衝器包含：

一第一放大器，其電源為低位準閘極電壓（VGL）及中位準閘極電壓（VGN）；

一第二放大器，其電源為低位準閘極電壓（VGL）及高位準閘極電壓（VGH），其中，中位準閘極電壓（VGN）之值介於高位準閘極電壓（VGH）和低位準閘極電壓（VGL）之間，且該第一放大器的輸入端和該第二放大器的輸入端電性耦接至該電位移轉器的輸出端；及

一驅動電路，受控於該第一放大器及該第二放大器，用以產生該掃描信號以驅動該顯示面板的掃描線。

【第2項】如申請專利範圍第1項所述之閘極驅動器，其中上述之第一放大器及第二放大器分別包含一反相放大器。

【第3項】如申請專利範圍第1項所述之閘極驅動器，其中上述之驅

動電路包含一P型電晶體和一N型電晶體，串接於高位準閘極電壓

(VGH) 和低位準閘極電壓 (VGL) 之間，其中該N型電晶體和該P型電晶體的開啟或關閉分別受控於該第一放大器及該第二放大器。

【第4項】如申請專利範圍第3項所述之閘極驅動器，其中上述P型電晶體的源極連接至高位準閘極電壓 (VGH)，該P型電晶體的汲極連接至該N型電晶體的汲極，該N型電晶體的源極連接至低位準閘極電壓 (VGL)，該N型電晶體的閘極連接至該第一放大器的輸出端，該P型電晶體的閘極連接至該第二放大器的輸出端。

【第5項】如申請專利範圍第1項所述之閘極驅動器，其中上述第一放大器的數目多於一個且為奇數個，且該複數個第一放大器互為串接，上述第二放大器的數目同於該第一放大器的數目，且該複數個第二放大器互為串接。

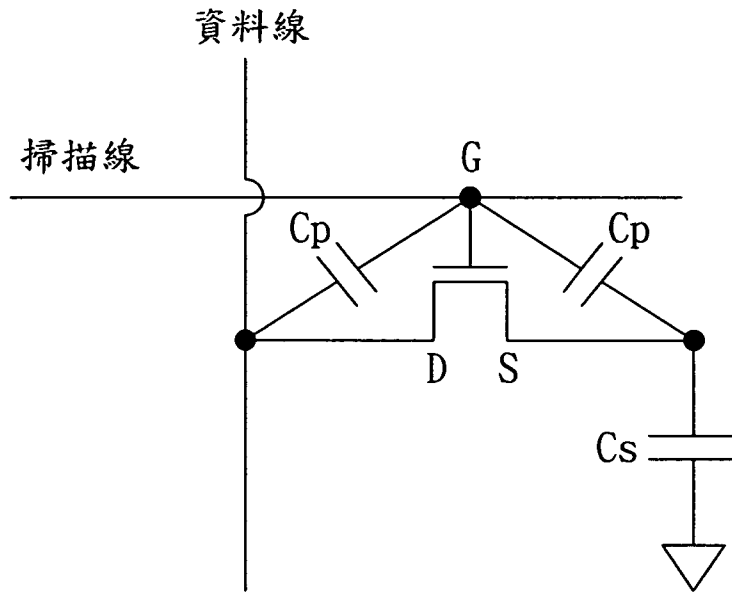
【第6項】如申請專利範圍第5項所述之閘極驅動器，其中上述最後一級第一放大器之電源為低位準閘極電壓 (VGL) 及中位準閘極電壓 (VGN)。

【第7項】如申請專利範圍第1項所述之閘極驅動器，其中上述之中位準閘極電壓 (VGN) 係由該閘極驅動器內部產生。

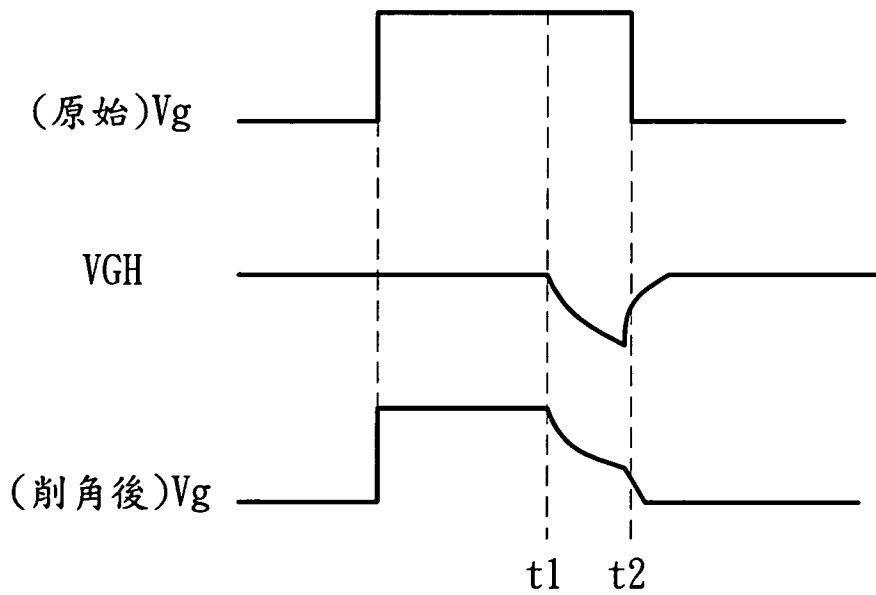
【第8項】如申請專利範圍第1項所述之閘極驅動器，其中上述之中位準閘極電壓 (VGN) 係由該閘極驅動器外部提供。

圖式

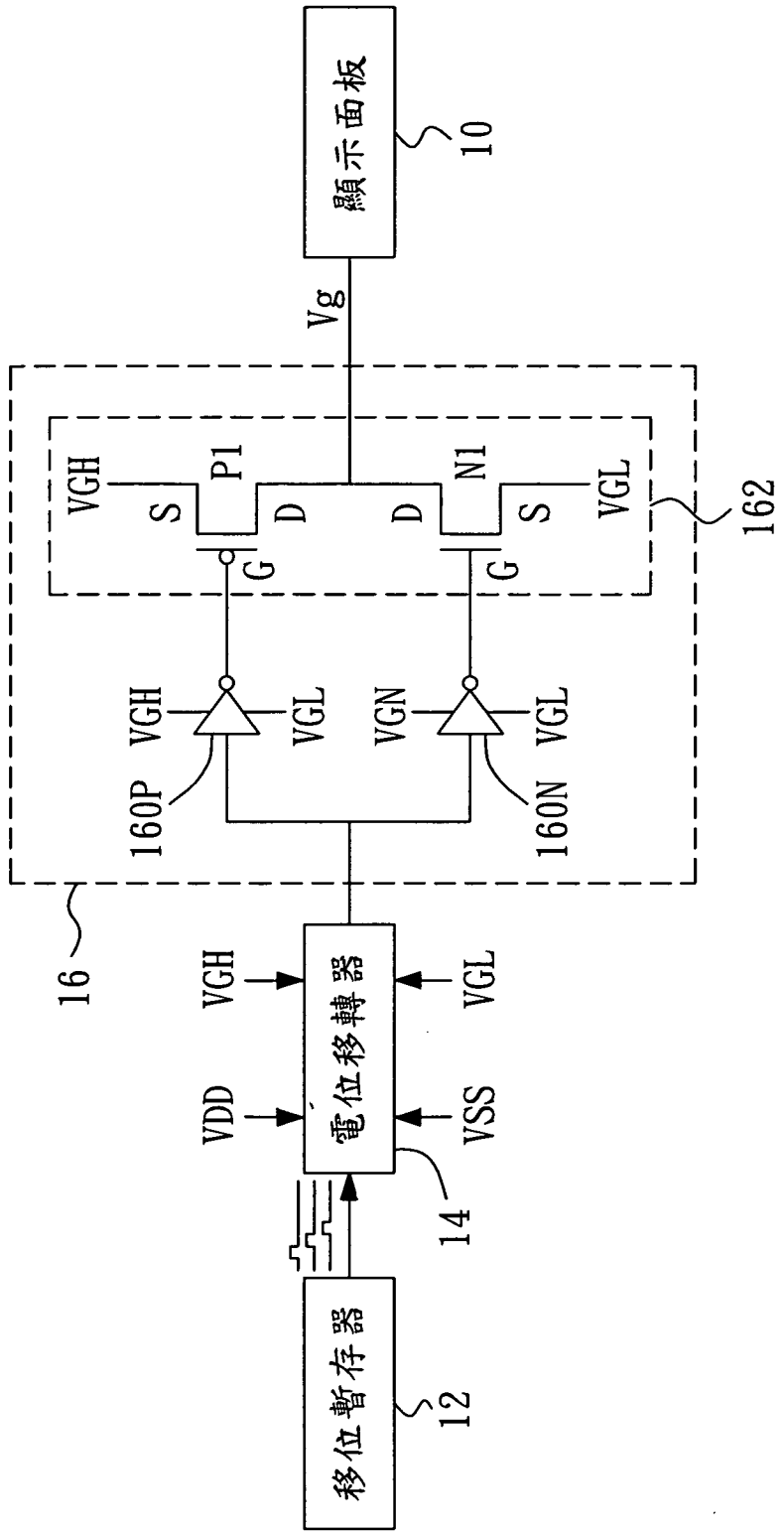
【發明圖式】



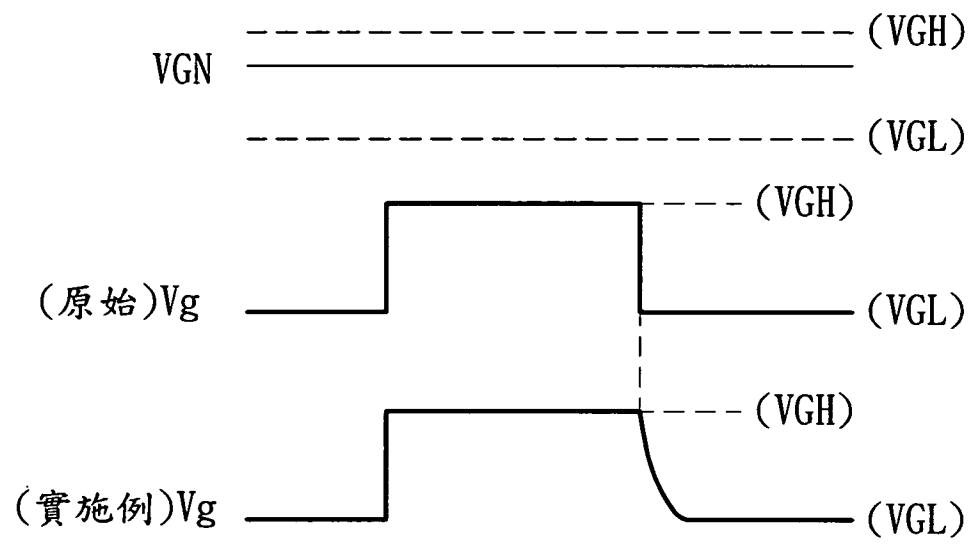
第一圖



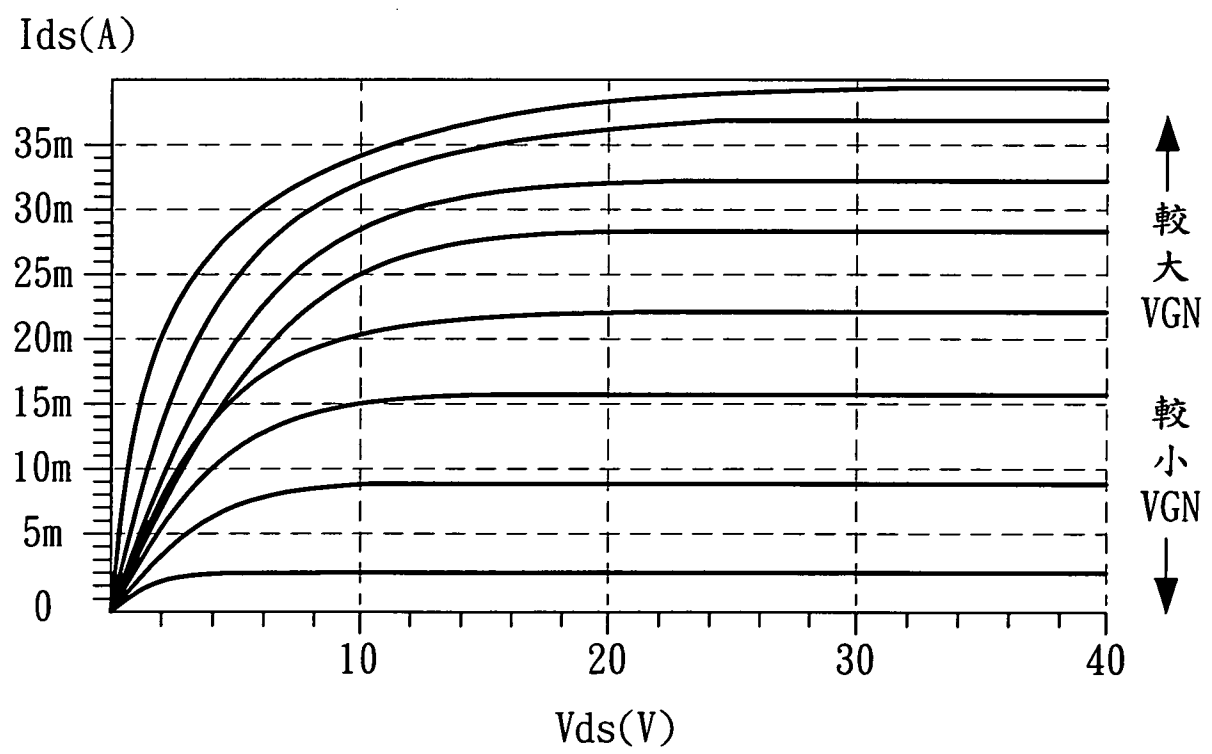
第二圖



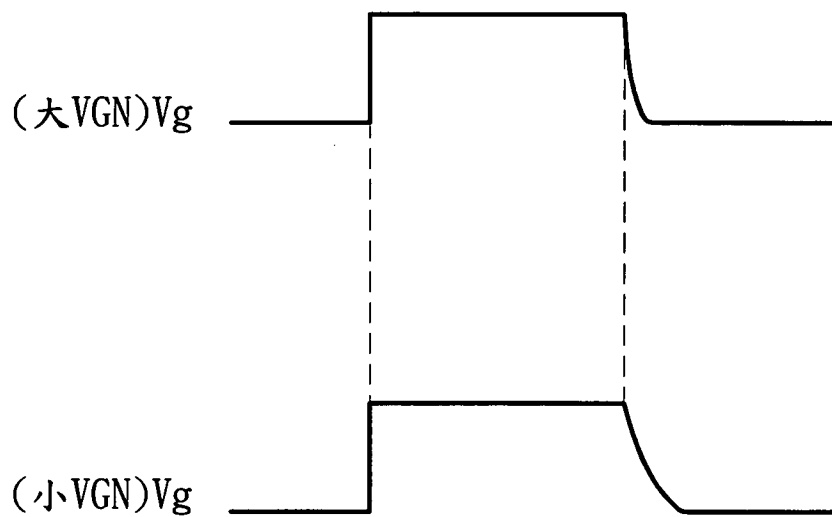
第三圖



第四圖



第五A圖



第五B圖