



[12] 发明专利说明书

[21] ZL 专利号 98125264.8

[45] 授权公告日 2003 年 6 月 25 日

[11] 授权公告号 CN 1112726C

[22] 申请日 1998.12.11 [21] 申请号 98125264.8

[30] 优先权

[32] 1998. 6. 16 [33] KR [31] 22584/1998

[71] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 黄镇铉 南硕佑

审查员 樊晓东

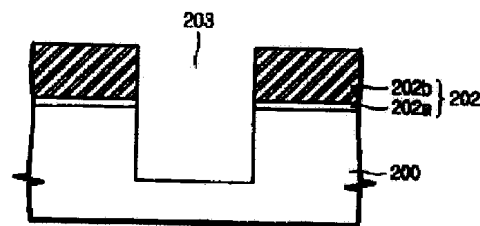
[74] 专利代理机构 中原信达知识产权代理有限责
任公司
代理人 谢丽娜

权利要求书 2 页 说明书 3 页 附图 3 页

[54] 发明名称 形成半导体器件槽隔离的方法

[57] 摘要

一种形成槽隔离的方法包括在半导体衬底上依次形成垫氧化层和有源氮化层。通过腐蚀氮化层和垫氧化层形成槽掩模层。通过使用槽掩模层作掩模腐蚀半导体衬底以形成槽。在槽的底和两侧壁上形成氮化层。在氧化层上形成氧化掩模层，例如氮化物衬垫。淀积槽隔离层足以填满槽。通过使用平面化腐蚀除去槽隔离层直到氮化物衬垫的上表面暴露为止。进行离子注入或等离子体处理以破坏有源氮化层但不破坏衬底。除去槽隔离层直到半导体衬底上表面暴露为止。



1. 一种在半导体器件中形成槽隔离的方法，包括以下步骤：
在半导体衬底上依次形成垫氧化层和有源氮化层；
5 通过腐蚀所述有源氮化层和垫氧化层形成槽掩模层，所述槽掩模层确定槽形成区域；
使用槽掩模层作为掩模，腐蚀所述半导体衬底以形成槽；
在所述槽的底和两侧壁上形成氧化层以除去在腐蚀所述半导体衬底的所述步骤过程中产生的衬底损坏；
10 在包括所述有源氮化物衬垫的所述槽上形成氮化物衬垫，以防止所述槽的底和两侧壁被氧化；
淀积槽隔离层以填满所述槽；
进行退火工艺以致密化所述槽隔离层；
通过平面腐蚀去掉所述槽隔离层，直到所述氮化物衬垫暴露为
15 止；
通过离子注入或等离子体工艺破坏所述有源氮化层以消弱 Si-N 键合力；
剥离所述槽掩模层直到所述半导体衬底上表面暴露为止。
- 20 2. 如权利要求 1 的方法，其中破坏所述有源氮化层的步骤是通过离子注入进行的。
3. 如权利要求 2 的方法，其中所述离子注入是通过使用选自下列中的一种离子进行的：P、As、B、Ar 和 Si。
25
4. 如权利要求 2 的方法，其中所述离子注入是以剂量范围约从 $10 \times 10^{10} \text{cm}^{-2}$ 到 $1 \times 10^{17} \text{cm}^{-2}$ 进行的。
5. 如权利要求 2 的方法，其中所述离子注入是在加速能范围约从
30 10keV 到 1000keV 进行的。
6. 如权利要求 1 的方法，其中破坏所述有源氮化层的步骤是通过等离子体工艺进行的。
- 35 7. 如权利要求 6 的方法，其中所述等离子体工艺是通过使用选自下列中的一种离子进行的：Xe、Kr 和 Ar。

8. 如权利要求 6 的方法, 其中所述等离子体工艺是在功率范围从 10W 到 5000W 进行的。

5 9. 如权利要求 6 的方法, 其中所述等离子体工艺是在压力范围从 1×10^{-4} 毛到 700 毛进行的。

形成半导体器件槽隔离的方法

5 本发明涉及制造半导体器件的方法，特别涉及形成槽隔离的方法。

随着促进高密度 DRAM 的增加，器件隔离的方法已从常规的 LOCOS(局部硅氧化)技术变为 STI(浅槽隔离(Shallow trench isolation))技术。但是，在 STI 方法时，槽内壁中的氧化层的膨胀在槽中和有源区中产生浅坑(pit)。结果，半导体衬底的有源区中的漏电流增加。

为解决上面问题，氮化物衬垫(liner)已用作氧化掩模层，用于防止槽内壁在后续工艺中被氧化。通过使用氮化物衬垫，可以防止浅坑。但是，在利用磷酸进行的有源氮化层的腐蚀过程中氮化物衬垫被腐蚀到半导体衬底表面下面的一点（即氮化物衬垫向下凹陷）。这样，凹陷的氮化物衬垫使在腐蚀栅极(gate poly)的后续工艺中产生纵梁式残余物(stringer residual)。

为解决上述问题，现有技术，例如 US 专利号 5447884 展示了带有小于 50 埃的衬垫厚度的氮化物衬垫的浅槽隔离。

上述方法包括以下步骤：在半导体衬底上沉积含有至少一层氮化物的保护层；腐蚀透保护层，以形成一组隔离掩模孔；穿过该组隔离掩模孔腐蚀，以形成一组隔离槽；淀积厚度小于 50 埃的氮化物保角(conformal)衬垫；淀积厚度足以填满该组隔离槽的氧化物 CVD 层；去掉隔离槽外面的氧化物 CVD 层部分，从而暴露至少一层氮化物；在磷酸中剥离至少一层氮化区。

根据上面的方法，通过使用很薄的氮化物衬垫作为氧化掩模层防止了保角氮化物衬垫的凹陷。

但是，保角氮化物衬垫太薄，不能防止槽内壁被氧化。

因此，需要一种方法，它不仅能防止氮化物衬垫凹陷，又能防止槽内壁被氧化。

本发明用于解决上述问题,本发明的目的是防止在腐蚀有源氮化层过程中氮化物衬垫凹陷。

5 本发明又一目的是缩短有源氮化层的剥离时间。

本发明另一目的是提供半导体衬底中的浅槽隔离。

10 根据本发明,形成槽隔离的方法包括:在半导体衬底上形成垫氧化层(pad Oxide layer)和有源氮化层;通过腐蚀半导体衬底形成确定槽形成区域的槽掩模层;使用槽掩模层作为掩模腐蚀半导体衬底,以形成槽。在槽底和两侧壁上形成氧化层,以消除在腐蚀半导体衬底步骤过程中产生的衬底损坏;在包括有源氮化层的槽上形成氧化掩模层,例如,氮化物衬垫,以便防止槽的底和两侧壁被氧化;淀积槽隔离层足以充满槽;
15 进行退火工艺以致密化槽隔离层;去掉槽隔离层,直到暴露氮化物衬垫的上表面为止;在有源氮化层上进行离子注入或等离子体工艺;使用磷酸平面腐蚀槽掩模层,直到暴露半导体衬底的上表面为止。

20 根据本发明,在剥离之前破坏有源氮化层,使有源氮化层的剥离时间缩短成为可能,由此防止氮化物衬垫凹陷。

参照附图可以理解本发明,并且对本领域技术人员来说其目的将更明显,其中:

25 图1—图7是根据本发明的优选实施例形成槽隔的新方法。

25

下面参照附图说明本发明优选实施例。

30 图1—图7是表示根据本发明优选实施例形成槽隔的新方法的各个阶段的剖面图。

30

如图1所示,根据本发明优选实施例,在半导体衬底200上依次形成垫氧化层202和有源氮化层202b。通过已知光刻方法形成确定槽形成区域的槽掩模层202。此后,利用槽掩模层202作为掩模腐蚀半导体衬底,以形成槽203。

35

参见图2,在槽203的底和两侧壁上形成氧化层204,以除去由腐

蚀半导体衬底 200 的步骤引起的硅晶格中的缺陷。氧化层例如是二氧化硅(SiO_2)。

5 参见图 3, 利用 LPCVD 在包括槽 203 的有源氮化层 202b 上形成氧化掩模层, 例如氮化物衬垫 205, 以防止槽内壁被氧化。氮化物衬垫 205 是由, 例如氮化硅(Si_3N_4)形成。所形成的氮化物衬垫 205 厚度约为 300 埃到 600 埃, 足以防止氧化。

10 参见图 4, 淀积槽隔离层 206, 例如 USG(O_3 TEOS)层, 以填满槽 203。此后, 进行退火工艺以致密化槽隔离层 206。

参见图 5, 使用平面化腐蚀, 例如 CMP 工艺除去槽隔离层 206, 直到氮化物衬垫 205 的上表面暴露为止。

15 参见图 6, 为了削弱有源氮化层 202b 的 Si-N 键合力而不破坏半导体衬底 200, 在有源氮化层 205 上进行离子注入或等离子体工艺。由于此离子注入或等离子体工艺, 缩短了有源氮化层 202b 的剥离时间。上面的离子注入是通过以剂量范围约从 $1 \times 10^{10} \text{cm}^{-2}$ 到 $1 \times 10^{17} \text{cm}^{-2}$ 、加速能范围约从 10keV 到 100keV 注入选自下列的一种离子进行的: P、
20 As、B、Ar 和 Si。另一方面, 上面的等离子体工艺是通过以功率范围约从 10W 到 5000W、气压范围约从 1×10^{-4} 托到 700 托使用选自下列的一种离子进行的: Xe、Kr 和 Ar。

25 如图 7 所示, 通过使用磷酸腐蚀槽掩模层 202 直到半导体衬底 200 的表面暴露为止, 从而形成槽隔离 208。

30 根据本发明, 在剥离有源氮化层之前在有源氮化层上进行破坏有源氮化层工艺, 例如离子注入工艺或等离子体工艺。这样, 由于削弱了有源氮化层中 Si-N 键合力而缩短了有源氮化层的剥离时间。因而, 可以避免氮化物衬垫的凹陷现象, 并提高了槽的隔离特性。

图 1

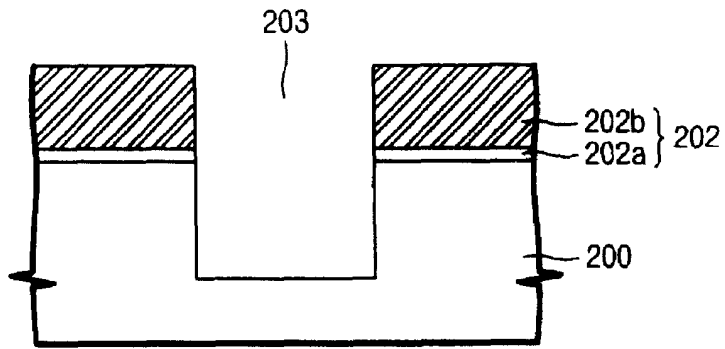


图 2

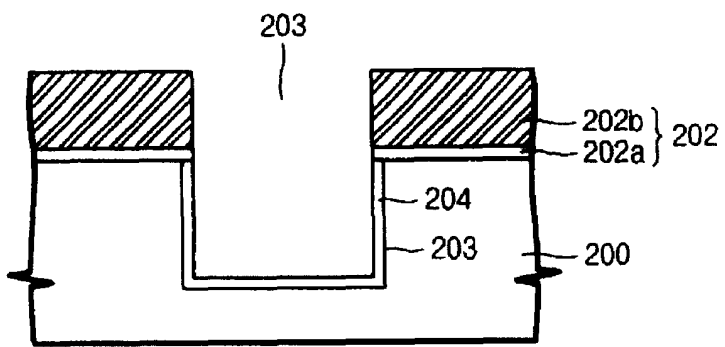


图 3

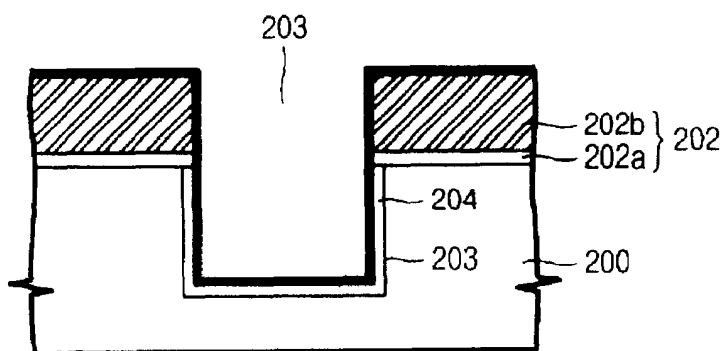


图 4

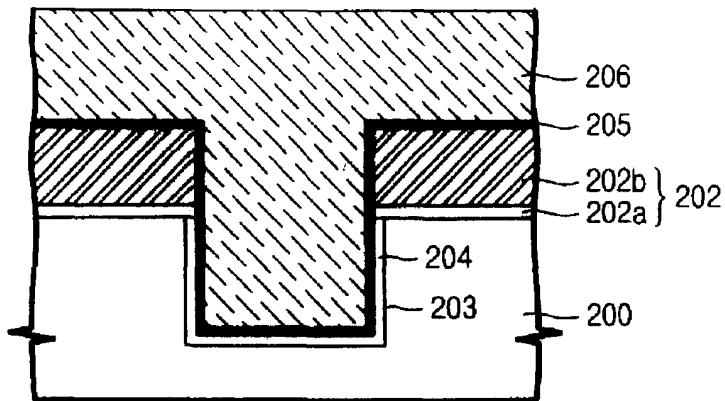


图 5

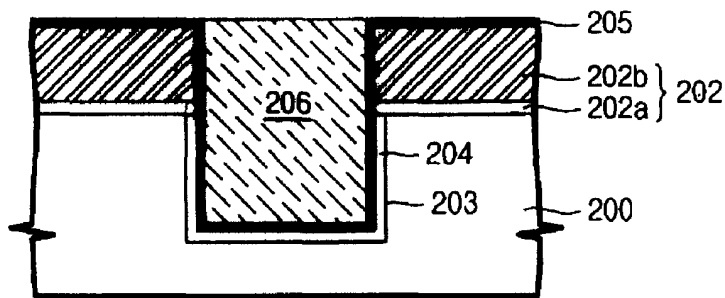


图 6

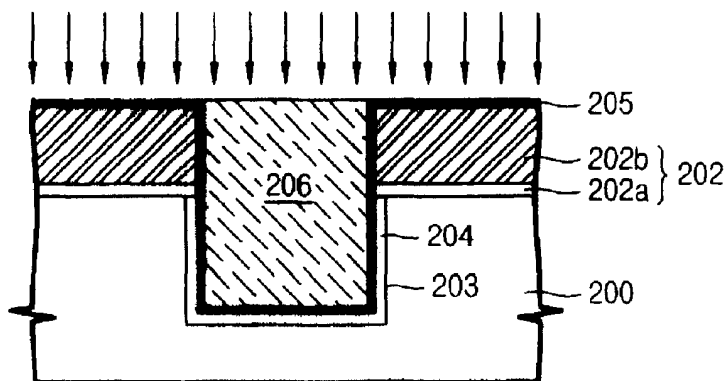


图 7

