(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102064142 B
(45)授权公告日 2013.11.13

(21)申请号 201010511012.2
(22)申请日 2008.09.11
(30)优先权数据
2007-339298 2007.12.28 JP
(62)分案原申请数据
200810213840.0 2008.09.11
(73)专利权人 三菱电机株式会社
地址 日本东京都
(72)发明人 佐藤公敏 奥村美香 山口靖雄 堀川牧夫
(74)专利代理机构 北京天昊联合知识产权代理有限公司 11112
代理人 何立波 张天舒
(51)Int.Cl.
H01L 23/31(2006.01)
G01P 15/125(2006.01)
G01P 1/02(2006.01)

(56)对比文件
CN 1447921 A,2003.10.08, 说明书“发明的最佳实施方式”,附图 1-19.
US 5756901 A,1998.05.26, 全文.
JP 特开 2000-150916 A,2000.05.30, 全文.
JP 特开 2001-119040 A,2001.04.27, 全文.
US 2007/0062285 A1,2007.03.22, 全文.

审查员 祁恒

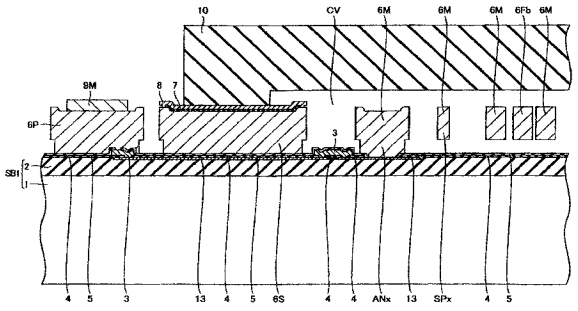
权利要求书1页 说明书11页 附图45页

(54)发明名称

半导体装置以及半导体装置的制造方法

(57)摘要

本发明涉及半导体装置及半导体装置的制造方法。第一布线(13)沿着衬底(SB1)的槽部设置在槽部的底面上,并具有第一膜厚。第二布线(3)与第一布线(13)电连接,并具有比第一膜厚厚的第二膜厚。加速度检测部(EL)与第二布线(3)电连接。密封部(6S)具有与衬底(SB1)之间夹持第一布线(13)的部分,在衬底(SB1)上包围第二布线(3)及加速度检测部(EL)。盖层(10)以在衬底(SB1)上的被密封部(6S)包围的区域上形成腔(CV)的方式设置在密封部(6S)上。由此,确保腔(CV)的气密性和降低与加速度检测部(EL)连接的布线的电阻可以并存。



CN 102064142 B

1. 一种半导体装置，具备：

衬底；

设置在上述衬底上的布线；

图形，由与上述布线相同的材质构成，在上述衬底上与上述布线隔开间隔夹持上述布线；

设置在上述衬底上并与上述图形电隔离、且与上述布线电连接的元件；

具有与上述衬底之间分别夹持上述布线及上述图形的部分并且在上述衬底上包围上述元件的构件；

以在上述衬底上的被上述构件包围的区域上形成腔的方式设置在上述构件上的盖层。

2. 如权利要求 1 的半导体装置，其中，

上述元件及上述构件分别由被掺杂后的多晶硅构成。

3. 如权利要求 1 的半导体装置，其中，

上述元件包括能够相对于上述衬底变位地设置的部分。

4. 如权利要求 3 的半导体装置，其中，

上述图形的一部分与上述能够变位地设置的部分面对。

半导体装置以及半导体装置的制造方法

[0001] 本申请是下述申请的分案申请：

[0002] 发明名称：“半导体装置以及半导体装置的制造方法”

[0003] 申请日：2008 年 9 月 11 日

[0004] 申请号：200810213840.0

技术领域

[0005] 本发明涉及半导体装置，特别涉及形成有腔的半导体装置。

背景技术

[0006] 在半导体装置之中，存在具有形成在腔内的元件的半导体装置。特别地，存在具有可动部的元件通过设置于被密封的腔内而具有良好特性的情况。例如，根据特开 2007-085747 号公报，作为半导体装置的静电电容型加速度传感器，在具有气密性的盖层 (cap) 内部（腔）具有加速度检测部。该腔由衬底、设置在衬底上的接合框架、与接合框架接合的盖层形成。此外，以贯穿接合框架的方式设置有被氧化膜夹持的布线。

[0007] 在上述加速度传感器的制造过程中，在布线存在的面上形成接合框架。形成有该接合框架的面，在布线的边缘部分具有与布线厚度相对应的凹凸。由此，在形成于该面上的接合框架的上表面也形成有凹凸。该接合框架上表面的凹凸过大时，由于接合框架和盖层的紧密的接合比较困难，因此，存在难以确保腔的气密性这一问题。特别是，如果布线和氧化膜的形成时的重合偏移较大，则接合框架的上表面的凹凸变得更大，该问题变得更加严重。为了将该接合框架上表面的凹凸变得更小，在上述现有方法中，必须将布线变薄。即，上在述现有的方法中，存在确保腔的气密性和降低布线电阻这二者并存比较困难这样的课题。

发明内容

[0008] 本发明是鉴于上述课题而进行的，其目的在于提供一种能够使确保腔的气密性和降低布线电阻并存的半导体装置及半导体装置的制造方法。

[0009] 本发明的一种半导体装置具有衬底、第一及第二布线、元件、构件和盖层。衬底具有槽部。第一布线沿着槽部设置在槽部的底面上，并具有第一膜厚。第二布线设置在衬底上，与第一布线电连接，并具有比第一膜厚厚的第二膜厚。元件设置在衬底上，并与第二布线电连接。构件具有与衬底之间夹持第一布线的部分，在衬底上包围第二布线及元件。盖层以在衬底上的被构件包围的区域上形成腔的方式设置在构件上。

[0010] 本发明的另一种半导体装置具有衬底、布线、覆盖膜、填充部、元件、构件和盖层。衬底具有槽部。布线以在与槽部的侧面之间形成凹部的方式沿着槽部设置在槽部的底面上。覆盖膜由一种材质构成，覆盖凹部的内表面。填充部由与一种材质不同的材质构成，填充被覆盖膜覆盖的凹部。元件设置在衬底上，与布线电连接。构件具有与衬底之间分别夹持布线及填充部的部分，在衬底上包围元件。盖层以在衬底上的被构件包围的区域上形成

腔的方式设置在构件上。

[0011] 本发明的另一种半导体装置具有衬底、布线、图形、元件、构件和盖层。布线设置在衬底上。图形由与布线相同的材质构成，在衬底上与布线隔开间隔夹持布线。元件设置在衬底上，与图形电隔离，并与布线电连接。构件具有与衬底之间分别夹持布线及图形的部分，在衬底上包围元件。盖层以在衬底上的被构件包围的区域上形成腔的方式设置在构件上。

[0012] 本发明的半导体装置的制造方法具有以下工序。

[0013] 形成覆盖衬底的主面的一部分的布线。在衬底上形成绝缘膜，该绝缘膜具有覆盖布线的第一部分和覆盖从布线露出的主面的第二部分。形成覆盖第二部分的至少一部分并且使第一部分的至少一部分露出的第一掩模层。利用各向同性刻蚀，去除从第一掩模层露出的绝缘膜。去除绝缘膜的工序之后，形成设置在衬底上并与布线电连接的元件、和具有与衬底之间分别夹持布线及绝缘膜的部分并在衬底上包围元件的构件。以在衬底上的被构件包围的区域上形成腔的方式在构件上形成盖层。

[0014] 根据本发明的一种半导体装置，设置具有比第一膜厚厚的第二膜厚的第二布线，因此，与仅设置第一膜厚的布线的情况相比，可以将用于向元件的电连接的布线的电阻变小。此外，在构件和衬底之间设置具有比第二膜厚薄的第一膜厚的第一布线，因此，与仅设置第二膜厚的布线的情况相比，可以抑制构件上表面的凹凸的发生，因此，可以将构件与盖层紧密地接合。因此，确保腔的气密性和降低布线的电阻可以并存。

[0015] 根据本发明的另一种半导体装置，由于利用填充部填充形成在槽部的侧面和上述布线之间的凹部，因此，即使将布线的膜厚变厚，也可以将由布线的上表面和填充部的上表面构成的面的凹凸变小。因此，能够抑制形成在该表面上的构件的上表面的凹凸的发生，因此，可以将构件和盖层紧密地接合。因此，确保腔的气密性和降低布线的电阻可以并存。

[0016] 根据本发明的另一种半导体装置，图形由与布线相同的材质构成，因此，可以将布线和图形一起进行构图。因此，可不受重合偏移的影响地利用夹持布线的图形将由布线引起的凹凸变小。

[0017] 根据本发明的半导体装置的制造方法，由于利用各向同性刻蚀去除从第一掩模层露出的绝缘膜，因此绝缘膜的端部具有缓和的台阶差形状。因此，由绝缘膜的上表面和布线的上表面构成的面的凹凸变得缓和，因此，形成在绝缘膜及布线上的构件的上表面的凹凸变小。因此，可以将构件和盖层紧密地接合，从而确保腔的气密性。

[0018] 本发明的上述及其他目的、特征、方式及优点，可由与附图相关联的理解的本发明的如下详细说明明确。

附图说明

[0019] 图 1 为概略性地表示作为本发明的实施方式 1 中的半导体装置的加速度传感器的结构的平面图。并且，图 1 中并未示出衬底和设置在该衬底上的层间绝缘膜及氮化膜。

[0020] 图 2 为未示出图 1 的盖层的平面图。并且，图 2 中并未示出衬底和设置在该衬底上的层间绝缘膜及氮化膜。

[0021] 图 3 为图 2 的部分放大图。而且图 3 中并未示出衬底和设置在该衬底上的层间绝缘膜及氮化膜。

[0022] 图 4 为沿图 3 的 IV-IV 线的概略性的部分剖面图。

[0023] 图 5 为沿图 3 的 V-V 线的概略性的部分剖面图。

[0024] 图 6 为沿图 3 的 VI-VI 线的概略性的部分剖面图。

[0025] 图 7 为沿图 2 的 VII-VII 线的概略性的部分剖面图。

[0026] 图 8 为沿图 2 的 VIII-VIII 线的概略性的部分剖面图。

[0027] 图 9 为沿图 3 的 IX-IX 线的概略性的部分剖面图。

[0028] 图 10 为概略性地表示作为本发明的实施方式 1 中的半导体装置的加速度传感器的结构的电路图。

[0029] 图 11 为概略性地表示在衬底上形成作为本发明实施方式 1 中的半导体装置的加速度传感器的布线的状态的部分平面图。并且，在图 11 中，为了易于看图，仅示出衬底及该衬底上的布线，此外，在布线的一部分面上添加了阴影线。

[0030] 图 12 为表示作为本发明的实施方式 1 中的半导体装置的加速度传感器的布线和衬底的槽部的位置关系的概略性的部分剖面图。

[0031] 图 13 ～图 24 为依次表示作为本发明的实施方式 1 中的半导体装置的加速度传感器的制造方法的第一～第一 2 工序的概略性的部分剖面图。而且图 13 ～图 24 的各个剖面位置与图 9 的剖面位置相对应。

[0032] 图 25 为表示形成作为本发明的实施方式 1 中的半导体装置的加速度传感器的密封部的状态的概略性的部分剖面图。

[0033] 图 26 为表示形成比较例中的加速度传感器的密封部的状态的概略性的部分剖面图。

[0034] 图 27 为概略性地表示作为本发明的实施方式 2 中的半导体装置的加速度传感器的结构的部分平面图。并且，图 27 中并未示出盖层、衬底和设置在该衬底上的层间绝缘膜及氮化膜。

[0035] 图 28 为沿图 27 的 XXVIII-XXVIII 线的概略性的部分剖面图。

[0036] 图 29 为沿图 27 的 XXIX-XXIX 线的概略性的部分剖面图。

[0037] 图 30 ～图 33 为依次表示作为本发明的实施方式 2 中的半导体装置的加速度传感器的制造方法的第一～第 4 工序的概略性的部分剖面图。而且图 30 ～图 33 的各个剖面位置与图 28 的剖面位置相对应。

[0038] 图 34 为概略性地表示作为本发明的实施方式 3 中的半导体装置的加速度传感器的结构的部分平面图。并且，图 34 中并未示出盖层、衬底和设置在该衬底上的层间绝缘膜及氮化膜。

[0039] 图 35 为沿图 34 的 XXXV-XXXV 线的概略性的部分剖面图。

[0040] 图 36 为沿图 34 的 XXXVI-XXXVI 线的概略性的部分剖面图。

[0041] 图 37 ～图 39 为依次表示作为本发明的实施方式 3 中的半导体装置的加速度传感器的制造方法的第一～第 3 工序的概略性的部分剖面图。而且图 37 ～图 39 的各个剖面位置与图 35 的剖面位置相对应。

[0042] 图 40 及图 41 为概略性地表示比较例中的加速度传感器的结构的部分剖面图。并且，图 40 的剖面位置与图 35 的剖面位置相对应。此外，图 41 的剖面位置沿着图 36 的剖面位置。

[0043] 图 42 为图 36 的虚线部 XLII 的放大图。

[0044] 图 43 为与比较例中的加速度传感器的图 42 相对应的图。

[0045] 图 44 为概略性地表示作为本发明的实施方式 4 中的半导体装置的加速度传感器的结构的部分平面图。并且，图 44 中并未示出盖层、衬底和设置在该衬底上的层间绝缘膜及氮化膜。

[0046] 图 45 为沿图 44 的 XLV-XLV 线的概略性的部分剖面图。

[0047] 图 46 为沿图 44 的 XLVI-XLVI 线的概略性的部分剖面图。

[0048] 图 47 ～图 52 为依次表示作为本发明的实施方式 4 中的半导体装置的加速度传感器的制造方法的第一～第 6 工序的概略性的部分剖面图。而且图 47 ～图 52 的各个剖面位置与图 45 的剖面位置相对应。

[0049] 图 53 为概略性地表示作为本发明的实施方式 5 中的半导体装置的加速度传感器的结构的部分平面图。并且，图 53 中并未示出盖层、衬底和设置在该衬底上的层间绝缘膜及氮化膜。

[0050] 图 54 为沿图 53 的 LIV-LIV 线的概略性的部分剖面图。

[0051] 图 55 为沿图 53 的 LV-LV 线的概略性的部分剖面图。

[0052] 图 56 及图 57 为概略性地表示作为本发明的实施方式 5 中的半导体装置的加速度传感器的制造方法的第一工序的部分剖面图。而且图 56 的剖面位置与图 54 的剖面位置相对应。此外，图 57 的剖面位置与图 55 的剖面位置相对应。

[0053] 图 58 及图 59 为概略性地表示作为本发明的实施方式 5 中的半导体装置的加速度传感器的制造方法的第二工序的部分剖面图。而且图 58 的剖面位置与图 54 的剖面位置相对应。此外，图 59 的剖面位置与图 55 的剖面位置相对应。

[0054] 图 60 为概略性地表示作为本发明的实施方式 6 中的半导体装置的加速度传感器的结构的部分平面图。并且，图 60 中并未示出盖层、衬底和设置在该衬底上的层间绝缘膜及氮化膜。

[0055] 图 61 为沿图 60 的 LXI-LXI 线的概略性的部分剖面图。

[0056] 图 62 为沿图 60 的 LXII-LXII 线的概略性的部分剖面图。

[0057] 图 63 为与比较例中的加速度传感器的图 62 相对应的图。

具体实施方式

[0058] 以下，根据附图对本发明的实施方式进行说明。

[0059] 实施方式 1

[0060] 首先，对作为本实施方式的加速度传感器的结构进行说明。

[0061] 主要参照图 9，作为本实施方式的半导体装置的加速度传感器主要具有：衬底 SB1；掺杂多晶硅层 13（第一布线）；掺杂多晶硅层 3（第二布线）；加速度检测部 EL（元件）（图 2）；密封部 6S（构件）；盖层 10。

[0062] 衬底 SB1 具有：具有主面的硅衬底 1；形成在该主面上的氧化膜 2。氧化膜 2 在与硅衬底 1 相反侧具有槽部。即，衬底 SB1 具有槽部。

[0063] 掺杂多晶硅层 13 沿该槽部位于槽部的底面上。掺杂多晶硅层 13 由被掺杂了的多晶硅（掺杂多晶硅：DOPOS(Doped Polycrystalline Silicon)）形成。被掺杂的杂质例如为磷 (P)。掺杂多晶硅层 13 具有与槽部的深度相同的第一膜厚，优选具有 100nm 以下的膜

厚。

[0064] 掺杂多晶硅层 3 为由设置在衬底 SB1 上的掺杂多晶硅构成的层，具有比第一膜厚厚的第二膜厚，优选具有 400nm 左右的膜厚。掺杂多晶硅层 3 具有以接触到掺杂多晶硅层 13 上的方式形成的部分。因此，掺杂多晶硅层 3 与掺杂多晶硅层 13 电连接。掺杂多晶硅层 3 及掺杂多晶硅层 13 构成连结腔 CV 的内外的三系统的布线 PFa、PFb、PM（图 2 及图 11）。并且，槽部的侧面和掺杂多晶硅层 13 的侧面之间的间隔尺寸 WM（图 12）优选为应用于加速度传感器的制造工序中的照相制版法的曝光装置的重合精度的尺寸和第一膜厚的合计尺寸左右。例如，掺杂多晶硅层 13 的膜厚为 100nm、重合精度的尺寸为 200nm 时，间隔尺寸 WM 优选为 300nm 左右。

[0065] 加速度检测部 EL（图 2）是设置在衬底 SB1 上的用于检测加速度的元件，由掺杂多晶硅形成。加速度检测部 EL 通过掺杂多晶硅层 13，与掺杂多晶硅层 3 电连接。

[0066] 密封部 6S 具有与衬底 SB1 之间夹持掺杂多晶硅层 13 的部分，在衬底 SB1 上，包围掺杂多晶硅层 3 及加速度检测部 EL（图 2）。密封部 6S 的膜厚分别比掺杂多晶硅层 13 及掺杂多晶硅层 3 厚，例如，为 4μm。密封部 6S 由与加速度检测部 EL 相同的材质形成。即，密封部 6S 由掺杂多晶硅形成。

[0067] 盖层 10 以在衬底 SB1 上的被密封部 6S 包围的区域上形成腔 CV 的方式设置在密封部 6S 上。盖层 10 和密封部 6S 的界面的凹凸优选为几十 nm 以下。在盖层 10 和密封部 6S 使用阳极接合进行接合的情况下，盖层 10 的材质优选是玻璃。使用等离子体接合或常温接合代替阳极接合时，也可以使用硅衬底来代替玻璃制的盖层 10。

[0068] 此外，本实施方式的加速度传感器还具有：电极焊盘 9Fa、9Fb、9M、在这些各电极焊盘 9Fa、9Fb、9M 与衬底 SB1 之间单独地（individually）形成的焊盘台 6P、层间绝缘膜 4、氮化膜 5、氧化膜 7、多晶硅膜 8。

[0069] 各个电极焊盘 9Fa、9Fb、9M 为由铝构成的焊盘，在腔 CV 的外部，位于被单独地设置在衬底 SB1 上的焊盘台 6P 上。焊盘台 6P 由与加速度检测部 EL 相同的材质形成。即，焊盘台 6P 由掺杂多晶硅形成。电极焊盘 9Fa、9Fb、9M 分别通过单独地形成的焊盘台 6P 而与布线 PFa、PFb、PM 电连接。并且，也能够成为不设置焊盘台 6P 而电极焊盘 9Fa、9Fb、9M 分别直接与布线 PFa、PFb、PM 接触的结构。

[0070] 层间绝缘膜 4 将层叠了掺杂多晶硅层 3 和掺杂多晶硅层 13 的部分的一部分绝缘。此外，层间绝缘膜 4 具有开口部，在该开口部，掺杂多晶硅层 3 和掺杂多晶硅层 13 接触。此外，对于层间绝缘膜 4 来说，在衬底 SB1 上的未形成掺杂多晶硅层 13 的区域，将掺杂多晶硅层 3 与氧化膜 2 隔开。

[0071] 氮化膜 5 覆盖衬底 SB1、掺杂多晶硅层 13、层间绝缘膜 4、掺杂多晶硅层 3。此外，氮化膜 5 具有开口部，在该开口部，焊盘台 6P 及加速度检测部 EL 分别与布线 PFa、PFb、PM（图 2）的任意一个连接。多晶硅膜 8 覆盖密封部 6S 的盖层 10 侧的面。氧化膜 7 位于密封部 6S 和多晶硅膜 8 之间的一部分。并且，在不使用阳极接合的情况下，优选氧化膜 7 及多晶硅膜 8 被省略的结构。

[0072] 其次，对加速度检测部 EL 的结构和加速度检测部 EL 检测加速度的原理进行说明。

[0073] 主要参照图 2，加速度检测部 EL 具有固定电极 6Fa、6Fb 及可动电极 6M。固定电极 6Fa、6Fb 及可动电极 6M 分别具有梳齿电极。固定电极 6Fa、6Fb 的各自的梳齿相对于可动电

极 6M 的梳齿沿一个方向（图中横方向）隔开间隔地对置，由此，形成电容器 C1、C2（图 10）。

[0074] 可动电极 6M 具有弹簧部 SPx、SPy。弹簧部 SPx、SPy 分别以如下方式构成：在衬底 SB1 上，能够以在一个方向（图中横向）弹性地进行伸缩的方式弯曲。弹簧部 SPx、SPy 各自的一端成为利用簧片 (anchor)ANx、Any 被固定在衬底 SB1 上的固定端。弹簧部 SPx、SPy 的各自的另一端即自由端被固定在可动电极 6M 的一端及另一端。由此，可动电极 6M 相对于衬底 SB1 沿一个方向能够变位地被支持。该变位根据可动电极 6M 受到的沿一个方向的加速度而产生，因此，根据电容器 C1、C2 的静电电容算出该变位，由此，检测沿一个方向的加速度。

[0075] 其次，对本实施方式的变形例的结构进行说明。

[0076] 参照图 11，上述本实施方式的加速度传感器具有一个加速度检测部 EL，但本变形例的加速度传感器具有多个加速度检测部 EL（未图示）。各加速度检测部 EL 的可动电极 6M 与共同的电极焊盘 9M 电连接。为了进行这样的连接，将布线 PM 进行分支，与各加速度检测部 EL 连接即可。因此，形成从掺杂多晶硅层 13 分支的掺杂多晶硅层 13v。

[0077] 对于掺杂多晶硅层 13v 来说，在衬底 SB1 上，与布线 PFb 的掺杂多晶硅层 3 交叉。在该交叉的部分，掺杂多晶硅层 13v 和布线 PFb 的掺杂多晶硅层 3 之间由层间绝缘膜 4 隔开。并且，对于掺杂多晶硅层 13v 和掺杂多晶硅层 13 来说，能够利用针对一层掺杂多晶硅层的构图一起形成。

[0078] 其次，对作为本实施方式的半导体装置的加速度传感器的制造方法进行说明。

[0079] 主要参照图 13，在硅衬底 1 上形成氧化膜 2。为了降低硅衬底 1 参与的寄生电容，通常使氧化膜 2 的膜厚为 1μm 以上。在氧化膜 2 的表面形成与掺杂多晶硅层 13（图 9）的膜厚（第一膜厚）相同深度的槽。槽的深度例如为 100nm。

[0080] 参照图 14，形成掺杂多晶硅层，利用照相制版法对该层进行构图，从而形成掺杂多晶硅层 13。

[0081] 参照图 15，形成氧化膜等绝缘膜，利用照相制版法对该膜进行构图，从而形成层间绝缘膜 4。

[0082] 参照图 16，形成掺杂多晶硅层，利用照相制版法对该层进行构图，从而形成掺杂多晶硅层 3。所形成的掺杂多晶硅层的膜厚例如为 400nm。

[0083] 参照图 17，形成氮化膜，利用照相制版法对该膜进行构图，从而形成氮化膜 5。

[0084] 主要参照图 18，形成例如由 PSG(phosphosilicate glass：磷硅酸盐玻璃）构成的层，利用照相制版法对该层进行构图，从而形成牺牲层 (sacrifice layer)20。牺牲层 20 设置于加速度检测部 EL（图 9）在衬底 SB1 上浮起的区域。

[0085] 参照图 19，形成掺杂多晶硅层 6。掺杂多晶硅层 6 的膜厚例如为 4μm。

[0086] 参照图 20，在掺杂多晶硅层 6 上形成氧化膜，利用照相制版法对该膜进行构图，从而形成氧化膜 7。利用该构图，在氧化膜 7 上形成开口部 OP。

[0087] 参照图 21，形成多晶硅膜，利用照相制版法对该膜进行构图，从而形成多晶硅膜 8。

[0088] 主要参照图 22，对掺杂多晶硅层 6、氧化膜 7 及多晶硅膜 8 进行构图，从而形成焊盘台 6P、密封部 6S、可动电极 6M、固定电极 6Fb 及 6Fa（图 2）。

[0089] 参照图 23，在焊盘台 6P 上形成电极焊盘 9M。

[0090] 参照图 24，进行去除牺牲层 20 的工序（脱模 (release) 工序）。此时，利用氮化膜 5 保护层间绝缘膜 4。

[0091] 再次参照图 9，将盖层 10 接合到密封部 6S 上。作为接合方法，有阳极接合、等离子体接合或者常温接合。使用阳极接合时，利用氧化膜 7 抑制密封部 6S 的杂质向接合部分扩散，因此，抑制由杂质所引起的接合强度的下降。

[0092] 如上所述，得到本实施方式的加速度传感器。并且，在上述说明中，未图示出制造一个加速度传感器的状态，但在批量生产工序中，优选在进行了在一个衬底上形成多个加速度传感器的工序（晶片级 (wafer level) 工序）之后，将各加速度传感器分离。

[0093] 根据本实施方式，作为各个布线 PFa、PFb、PM，设置具有比第一膜厚厚的第二膜厚的掺杂多晶硅层 3。因而，与仅设置第一膜厚的掺杂多晶硅层 13 的情况相比，能够将向加速度检测部 EL 电连接的电阻变小。此外，在密封部 6S 和衬底 SB1 之间设置具有比第二膜厚薄的第一膜厚的掺杂多晶硅层 13。因而，与仅设置第二膜厚的掺杂多晶硅层 3 作为各个布线 PFa、PFb、PM 的情况相比，能够抑制密封部 6S 上表面的凹凸的发生，因此，能够将密封部 6S 和盖层 10 紧密地进行接合。因此，使腔 CV 的气密性的确保和各个布线 PFa、PFb、PM 的电阻的降低并存。

[0094] 此外，由于加速度检测部 EL 及密封部 6S 分别由掺杂多晶硅构成，因此对加速度检测部 EL 附以导电性，并且，如从图 21 到图 22 的工序所示，能够将加速度检测部 EL 和密封部 6S 一起形成。

[0095] 此外，加速度检测部 EL 具有以能够相对衬底 SB1 变位的方式设置的可动电极 6M。由此，能够形成在腔 CV 内具有可动部的加速度检测部 EL。

[0096] 此外，衬底 SB1 的槽部的深度和掺杂多晶硅层 13 的膜厚（第一膜厚）相同，从而抑制形成密封部 6S 的表面的凹凸，因此，密封部 6S 的上表面（盖层 10 侧的表面）平滑性提高。由此，可以提高密封部 6S 和盖层 10 的接合强度。

[0097] 此外，如图 12 所示，将氧化膜 2 的槽部的侧面和掺杂多晶硅层 13 的侧面的间隔定为上述的间隔尺寸 WM。由此，经过图 25 所示的生长过程（图中虚线），形成具有大致平滑的上表面的密封部 6S。并且，如图 26 所示，氧化膜 2 的槽部的侧面和掺杂多晶硅层 13 的侧面的间隔具有比间隔尺寸 WM 大的间隔尺寸 WMC 时，在密封部 6S 的上表面，凹部变得更大，因此密封部 6S 和盖层 10 的接合强度下降。

[0098] 根据本实施方式的变形例，如图 11 所示，如具有掺杂多晶硅层 13v 的布线 PM 和布线 PFb 那样，能够设置彼此绝缘并交叉的布线。因而，与以布线彼此不交叉的方式必须使布线迂回的情况相比，可以将加速度传感器内的布线形成所需要的区域变小，因此可以将加速度传感器小型化。

[0099] 实施方式 2

[0100] 首先，对作为本实施方式的半导体装置的加速度传感器的结构进行说明。

[0101] 主要参照图 28 及图 29，本实施方式的加速度传感器包括具有槽部的衬底 SB2，代替实施方式 1 的具有槽部的衬底 SB1（图 4 及图 9）。衬底 SB2 具有：硅衬底 1（构成槽部的底面的基材部）；氧化膜 2f；氧化膜 16（构成槽部的侧面的绝缘膜）。在硅衬底 1 上设置有氧化膜 2f。为了降低硅衬底 1 参与的寄生电容，通常使氧化膜 2f 的膜厚为 1μm 以上。在氧化膜 2f 上选择性地设置氧化膜 16，氧化膜 2f 上的未设置氧化膜 16 的区域成为衬底 SB2

的槽部。

[0102] 并且，对于上述以外的结构，由于与上述实施方式 1 的结构大致相同，因此对相同或对应的要素赋予同一符号，不重复其说明。

[0103] 其次，对作为本实施方式的半导体装置的加速度传感器的制造方法进行说明。

[0104] 参照图 30，在硅衬底 1 上形成氧化膜 2f。其次，形成掺杂多晶硅层，利用照相制版法对该层进行构图，从而形成掺杂多晶硅层 13。掺杂多晶硅层 13 的膜厚例如为 100nm。

[0105] 参照图 31，形成氧化膜，利用照相制版法对该膜进行构图，从而形成氧化膜 16。使氧化膜 16 的膜厚与掺杂多晶硅层 13 的膜厚（第一膜厚）相同。

[0106] 参照图 32，形成氧化膜等绝缘膜，利用照相制版法对该膜进行构图，从而形成层间绝缘膜 4。

[0107] 参照图 33，形成掺杂多晶硅层，利用照相制版法对该层进行构图，从而形成掺杂多晶硅层 3。所形成的掺杂多晶硅层的膜厚例如为 400nm。

[0108] 并且，之后的工序与实施方式 1 的图 17 ～图 24 大致相同，因此不重复其说明。

[0109] 根据本实施方式，可以得到与实施方式 1 相同的作用效果。

[0110] 实施方式 3

[0111] 首先，对作为本实施方式的半导体装置的加速度传感器的结构进行说明。

[0112] 主要参照图 35 及图 36，作为本实施方式的半导体装置的加速度传感器，主要具有衬底 SB3、掺杂多晶硅层 30 和氧化膜 40。

[0113] 衬底 SB3 具有 ：具有主面的硅衬底 1 ；形成在该主面上的氧化膜 2f。在氧化膜 2f 上的一部分形成氧化膜 40。由衬底 SB3 及氧化膜 40 构成的结构在氧化膜 2f 上的未形成氧化膜 40 的区域具有槽部。

[0114] 掺杂多晶硅层 30 沿着该槽部位于槽部的底面上。掺杂多晶硅层 30 由掺杂多晶硅形成。所掺杂的杂质例如为磷 (P)。掺杂多晶硅层 30 具有与槽部的深度即氧化膜 40 的膜厚相同的膜厚。掺杂多晶硅层 30 构成连结腔 CV 的内外的三系统的布线 PFa、PFb、PM（图 34）。

[0115] 并且，对于上述以外的结构，由于与上述实施方式 1 的结构基本相同，因此对相同或对应的要素赋予同一符号，不重复其说明。

[0116] 其次，对作为本实施方式的半导体装置的加速度传感器的制造方法进行说明。

[0117] 参照图 37，在硅衬底 1 上形成氧化膜 2f，从而形成衬底 SB3。为了降低硅衬底 1 参与的寄生电容，通常使氧化膜 2f 的膜厚为 1μm 以上。在衬底 SB3 的主面（氧化膜 2f 侧的面）上形成掺杂多晶硅层，利用照相制版法对该层进行构图，从而形成覆盖衬底 SB3 的主面的一部分的掺杂多晶硅层 30（布线）。

[0118] 参照图 38，在衬底 SB3 上形成氧化膜 40B（绝缘膜），该氧化膜 40B 具有覆盖掺杂多晶硅层 30 的部分（第一部分）和覆盖从掺杂多晶硅层 30 露出的衬底 SB3 的主面的部分（第二部分）。其次，以覆盖第二部分并且使第一部分露出的方式形成抗蚀剂掩模层 15（第一掩模层）。其次，利用各向同性刻蚀，去除从抗蚀剂掩模层 15 露出的氧化膜 40B。各向同性刻蚀是例如使用稀薄的氢氟酸 (hydrofluoric acid) 的湿法刻蚀。接下来去除抗蚀掩模层 15。

[0119] 主要参照图 39，利用上述各向同性刻蚀，由氧化膜 40B（图 39）形成氧化膜 40。

[0120] 并且，以后的工序与实施方式 1 的图 17 ～图 24 大致相同，因此省略其说明。

[0121] 接下来，对比较例的加速度传感器的结构进行说明。

[0122] 参照图 40 及图 41，比较例的加速度传感器具有衬底 SB1 和掺杂多晶硅层 30。衬底 SB1 具有利用各向异性刻蚀形成的槽部。在该槽部的底面上设置有掺杂多晶硅层 30。

[0123] 根据本实施方式，利用各向同性刻蚀对氧化膜 40B（图 38）进行构图，形成氧化膜 40。因此，如图 42 所示，氧化膜 40 的端部具有缓和的台阶差形状。因而，氧化膜 40 及掺杂多晶硅层 30 的上表面的凹凸变得缓和，因此形成在氧化膜 40 及掺杂多晶硅层 30 上的密封部 6S 的上表面的凹凸变小。因此，将密封部 6S 和盖层 10 进行紧密地接合，所以，确保腔 CV 的气密性和降低布线 PFa、PFb、PM 的电阻可以并存。此外，利用上述氧化膜 40 的端部的形状，氧化膜 40 的端部的应力被缓和。由此，可以抑制裂纹的发生，因此可以提高加速度传感器的可靠性。

[0124] 并且，根据比较例（图 40 及图 41）的构造，如图 43 所示，氧化膜 2 的槽部的侧面部具有陡峭的台阶差形状，因此，槽部的侧面部的应力（图中箭头）变大。

[0125] 实施方式 4

[0126] 首先，对作为本实施方式的半导体装置的加速度传感器的结构进行说明。

[0127] 主要参照图 45 及图 46，对于本实施方式的加速度传感器来说，具有衬底 SB1（具有槽部的衬底），代替实施方式 3 的衬底 SB3 及氧化膜 40（图 35 及图 36）。此外，本实施方式的加速度传感器还具有多晶硅层 11（覆盖膜）及氧化膜 12（填充部）。

[0128] 掺杂多晶硅层 30 沿着衬底 SB 1 的槽部位于槽部的底面上。利用掺杂多晶硅层 30 构成布线 PFa、PFb、PM（图 44）。例如，槽部的深度及掺杂多晶硅层 30 的膜厚分别为 400nm，槽部的侧面和掺杂多晶硅层 30 的侧面的间隔为 500nm。并且，该间隔由掺杂多晶硅层 30 的膜厚和制造时的照相制版工序的对准精度决定。

[0129] 利用由多晶硅（一种材质 (one material)）构成的多晶硅层 11 覆盖衬底 SB 1 的槽部的侧面和掺杂多晶硅层 30 的侧面之间的凹部的内表面。利用由氧化物（与一种材质不同的材质）构成的氧化膜 12 大致填充被多晶硅层 11 覆盖的凹部的内部。氧化膜 12 的上表面具有相对衬底 SB1 的主面缓和的倾斜。

[0130] 并且，对于上述以外的结构，与上述实施方式 1 或 3 的结构基本相同，因此对相同或对应的要素赋予同一符号，不重复其说明。

[0131] 其次，对作为本实施方式的半导体装置的加速度传感器的制造方法进行说明。

[0132] 参照图 47，在硅衬底 1 上形成氧化膜 2。为了降低硅衬底 1 参与的寄生电容，通常使氧化膜 2 的膜厚为 1μm 以上。在氧化膜 2 的表面形成与掺杂多晶硅层 30（图 45）的膜厚相同深度的槽。由此，形成衬底 SB1。槽的深度例如为 400nm。

[0133] 参照图 48，形成掺杂多晶硅层，利用照相制版法对该层进行构图，从而形成掺杂多晶硅层 30。在衬底 SB1 的槽部的侧面和掺杂多晶硅层 3 的侧面之间形成凹部。

[0134] 参照图 49，以覆盖上述凹部的内表面的方式形成多晶硅层 11。

[0135] 参照图 50，以填充由多晶硅层 11 覆盖的凹部的方式形成氧化膜 12。使氧化膜 12 的膜厚与掺杂多晶硅层 30 的膜厚相比充分厚，由此，可以将氧化膜 12 表面的台阶差变小。接下来，对氧化膜 12 开始回刻蚀 (etch back)。

[0136] 参照图 51，将多晶硅层 11 作为停止层 (stop layer) 使上述回刻蚀停止。

[0137] 参照图 52，对多晶硅层 11 进行构图。并且，掺杂多晶硅层 30 的杂质向多晶硅层 11 中扩散，由此，多晶硅层 11 的电阻率下降，因此，为了防止多个多晶硅层 11 之间的短路，将不同的多晶硅层 11 之间的间隔例如设为 100μm 以上。

[0138] 并且，接下来的工序与实施方式 1 的图 17 ～图 24 大致相同，因此不重复说明。

[0139] 根据本实施方式，如图 45 及图 46 所示，衬底 SB1 的侧面和掺杂多晶硅层 30 的侧面之间的凹部由氧化膜 12 填充，从而实现平滑化，因此，抑制形成于该凹部上的密封部 6S 上表面的凹凸的发生。因而，将密封部 6S 和盖层 10 紧密地进行接合。因此，确保腔 CV 的气密性和降低布线 PFa、PFb、PM 的电阻可以并存。

[0140] 此外，氧化膜 12 的上表面具有相对于衬底 SB1 的主面缓和的倾斜。由此，凹部的衬底 SB1 的主面内方向（图 45 及图 46 上的横向）的应力被缓和。由此，抑制裂纹的发生，所以，能够提高加速度传感器的可靠性。

[0141] 实施方式 5

[0142] 首先，对作为本实施方式的半导体装置的加速度传感器的结构进行说明。

[0143] 主要参照图 53 ～图 55，对于本实施方式的加速度传感器来说，具有衬底 SB3 代替实施方式 1 的衬底 SB1（图 4 及图 9）。此外，本实施方式的加速度传感器还具有掺杂多晶硅层 13a（夹持布线的图形）。

[0144] 衬底 SB3 具有：具有主面的硅衬底 1；形成在该主面上的氧化膜 2f。在衬底 SB3 上，作为加速度检测部 EL 用的布线，形成掺杂多晶硅层 13。此外，在衬底 SB3 上，与掺杂多晶硅层 13 隔开间隔，设置夹持掺杂多晶硅层 13 的掺杂多晶硅层 13a。掺杂多晶硅层 13 和掺杂多晶硅层 13a 由相同材质构成，并具有相同厚度。密封部 6S 具有与衬底 SB3 之间夹持掺杂多晶硅层 13 及掺杂多晶硅层 13a 的部分，在衬底 SB3 上，包围加速度检测部 EL。密封部 6S 及加速度检测部 EL 由掺杂多晶硅构成。

[0145] 并且，对于上述以外的结构，与上述实施方式 1 的结构基本相同，因此，对相同或对应的要素赋予同一符号，不重复其说明。

[0146] 其次，对作为本实施方式的半导体装置的加速度传感器的制造方法进行说明。

[0147] 参照图 56 及图 57，在硅衬底 1 上形成氧化膜 2f。其次，形成掺杂多晶硅层，利用照相制版法对该层进行构图，从而将掺杂多晶硅层 13 及掺杂多晶硅层 13a 一起形成。掺杂多晶硅层的膜厚例如为 100nm。此外，掺杂多晶硅层 13 和掺杂多晶硅层 13a 的间隔例如为 1μm 以下。

[0148] 参照图 58 及图 59，形成氧化膜，利用照相制版法对该膜进行构图，从而形成层间绝缘膜 4。

[0149] 并且，接下来的工序与实施方式 1 的图 17 ～图 24 基本相同，因此不重复其说明。

[0150] 根据本实施方式，由在衬底 SB3 上形成掺杂多晶硅层 13 所导致的突起被掺杂多晶硅层 13a 夹持，从而实现平滑化。因此抑制在以与衬底 SB3 夹持掺杂多晶硅层 13 及 13a 的方式形成的密封部 6S 的上表面产生凹凸。因而，将密封部 6S 和盖层 10 紧密地接合。因此，确保腔 CV 的气密性和降低布线 PFa、PFb、PM 的电阻可以并存。

[0151] 此外，掺杂多晶硅层 13 和掺杂多晶硅层 13a 由相同掺杂多晶硅膜形成，因此能够使掺杂多晶硅层 13 及掺杂多晶硅层 13a 各自的膜厚可靠地相同。因而，可以更加可靠地进行由掺杂多晶硅层 13a 所导致的平滑化。

[0152] 此外，将掺杂多晶硅层 13 和掺杂多晶硅层 13a 一起形成，因此不存在在掺杂多晶硅层 13 和掺杂多晶硅层 13a 之间产生制造工序的重合偏移。因而可以更加可靠地进行由掺杂多晶硅层 13a 所导致的上述平滑化。

[0153] 实施方式 6

[0154] 首先，对作为本实施方式的半导体装置的加速度传感器的结构进行说明。

[0155] 主要参照图 61 及图 62，本实施方式的加速度传感器与实施方式 5 不同，未设置掺杂多晶硅层 3（图 54），仅利用掺杂多晶硅层 13 形成加速度检测部 EL 用的布线。此外，掺杂多晶硅层 13a 的一部分与加速度检测部 EL 的固定电极 6Fa、6Fb 及可动电极 6M 面对地设置。

[0156] 根据本实施方式，可以获得与实施方式 5 同样的作用效果。此外，在衬底 SB3 上的形成有加速度检测部 EL 的区域上形成掺杂多晶硅层 13a，因此，能够将形成加速度检测部 EL 的表面变得更加平滑。因而，抑制在加速度检测部 EL 的梳齿上形成台阶差。特别是，可动电极 6M 的台阶差被抑制，从而可以使加速度检测部 EL 的机械特性提高。并且，当形成加速度检测部 EL 的表面的台阶差较大时，如图 63 的比较例所示，加速度检测部 EL 上产生的台阶差 BP 变大，因此加速度检测部 EL 的机械特性恶化。

[0157] 详细地说明示并出了本发明，但这些仅用于例示，不作为限定，发明的范围应明确地理解为由所附技术方案解释。

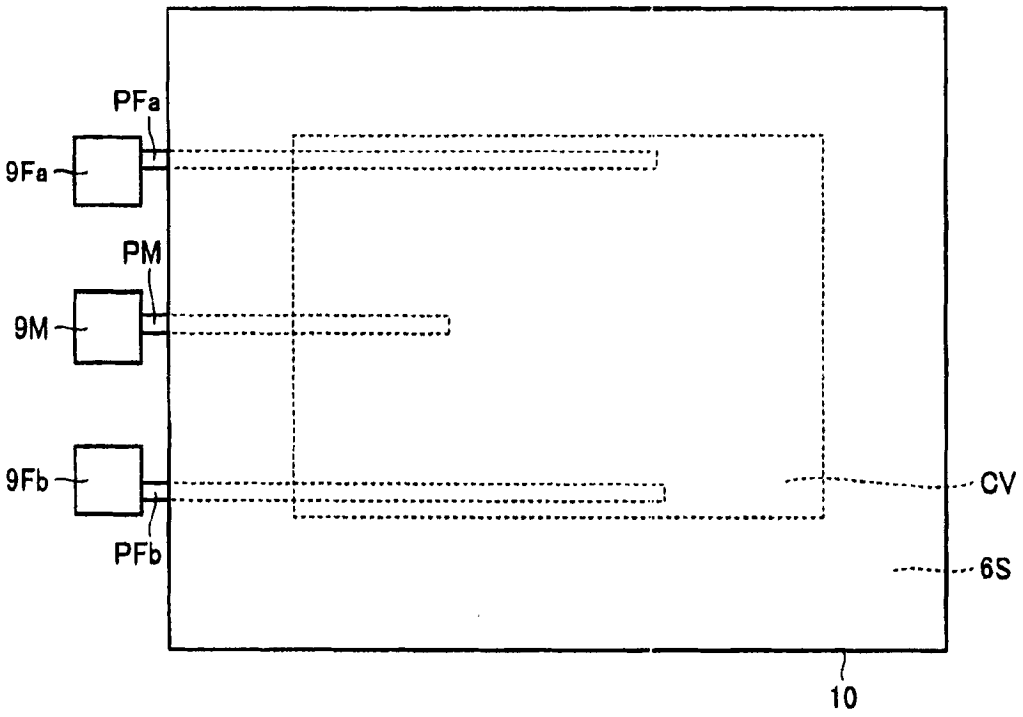

PFa
9Fa
PM
9M
9Fb
PFb
CV
6S
10

图 1

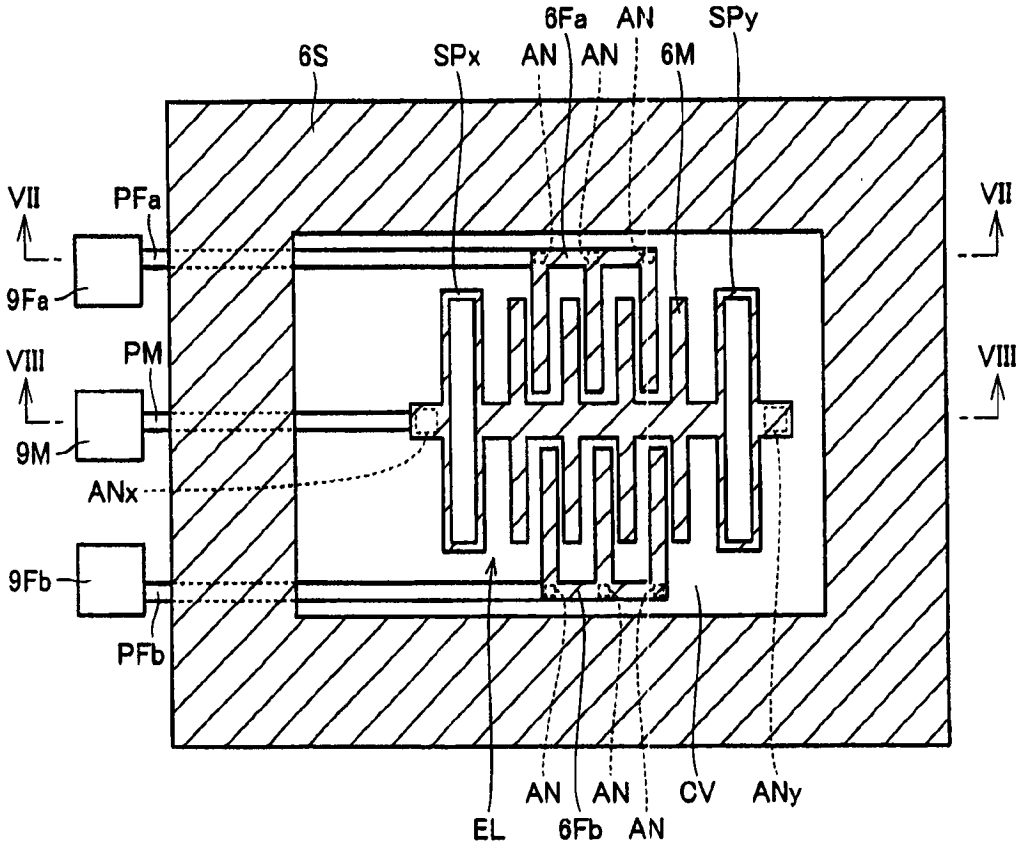

6Fa
AN
SPy
6S
SPx
AN
AN
6M
VII
PFa
9Fa
VIII
PM
9M
ANx
9Fb
PFb
VII
VIII
AN
AN
CV
ANy
EL
6Fb
AN

图 2

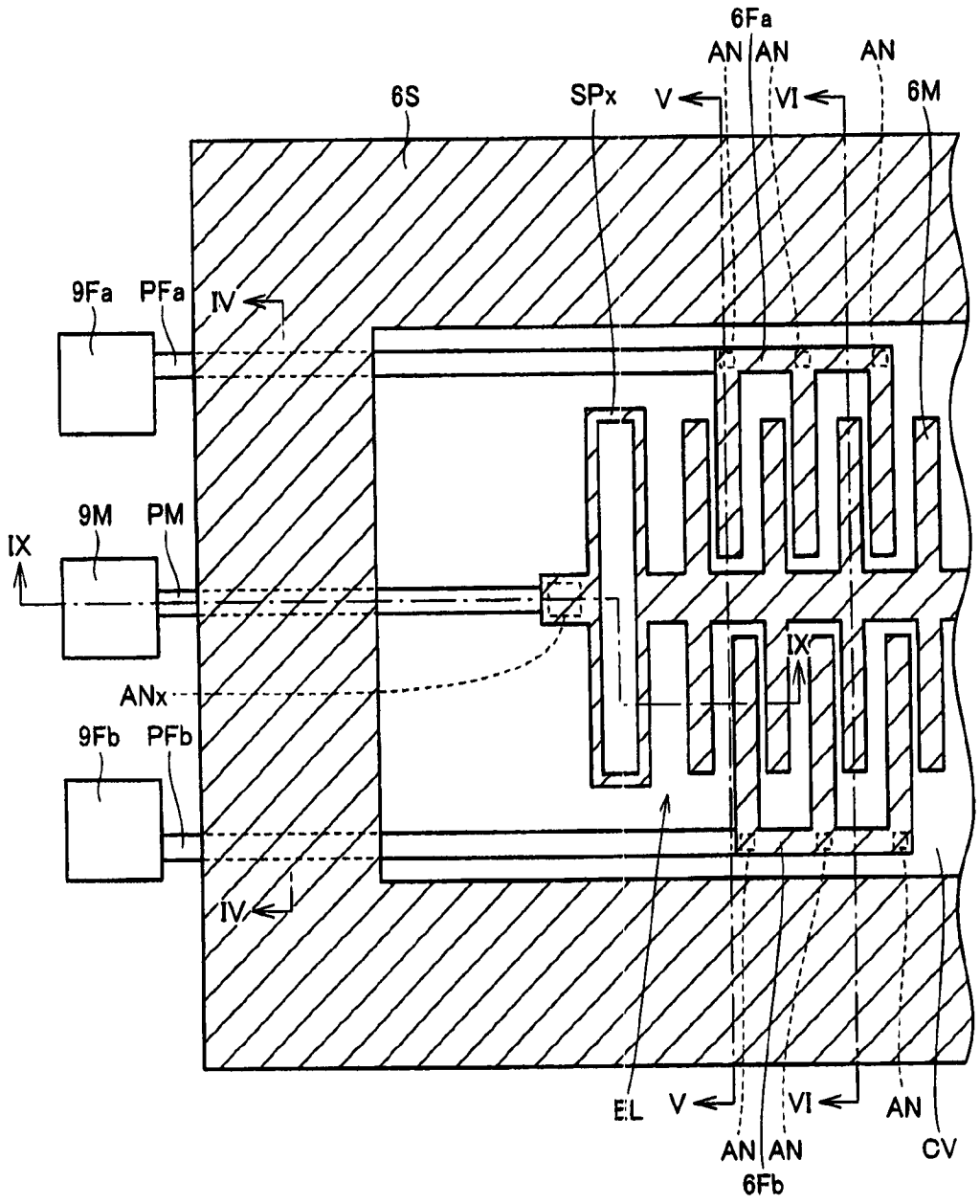

6Fa
AN
AN
AN
6S
SPx
V
VI
6M
9Fa
PFa
IV
9M
PM
IX
IX
ANx
9Fb
PFb
IV
EL
V
VI
AN
AN
AN
CV
6Fb

图 3

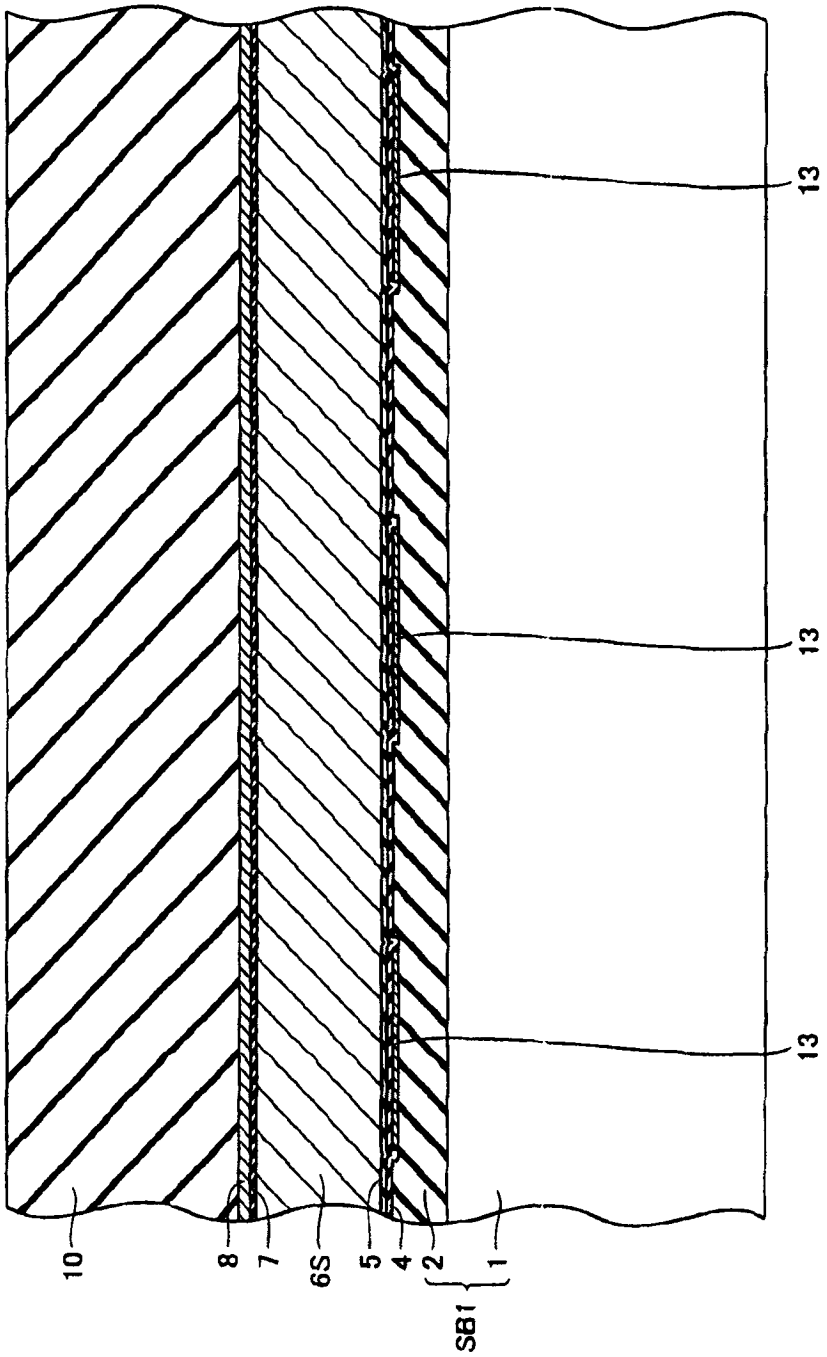


图 4

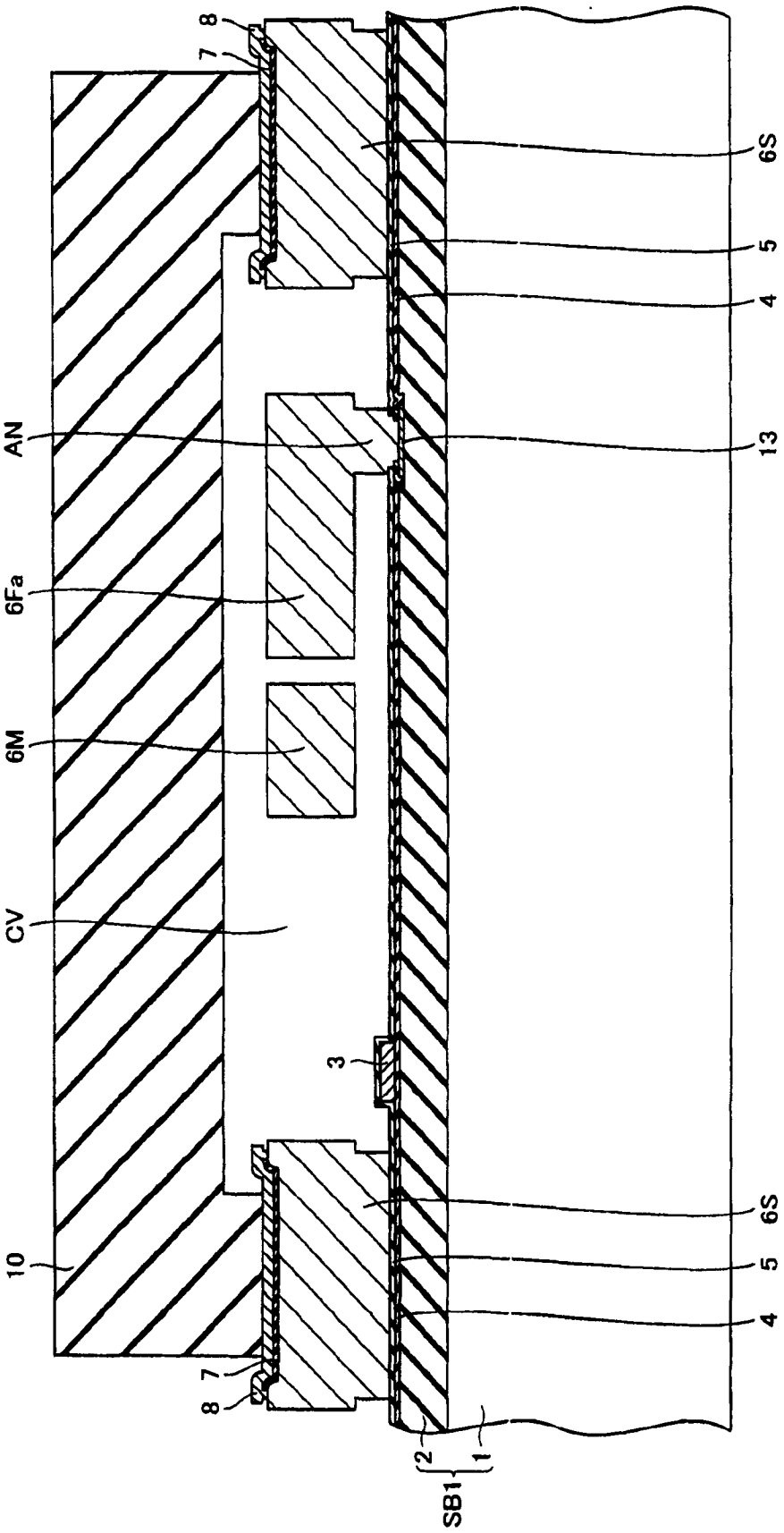


图 5

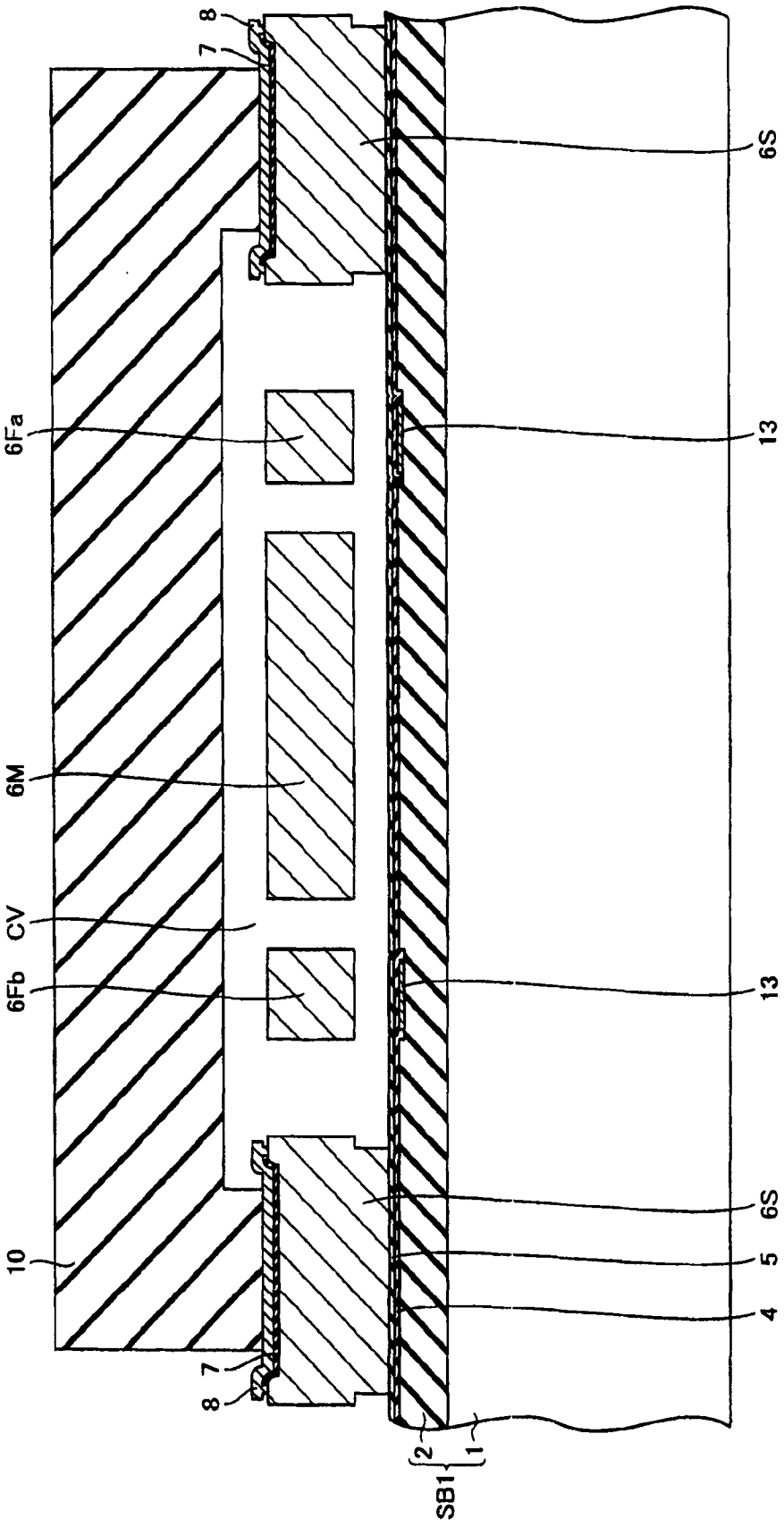


图 6

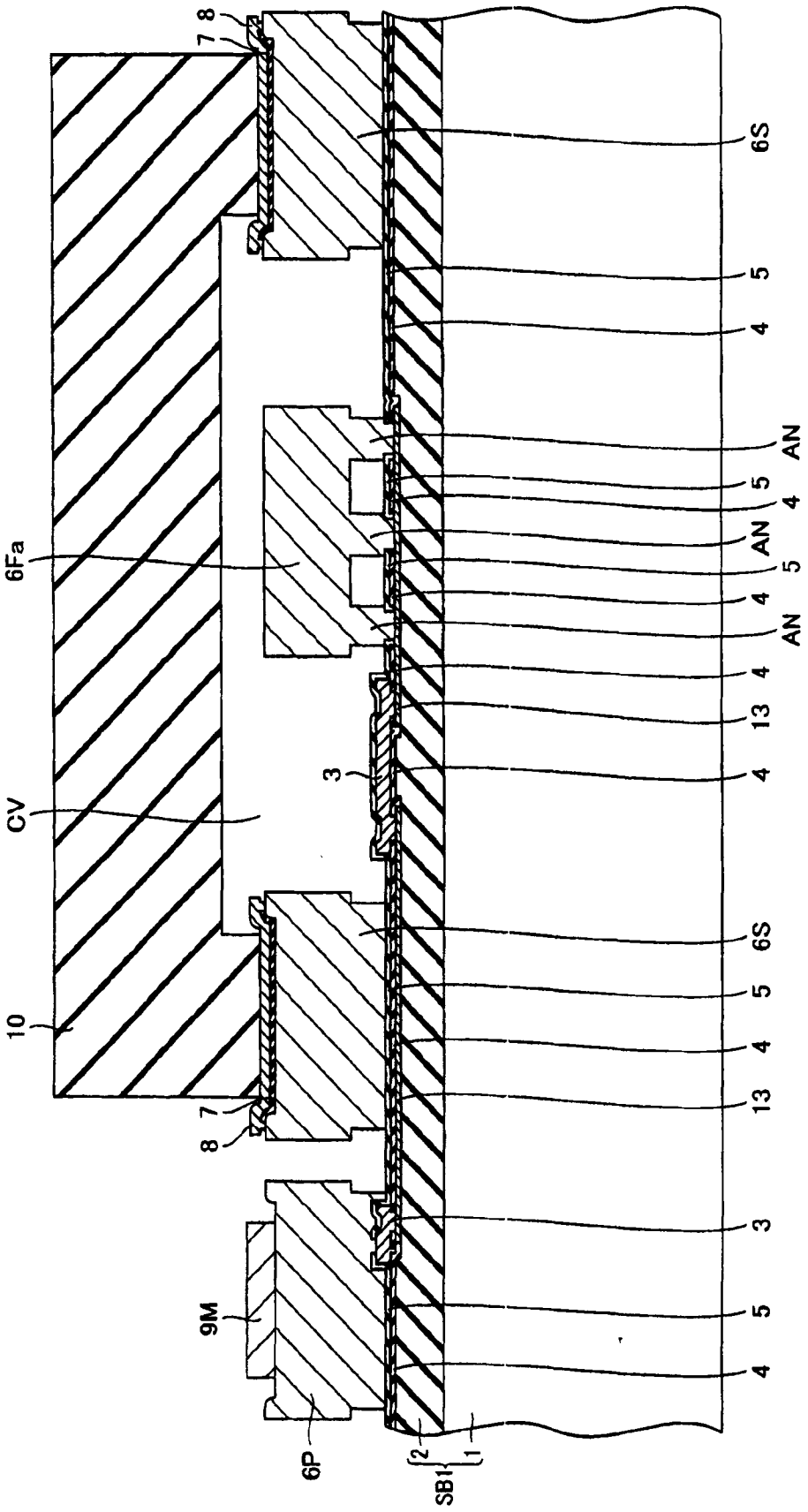


图 7

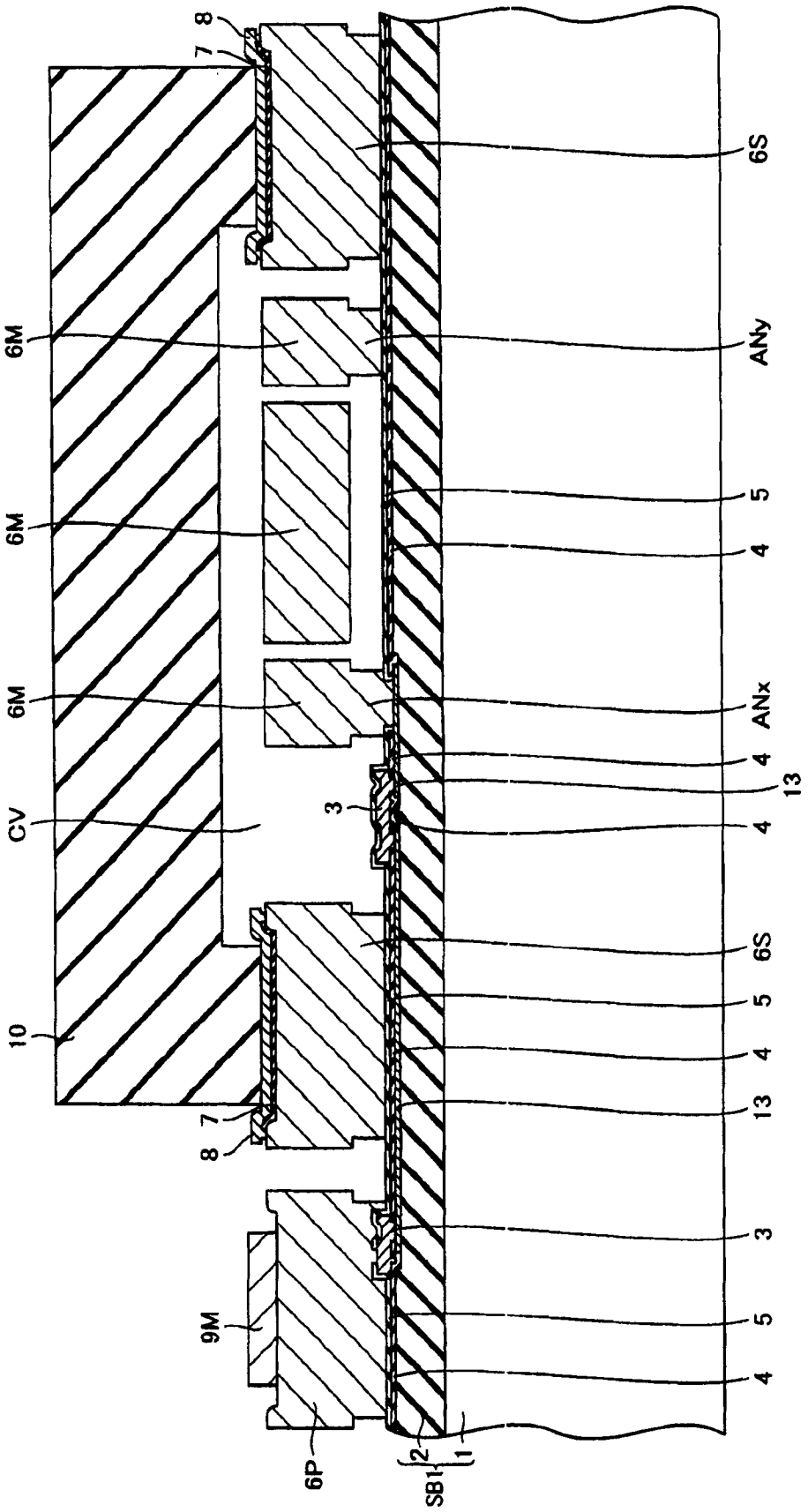


图 8

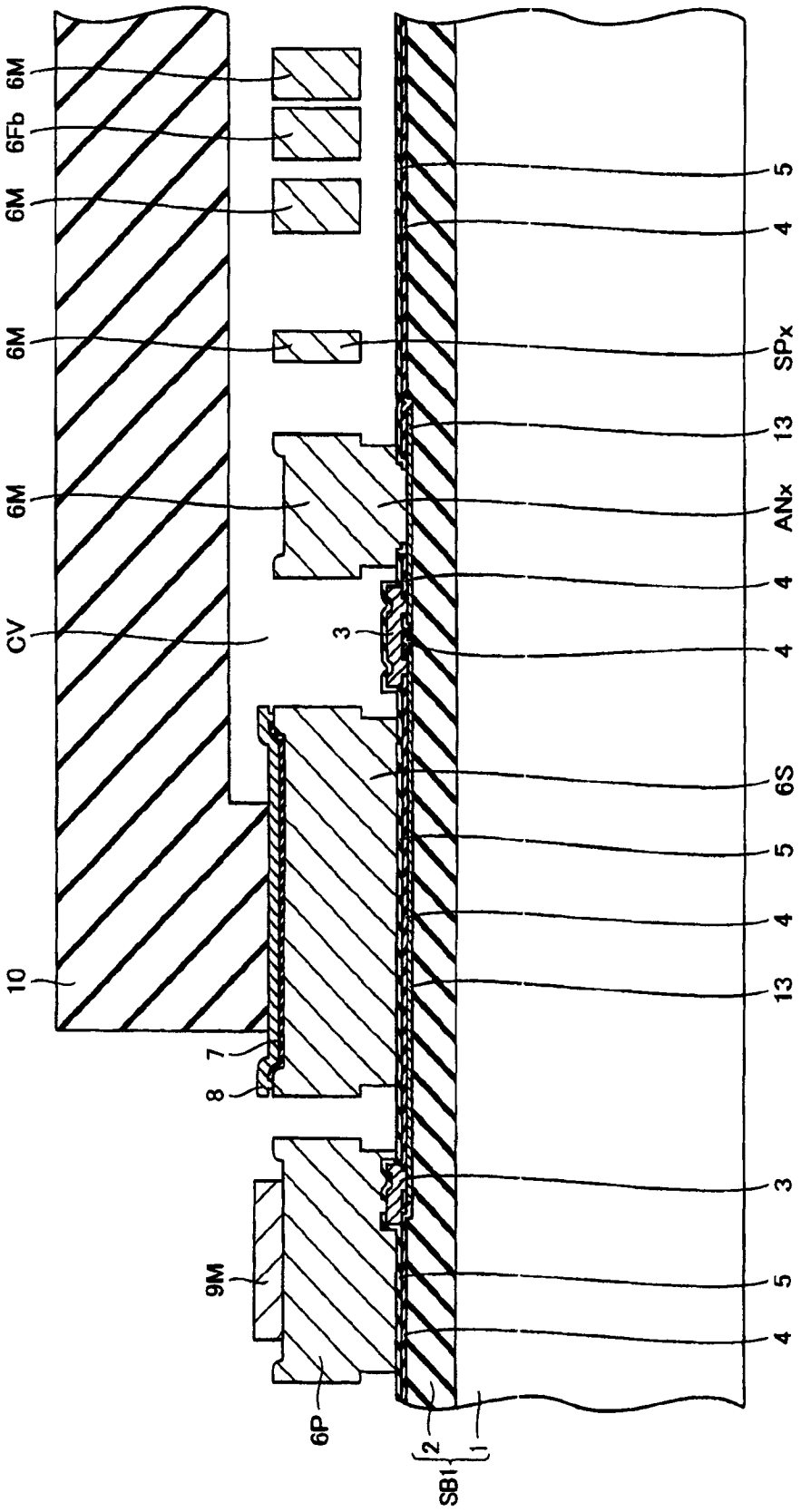

6M
6Fb
6M
6M
6M
CV
10
7
8
9M
6P
2
1
SB1
3
4
5
SPx
13
ANx
4
4
6S
5
4
13
3
5
4

图 9

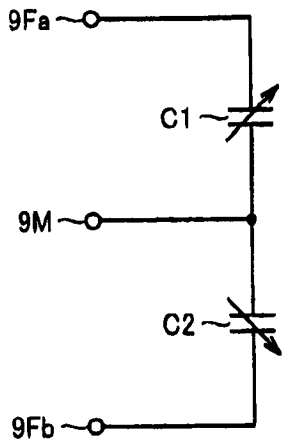

9Fa
C1
9M
C2
9Fb

图 10

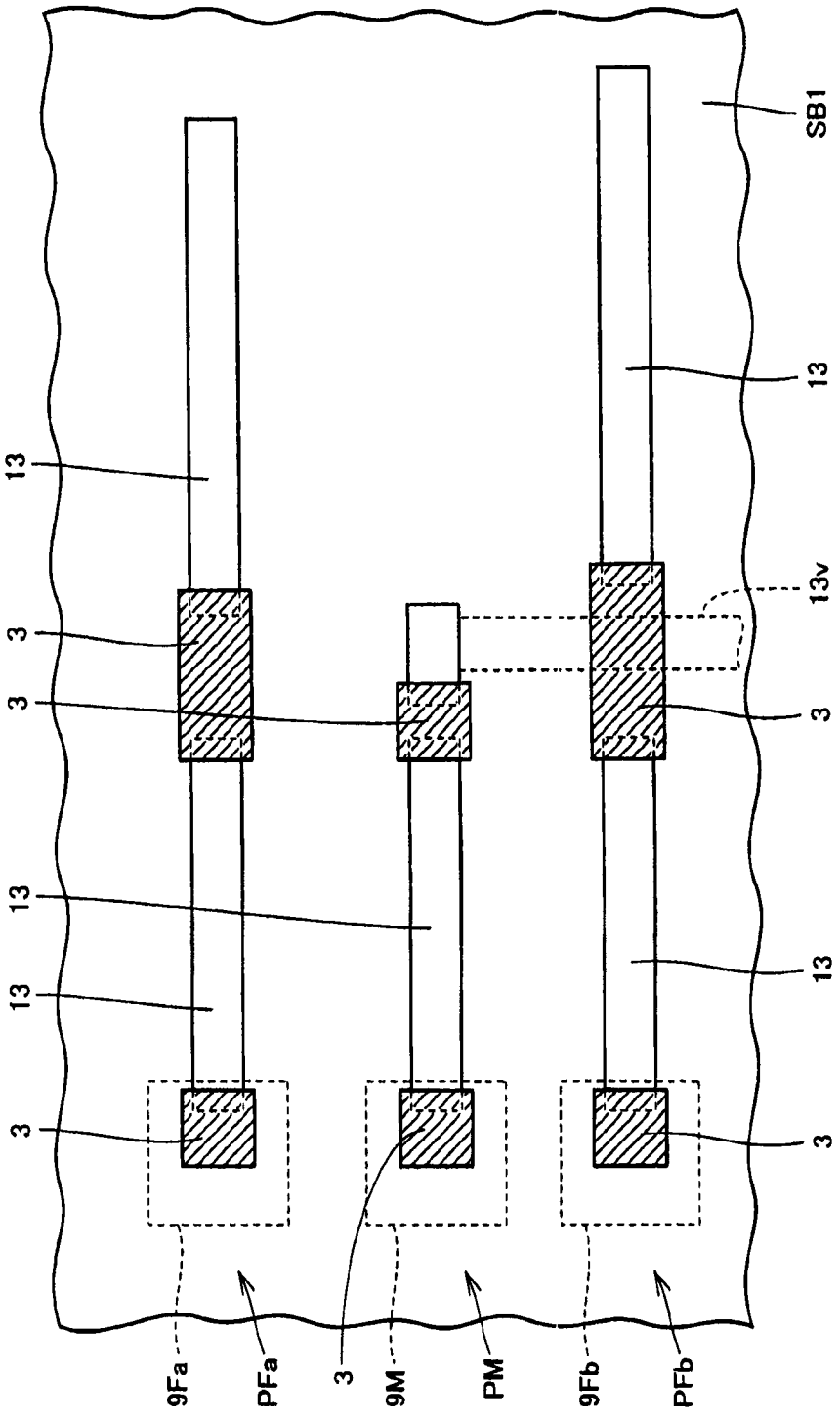


图 11

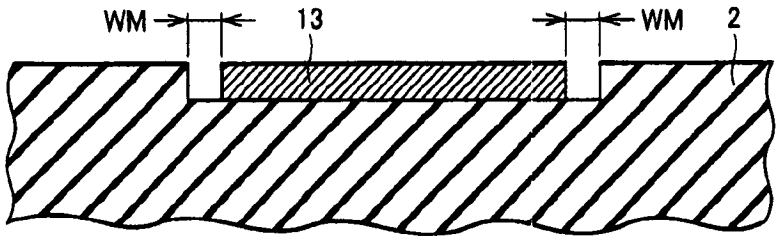


图 12

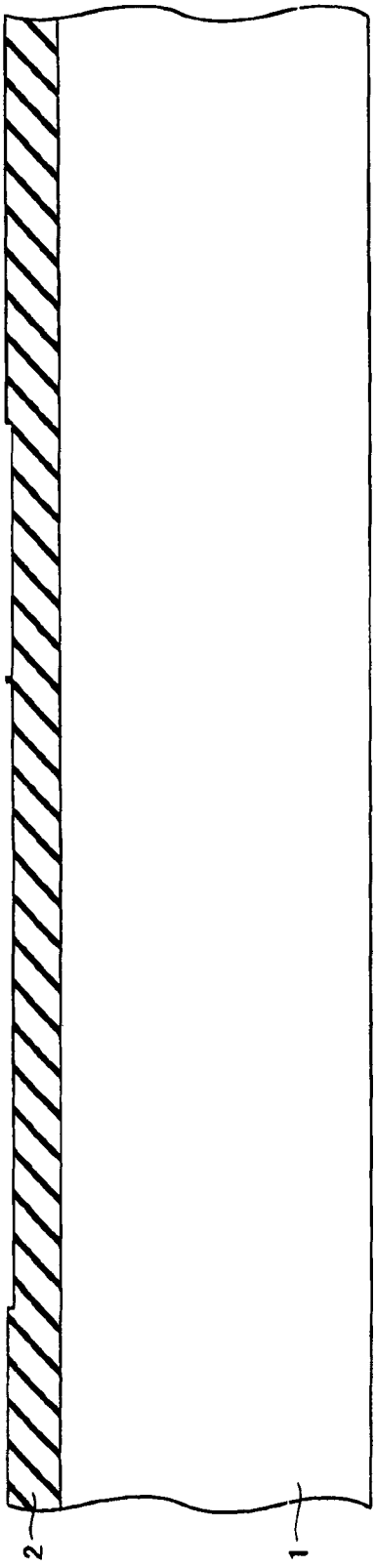


图 13

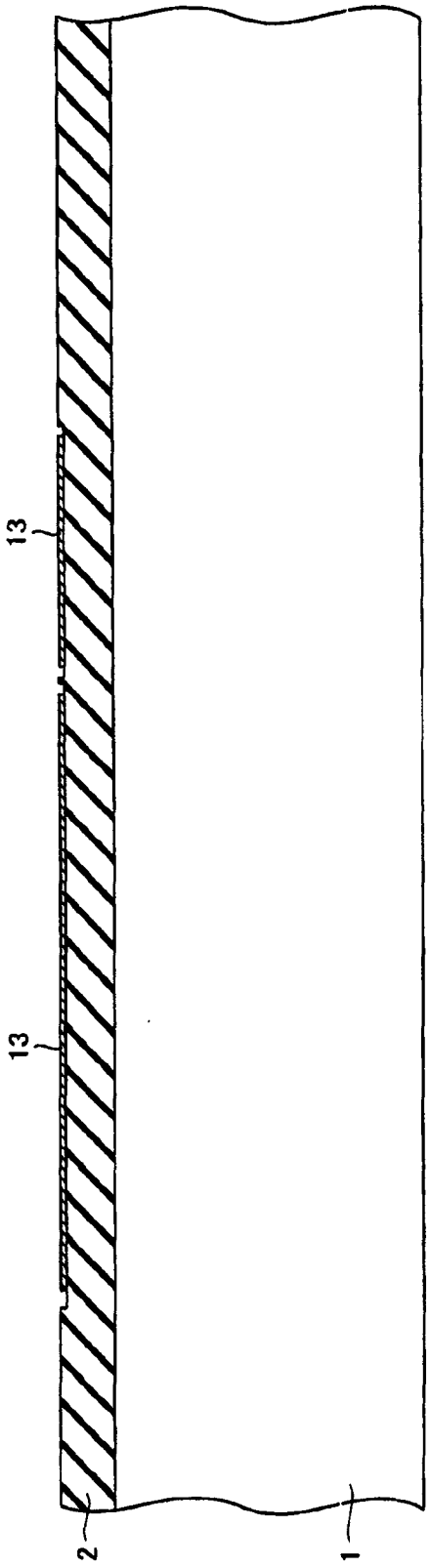


图 14

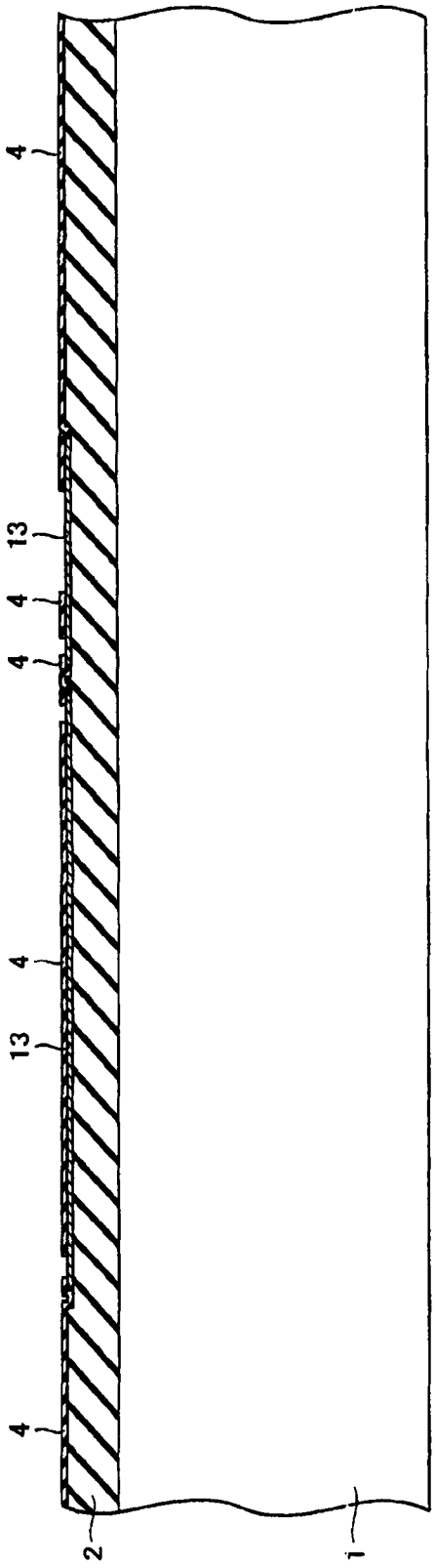


图 15

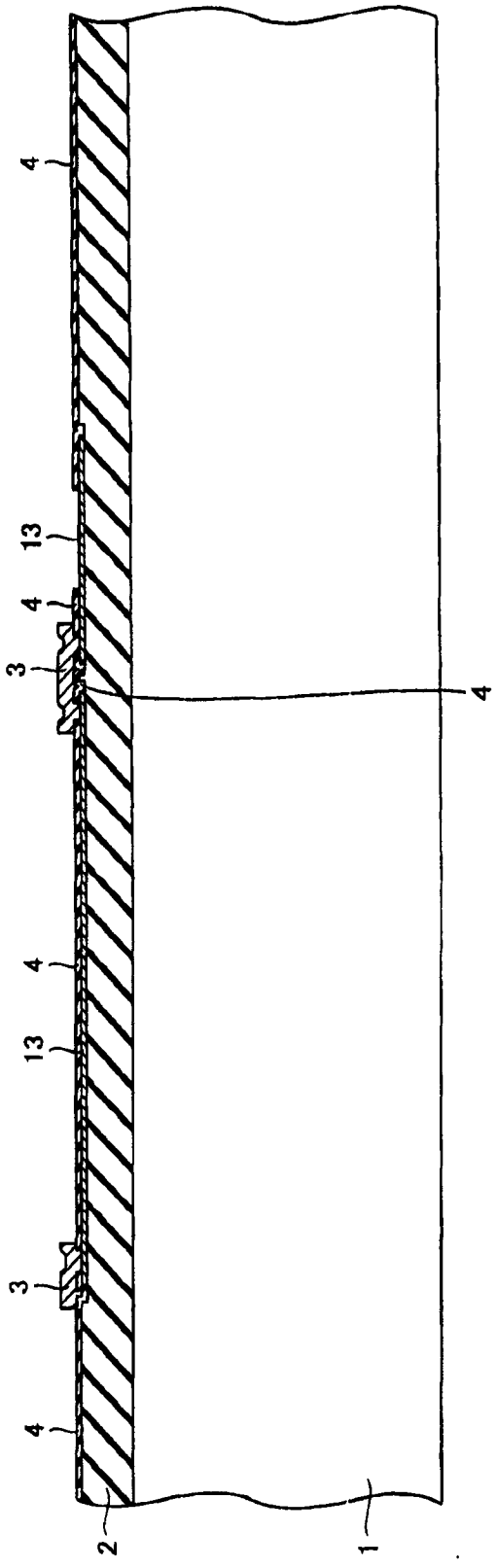


图 16

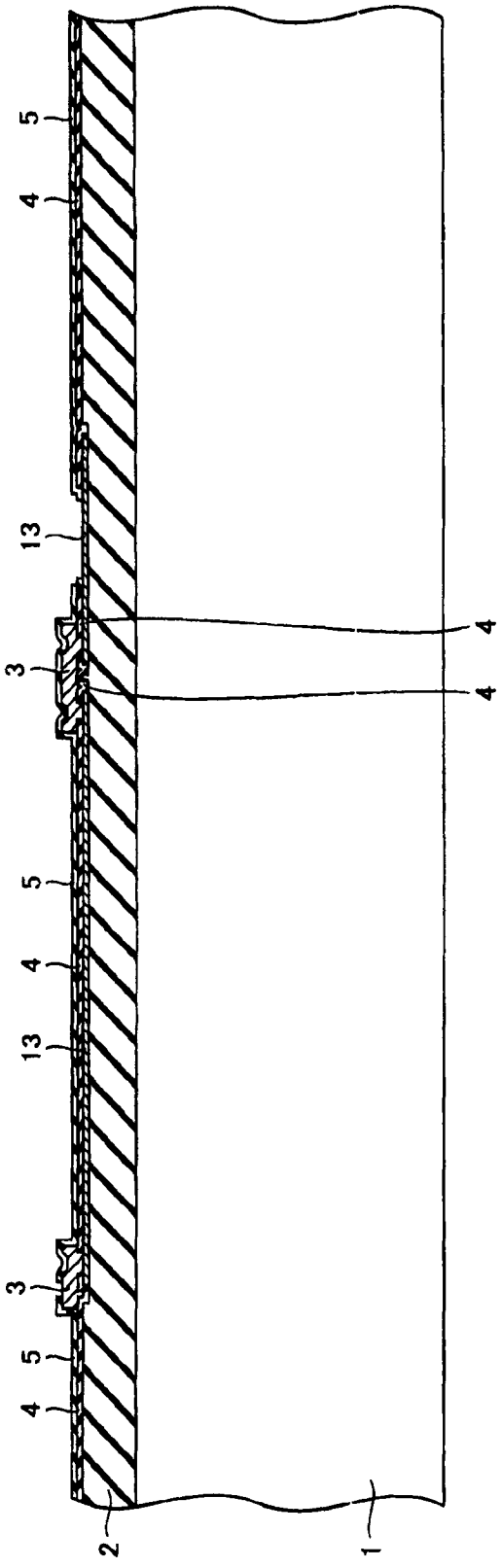


图 17

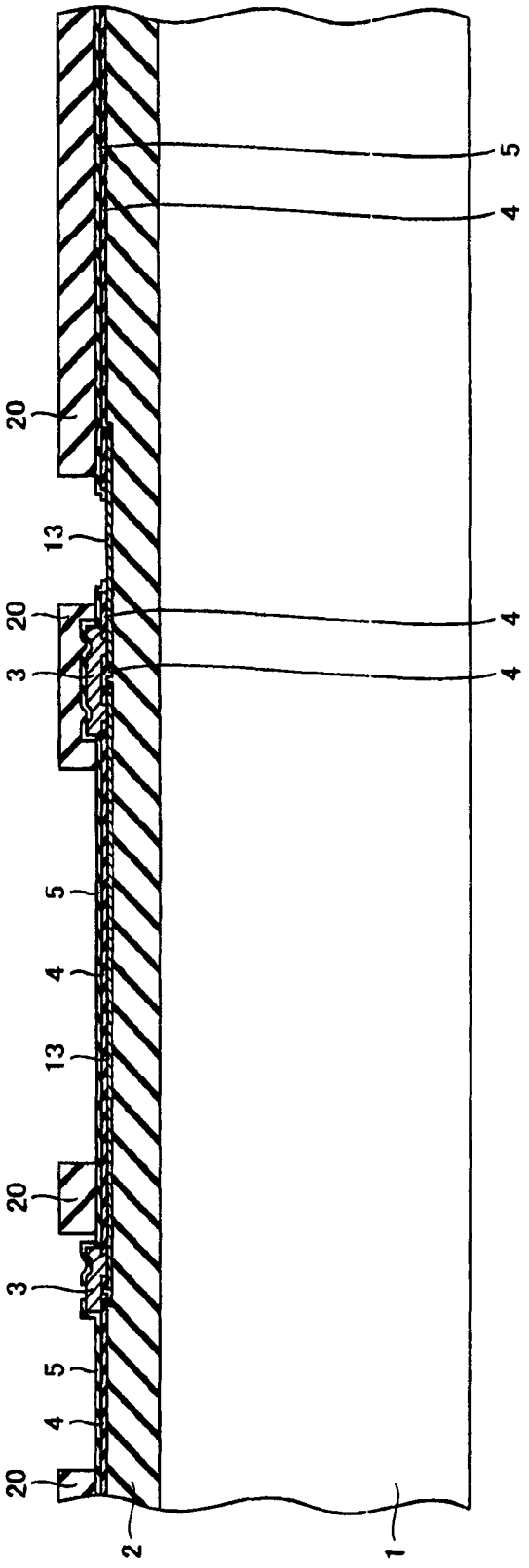


图 18

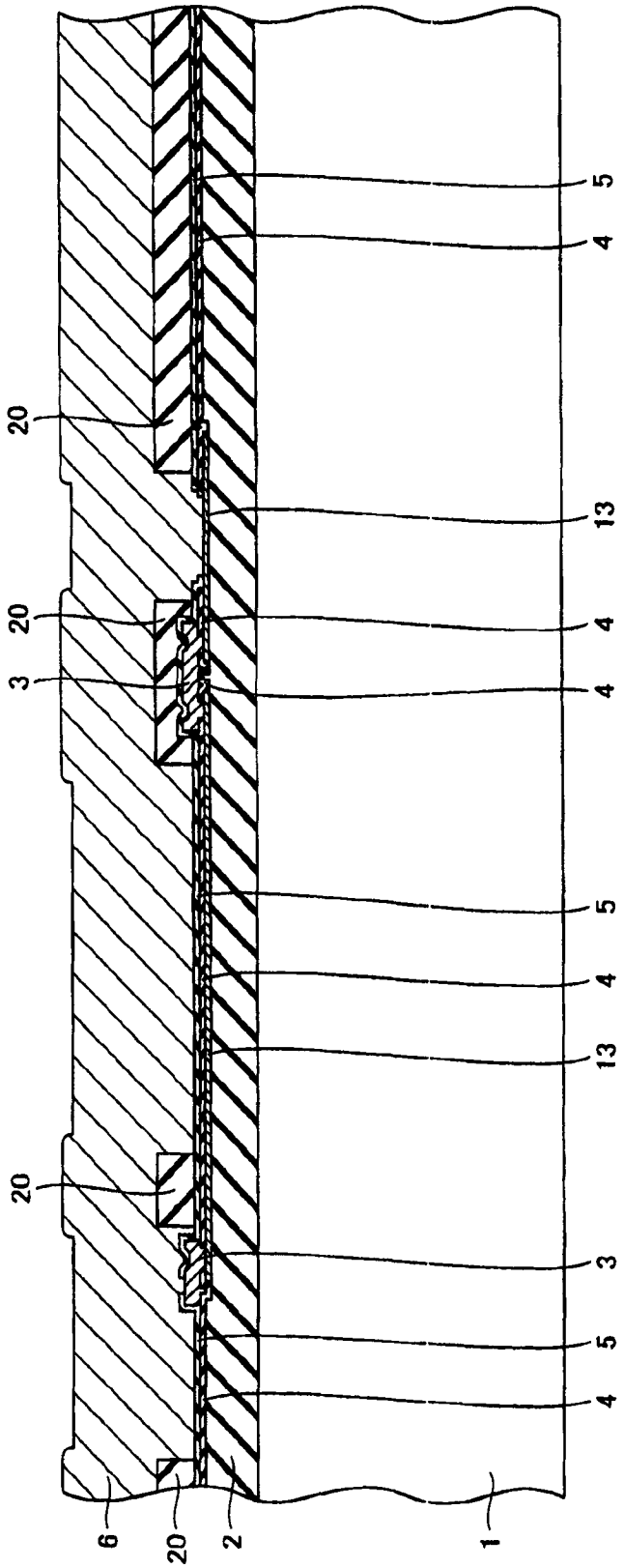


图 19

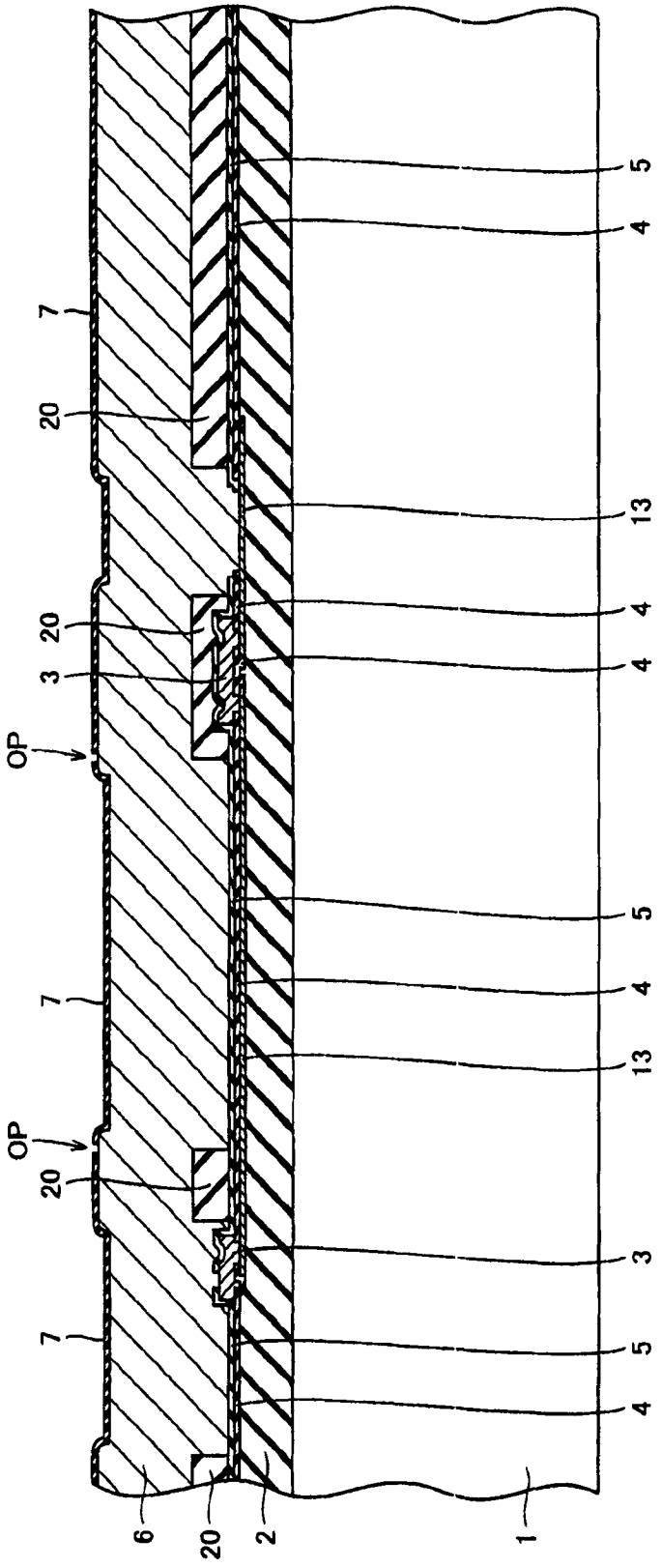


图 20

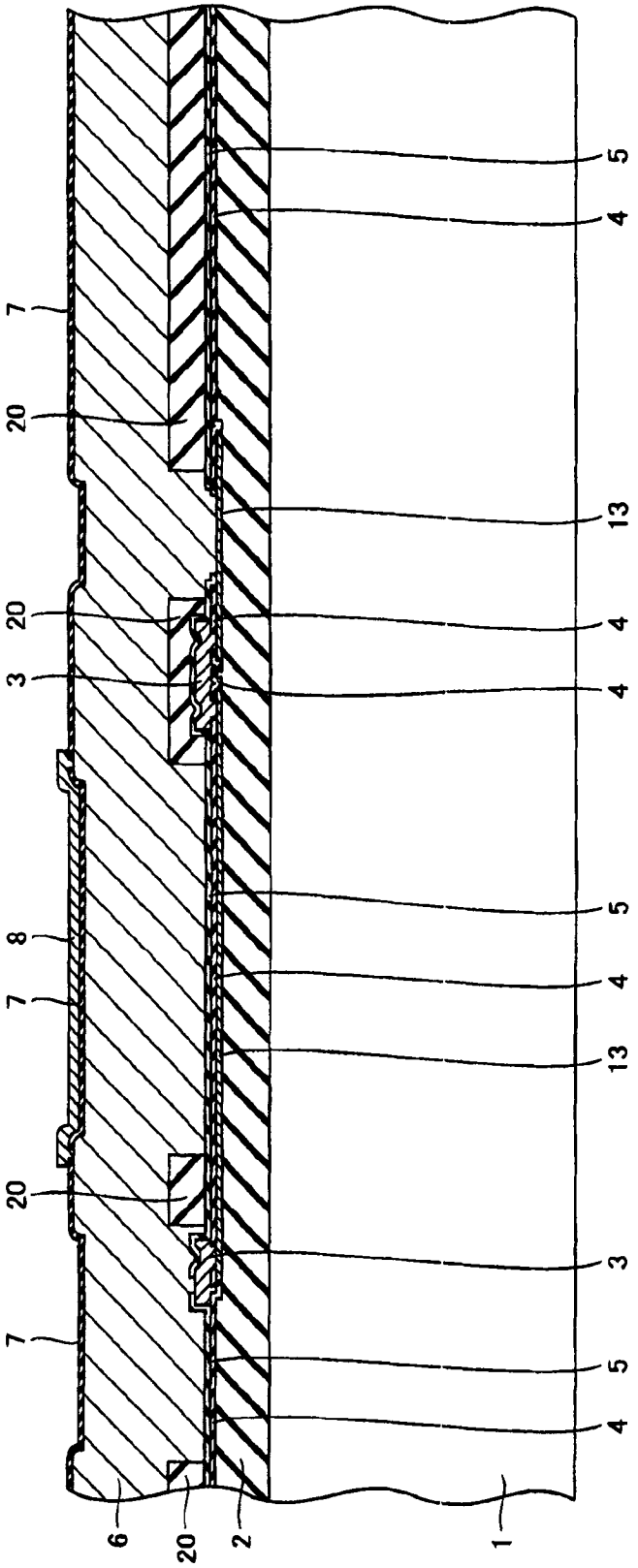


图 21

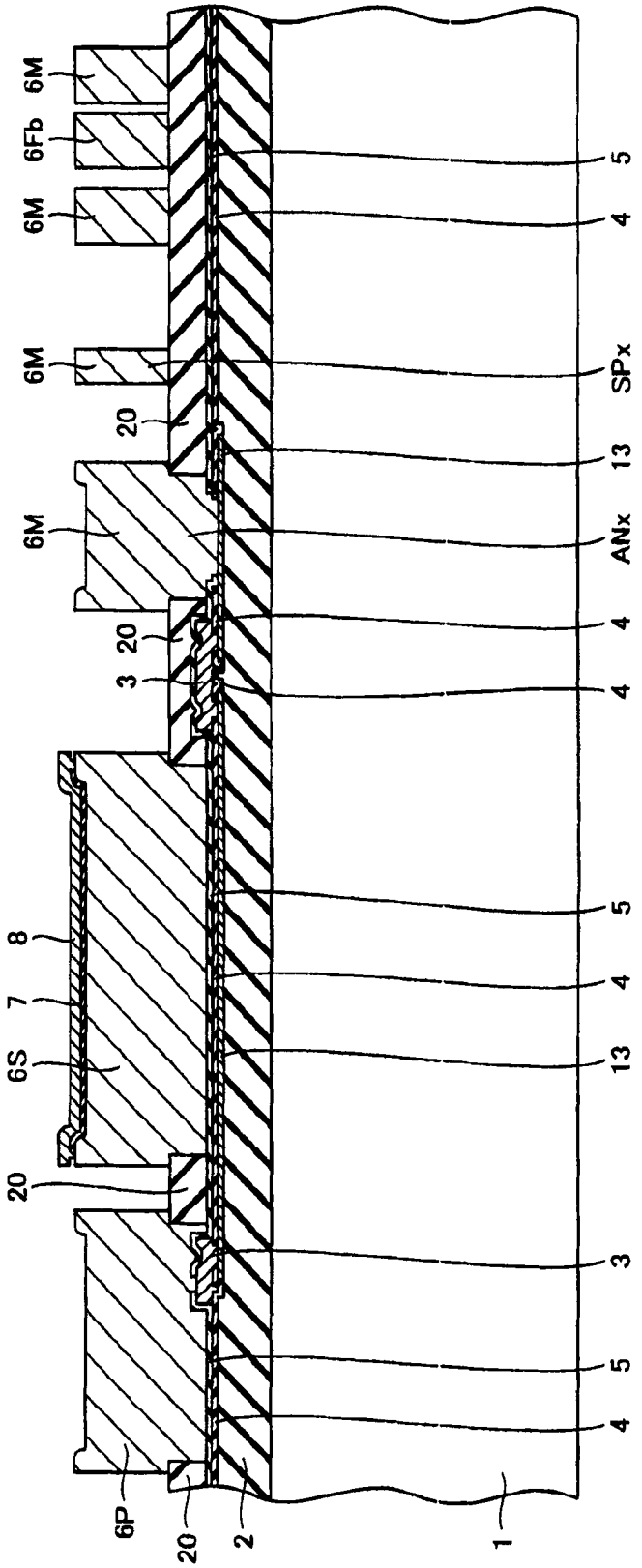


图 22

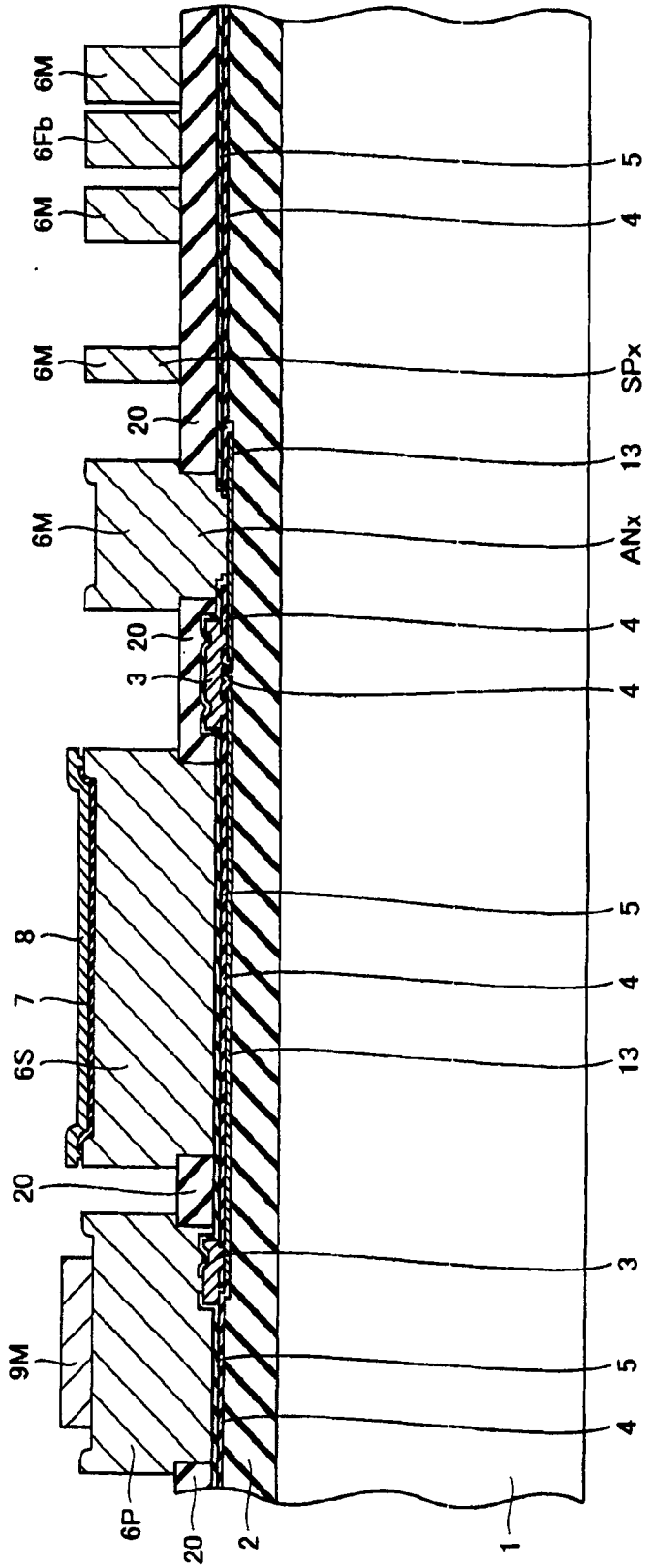


图 23

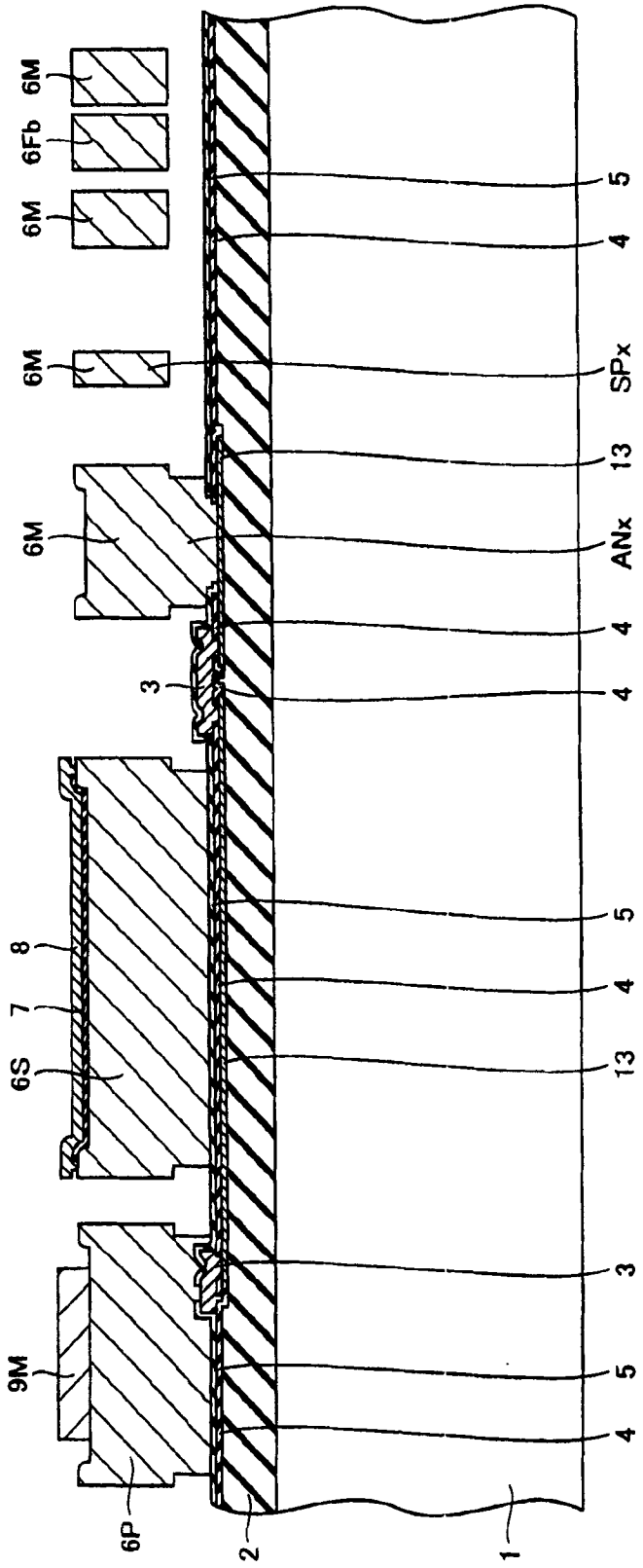


图 24

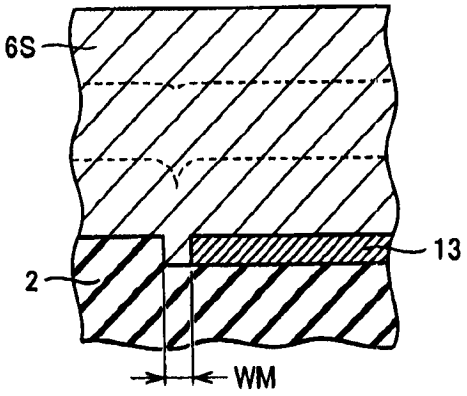


图 25

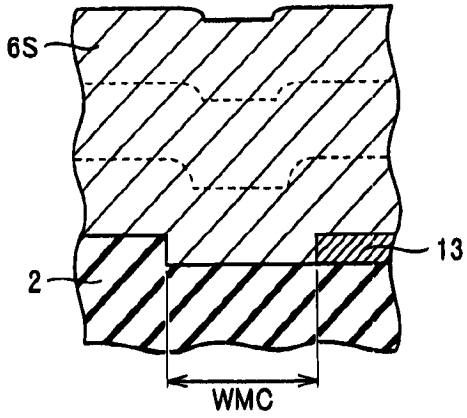

6S
13
2
WMC

图 26

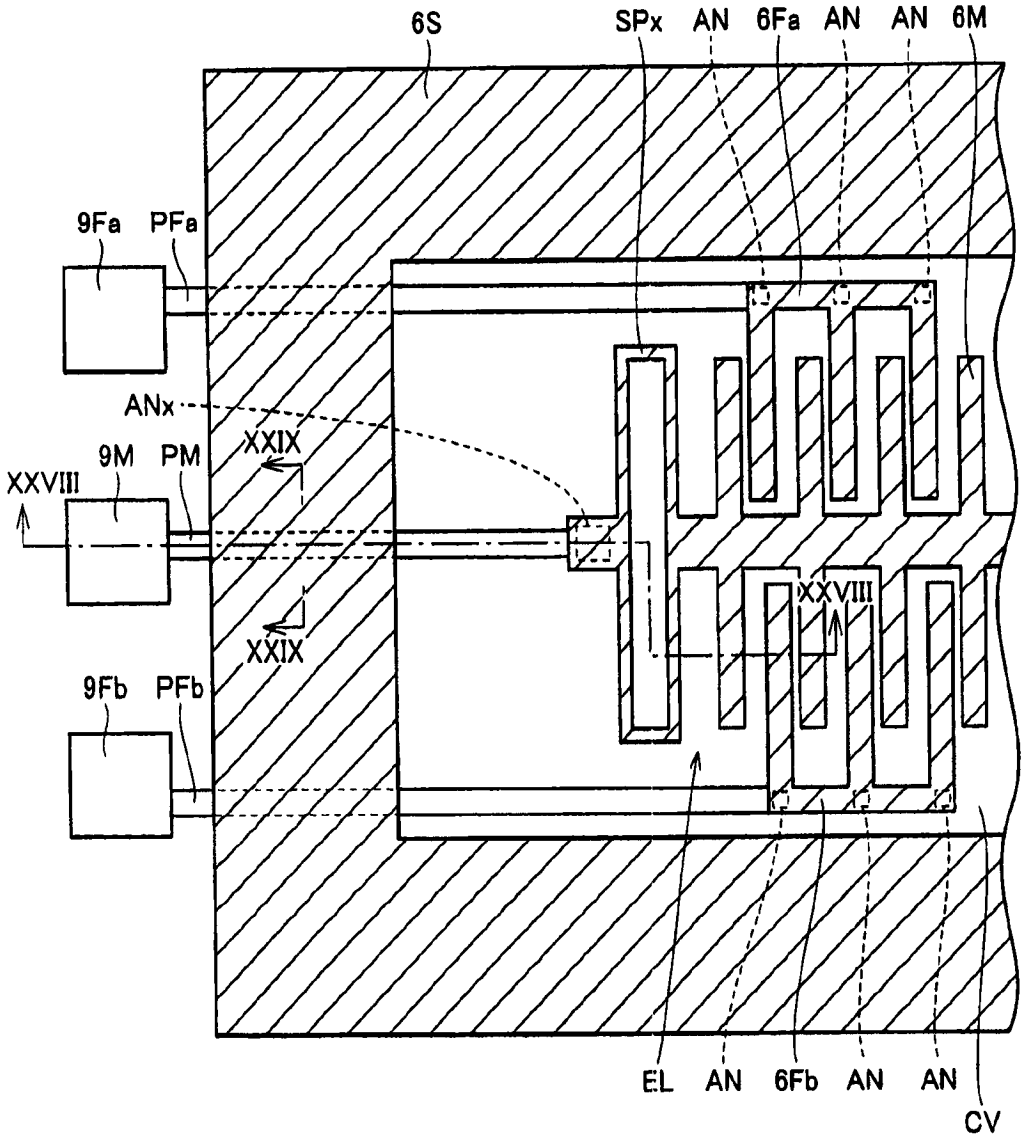

6S
SPx
AN
6Fa
AN
AN
6M
9Fa
PFa
ANx
XXIX
9M
PM
XXVIII
XXVIII
XXIX
9Fb
PFb
EL
AN
6Fb
AN
AN
CV

图 27

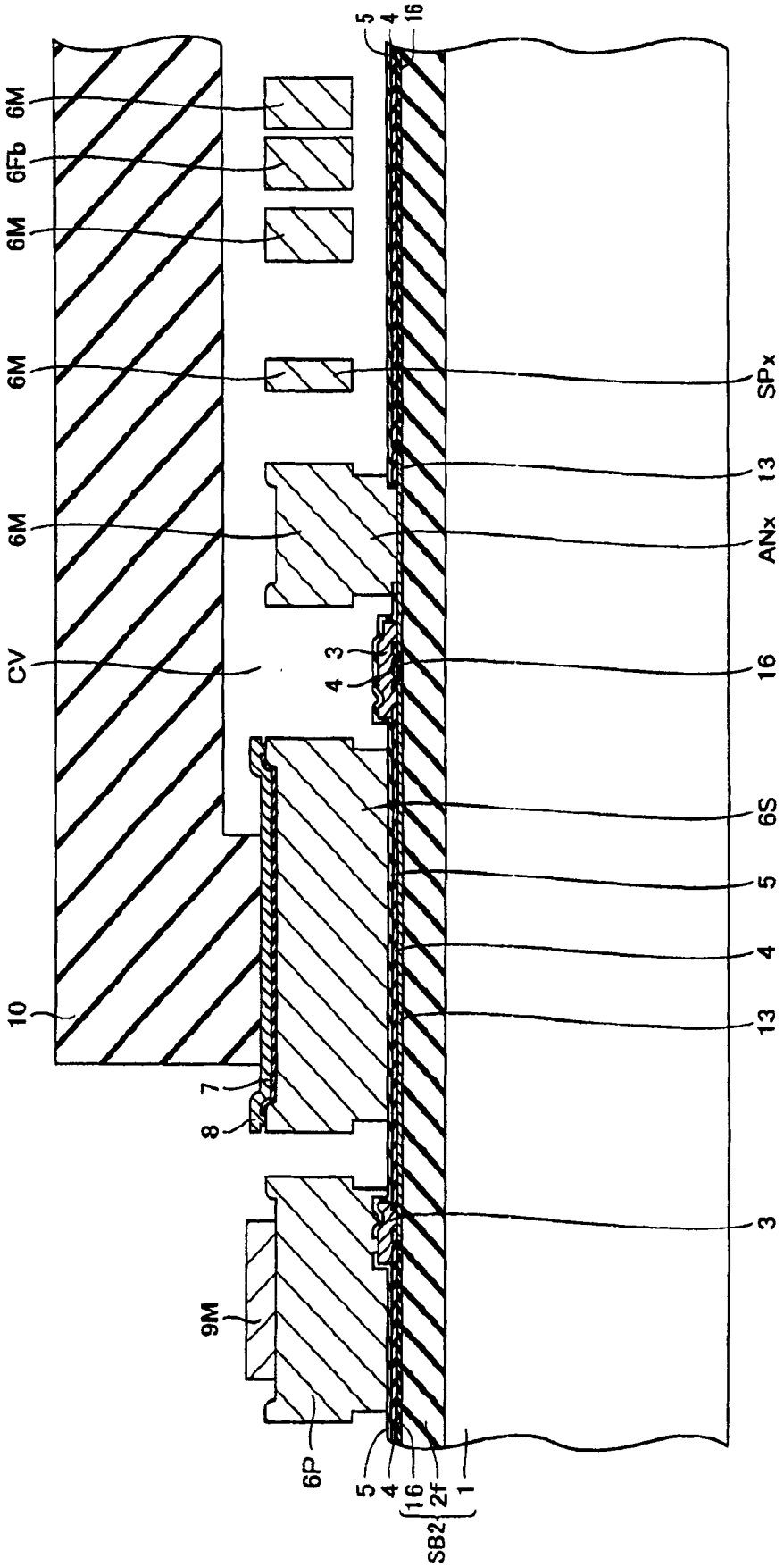

6M
6Fb
6M
6M
6M
CV
10
7
8
9M
6P
5
4
16
2f
1
SB2
3
4
SPx
13
ANx
16
6S
5
4
13
3

图 28

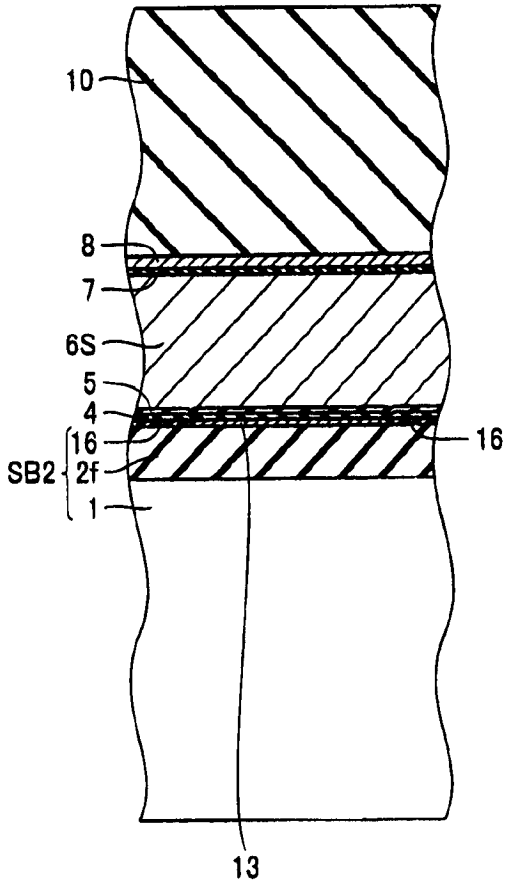


图 29

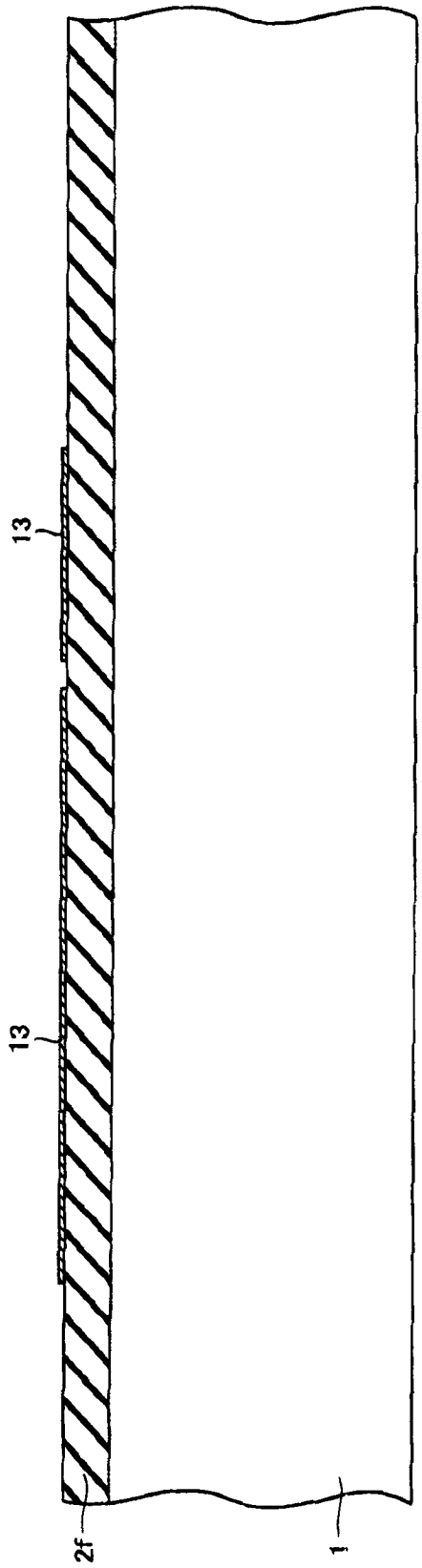


图 30

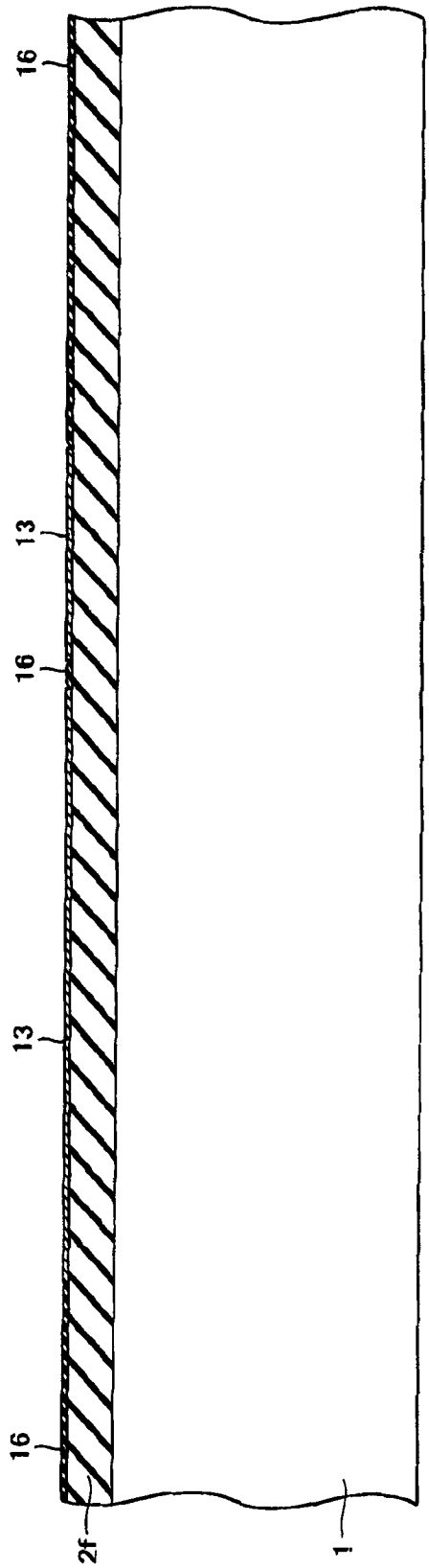


图 31

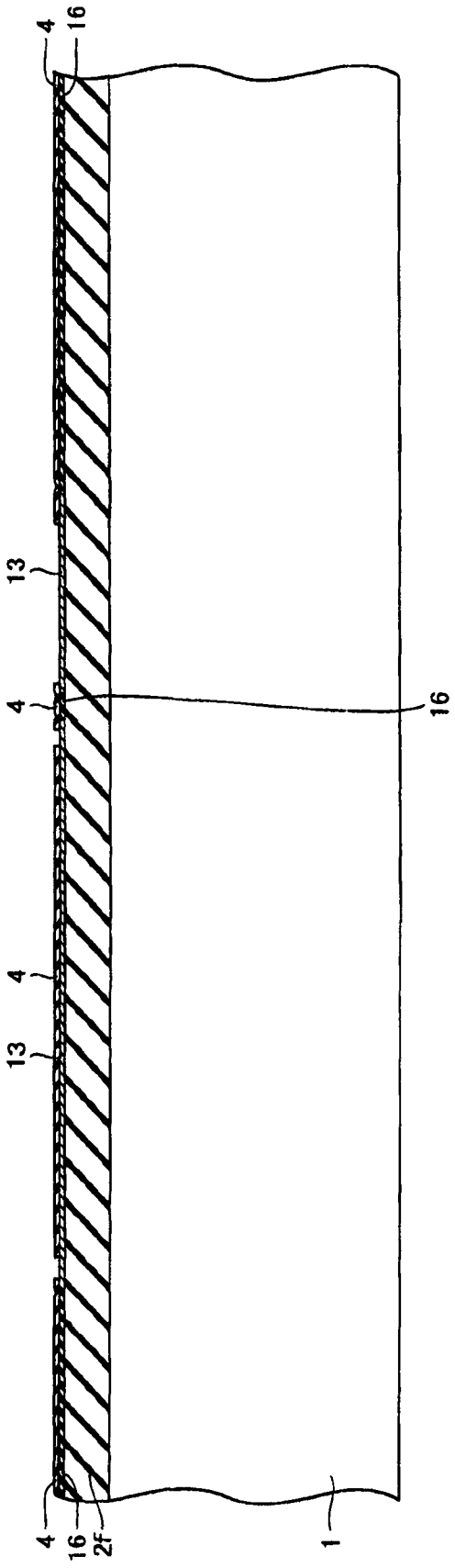


图 32

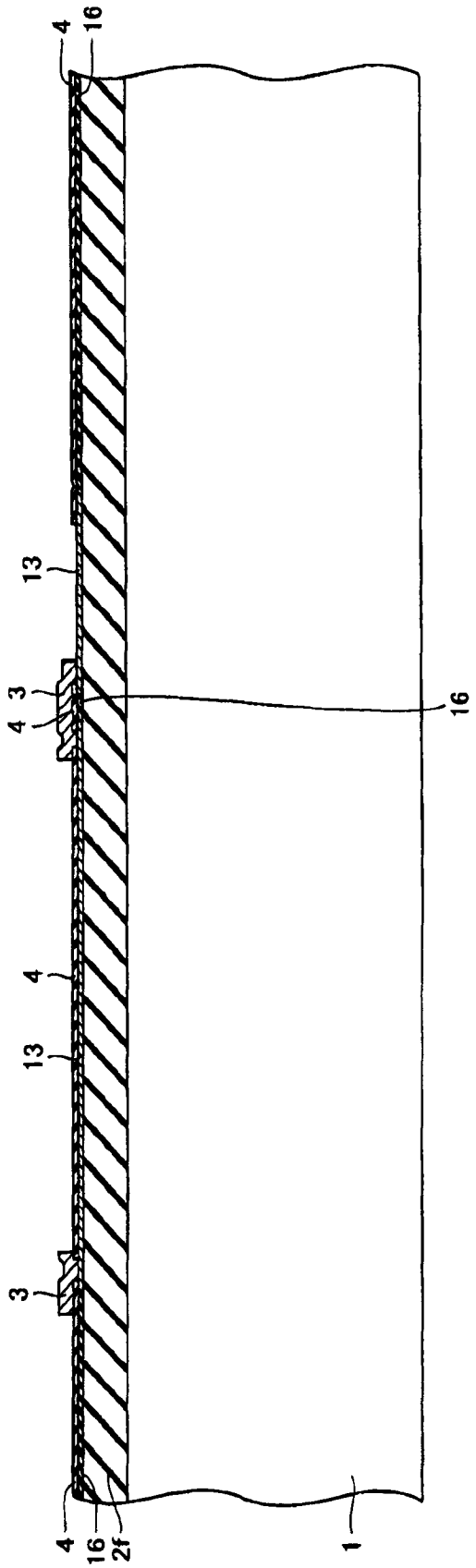


图 33

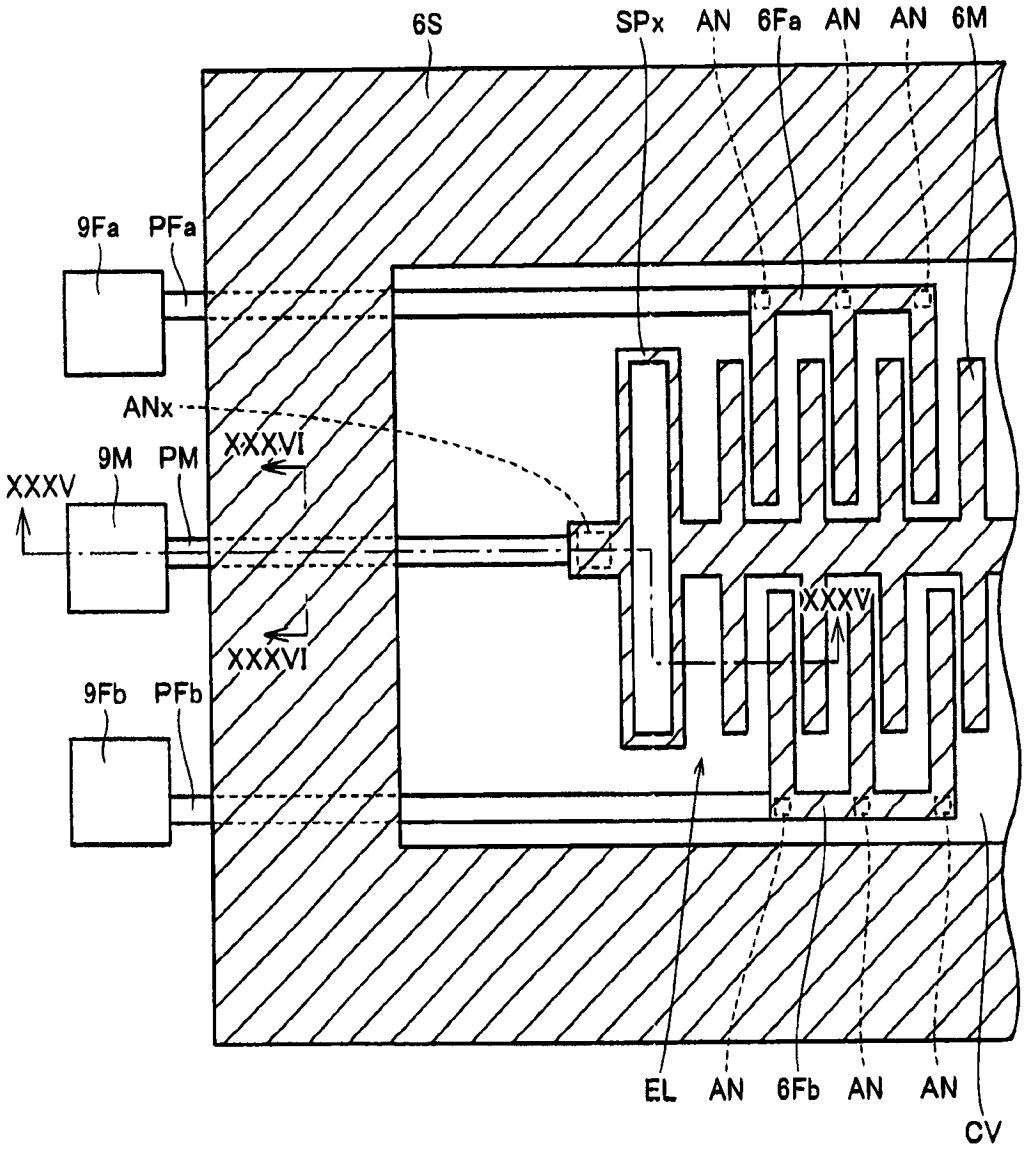

6S
SPx
AN
6Fa
AN
AN
6M
9Fa
PFa
ANx
XXXVI
9M
PM
XXXV
XXXV
XXXVI
9Fb
PFb
EL
AN
6Fb
AN
AN
CV

图 34

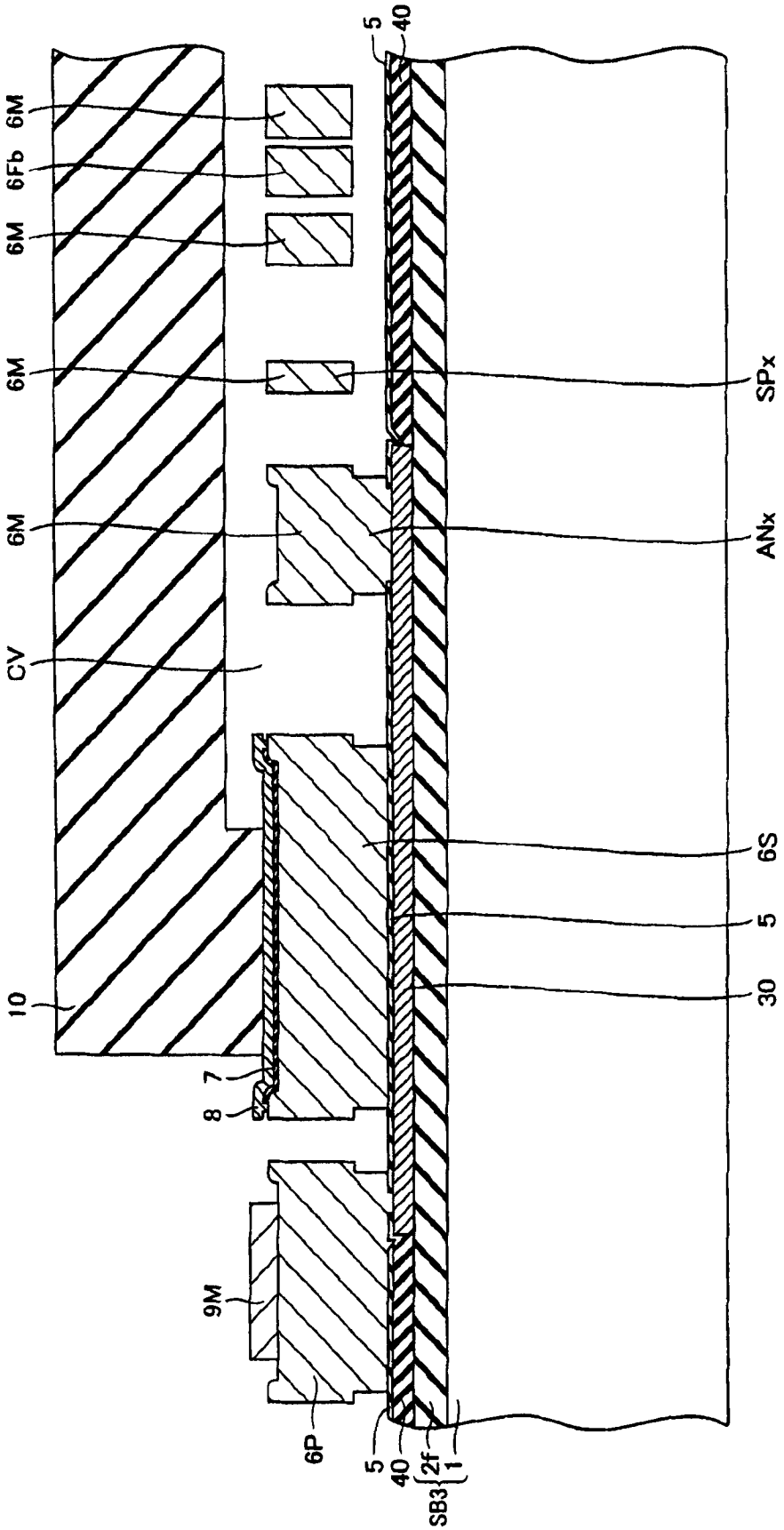


图 35

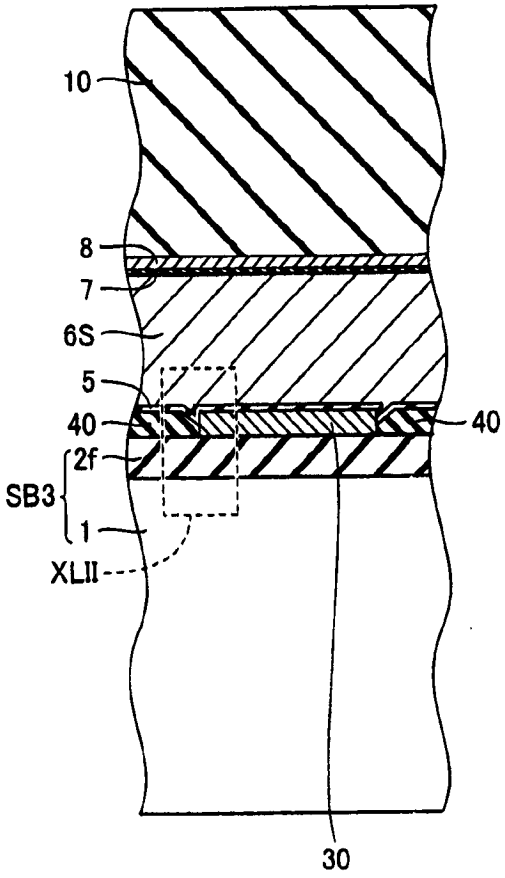


图 36

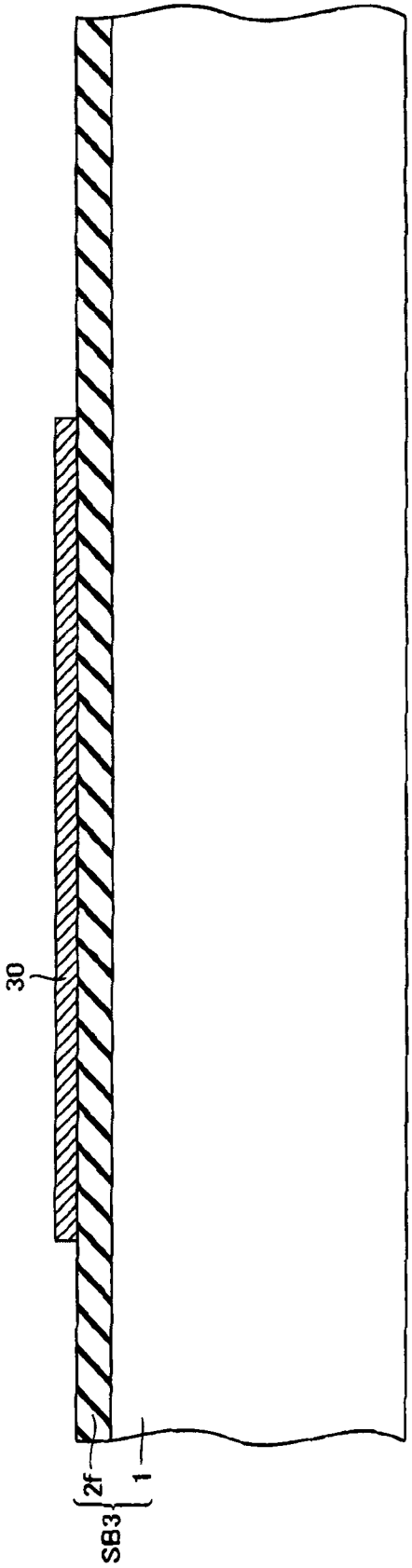


图 37

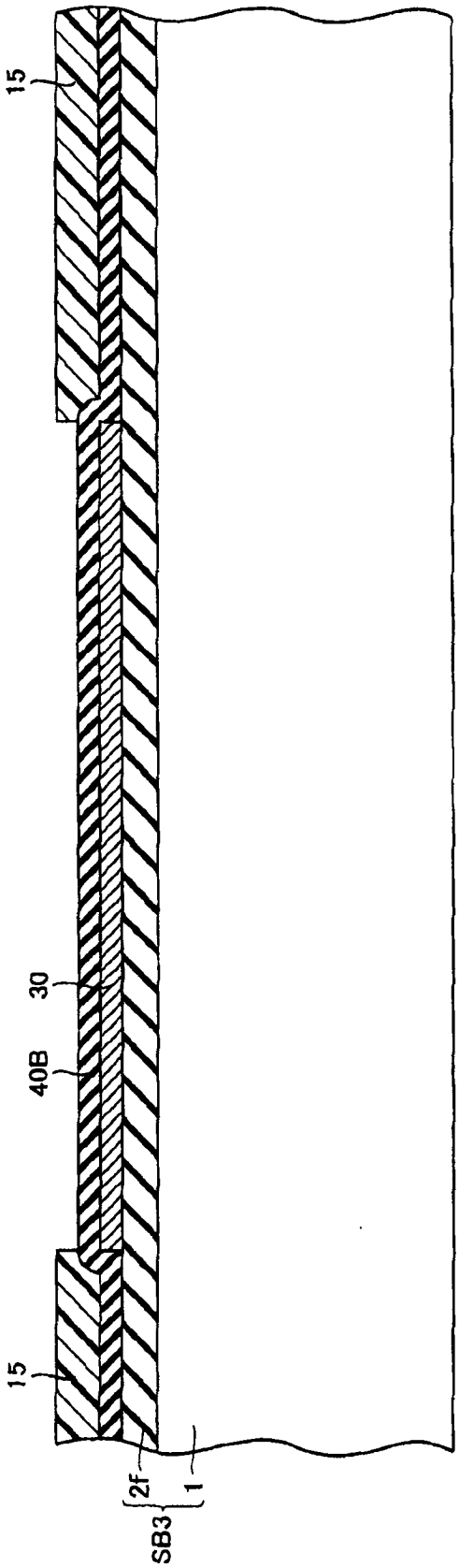


图 38

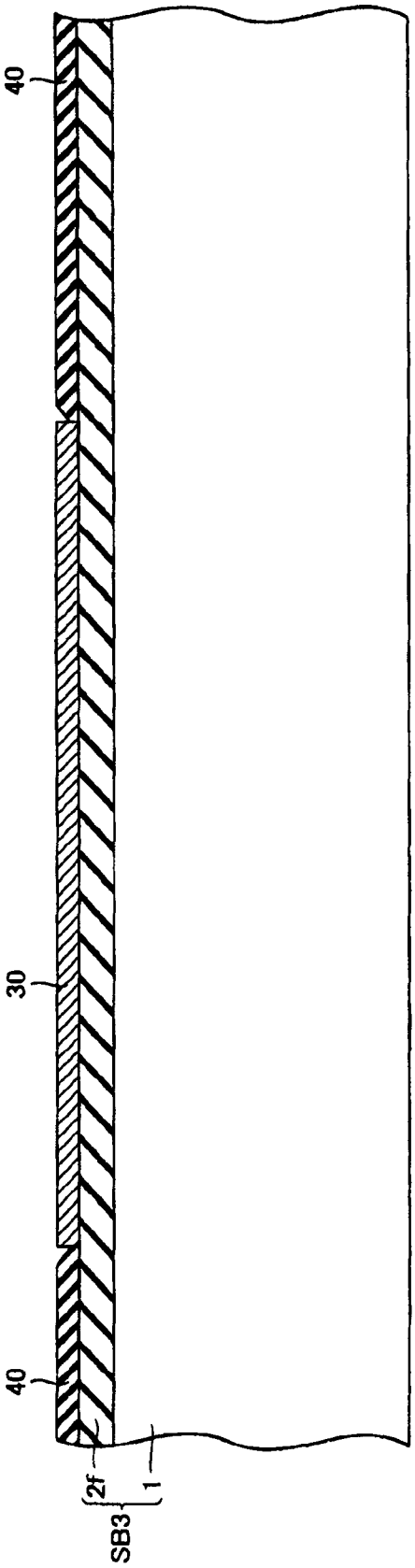


图 39

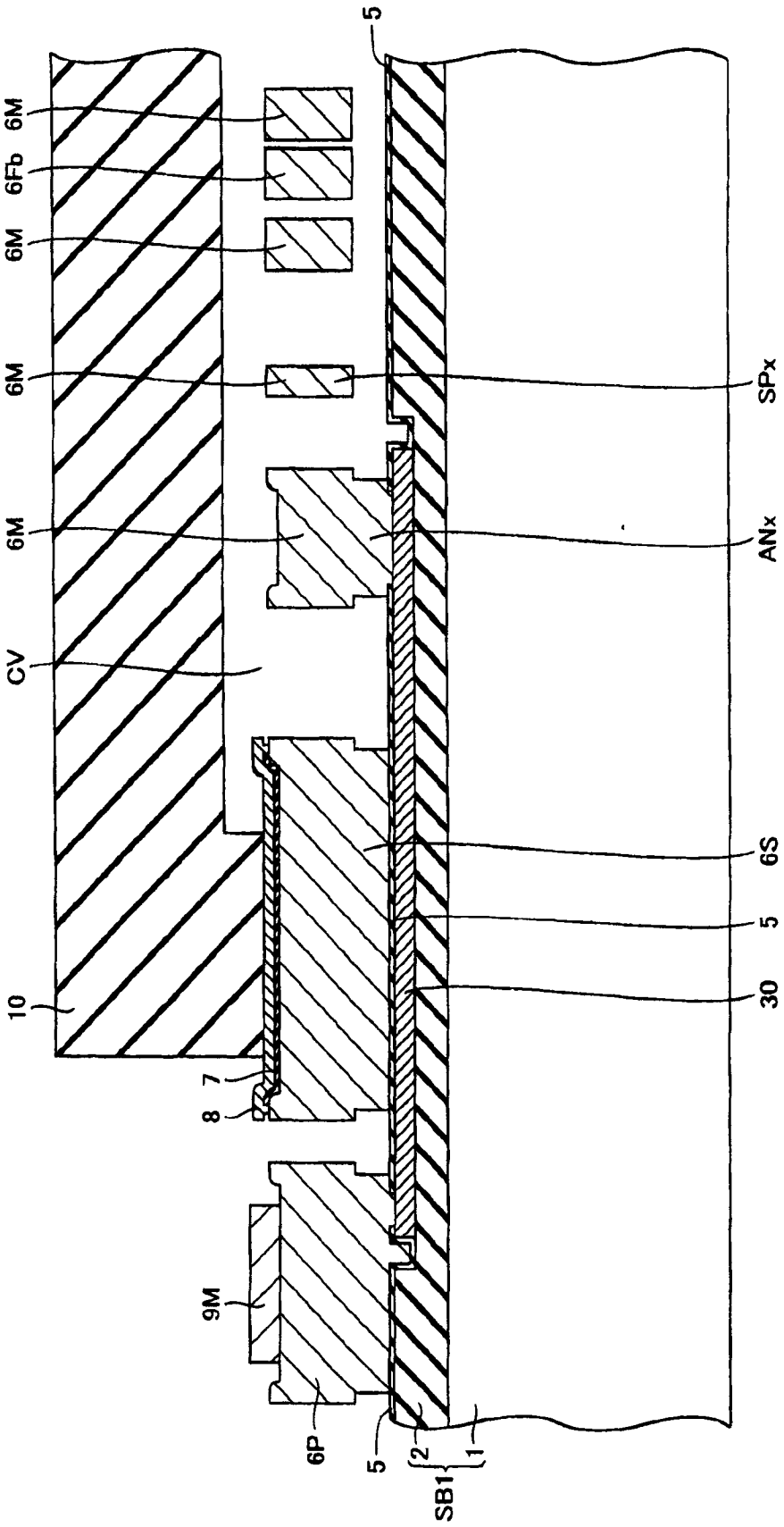


图 40

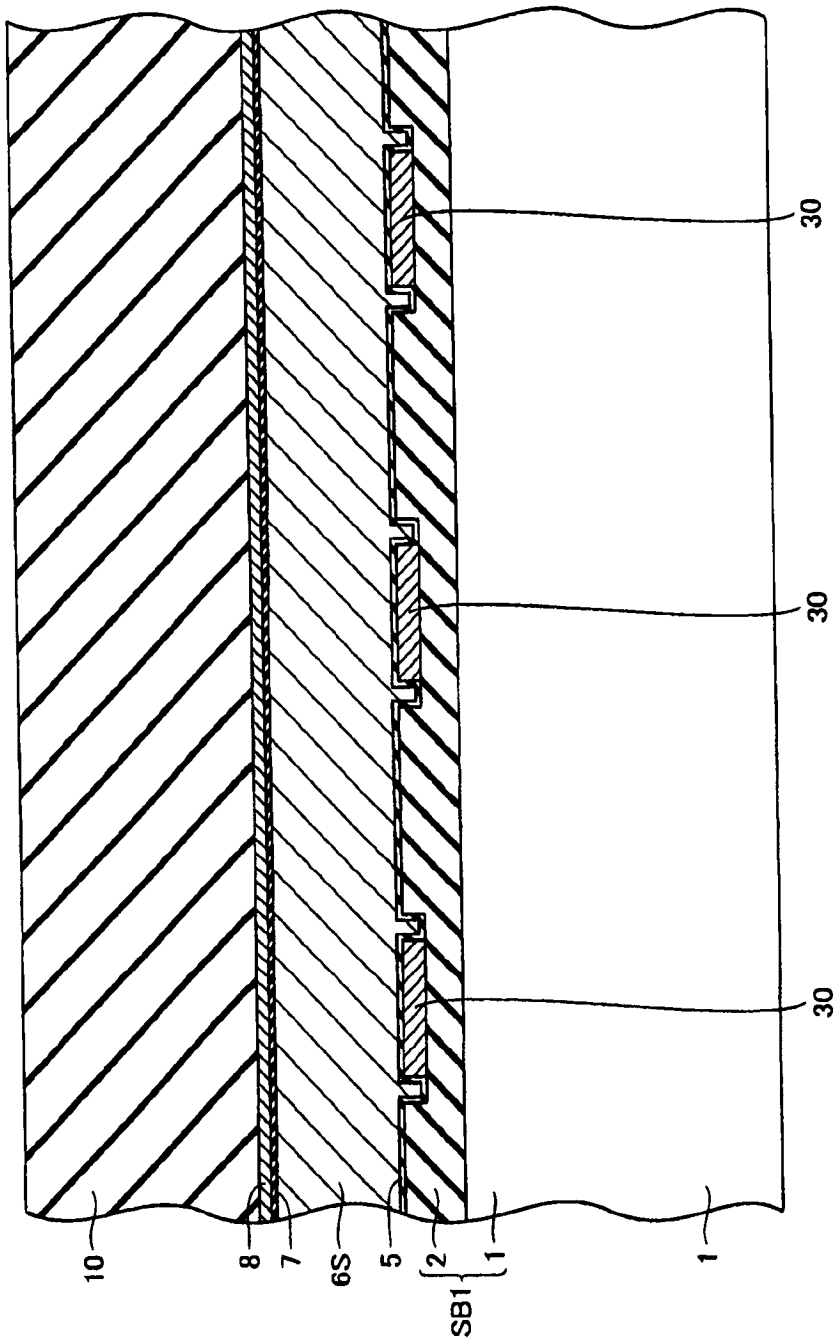


图 41

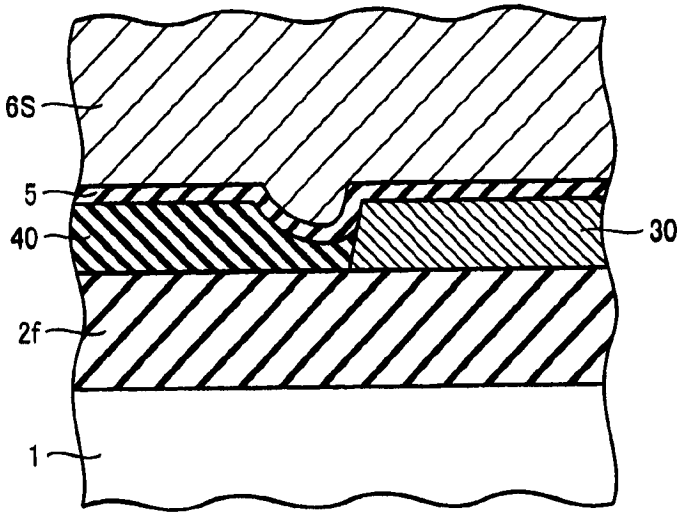


图 42

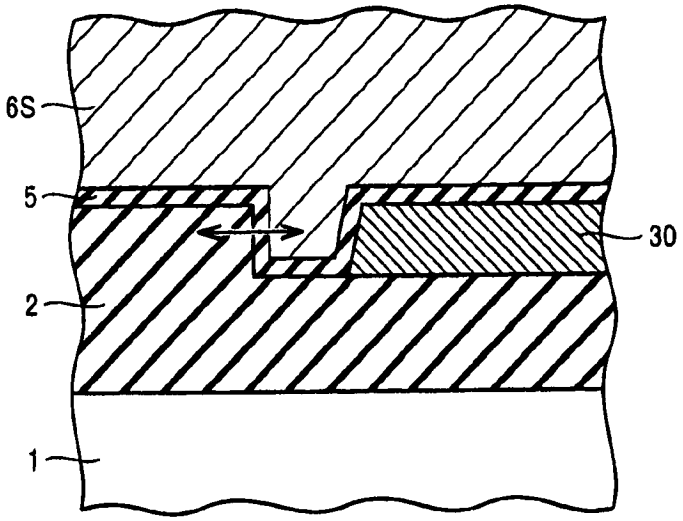


图 43

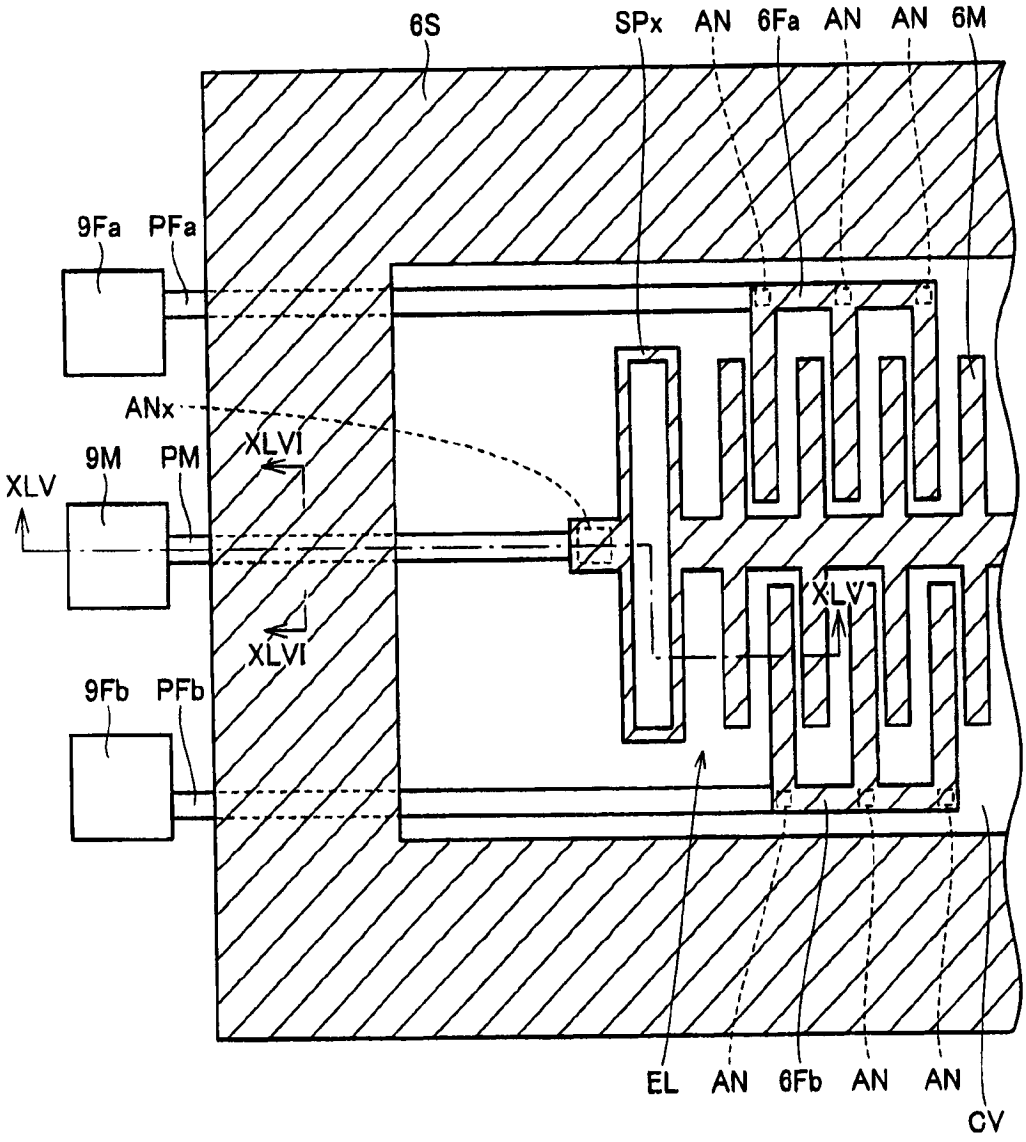

6S
SPx
AN
6Fa
AN
AN
6M
9Fa
PFa
ANx
XLVI
9M
PM
XLV
XLV
XLVI
9Fb
PFb
EL
AN
6Fb
AN
AN
CV

图 44

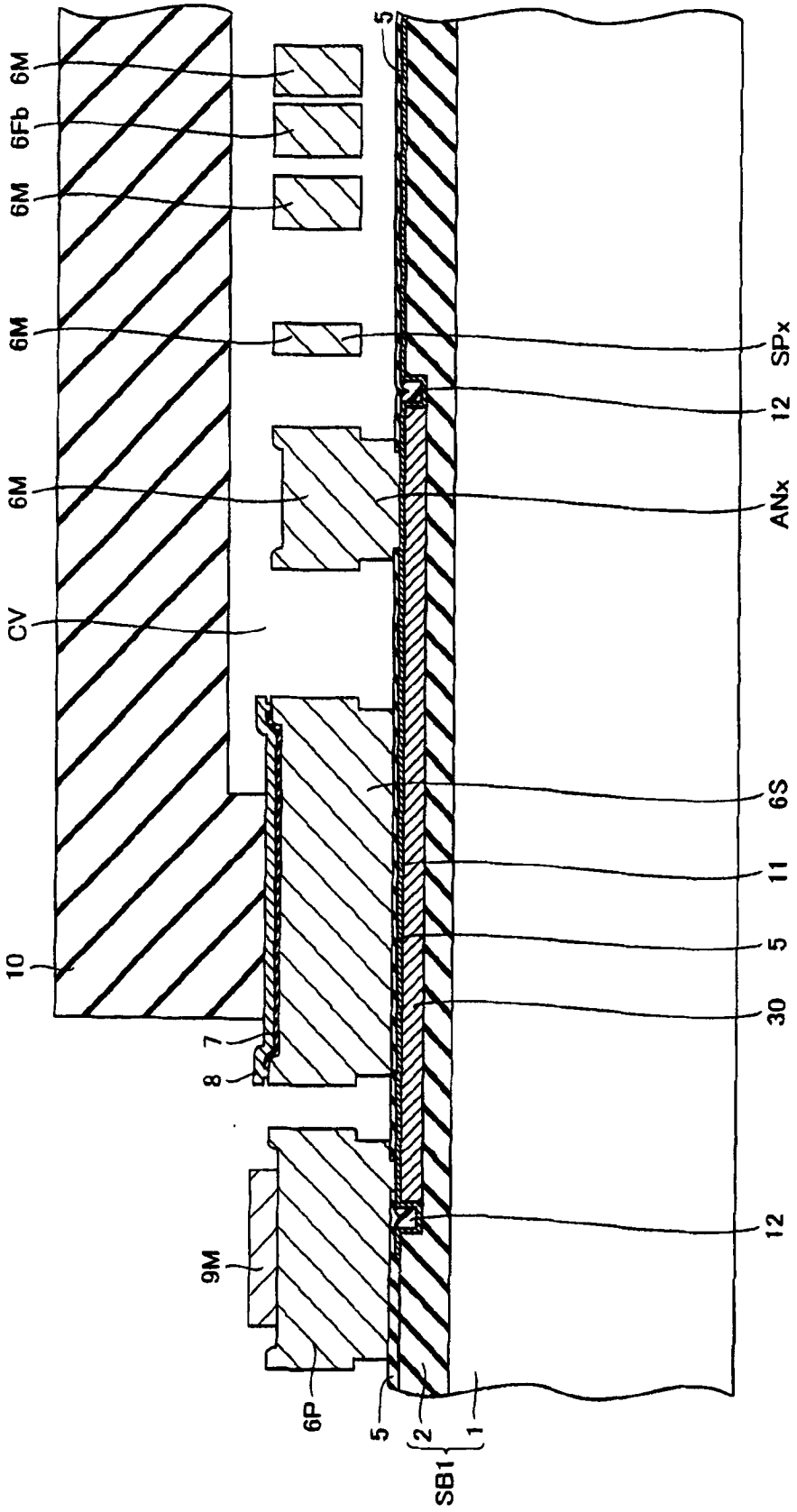


图 45

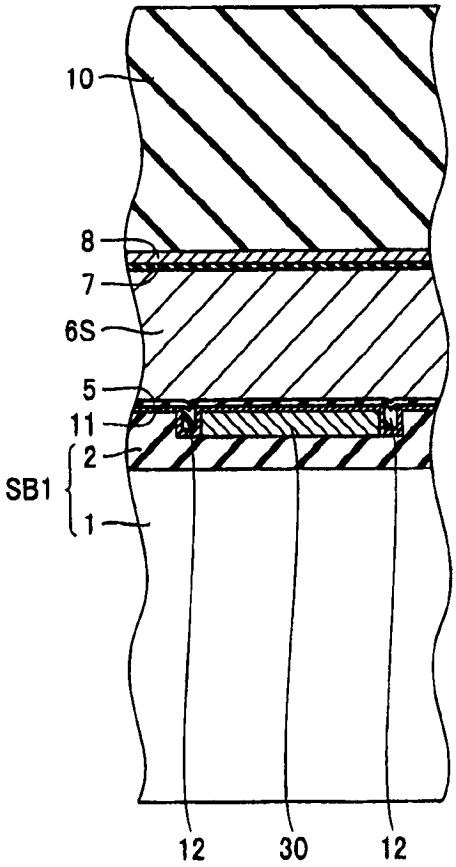


图 46

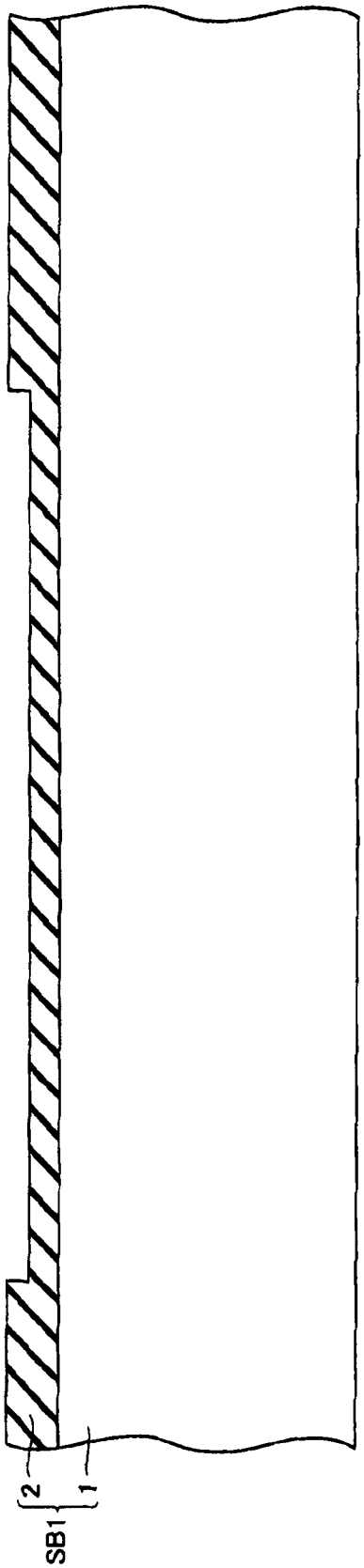


图 47

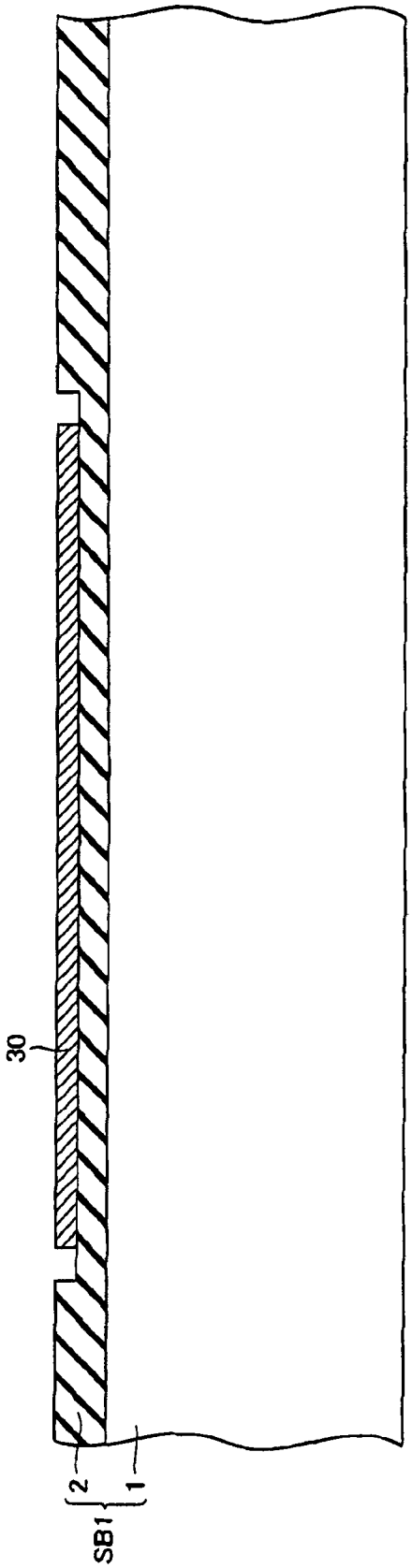


图 48

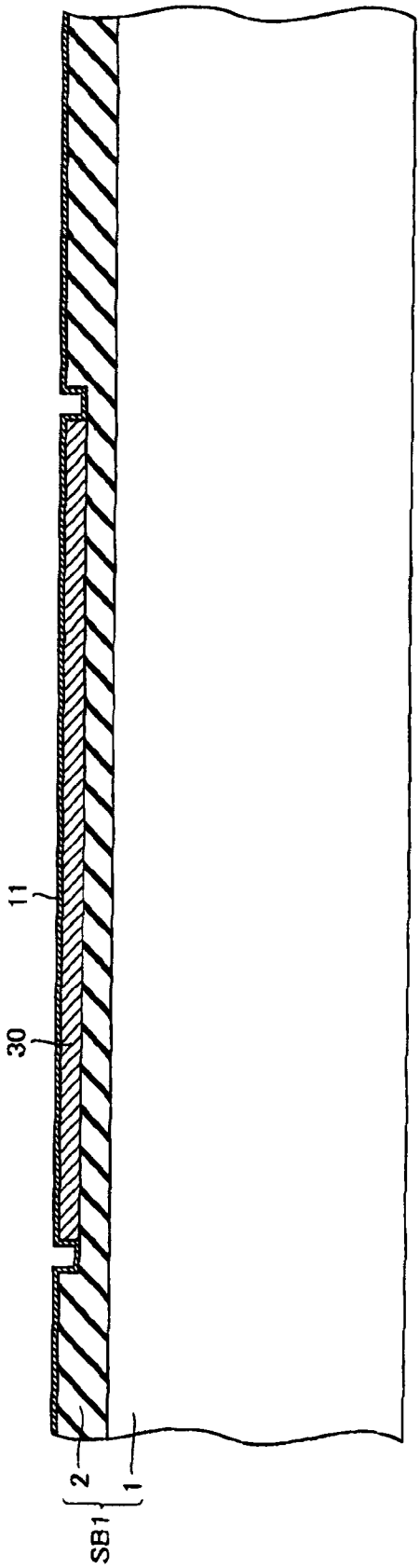


图 49

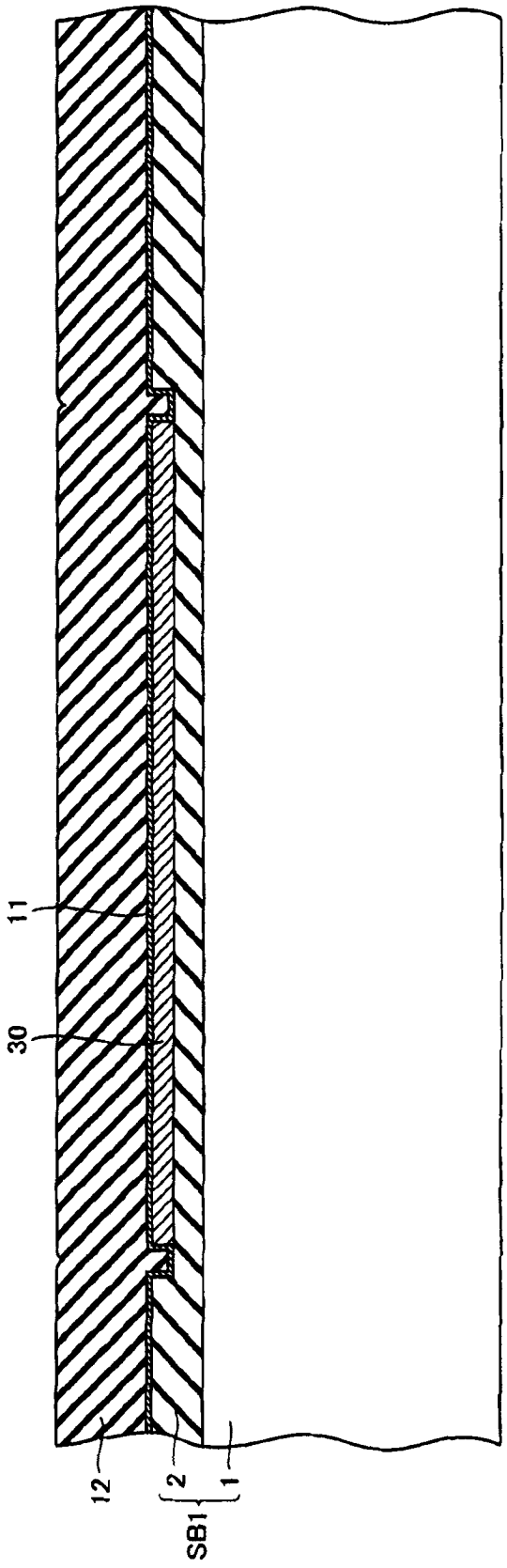


图 50

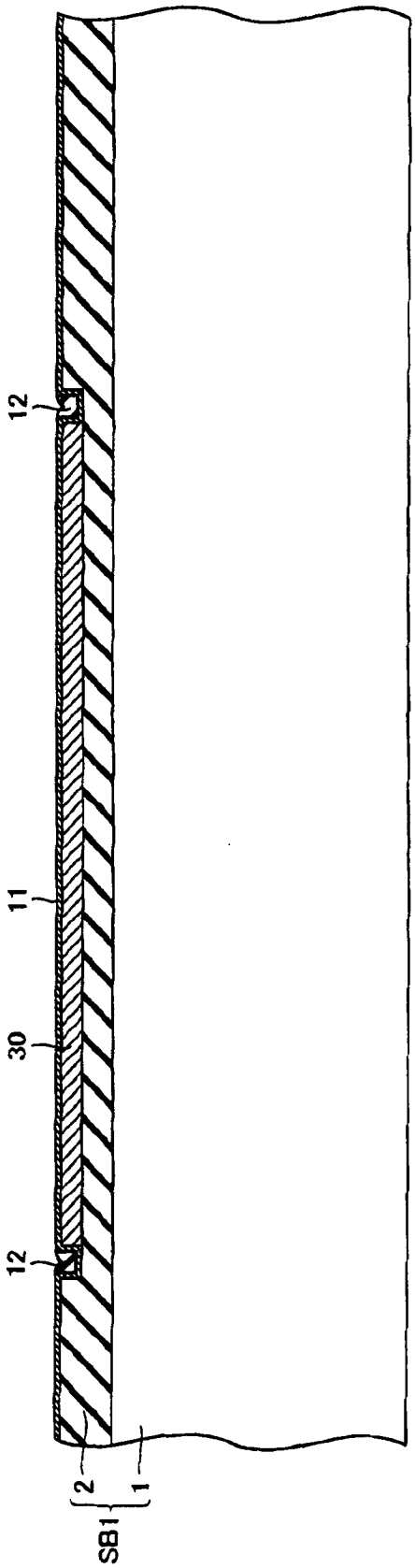


图 51

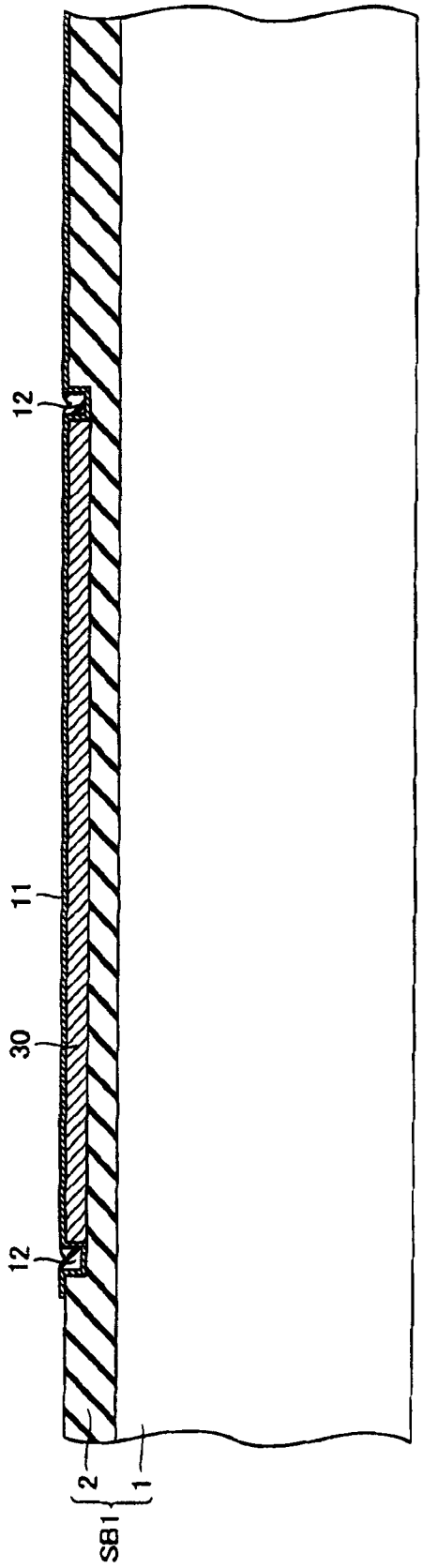


图 52

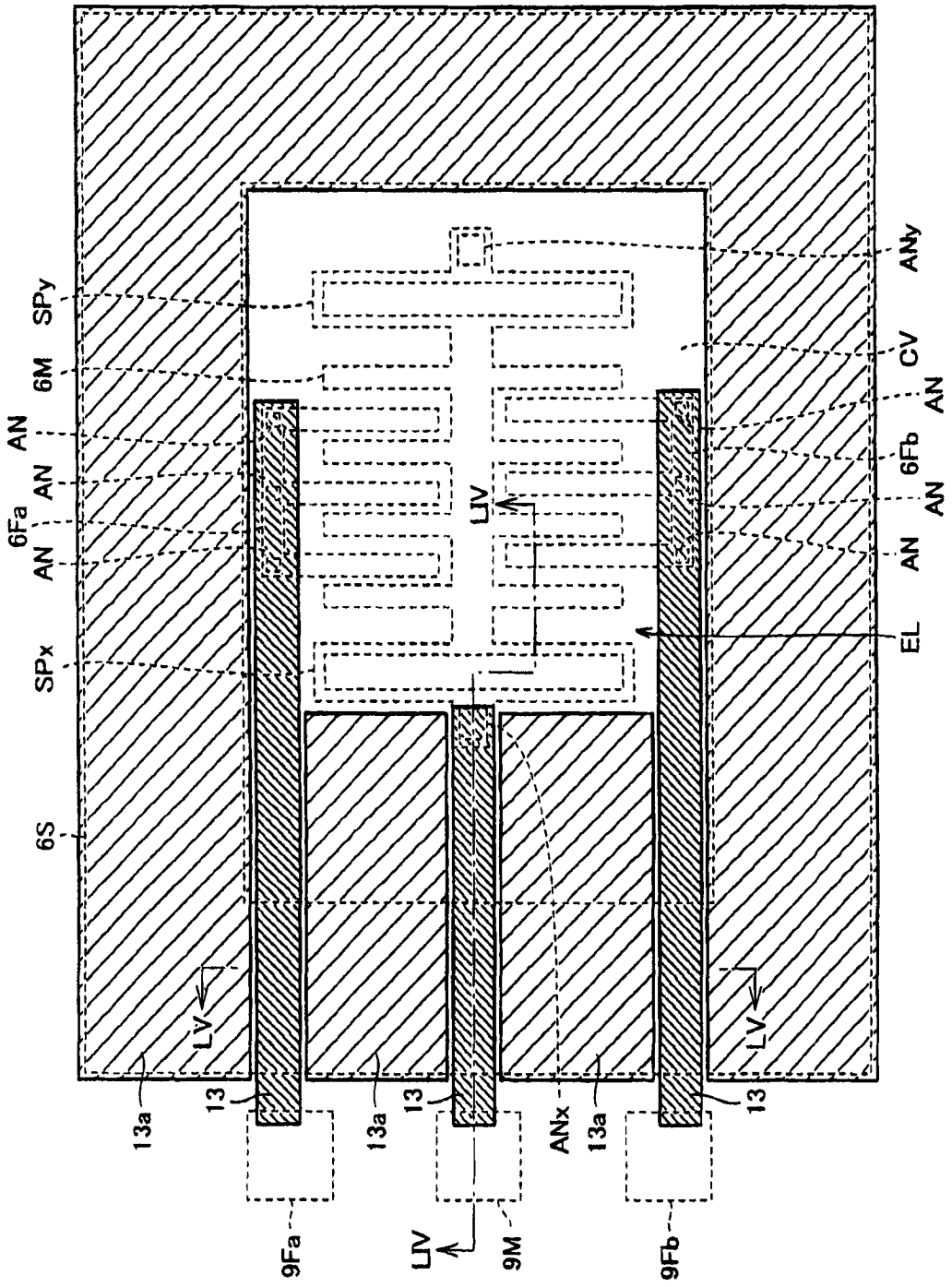

SPy
6M
AN
AN
6Fa
AN
SPx
6S
ANy
CV
AN
6Fb
AN
AN
EL
LV
LV
LV
LV
13a
13
13a
13
ANx
13a
13
9Fa
9M
9Fb

图 53

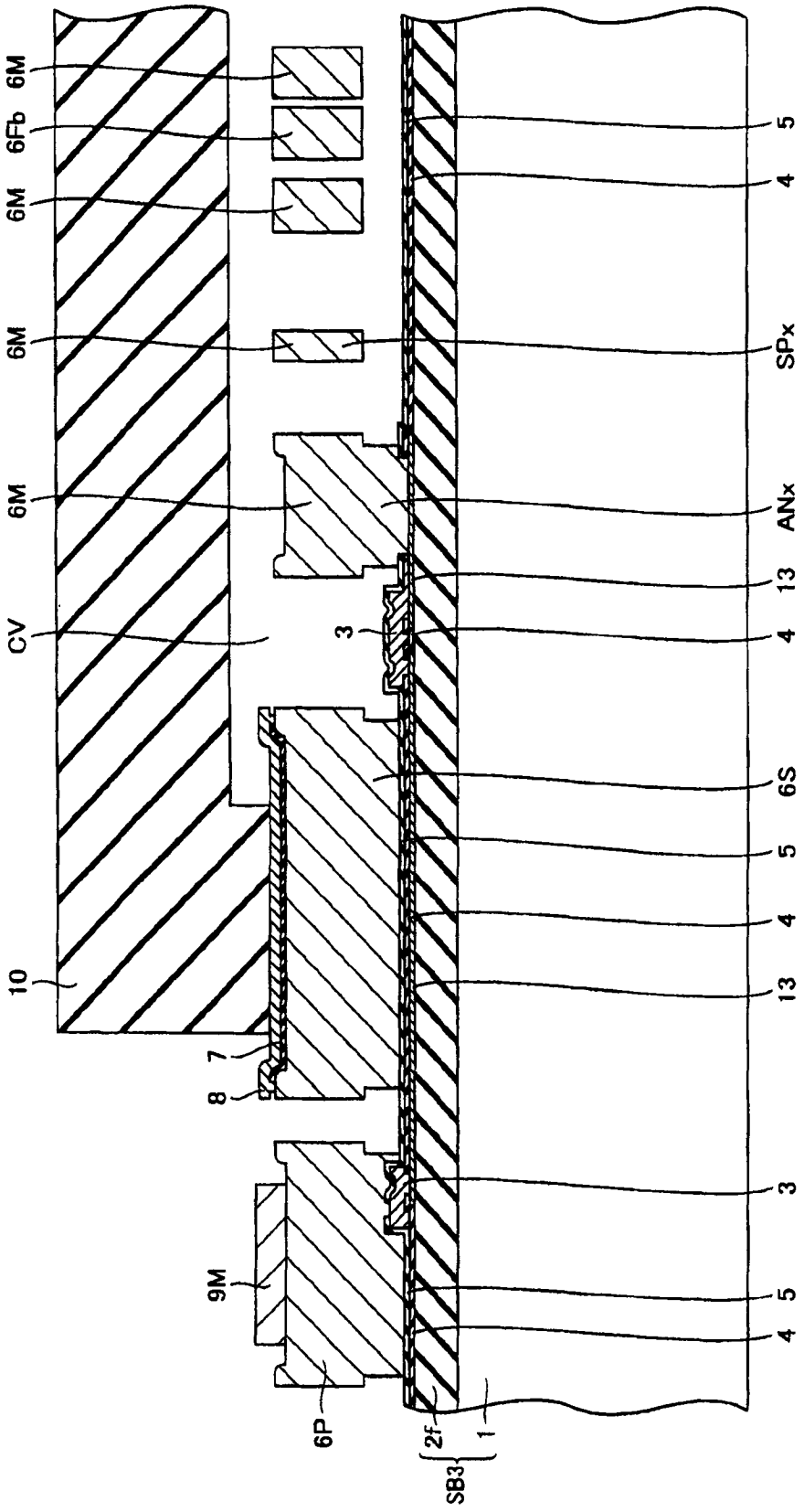


图 54

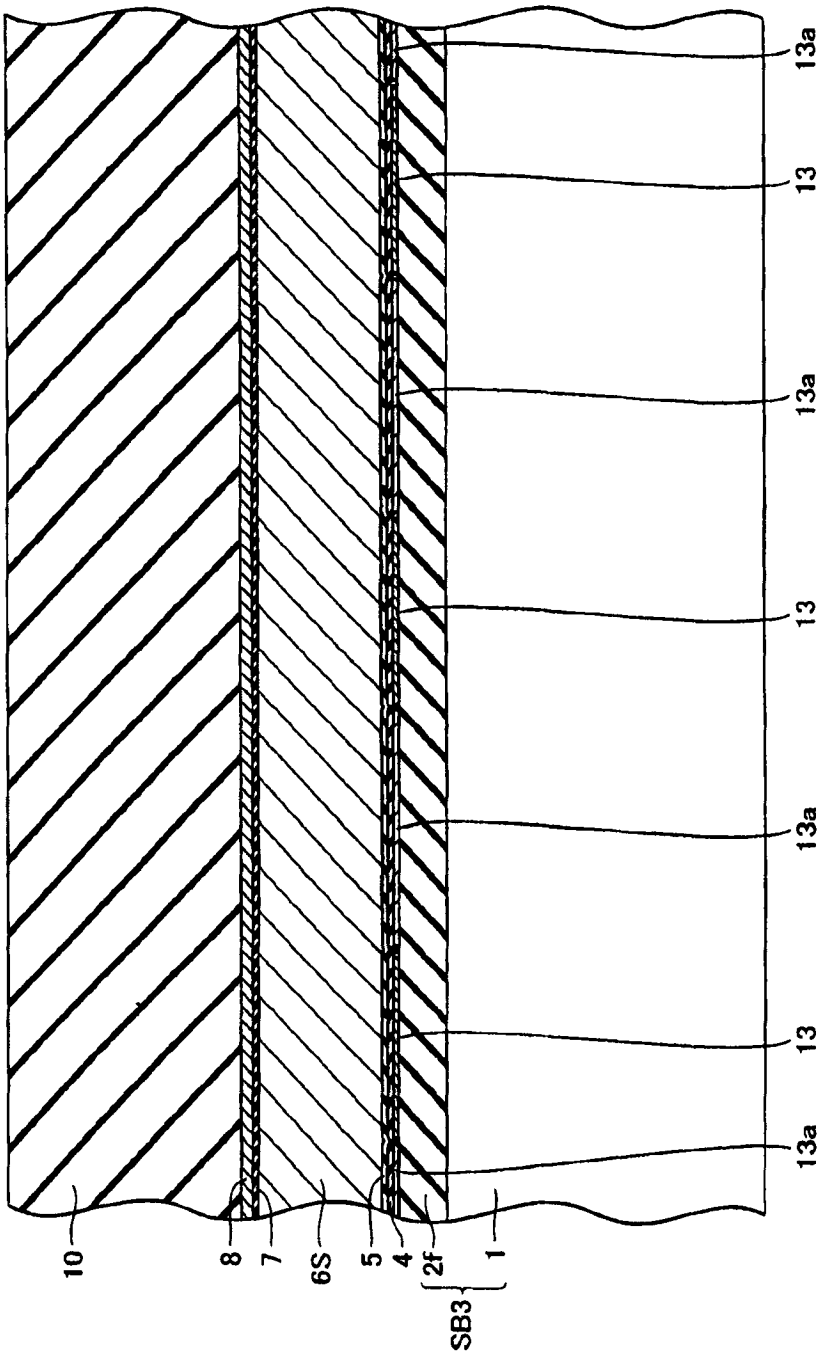


图 55

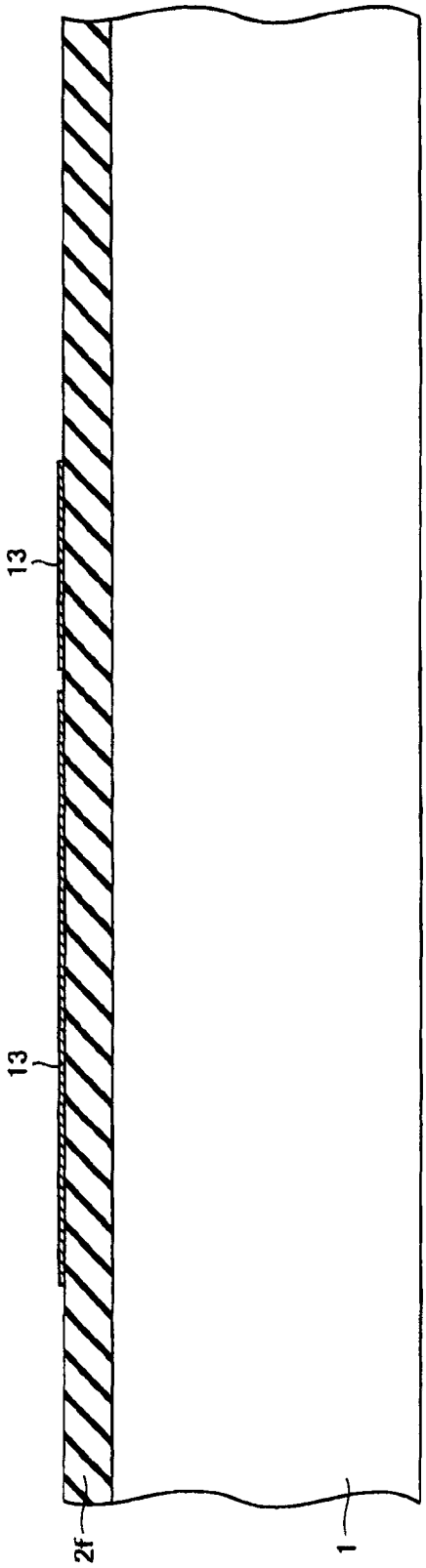


图 56

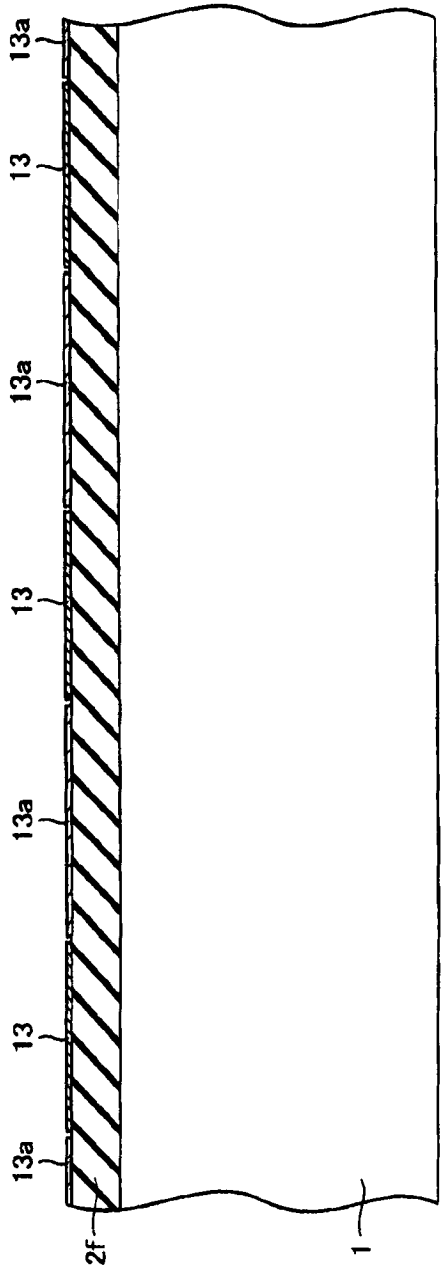


图 57

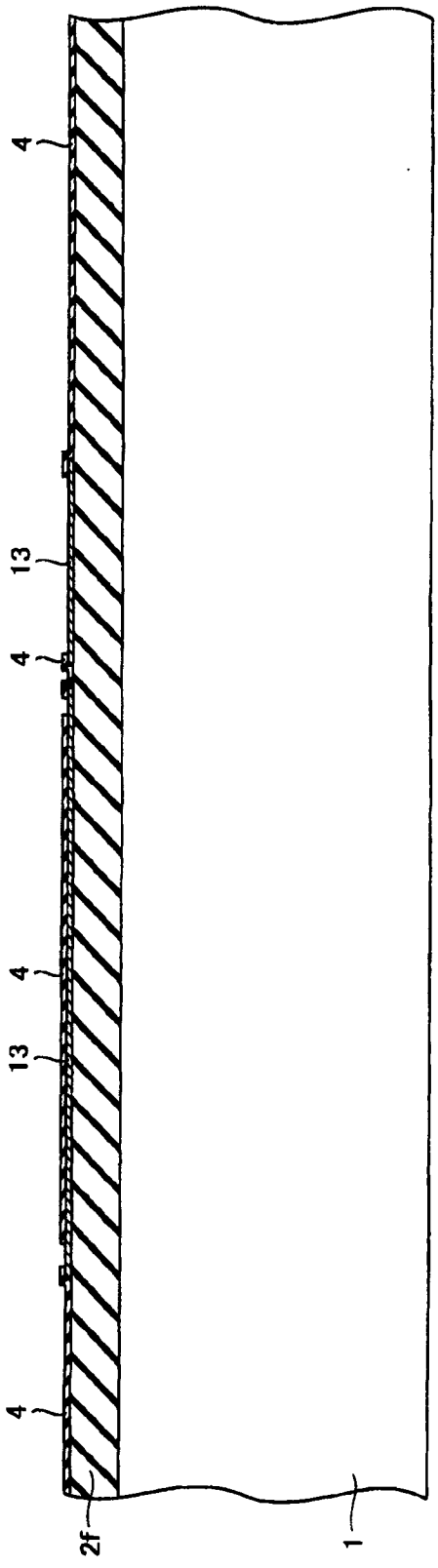


图 58

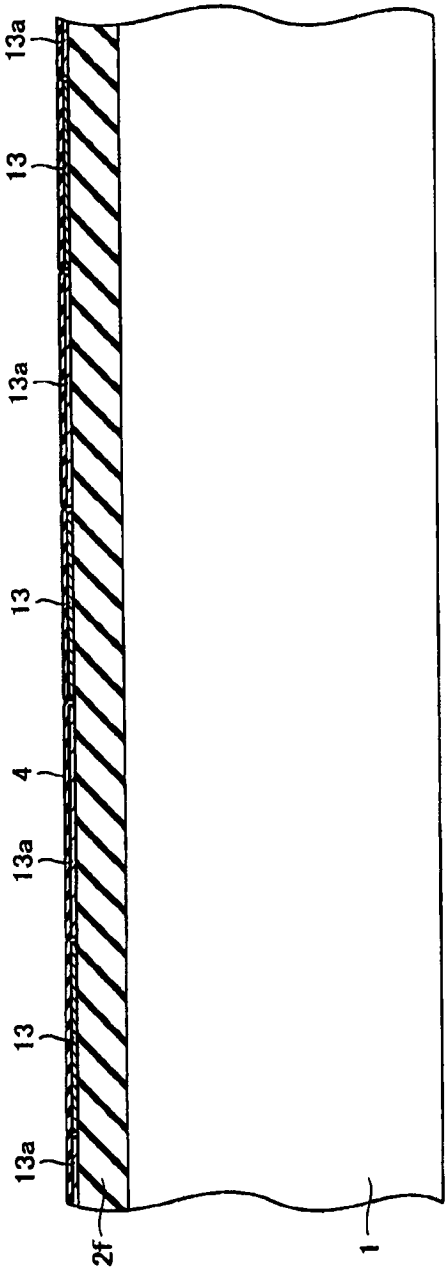


图 59

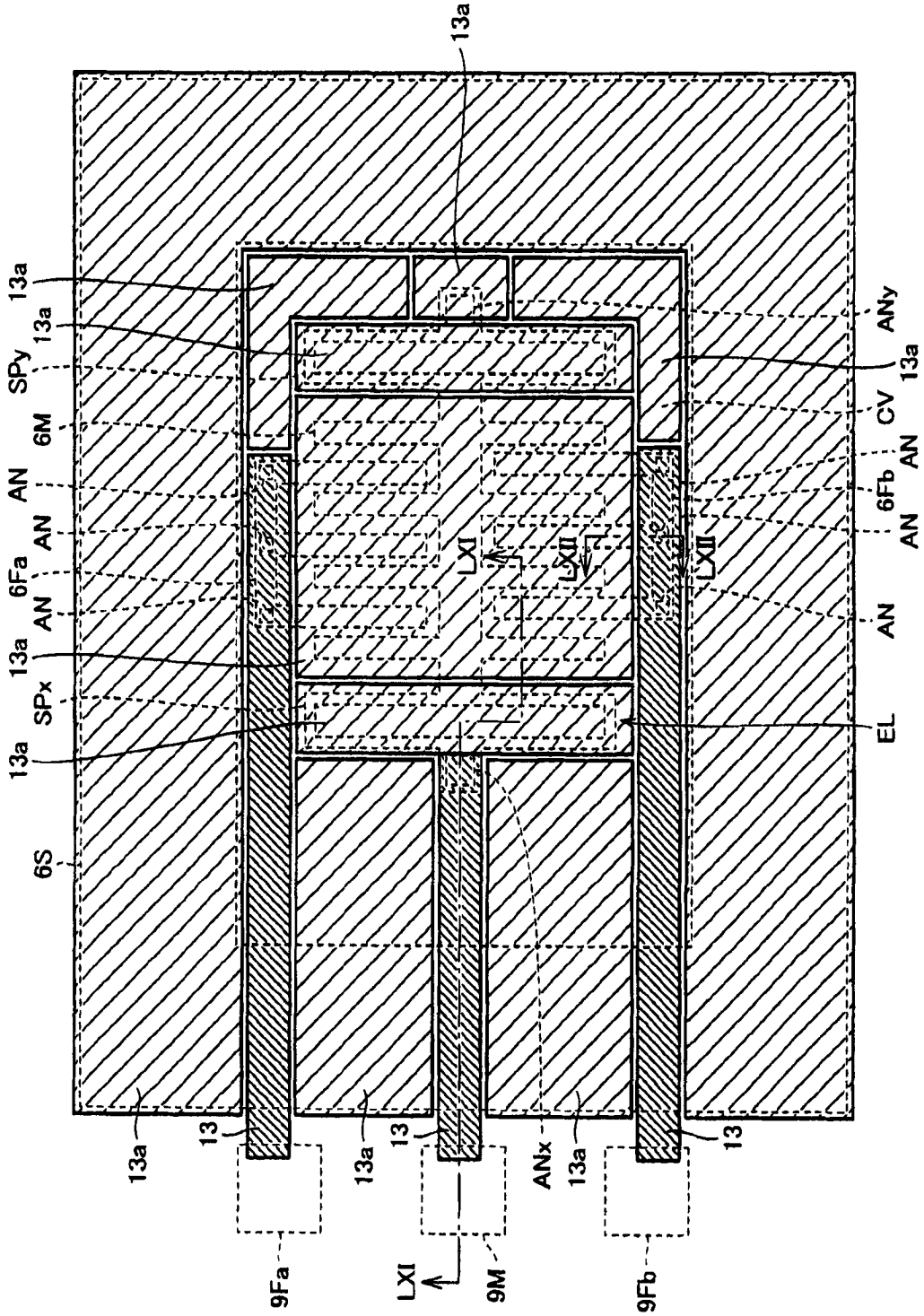

13a
13a
SPy
13a
6M
AN
AN
6Fa
AN
13a
SPx
13a
6S
ANy
13a
CV
AN
6Fb
AN
AN
EL
LXI
LXII
LXII
13a
13
13a
13
ANx
13a
13
9Fa
LXI
9M
9Fb

图 60

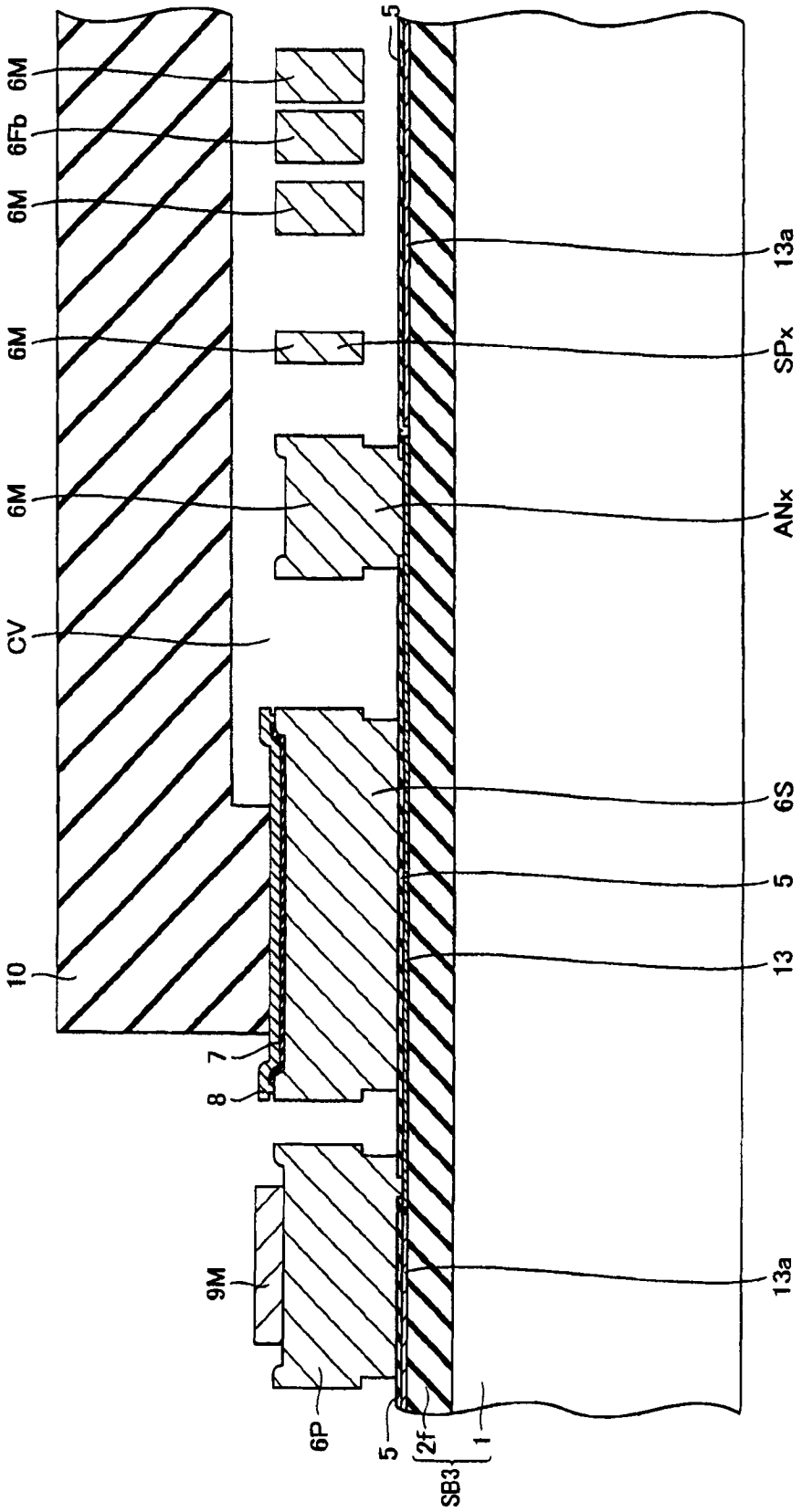


图 61

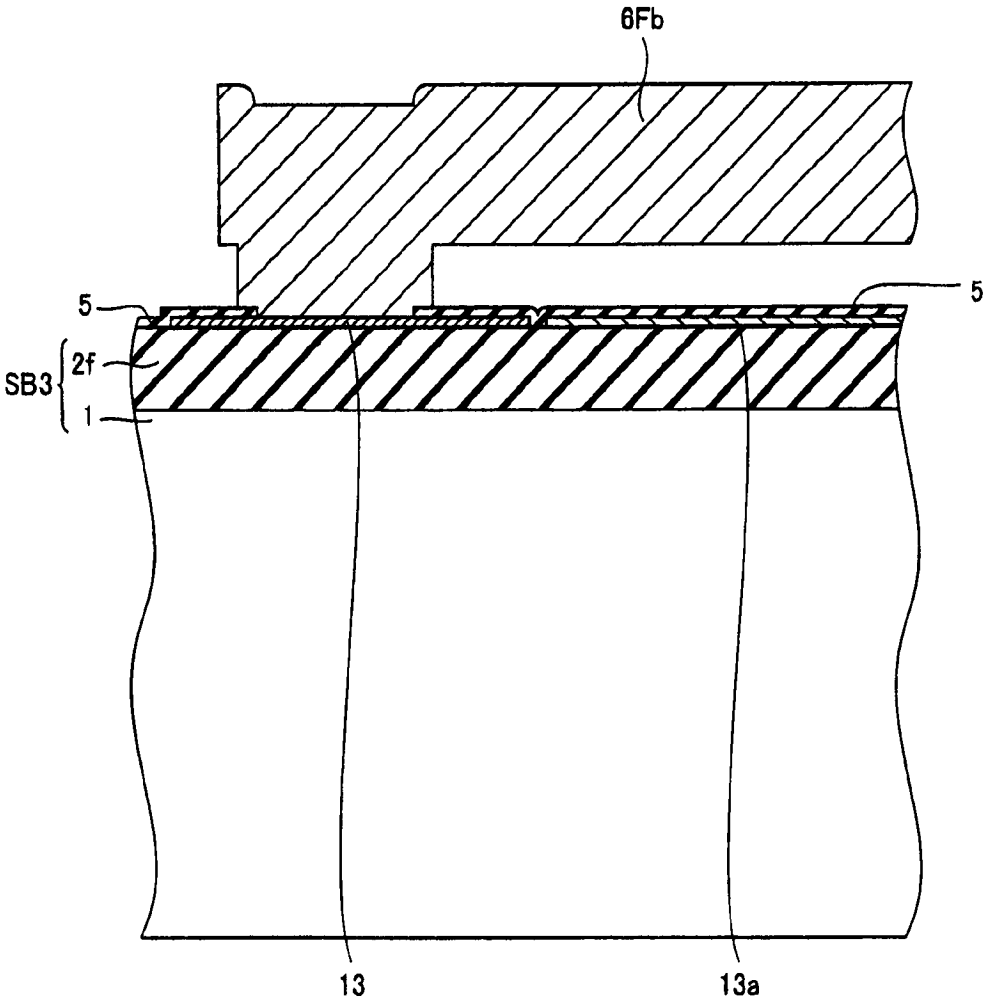


图 62

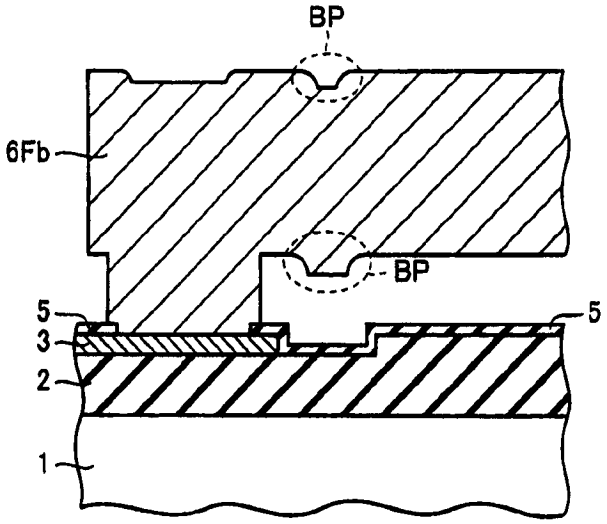


图 63