

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6652663号  
(P6652663)

(45) 発行日 令和2年2月26日(2020.2.26)

(24) 登録日 令和2年1月27日(2020.1.27)

(51) Int. Cl. F I  
**G 1 1 C 11/22 (2006.01)** G 1 1 C 11/22 2 7 0  
 G 1 1 C 11/22 2 4 0

請求項の数 34 (全 36 頁)

(21) 出願番号	特願2018-563673 (P2018-563673)	(73) 特許権者	595168543
(86) (22) 出願日	平成29年6月1日(2017.6.1)		マイクロン テクノロジー, インク.
(65) 公表番号	特表2019-521465 (P2019-521465A)		アメリカ合衆国, アイダホ州 83716
(43) 公表日	令和1年7月25日(2019.7.25)		-9632, ボイズ, サウス フェデラル
(86) 国際出願番号	PCT/US2017/035423		ウェイ 8000
(87) 国際公開番号	W02017/213953	(74) 代理人	100074099
(87) 国際公開日	平成29年12月14日(2017.12.14)		弁理士 大菅 義之
審査請求日	平成31年1月25日(2019.1.25)	(74) 代理人	100106851
(31) 優先権主張番号	15/179,695		弁理士 野村 泰久
(32) 優先日	平成28年6月10日(2016.6.10)	(72) 発明者	マリアニ, マルチェッロ
(33) 優先権主張国・地域又は機関	米国 (US)		アメリカ合衆国, アイダホ州 83716
早期審査対象出願			-9632, ボイズ, サウス フェデラル
			ウェイ 8000, マイクロン テクノ
			ロジー, インク. 内

最終頁に続く

(54) 【発明の名称】 強誘電体メモリセルの回復

(57) 【特許請求の範囲】

【請求項1】

第1の複数のアクセスサイクルの各サイクル中にメモリアレイの第1の強誘電体メモリセルに第1の電圧を印加すること、

前記第1の複数のアクセスサイクルのために前記第1の電圧を印加することに少なくとも部分的に基づいて、前記第1の強誘電体メモリセルが疲労閾値に到達したと判定すること、

前記第1の強誘電体メモリセルが前記疲労閾値に到達したと判定することに少なくとも部分的に基づいて、前記第1の強誘電体メモリセルに第2の電圧を印加することであって、前記第2の電圧の振幅は前記第1の電圧の振幅よりも大きく、前記第2の電圧は、前記第1の強誘電体メモリセルの前記疲労閾値に少なくとも部分的に基づく期間または繰り返し回数にわたって印加される、こと、および、

前記第1の強誘電体メモリセルへの前記第2の電圧の印加中において、第2の複数のアクセスサイクルの各サイクル中に前記メモリアレイの第2の強誘電体メモリセルに第3の電圧を印加すること、

を含む、方法。

【請求項2】

前記第1の強誘電体メモリセルが前記疲労閾値に到達したと判定することに少なくとも部分的に基づいて、前記第1の強誘電体メモリセルのロジック状態を判定すること、および

前記第1の強誘電体メモリセルの前記ロジック状態を他のメモリセルに格納すること、  
をさらに含み、

前記他のメモリセルに前記第1の強誘電体メモリセルの前記ロジック状態を格納した後、  
前記第2の電圧が前記第1の強誘電体メモリセルに印加される、  
請求項1に記載の方法。

【請求項3】

前記第2の電圧を印加した後に前記他のメモリセルのロジック状態を判定すること、および

前記他のメモリセルの前記ロジック状態を前記第1の強誘電体メモリセルに書き込むこと、

をさらに含む請求項2に記載の方法。

【請求項4】

前記第1の強誘電体メモリセルが前記疲労閾値に到達したと判定することは、

タイマが閾値期間を超えていることであって、前記閾値期間は、前記疲労閾値に到達する時間に少なくとも部分的に基づく、こと、

カウンタがカウント数の閾値を超えることであって、前記カウンタは、前記第1の複数のアクセスサイクルの各アクセスサイクル毎にインクリメントされる、こと、

前記第1の電圧の前記振幅よりも小さい振幅を有するテストアクセス電圧を印加することに少なくとも部分的に基づいて前記第1の強誘電体メモリセルを検知するのを失敗すること、

前記第1の複数のアクセスサイクルの各サイクルに使用されるセンスウィンドウよりも小さいテストセンスウィンドウに少なくとも部分的に基づいて前記第1の強誘電体メモリセルを検知するのを失敗することであって、前記テストセンスウィンドウは、リファレンス電圧に少なくとも部分的に基づく、こと、または、

誤り訂正符号が前記第1の強誘電体メモリセルの破損したロジック値を検出すること

のうちの少なくとも1つを検出することを含む、

請求項1に記載の方法。

【請求項5】

前記第1の強誘電体メモリセルが前記疲労閾値に到達したと判定することは、疲労回復動作を開始するためのコマンドを受信することを含む、

請求項1に記載の方法。

【請求項6】

前記メモリアレイは、デバイスの一要素を含み、前記第2の電圧を前記第1の強誘電体メモリセルに印加することは、

前記デバイスの電源がオンすること、

前記デバイスの電源がオフすること、または

前記デバイスを外部電源に接続すること、

のうちの少なくとも1つを含むイベント中に、前記第2の電圧を前記第1の強誘電体メモリセルに印加することを含む、

請求項1に記載の方法。

【請求項7】

前記期間または前記繰り返し回数にわたって前記第2の電圧を印加することは、イベントの複数の出来事中に前記第2の電圧を印加することを含み、

前記期間のサブセットまたは前記繰り返し回数のサブセットが、前記イベントの各出来事に関連付けられる、

請求項1に記載の方法。

【請求項8】

前記メモリアレイにアクセスするための要求を受信することに少なくとも部分的に基づいて、前記第2の電圧の前記印加を中断すること、および、

10

20

30

40

50

前記要求を完了することに少なくとも部分的に基づいて、前記第 2 の電圧の前記印加を再開すること、  
 をさらに含む、  
 請求項 1 に記載の方法。

【請求項 9】

前記第 2 の電圧が印加されるたびにカウンタをインクリメントすることをさらに含む、  
 請求項 1 に記載の方法。

【請求項 10】

ロジック状態を前記第 1 の強誘電体メモリセルに回復するリフレッシュ動作中に前記第 2 の電圧を印加することをさらに含み、

前記ロジック状態は、前記第 1 の電圧を印加することに少なくとも部分的に基づいて判定される、

請求項 1 に記載の方法。

【請求項 11】

前記メモリアレイは複数の行を含み、

前記複数の行の各行は、複数の強誘電体メモリセルと電子的に通信するプレート線を含み、

前記第 2 の電圧を印加することは、前記第 2 の電圧を少なくとも 1 つのプレート線に印加することを含み、

前記第 2 の電圧は、前記少なくとも 1 つのプレート線に前記第 2 の電圧を印加することに少なくとも部分的に基づいて、前記プレート線と電子的に通信する各強誘電体メモリセルに印加される、

請求項 1 に記載の方法。

【請求項 12】

前記第 2 の電圧を前記プレート線に印加することは、前記第 2 の電圧を複数のプレート線に印加することを含み、

請求項 11 に記載の方法。

【請求項 13】

前記第 1 の強誘電体メモリセルの前記疲労閾値は、前記第 1 の強誘電体メモリセルに蓄積された電荷と、前記第 1 の強誘電体メモリセルおよびセンスコンポーネントと電子的に通信するデジット線の容量との間の関係に少なくとも部分的に基づく、

請求項 1 に記載の方法。

【請求項 14】

前記第 1 の強誘電体メモリセルの前記疲労閾値は、前記第 1 の強誘電体メモリセルが残留分極閾値に到達するアクセスサイクルの総数に少なくとも部分的に基づく、

請求項 13 に記載の方法。

【請求項 15】

前記第 2 の電圧を印加した後に前記第 1 の強誘電体メモリセルに蓄積された電荷は、前記第 2 の電圧を印加する前に前記第 1 の強誘電体メモリセルに蓄積された電荷よりも大きい、と判定することをさらに含み、

前記判定は、前記第 1 の強誘電体メモリセルによって生成されたセンス電圧に少なくとも部分的に基づく、

請求項 1 に記載の方法。

【請求項 16】

前記第 2 の電圧の印加の期間または繰り返し回数は、前記第 2 の電圧の前記振幅に少なくとも部分的に基づく、

請求項 1 に記載の方法。

【請求項 17】

前記第 1 の強誘電体メモリセルにアクセスするために前記第 1 の電圧を印加することは

、

10

20

30

40

50

前記第 1 の強誘電体メモリセルからの読み出し、または前記第 1 の強誘電体メモリセルへの書き込みを含む、

請求項 1 に記載の方法。

【請求項 18】

前記第 2 の電圧は、

複数のバイポーラ電圧パルス、

複数のユニポーラ電圧パルス、または

一定の振幅を有する電圧、

のうちの少なくとも 1 つを含む、

請求項 1 に記載の方法。

10

【請求項 19】

複数の強誘電体メモリセルを含むメモリアレイ、

複数のアクセスサイクルの各アクセスサイクル毎にインクリメントされるカウンタであって、前記複数の強誘電体メモリセルのうちの少なくとも 1 つの強誘電体メモリセルで実行される疲労回復動作に基づいてリセットされ得るカウンタ、および、

前記複数の強誘電体メモリセルのうちの第 1 の強誘電体メモリセルの前記疲労回復動作を実行するように構成されたコントローラ、

を含み、

前記コントローラは、前記第 1 の強誘電体メモリセルの前記疲労回復動作中に、前記複数の強誘電体メモリセルのうちの第 2 の強誘電体メモリセルへのアクセス動作を実行するように更に構成される、

20

メモリデバイス。

【請求項 20】

前記メモリアレイは、前記メモリアレイのサブセットを含む複数のメモリブロックを含み、

前記複数のメモリブロックのうちの各メモリブロックは、少なくとも 1 つのカウンタに関連付けられる、

請求項 19 に記載のメモリデバイス。

【請求項 21】

前記コントローラは、前記疲労回復動作を実行するように構成されており、

30

前記疲労回復動作は、

複数のアクセスサイクルのために少なくとも 1 つの強誘電体メモリセルに第 1 の電圧を印加することに少なくとも部分的に基づいて、前記少なくとも 1 つの強誘電体メモリセルが疲労閾値に到達したと判定すること、および

前記少なくとも 1 つの強誘電体メモリセルが前記疲労閾値に到達したという前記判定に少なくとも部分的に基づいて、前記少なくとも 1 つの強誘電体メモリセルに第 2 の電圧を印加すること、

を含み、

前記第 2 の電圧の振幅は前記第 1 の電圧の振幅より大きく、

前記第 2 の電圧は、前記少なくとも 1 つの強誘電体メモリセルの前記疲労閾値に基づく期間または繰り返し回数にわたって印加される、

40

請求項 19 に記載のメモリデバイス。

【請求項 22】

複数の強誘電体メモリセルを含むメモリアレイ、

前記メモリアレイと電子的に通信する複数の導電端子、および、

前記複数の強誘電体メモリセルの疲労回復動作をサポートする回復端子、

を含み、

前記複数の導電端子は前記回復端子を含み、

前記疲労回復動作は、

前記複数の誘電体メモリセルうちの第 1 の強誘電体メモリセルが疲労閾値に到達した

50

という判定に少なくとも部分的に基づいて、前記第1の強誘電体メモリセルに回復電圧を印加することであって、前記回復電圧の振幅は第1のアクセス電圧の振幅よりも大きく、前記回復電圧は、前記疲労閾値に基づく期間または繰り返し回数にわたって印加される、こと、および、

前記複数の強誘電体メモリセルのうちの第2の強誘電体メモリセルに第2のアクセス電圧を印加することであって、前記第2のアクセス電圧は、前記第1の強誘電体メモリセルへの前記回復電圧の印加中に印加される、こと、

を含む、  
電子回路。

【請求項23】

前記複数の導電端子は、

第1の電圧供給源と電子的に通信する第1の電力端子であって、前記第1の電圧供給源は、前記第1のアクセス電圧を含み、かつ、前記メモリアレイの前記第1の強誘電体メモリセルの第1のアクセス動作中に前記第1の強誘電体メモリセルに印加され得る、第1の電力端子、および、

第2の電圧供給源と電子的に通信する第2の電源端子であって、前記第2の電圧供給源は、前記回復電圧を含み、かつ、前記メモリアレイの前記第1の強誘電体メモリセルの疲労回復動作中に前記第1の強誘電体メモリセルに印加され得る、第2の電源端子、

を含む、請求項22に記載の電子回路。

【請求項24】

前記疲労回復動作は、

前記回復端子を介して、前記複数の強誘電体メモリセルの前記疲労回復動作を開始するための信号を含む、

請求項22に記載の電子回路。

【請求項25】

前記疲労回復動作は、ユーザによってプログラム可能なパラメータを含む、

請求項22に記載の電子回路。

【請求項26】

第1の複数のアクセスサイクルの各サイクル中に、メモリアレイの第1の強誘電体メモリセルに第1の電圧を印加する手段、

前記第1の複数のアクセスサイクルのために前記第1の電圧を印加することに少なくとも部分的に基づいて、前記第1の強誘電体メモリセルが疲労閾値に到達したと判定する手段、

前記第1の強誘電体メモリセルが前記疲労閾値に到達したと判定することに少なくとも部分的に基づいて、前記第1の強誘電体メモリセルに第2の電圧を印加する手段であって、前記第2の電圧の振幅は前記第1の電圧の振幅よりも大きく、前記第2の電圧は、前記第1の強誘電体メモリセルの前記疲労閾値に少なくとも部分的に基づく期間または繰り返し回数にわたって印加される、手段、および、

前記第1の強誘電体メモリセルへの前記第2の電圧の印加中において、第2の複数のアクセスサイクルの各サイクル中に前記メモリアレイの第2の強誘電体メモリセルに第3の電圧を印加する手段、

を含む、  
電子メモリ装置。

【請求項27】

前記第1の強誘電体メモリセルが前記疲労閾値に到達したと判定することに少なくとも部分的に基づいて、前記第1の強誘電体メモリセルのロジック状態を判定する手段、および、

前記第1の強誘電体メモリセルの前記ロジック状態を他のメモリセルに格納する手段であって、前記第2の電圧は、前記他のメモリセルに前記第1の強誘電体メモリセルの前記ロジック状態を格納した後、前記第1の強誘電体メモリセルに印加される、手段、

10

20

30

40

50

を更に含む、

請求項 2 6 に記載の電子メモリ装置。

【請求項 2 8】

前記第 2 の電圧を印加した後に前記他のメモリセルのロジック状態を判定する手段、および、

前記他のメモリセルの前記ロジック状態を前記強誘電体メモリセルに書き込む手段、をさらに含む、

請求項 2 7 に記載の電子メモリ装置。

【請求項 2 9】

前記第 1 の強誘電体メモリセルが前記疲労閾値に到達したことを判定する手段は、

10 タイマが閾値期間を超えることであって、前記閾値期間は、前記疲労閾値に到達する時間に少なくとも部分的に基づく、こと、

カウンタがカウントの閾値数を超えることであって、前記カウンタは、前記第 1 の複数のアクセスサイクルの各アクセスサイクル毎にインクリメントされる、こと、

前記第 1 の電圧の前記振幅よりも小さい振幅を有するテストアクセス電圧を印加することに少なくとも部分的に基づいて前記第 1 の強誘電体メモリセルを検知するのを失敗すること、

前記第 1 の複数のアクセスサイクルの各サイクルに使用されるセンスウィンドウよりも小さいテストセンスウィンドウに少なくとも部分的に基づいて前記第 1 の強誘電体メモリセルを検知するのを失敗することであって、前記テストセンスウィンドウはリファレンス電圧に少なくとも部分的に基づく、こと、または、

20 誤り訂正符号が前記第 1 の強誘電体メモリセルの破損したロジック値を検出すること

、  
のうちの少なくとも 1 つを検出する手段を含む、

請求項 2 6 に記載の電子メモリ装置。

【請求項 3 0】

前記期間または前記繰り返し回数にわたって前記第 2 の電圧を印加する手段は、

イベントの複数の出来事中に前記第 2 の電圧を印加する手段を含み、

前記期間のサブセットまたは前記繰り返し回数のサブセットが、前記イベントの各出来事に関連付けられる、

30 請求項 2 6 に記載の電子メモリ装置。

【請求項 3 1】

前記メモリアレイにアクセスするための要求を受信することに少なくとも部分的に基づいて、前記第 2 の電圧の前記印加を中断する手段、および、

前記要求を完了することに少なくとも部分的に基づいて、前記第 2 の電圧の前記印加を再開する手段、

をさらに含む、

請求項 2 6 に記載の電子メモリ装置。

【請求項 3 2】

前記第 2 の電圧が印加されるたびにカウンタをインクリメントする手段、をさらに含む、

40 請求項 2 6 に記載の電子メモリ装置。

【請求項 3 3】

ロジック状態を前記第 1 の強誘電体メモリセルに回復するリフレッシュ動作中に前記第 2 の電圧を印加する手段をさらに含み、

前記ロジック状態は、前記第 1 の電圧を印加することに少なくとも部分的に基づいて判定される、

請求項 2 6 に記載の電子メモリ装置。

【請求項 3 4】

前記第 2 の電圧を印加した後に前記第 1 の強誘電体メモリセルに蓄積された電荷が、前

10

20

30

40

50

記第2の電圧を印加する前に前記第1の強誘電体メモリセルに蓄積された電荷よりも大きいと判定する手段、

をさらに含み、

前記判定は、前記第1の強誘電体メモリセルによって生成されたセンス電圧に少なくとも部分的に基づく、

請求項26に記載の電子メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

<クロスリファレンス>

本特許出願は、「Ferroelectric Memory Cell Recovery」という名称のMarianiらによる2016年6月10日に出願された米国特許出願番号15/179,695号であって、本出願の譲受人に譲渡された該出願の優先権を主張する、「Ferroelectric Memory Cell Recovery」という名称の2017年6月1日に出願されたPCT出願番号PCT/US2017/035423号の優先権を主張する。これらの出願は、明示的に参照することにより、その全体が本明細書に含まれる。

10

【0002】

本発明は、一般にメモリデバイスに関し、より具体的には、疲労した強誘電性メモリセルの回復に関する。

20

【背景技術】

【0003】

メモリデバイスは、例えばコンピュータ、無線通信デバイス、カメラ、及びデジタルディスプレイなどの様々な電子デバイス中に情報を格納するために広く使用されている。情報は、メモリデバイスの異なる状態にプログラミングすることで格納される。例えば、バイナリデバイスはよくロジック「1」もしくはロジック「0」でしばしば表される2つの状態を有する。他のシステムでは、3つ以上の状態が格納され得る。格納された情報にアクセスするために、電子デバイスはメモリデバイス中の格納された状態を読み出しもしくは検知(sense;センス)し得る。情報を格納するために、電子デバイスはメモリデバイスの状態を書き込みもしくはプログラムし得る。

30

【0004】

ランダムアクセスメモリ(RAM)、リードオンリーメモリ(ROM)、ダイナミックRAM(DRAM)、シンクロナス・ダイナミックRAM(SDRAM)、強誘電体RAM(FeRAM)、磁気RAM(MRAM)、抵抗変化型RAM(RRAM)、フラッシュメモリ、および、その他を含む様々な種類のメモリデバイスが存在する。メモリデバイスは揮発性もしくは不揮発性であり得る。例えばフラッシュメモリなどの不揮発メモリは、外部電源が存在しなくても長期間にわたってデータを格納できる。DRAMなどの揮発性メモリデバイスは外部電源によって定期的にリフレッシュされないと、時間とともに格納されたそれらの状態を失い得る。バイナリメモリデバイスは、例えば、充電されたコンデンサもしくは放電されたコンデンサを含むことができる。しかし、充電されたコンデンサは時間とともにリーク電流により放電され得、その結果、格納された情報を失う。揮発性メモリのある機構は、読み出しもしくは書き込みの速度が速いことなどの有利な性能を提供し得るが、不揮発性メモリの機構は周期的なリフレッシュがなくてもデータを格納できることなどが有利である。

40

【0005】

FeRAMは、揮発性メモリと同様のデバイス構造を使用し得るが、ストレージデバイスとして強誘電体コンデンサを使用しているために、不揮発性の性質を有し得る。このため、FeRAMデバイスは、他の不揮発性メモリデバイスおよび揮発性メモリデバイスに比べて優れた性能を有し得る。しかし、FeRAMの性能は、それらの寿命とともに劣化する可能性がある。例えば、強誘電体材料は、通常の動作中にメモリセルに対して実行さ

50

れる読み出しまたは書き込み動作による疲労を受ける可能性がある。疲労した強誘電体材料は、FeRAMセルの電荷を蓄積する能力を低減し、メモリセルを動作不能にする可能性がある。

【図面の簡単な説明】

【0006】

本明細書の開示は以下の図面を参照し、含む。

【図1】本開示の様々な実施形態に従った、疲労した強誘電体メモリセルの回復をサポートするメモリアレイの例を説明する図である。

【図2】本開示の様々な実施形態に従った、疲労からの回復をサポートするメモリセルの回路の例を説明する図である。

10

【図3】本開示の様々な実施形態に従った、新品および疲労した強誘電体メモリセルのヒステリシスプロットの例を説明する図である。

【図4】本開示の様々な実施形態に従った、疲労した強誘電体メモリセルの回復をサポートする回復動作の例を説明する図である。

【図5】本開示の様々な実施形態に従った、疲労した強誘電体メモリセルの回復をサポートする分散動作の例を説明する図である。

【図6】本開示の様々な実施形態に従った、疲労した強誘電体メモリセルの回復をサポートする強誘電体メモリアレイの例を説明するブロック図である。

【図7】本開示の様々な実施形態に従った、疲労した強誘電体メモリセルの回復をサポートする強誘電体メモリアレイの例を説明するブロック図である。

20

【図8】本開示の様々な実施形態に従った、疲労した強誘電体メモリセルの回復をサポートする、メモリアレイを含むシステムの例を説明する図である。

【図9】本開示の様々な実施形態に従った、疲労した強誘電体メモリセルの回復のための方法を説明するフローチャートである。

【発明を実施するための形態】

【0007】

サイクル誘起疲労を被っているものを含む、疲労した強誘電体メモリセルは、メモリセルに回復電圧を印加することにより回復させることができる。回復電圧は、サイクリング電圧（例えば、メモリセルを読み書きするために使用される電圧）よりも大きな振幅を有することができる。回復電圧は、複数の電圧パルスまたは定電圧ストレスを含むことができる。ホストデバイスの動作の中断を最小化するために、メモリデバイスがホストデバイスによって使用されていない間に回復動作を適用することができ、かつ、回復動作を経時的に分散または中断することができる。例えば、ホストデバイスが電源オンまたはオフになっている間に回復動作が実行されても良く、または、メモリアレイがアイドル状態である間にバックグラウンドで実行されてもよい。

30

【0008】

サイクル誘起疲労は、強誘電体メモリセルの残留分極を減少させる可能性がある。残留分極は、メモリセルの読み出しまたは書き込み後に残る分極である。強誘電体メモリセルに蓄積される電荷はその残留分極に比例するので、残留分極が減少すると、メモリセルに蓄積される電荷が少なくなる。残留分極が閾値未満に低下した場合、メモリアレイは、疲労したメモリセルのロジック値を読み出すことができない可能性がある。すなわち、メモリアレイは、低減された電荷に基づいてロジック状態を決定するのに十分に敏感でない可能性がある。その結果、メモリセルは動作不能または壊れたと考えられ得る。

40

【0009】

回復動作は、メモリセルの残留分極を回復することによって疲労に対抗することができる。例えば、印加された回復電圧は、強誘電体材料の残留分極を改善または回復することができる。回復動作の有効性は、回復電圧の振幅およびその持続時間に依存し得る。いくつかの例では、回復動作は、バイポーラ電圧パルス、ユニポーラ電圧パルス、または定電圧を含むことができる。

【0010】

50

前に紹介した本開示の機構は、メモリアレイとの関連で以下にさらに記載される。そして、特定の例が疲労した強誘電体メモリセルの回復、およびこのような回復動作の様々な実装のために記載される。本開示のこれらおよび他の機構は、疲労した強誘電体メモリセルの回復に関連する装置図、システム図、およびフローチャートによりさらに説明され、これらを参照して記載される。

#### 【0011】

図1は、本開示の様々な実施形態に従った、疲労した強誘電体メモリセルの回復をサポートするメモリアレイ100の例を説明する。メモリアレイ100は、電子メモリ装置とも称され得る。メモリアレイ100は、異なる状態を格納するようにプログラム可能なメモリセル105を含む。個々のメモリセル105は、ロジック0およびロジック1として示される2つの状態を格納するようにプログラムされ得る。いくつかのケースでは、メモリセル105は、3つ以上のロジック状態を格納するように構成される。メモリセル105は、プログラム可能な状態を表現する電荷を格納するためのコンデンサを含み得る。例えば、充電されたコンデンサおよび充電されていないコンデンサは、それぞれ2つのロジック状態を表わし得る。メモリセル105は、強誘電体材料を有するコンデンサを含むことができる。強誘電体材料は自発的な電気分極を有する。すなわち電界が存在しない場合にゼロではない分極を有する。強誘電体メモリセル105のいくつかの詳細および利点を以下に説明する。強誘電体コンデンサの異なるレベルの電荷は、異なるロジック状態を表すことができる。強誘電体メモリセル105が周期的に循環(cycle)される(例えば、読み出しまたは書き込み動作を介して循環される)につれて、その分極は疲労によって減少し得、蓄積された電荷を減少させ得る。メモリセル105の分極を回復させるために、回復動作をメモリセル105に適用することができる。

#### 【0012】

読み出しおよび書き込みなどの動作(すなわち、サイクリング)は、メモリセル105上で適切なアクセス線110またはデジット線115を活性化もしくは選択することによって行われ得る。アクセス線110はワード線110とも呼ばれることがあり、デジット線115はビット線115とも呼ばれることがある。ワード線110もしくはデジット線115を活性化または選択することは、個々の線に電圧を印加することを含むことができる。ワード線110およびデジット線115は、導電性材料で作られる。例えば、ワード線110およびデジット線115は、金属(例えば、銅、アルミニウム、金、タンゲステンなど)、金属合金、またはその他の導電性材料などから生成される。図1の例によると、メモリセル105の個々の行は1本のワード線110に接続され、メモリセル105の個々の列は1本のデジット線115に接続される。1本のワード線110と1本のデジット線115を活性化させる(例えば、ワード線110もしくはデジット線115に電圧を印加する)ことにより、それらの交点にある1つのメモリセル105がアクセスされ得る。ワード線110およびデジット線115の交点は、メモリセルのアドレスと称され得る。各アクセス動作は、メモリセル105の残留分極を低減する可能性があり、使用に伴ってアクセス動作の回数が増加すると、メモリセル105が疲労により動作不能になる可能性がある。

#### 【0013】

いくつかの構造では、例えばコンデンサなどのセルのロジック格納デバイスは、選択コンポーネントによってデジット線から電氣的に分離され得る。ワード線110が選択コンポーネントに接続され得るし、選択コンポーネントを制御し得る。例えば、選択コンポーネントはトランジスタであっても良く、ワード線110はトランジスタのゲートに接続されても良い。ワード線110の活性化は、メモリセル105のコンデンサとメモリセル105の対応するデジット線115の間の電氣的接続もしくは閉回路をもたらす。その後、デジット線はメモリセル105の読み出しもしくは書き込みのためにアクセスされ得る。選択デバイスとしてトランジスタを含まない他の構造が使用されてもよい。例えば、クロスポイントメモリアレイ構造を使用することができる。

#### 【0014】

メモリセル105へのアクセスは、行デコーダ120および列デコーダ130を通じて制御され得る。いくつかの例では、行デコーダ120はメモリコントローラ140から行アドレスを受信し、受信した行アドレスに基づいて適切なワード線110を活性化する。同様に、列デコーダ130はメモリコントローラ140から列アドレスを受信し、適切なデジット線115を活性化する。例えば、メモリアレイ100は、WL<sub>1</sub>~WL<sub>M</sub>とラベル付けされた複数のワード線、およびDL<sub>1</sub>~DL<sub>N</sub>とラベル付けされた複数のデジット線115を備えることができる。ここで、MおよびNはアレイサイズに依存する。このため、ワード線110およびデジット線115（例えば、DL<sub>2</sub>およびWL<sub>3</sub>）の活性化により、それらの交点のメモリセル105がアクセスされ得る。いくつかのケースでは、行、列、行もしくは列のいくつかの組み合わせ、またはアレイ全体に回復動作が適用され得る。他の場合では、メモリアレイ100はメモリバンクであり得るし、回復動作はメモリバンクに適用され得る。

10

**【0015】**

アクセスに際して、メモリセル105は、格納されているメモリセル105の状態を判定するためにセンスコンポーネント125によって読み出しもしくは検知され得る。例えば、メモリセル105にアクセスした後に、メモリセル105の強誘電体コンデンサは、その対応するデジット線115に放電され得る。強誘電体コンデンサを放電することは、強誘電体コンデンサにバイアスまたは電圧を印加することに基づくことができる。放電は、メモリセル105に格納された状態を判定するためにセンスコンポーネント125がリファレンス電圧（図示せず）と比較することができるデジット線115の電圧の変化を誘起することができる。例えば、デジット線115がリファレンス電圧よりも高い電圧を有する場合には、センスコンポーネント125は、メモリセル105中に記憶された状態がロジック1であったと判定でき、またその逆も可能である。センスコンポーネント125は、ラッチングと呼ぶことができる信号の差を検出し、増幅するために、様々なトランジスタまたは増幅器を含むことができる。メモリセル105の検出されたロジック状態は、出力135として列デコーダ130を介してその後出力され得る。いくつかのケースでは、検知動作は、メモリセル105が疲労閾値に達したことを決定することができる。例えば、センスコンポーネント125は、疲労に起因したメモリセル105の記憶された電荷の減少を判定することができる。その後、メモリセル105に対して回復動作が実行され得る。

20

30

**【0016】**

メモリセル105は、関連したワード線110およびデジット線115を活性化することにより、設定もしくは書き込みされ得る。前述のように、ワード線110の活性化は、対応する行のメモリセル105をそれらの個々のデジット線115に電氣的に接続する。ワード線110が活性化されている間に関連するデジット線115を制御することにより、メモリセル105は書き込みされ得る。すなわち、ロジック値がメモリセル105に格納され得る。列デコーダ130は、例えば、入力135などのメモリセル105に書き込まれるデータを受け付け得る。強誘電体メモリセル105は、強誘電体コンデンサにわたって電圧を印加することによって書き込まれ得る。いくつかの例では、回復電圧を同様の方法で印加することができる。すなわち、関連するワード線110およびデジット線115を活性化することにより、強誘電体コンデンサにわたって回復電圧を印加することができる。いくつかの実施例では、回復電圧は、以下でより詳細に説明するように、プレート線を使用して印加され得る。

40

**【0017】**

DRAMなどの、いくつかのメモリ構造では、メモリセル105への1つのアクセス動作は格納されたロジック状態を劣化もしくは破壊し得、メモリセル105に元のロジック状態を戻すために、再書き込み動作もしくはリフレッシュ動作が行われ得る。例えば、DRAMでは、検知動作の間にコンデンサは部分的もしくは完全に放電され得、格納されたロジック状態が壊れる。このため、検知動作の後に、ロジック状態は再書き込みされ得る。さらに、1つのワード線110を活性化することは、その行の全てのメモリセルの放電

50

をもたらす得、その行のいくつかもしくは全てのメモリセル105が再書き込みされる必要がある得。

【0018】

DRAMを含むいくつかのメモリ構造では、外部電源によって定期的リフレッシュされない、時間とともにそれらに格納された状態を失い得る。例えば、充電されたコンデンサは時間とともにリーク電流により放電され得、その結果、格納された情報の喪失をもたらす。これらのいわゆる揮発性メモリ装置のリフレッシュレートは比較的高くなり得る。例えば、DRAMアレイでは1秒間に10回のリフレッシュ動作であり得る。それは、著しい電力消費をもたらす。メモリアレイがますます大きくなると、より大きな電力消費は、特に、バッテリーなどの有限の電力源に頼る移動デバイスに対するメモリアレイの配備もしくは動作を抑制し得る（例えば、電力供給、熱生成、材料の制限など）。後述するように、強誘電体メモリセル105は、他のメモリ構造と比較して改善された性能をもたらすことができる有益な特性を有し得る。強誘電体メモリセル105に対する回復動作を行うことにより、それらの寿命は延長され得る。

【0019】

メモリコントローラ140は、例えば行デコーダ120、列デコーダ130、およびセンスコンポーネント125などの様々なコンポーネントを通じて、メモリセル105の動作（例えば、読み出し、書き込み、再書き込み、リフレッシュ、回復など）を制御し得る。メモリコントローラ140は、所望のワード線110およびデジット線115を活性化するために、行アドレス信号および列アドレス信号を生成し得る。メモリコントローラ140は、メモリアレイ100の動作の間に使用される様々な電圧をさらに生成し得るし、制御し得る。一般的に、本明細書で論じられる印加電圧の振幅、形状、もしくは継続時間は、調整され得るか、または、変更され得るし、メモリアレイ100に対する様々な動作で異なり得る。さらに、メモリアレイ100中の1つ、複数、もしくは全てのメモリセル105は、同時にアクセスされ得る。例えば、全てのメモリセル105もしくは一群のメモリセル105が1つのロジック状態に設定されるリセット動作の間に、メモリアレイ100の複数もしくは全てのセルが同時にアクセスされ得る。メモリコントローラ140は、複数の過程に回復動作を分散させることもでき、このことはホストデバイスの動作の中断を防止するのに役立つ可能性がある。

【0020】

図2は、本開示の様々な実施形態に従った、メモリセル105を含み、疲労した強誘電体メモリセルの回復をサポートする回路200の例を説明する。回路200は、図1を参照しながら記述したメモリセル105、ワード線110、デジット線115、およびセンスコンポーネント125のそれぞれの例である強誘電体メモリセル105-a、ワード線110-a、デジット線115-a、およびセンスコンポーネント125-aを含む。メモリセル105-aは、第1のプレート（セルプレート230）および第2のプレート（セル底部215）を有するコンデンサ205などのロジック格納コンポーネントを含み得る。セルプレート230とセル底部215は、それらの間に位置する強誘電体材料を介して容量的に結合され得る。セルプレート230およびセル底部215の向きは、メモリセル105-aの動作を変更することなく反転することができる。回路200は、選択コンポーネント220およびリファレンス信号225も含む。図2の例では、セルプレート230は、プレート線210を介してアクセスされ得るし、セル底部215は、デジット線115-aを介してアクセスされ得る。上述したように、コンデンサ205を充電または放電することによって、様々な状態が記憶され得る。例えば、プレート線210またはデジット線115-aを用いて強誘電体コンデンサ205にわたって電圧を印加することにより、回復動作は、メモリセル105-aに適用され得る。

【0021】

格納されたコンデンサ205の状態は、回路200に表わされている様々な素子の動作により、読み出しもしくは検知されることができる。コンデンサ205は、デジット線115-aと電子的に通信し得る。例えば、選択コンポーネント220が非活性化されてい

10

20

30

40

50

るときに、コンデンサ205はデジタル線115-aから分離されることができ、選択コンポーネント220が活性化されているときに、コンデンサ205はデジタル線115-aに接続されることができる。選択コンポーネント220の活性化は、メモリセル105-aの選択とすることができる。いくつかのケースでは、選択コンポーネント220はトランジスタであり、その動作は、トランジスタの閾値の大きさ以上の大きさの電圧をトランジスタゲートに印加することによって制御される。ワード線110-aは選択コンポーネント220を活性化し得る。例えば、ワード線110-aに印加された電圧がトランジスタゲートに印加されることで、コンデンサ205をデジタル線115-aに接続する。代替的な実施形態では、選択コンポーネント220がプレート線210とセルプレート230の間に接続され、コンデンサ205がデジタル線115-aと選択コンポーネント220の他の端子の間にあるように、選択コンポーネント220とコンデンサ205の位置が入れ替えられ得る。この実施形態では、選択コンポーネント220はコンデンサ205を通じてデジタル線115-aと電子的に通信したままになり得る。この構成は読み出し動作および書込み動作の代替的なタイミングならびにバイアスに関連し得る。

10

#### 【0022】

コンデンサ205のプレート間の強誘電体材料のため、さらに詳しく以下で論じるように、コンデンサ205はデジタル線115-aとの接続時に放電しないことがあり得る。強誘電体コンデンサ205に記憶されたロジック状態を検知するために、メモリセル105-aを選択するようにワード線110-aがバイアスされ得るし、プレート線210に電圧が印加され得る。このバイアスは、選択コンポーネント220を活性化した後に印加することができ、またはバイアスが常にセルプレート230に印加されても良い。プレート線210をバイアスすることは、コンデンサ205にわたって電圧差を生じさせることができ、コンデンサ205に蓄積された電荷の変化をもたらすことができる。蓄積された電荷の変化の大きさは、コンデンサ205の初期状態（例えば、コンデンサの初期状態が記憶されたロジック1またはロジック0であるか）に依存し得る。これは、コンデンサ205に蓄積された電荷に基づいてデジタル線115-aの電圧の変化を誘起することができ、記憶されたロジック状態を決定するために使用され得る。

20

#### 【0023】

デジタル線115-aの電圧の変化は、その固有容量に依存する可能性がある。例えば、デジタル線115-aに電圧が加えられると、デジタル線115-aにいくつかの有限電荷が格納され得、結果として得られるデジタル線の電圧は、デジタル線115-aの固有容量に依存し得る。固有容量は、デジタル線115-aの例えば寸法を含む物理的特性に依存し得る。デジタル線115-aは、多数のメモリセル105-aを接続することができるので、デジタル線115-aは、無視できない容量（例えば、ピコファラッドのオーダー（pF））をもたらす長さを有し得る。その後、メモリセル105-a中の記憶されたロジック状態を決定するために、センスコンポーネント125-aによって、得られたデジタル線115-aの電圧は、リファレンス信号225（例えば、リファレンス線の電圧）と比較され得る。メモリセル105-aが疲労すると、メモリセル105-aに蓄積される電荷が少なくなり得るので、デジタル線115-aの結果として生じる電圧は変化する可能性がある。このようにして、得られたデジタル線115-a電圧をメモリセル105-aがその疲労閾値に到達したか否かを判定するために使用することができる。

30

40

#### 【0024】

センスコンポーネント125-aは、ラッチングと呼ぶことができる信号の差を検出し、増幅するために、様々なトランジスタまたは増幅器を含むことができる。センスコンポーネント125-aは、デジタル線115-aの電圧を受信し、リファレンス電圧であり得るリファレンス信号225と比較するセンス増幅器を含むことができる。センスコンポーネント125-aは、センス増幅器の出力またはデジタル線115-aの電圧、あるいは、両方をその後ラッチすることができる。ラッチされたメモリセル105-aのロジック状態は、例えば、図1に関する出力135として列デコーダ130を介してその後出力する。

50

## 【 0 0 2 5 】

メモリセル 1 0 5 - a に書き込むために、様々な方法を使用してコンデンサ 2 0 5 にわたって電圧が印加され得る。いくつかの例では、選択コンポーネント 2 2 0 は、コンデンサ 2 0 5 をデジット線 1 1 5 - a に電氣的に接続するために、ワード線 1 1 0 - a を介して活性化され得る。強誘電体コンデンサ 2 0 5 では、コンデンサ 2 0 5 にわたって正または負の電圧を印加するために、(プレート線 2 1 0 を介して)セルプレート 2 3 0 および(デジット線 1 1 5 - a を介して)セル底部 2 1 5 の電圧を制御することにより、コンデンサ 2 0 5 にわたって電圧が印加され得る。

## 【 0 0 2 6 】

回復動作もまた、コンデンサ 2 0 5 にわたって電圧を印加することができる。例えば、10選択コンポーネント 2 2 0 を活性化させることができ、プレート線 2 1 0 およびデジット線 1 1 5 - a を使用してコンデンサ 2 0 5 にわたって電圧を印加することができる。いくつかの例では、プレート線 2 1 0 は複数のメモリセル 1 0 5 に接続されることができ、プレート線 2 1 0 に接続された各メモリセル 1 0 5 に回復動作が適用され得る。例えば、プレート線 2 1 0 は、メモリセル 1 0 5 の行に共通に接続され得、電圧をかけられたワード線 1 1 0 - a は、図 1 に示すように、対応する行の全てのメモリセル 1 0 5 を選択することができる。従って、1本のワード線 1 1 0 - a およびプレート線 2 1 0 に電圧をかけることにより、複数のメモリセル 1 0 5 が回復され得る。

## 【 0 0 2 7 】

回復動作は、読み出しまたは書き込み動作中に使用される電圧振幅よりも大きい電圧振幅を使用することができる。いくつかのケースでは、より大きな回復電圧を生成するために、内部回路が使用され得る。他の場合では、プレート線 2 1 0 は、メモリセルアクセス動作に使用される電圧源とは異なる回復のために使用される電圧源と電子的に通信できる。20

## 【 0 0 2 8 】

図 3 は、本開示の様々な実施形態に従った、疲労回復をサポートする強誘電体メモリセルのヒステリシスプロットの例を説明する図である。ヒステリシスプロット 3 0 0 は、強誘電体コンデンサ(例えば、図 2 のコンデンサ 2 0 5)に格納された電荷  $Q$  を、電圧差  $V$  の関数として示している。電荷は強誘電体材料の分極に比例する。ヒステリシスプロット 3 0 0 - a は、強誘電体メモリセル 1 0 5 の書き込み動作の一例を示し、ヒステリシスプロット 3 0 0 - b は、新品と疲労した強誘電体メモリセル 1 0 5 とを比較する。30

## 【 0 0 2 9 】

強誘電体材料は、自発的な電気分極(すなわち、電界がなくても 0 ではない電気分極を維持する)によって特徴付けられる。強誘電体材料の例は、チタン酸バリウム( $BaTiO_3$ )、チタン酸鉛( $PbTiO_3$ )、チタン酸ジルコン酸鉛(PZT)、およびタンタル酸ストロンチウム・ビスマス(SBT)を含む。本明細書に記載する強誘電体コンデンサは、これらの強誘電体材料もしくは他の強誘電体材料を含み得る。強誘電体コンデンサ中の電気分極は、強誘電体材料の表面に正味荷電をもたらし、コンデンサの端子を通じて反対の電荷を引き付ける。このため、電荷が強誘電体材料とコンデンサの端子の間に格納される。比較的長時間にわたって(たとえ無期限にでも)外部から印加される電界がなくても電気分極が維持され得るため、例えばDRAMアレイで使用されているコンデンサと比べて、電荷のリークは著しく削減される。このことは、いくつかのDRAM構造について前述したようなリフレッシュ動作を行う必要を少なくする。40

## 【 0 0 3 0 】

ヒステリシスプロット 3 0 0 はコンデンサの 1 つの端子の視点から理解され得る。例として、強誘電体が負の分極を有する場合、正の電荷が端子に蓄積される。同様に、強誘電体が正の分極を有する場合、負の電荷が端子に蓄積される。さらに、ヒステリシスプロット 3 0 0 中の電圧はコンデンサにわたっての電圧の差を表わし、指向性があることも理解されるべきである。例えば、問題になっている端子(例えば、セルプレート 2 3 0)に正の電圧を印加し、第 2 の端子(例えば、セル底部 2 1 5)をグラウンド(もしくは、おお50

よそ0V)に維持することによって、正の電圧が実現され得る。問題になっている端子をグラウンドに維持し、第2の端子に正の電圧を印加すること(すなわち、問題になっている端子を負に分極させるように正の電圧が印加され得る)によって、負の電圧が印加され得る。同様に、2つの正の電圧、2つの負の電圧、もしくは正の電圧と負の電圧の任意の組み合わせが、ヒステリシスプロット300中に示す電圧の差を生成するために、適切なコンデンサ端子に印加され得る。

#### 【0031】

ヒステリシスプロット300-aに描写したように、強誘電体材料は電圧の差が0の状態では正の分極もしくは負の分極を維持でき、2つの可能な充電状態(電荷状態305および電荷状態310)をもたらす。図3の例によると、電荷状態305はロジック0を表わし、電荷状態310はロジック1を表わす。いくつかの実施例では、各電荷状態のロジック値は、理解や動作を損なうことなく、逆にすることができる。

10

#### 【0032】

ロジック0もしくはロジック1は、電圧を印加することにより、強誘電体材料の電気分極(その結果として、コンデンサの端子の電荷)を制御することによって、メモリセルに書き込まれ得る。例えば、コンデンサにわたって正味の正電圧315を印加すると、電荷状態305-aに達するまで電荷の蓄積が起こる。電圧315を除去すると、電荷状態305-aは0電位での電荷状態305に達するまでパス320をたどる。同様に、電荷状態310-aをもたらす正味の負電圧325を印加することにより、電荷状態310は書き込まれる。負電圧325を除去した後で、電荷状態310-aは0電圧での電荷状態310に達するまでパス330をたどる。電荷状態305および310は、残留分極(Pr)値とも呼ばれることがある。すなわち、外部バイアス(例えば、電圧)を除去した際に残る分極(または電荷)である。

20

#### 【0033】

強誘電体コンデンサの格納された状態を読み出しもしくは検知するために、コンデンサにわたって電圧が印加される。それに応じて、格納された電荷Qが変化し、変化の度合いは初期の電荷状態に依存する。すなわち、最終的に格納された電荷(Q)は、電荷状態305-bが最初に格納されているか、電荷状態310-bが最初に格納されているかに依存する。いくつかのケースでは、最終的に格納された電荷は、メモリセル105と電子的に通信するデジタル線の電圧を変更し得る。デジタル線電圧をリファレンス電圧と比較することにより、コンデンサの初期状態を決定することができる。

30

#### 【0034】

いくつかのケースでは、読み出し動作に続いて、最初に格納されたロジック値がメモリセル105に書き込まれるライトバック動作を実行することができる。すなわち、読み出し動作は、対象のメモリセル105に最初に格納されたロジック値を破壊する可能性がある。読み出しプロセスは、正の電圧を使用することができる。他の電圧が使用されてもよいが、例えば、電圧315がメモリセル105に印加され得る。ロジック1が最初に格納されている場合、例えば、(正確な検知スキームに応じて他の位置も可能ではあるが)電荷状態305-aに到達するまで電荷状態310がヒステリシスプロット300-aに従う結果を読み出し電圧はもたらし得る。読み出し電圧が除去された後、電荷状態は、その元の状態(電荷状態310)に戻らないことがある。むしろ、例えば、パス320のような異なるパスに従って電荷状態305に確定することができる。言い換えると、ロジック1の読み出し動作は、ロジック0をメモリセルに書き込むことをもたらし得る。従って、最初に記憶されたロジック値をメモリセルに戻すためのライトバック動作が実行され得る。例えば、電圧325などの負の電圧が、元のロジック1の値をライトバックために印加され得る。

40

#### 【0035】

上述したように、残留分極は、強誘電体メモリセル105に適用されるサイクルまたはアクセス動作の数に伴って低下する可能性がある。ヒステリシスプロット300-bは、新品と疲労した強誘電体メモリセル105とを比較する。新品のヒステリシスプロット3

50

35 (破線)は、新品の強誘電体メモリセル105のヒステリシスプロットを示し、一方、疲労したヒステリシスプロット340 (実線)は、疲労したメモリセル105のヒステリシスプロットを示す。疲労したヒステリシスプロット (電荷状態305 - bおよび310 - bによって示される)は、新品のヒステリシスプロット335 (電荷状態305 - aおよび310 - aによって示される)の残留分極と比較してより低い残留分極を有する。

#### 【0036】

各アクセス動作は、メモリセルをさらに疲労させることがある。すなわち、両電荷状態305 - bおよび310 - bは、大きさが減少し続ける可能性がある。これは、メモリセル105中に記憶されたロジック状態を検知または読み出す能力に影響を及ぼす可能性がある。メモリセル105を読み出すことは、2つの電荷状態305および310の間を区別することを含むことができる。強誘電体コンデンサが疲労し続けると、電荷状態305および310の間の分離は減少し続ける。ある時点で、メモリアレイ (例えば、コントローラ、センス増幅器など)は、2つの電荷状態を適切に区別することができない可能性がある。すなわち、電荷状態305および310の間の最小の分離は、記憶されたロジック状態を読み出すために必要とされ得る。例えば、電荷状態305 - bおよび電荷状態310 - bとの間の差分は、センスコンポーネント125がメモリセル105を読み出すのに不十分である可能性がある。いくつかのケースでは、強誘電体材料に応じて、サイクル数が約 $10^8$ サイクルを超える場合に疲労限度が発生する可能性があるが、メモリアレイによって使用される検知方式に依存し得る。例えば、 $10^{13}$ サイクルまでは疲労限度が発生しない場合がある。

#### 【0037】

回復動作は、残留分極を改善または回復し、従って、蓄積された電荷を増加させることができる。例えば、疲労したメモリセル105に回復電圧を印加することにより、疲労したヒステリシスプロット340を、新品ヒステリシスプロット335に回復することができる。それにより、残留分極を電荷状態305 - bおよび電荷状態310 - bから、電荷状態305 - aおよび電荷状態310 - aに、それぞれ増加させる。いくつかのケースでは、回復動作を、疲労閾値に達する前 (例えば、 $10^{10}$ サイクルで)に適用することができる。回復動作は、例えば $10^4 \sim 10^8$  サイクル等の大幅に少ないサイクルを含むことができるが、他の値が可能である。

#### 【0038】

図4は、プロット400 - a、プロット400 - bおよびプロット400 - cを用いた、本開示の様々な実施形態による、疲労した強誘電体メモリセルの回復をサポートする回復動作の例を示す。プロット400は、強誘電体メモリセル105の電圧サイクルの例を時間とともに示す。プロット400は、アクセス動作405、回復動作410、および回復測定動作415を含む。

#### 【0039】

メモリセル105は、メモリデバイスの動作中に、読み出しまたは書き込みを介して、循環され得る。いくつかの閾値 (例えば、中でも時間、サイクル数、電荷検知)の後、図3を参照して説明したように、メモリセル105の残留分極を改善するために回復動作410が実行され得る。回復動作の後、回復測定動作415が回復動作410の有効性を判定することができる。いくつかのケースでは、回復測定動作415は行われなくてもよく、回復動作410の後に通常のサイクリングが開始されてもよい。他のケースでは、回復測定動作415は、メモリセル105の単一のアクセス動作であってもよい。

#### 【0040】

各動作 (アクセス動作405、回復動作410、回復測定動作415)は、1つ以上のメモリセル105に適用することができる。例えば、該動作は、メモリセル105の行、列、もしくは様々な行/列の組み合わせに適用されるそれぞれの動作を表すことができる。あるケースでは、メモリアレイ100全体に対して該動作が実行され得る。アクセス動作405の間、複数のアクセスサイクルの各サイクル中に、第1の電圧が強誘電体メモリセル105に印加され得る。例えば、第1の電圧を印加することは、強誘電体メモリセル

10

20

30

40

50

105への読み出しまたは書き込みを含むことができる。

【0041】

いくつかのアクセス動作の後、アクセス動作405の間に第1の電圧を印加することに基づいて、強誘電体メモリセル105が疲労閾値に到達したと判定することができる。疲労閾値は、図3を参照して説明したように、強誘電体メモリセル105が残留分極閾値に達する全アクセスサイクル数に基づいてもよい。

【0042】

いくつかのケースでは、メモリセル105が疲労閾値に達したことを判定することは、いくつかの可能なイベントのうちの1つを検出することを含むことができる。例えば、タイマが閾値時間を越えたことを検出することであって、閾値時間は、疲労閾値に到達する時間に基づき得る。いくつかのケースでは、疲労閾値に達する時間は、各アクセスサイクルの継続時間（例えば、メモリデバイスの平均動作または一定のアクセス動作の最悪の場合のシナリオに基づく期間）に基づくことができる。

10

【0043】

別の例では、メモリセル105が疲労閾値に達したと判定することは、カウンタがカウント数の閾値を超えたことと判定することを含み得る。ここで、カウンタは、複数のアクセスサイクルの各アクセスサイクルに対してインクリメントされる。いくつかのケースでは、カウント数の閾値は、強誘電体メモリセル105の疲労閾値に達するためのアクセスサイクルの数に基づく。いくつかのケースでは、これは、ユーザによって予め定められていてもよいし、プログラムされていてもよい。

20

【0044】

別の例では、メモリセル105が疲労閾値に達したと判定することは、アクセス動作405中の第1の電圧の振幅よりも小さい振幅を有するテストアクセス電圧を印加することに基づいてメモリセル105の検知の失敗を検出することを含んでもよい。例えば、強誘電体メモリセル105に、（例えば、プレート線210を用いて）より低いアクセス電圧が印加される可能性があり、図3を参照しながら記載したように、これは、デジット線115がより低い電圧を有する結果をもたらし得る。より低いデジット線115の電圧により、センスコンポーネント125は、メモリセル105を読み出すことができず、回復動作410を開始する可能性がある。すなわち、強誘電体メモリセル105の疲労閾値は、強誘電体メモリセル105に蓄積された電荷と、強誘電体メモリセル105およびセンスコンポーネント125と電子的に通信するデジット線115の容量との関係に基づくものであってもよい。典型的なアクセス電圧よりも小さい振幅を有するテスト電圧を使用することによって、メモリセル105は疲労により故障する前に回復することができ、メモリデバイスの動作の中断を防止することができる。

30

【0045】

いくつかの例では、メモリセル105が疲労閾値に達したことを決定することは、複数のアクセスサイクルの各サイクルに使用されるセンスウィンドウよりも小さいテストセンスウィンドウに基づいて、強誘電体メモリセル105を検知することの失敗を検出することを含んでもよい。例えば、テストセンスウィンドウは、リファレンス電圧に基づき得るし、テストセンスウィンドウのサイズを変更するために異なるリファレンス電圧が使用され得る。

40

【0046】

いくつかの例では、強誘電体メモリセル105の破損したロジック値を検出する誤り訂正符号が、メモリセル105がその疲労閾値に達したとの決定を引き起こし得る。例えば、センスコンポーネント125は、メモリセル105を読み出すことができない可能性があり、未知のロジック値は、誤り訂正符号によって訂正される可能性がある。メモリセル105がその疲労閾値に達したかどうかを判定するための他のイベントが可能あり得る。例えば、疲労回復動作を開始するためのコマンドを受信することができる。いくつかのケースでは、コマンドは、システム要求など、メモリアレイの外部で生成されてもよい。

【0047】

50

強誘電体メモリセル105がその疲労閾値に達したと判定した後、例えば、回復動作410の間、第2の電圧が強誘電体メモリセル105に印加されてもよい。いくつかのケースにおいて、第2の電圧の振幅は、第1の電圧の振幅よりも大きくてもよい。第2の電圧は、強誘電体メモリセルの疲労閾値に基づく期間または繰り返し回数にわたって印加され得る。いくつかの例では、第2の電圧の期間もしくは繰り返し回数は、第2の電圧の振幅に基づく。いくつかのケースでは、第2の電圧が回復動作410の間に印加されるたびに、カウンタがインクリメントされてもよい。

【0048】

いくつかの実施例では、第2の電圧は、ロジック状態を強誘電体記憶セル105に回復するリフレッシュ動作中に印加されてもよい。ここで、ロジック状態は、第1の電圧を印加することに基づいて決定される。例えば、アクセス動作405の間の読み出し動作に続いて、ライトバックまたはリフレッシュ動作が行われ得る。第2の電圧(回復動作410)は、ライトバック動作中に印加され得る。いくつかの実施例では、より高い電圧または一定の電圧ストレスにおけるいくつかのサイクルが、リフレッシュ動作中に適用され得る。

10

【0049】

いくつかのケースでは、メモリアレイ100は、例えば、モバイルデバイスまたは任意の他の電子デバイスであるデバイスの素子を含む。回復動作410の間に使用される第2の電圧は、少なくとも1つのデバイスの電源がオンにされること、デバイスの電源がオフにされること、または、デバイスが外部電源に接続されることを含むイベントの間、強誘電体メモリセル105に印加され得る。または、メモリアレイ100は、例えばデバイスの別の素子から、回復動作を開始して第2の電圧を印加するためのコマンドを受け取ることができる。これは、ホストデバイスまたはその電源(例えば、そのバッテリー)の動作に対する回復動作410の影響を低減する可能性がある。いくつかのケースでは、回復動作410は、例えば、ホストデバイスが外部電源に充電されて接続されている場合に、一定のレートで実行される回復サイクルのバーストであってもよい。

20

【0050】

いくつかの実施例では、回復動作410は、メモリアレイ全体に適用され得る。他の場合では、回復動作410は、メモリアレイのサブセットに適用され得る。例えば、ホストデバイスの動作に影響を与えることなく、回復動作410がバックグラウンドで行われることができるように、メモリアレイの一部は、アレイの残りが正常に動作する間に回復され得る。

30

【0051】

回復動作410を実行した後、回復測定動作415が実行され得る。例えば、回復測定動作415は、回復動作410が、メモリセル105を疲労効果から回復したかを判定することができる。いくつかのケースでは、これは、例えば読み出し動作のようなテストアクセス動作を含むことができる。回復測定動作415は、第2の電圧を印加した後(すなわち、回復動作410の間)に、強誘電体メモリセル105に蓄積された電荷が、第2の電圧を印加する前に、メモリセル105に蓄積された電荷よりも大きいと判定できる。いくつかのケースでは、図3を参照して説明したように、判定はメモリセル105によって生成されたセンス電圧に基づくことができる。

40

【0052】

プロット400-a、プロット400-b、およびプロット400-cは、異なる回復操作410を説明する。プロット400-aは、第2の電圧が複数のバイポーラ(2つの極性の)電圧パルスである回復動作410を説明する。他のケースでは、プロット400-bの回復動作410-aに示されるように、第2の電圧は、複数のユニポーラ(1つの極性の)パルスであり得る。他の実施例では、プロット400-cの回復動作410-bのように、第2の電圧は、一定の振幅を有する電圧であり得る。プロット400-bおよびプロット400-cでは正の振幅で示されているが、回復動作410-aおよび回復動作410-bは、負の振幅を使用することができる。回復パルスの数は変化し得、例えば

50

$10^4 \sim 10^8$  サイクルが使用され得るが、他の値も可能である。回復動作 4 1 0 - b の期間は、回復動作 4 1 0 および回復動作 4 1 0 - a の電圧パルスが印加される総期間と同じであり得る。

#### 【 0 0 5 3 】

回復動作 4 1 0 の効果は、第 2 の電圧の振幅およびパルスの数または定電圧の総時間長に依存し得る。すなわち、より大きな振幅を有するパルスは、より少ないパルスまたはより短い期間で、回復を達成することができる。例えば、1.5 V のアクセス動作によって疲労したメモリセル 1 0 5 は、1.8 V の回復電圧振幅を使用して  $10^7$  個のパルスによって回復される。別の実施例では、1.5 V のアクセス動作によって疲労したメモリセル 1 0 5 は、2.4 V の振幅を使用して  $10^4$  個のパルスによって回復される。他のアクセスおよび回復の振幅も可能であり、パルスの数も可能である。

10

#### 【 0 0 5 4 】

いくつかの実施例では、回復動作 4 1 0 は、より高い数の回復サイクルでより効果的であり得る。他の実施例では、より遅い回復パルスは、より速いパルスと比較して回復効果を改善し得る。回復の有効性は、回復サイクル（回復動作 4 1 0、および回復動作 4 1 0 - a）または一定の振幅（回復動作 4 1 0 - b）の総持続時間の関数であり得る。

#### 【 0 0 5 5 】

いくつかの実施例では、回復動作 4 1 0 は、メモリデバイスの動作中に変更され得る。例えば、回復動作 4 1 0 の振幅は、メモリセル 1 0 5 の寿命とともに変化し得る。例えば、より後の回復動作 4 1 0 は、より大きな振幅を使用してメモリセル 1 0 5 を回復することができる。いくつかのケースでは、第 2 の電圧のパルス数または期間も変化する可能性がある。例えば、より多くの回復パルスを、メモリセル 1 0 5 の寿命のより後の方に使用することができる。

20

#### 【 0 0 5 6 】

図 5 は、本開示の様々な実施形態に従って、プロット 5 0 0 を使用して、疲労した強誘電体メモリセルの回復をサポートする分散回復動作の例を示す。図 4 を参照して説明したプロット 4 0 0 の一例であり得るプロット 5 0 0 は、強誘電体メモリセル 1 0 5 の時間に伴う電圧サイクリングの例を示す。プロット 5 0 0 は、図 4 を参照しながら説明したアクセス動作 4 0 5 および回復動作 4 1 0 の例であり得る、アクセス動作 4 0 5 - c およびアクセス動作 4 0 5 - d、ならびに、回復動作 4 1 0 - c、回復動作 4 1 0 - d、および回復動作 4 1 0 - e を含む。回復動作 4 1 0 - c、回復動作 4 1 0 - d、および回復動作 4 1 0 - e は、図 4 を参照して説明したように、ユニポーラパルス、バイポーラパルス又は定振幅電圧の任意の組み合わせを使用することができる。説明したように、回復動作 4 1 0 は、メモリセル 1 0 5 の動作中に分散されてもよい。例えば、回復動作 4 1 0 は、例えば、メモリアレイを使用するホストデバイスのために中断されてもよく、回復動作 4 1 0 を一時停止させるようにしてもよい。回復動作は、周期的に適用または実行されてもよい。各アクセスまたは回復動作は、メモリアレイ 1 0 0 全体を含むメモリセル 1 0 5 の行、列、もしくは、様々な行 / 列の組み合わせに適用することができる。いくつかのケースでは、図 4 を参照して説明したように、回復測定動作 4 1 5 は、回復動作 4 1 0 に続いて適用され得る。

30

40

#### 【 0 0 5 7 】

アクセス動作 4 0 5 - c の間、複数のアクセスサイクルの各サイクル中に、第 1 の電圧が、強誘電体メモリセル 1 0 5 に印加され得る。例えば、強誘電体メモリセル 1 0 5 にアクセスするために第 1 の電圧を印加することは、強誘電体メモリ 1 0 5 の読み出しまたは書き込みを含むことができる。

#### 【 0 0 5 8 】

いくつかのアクセス動作の後、強誘電体メモリセル 1 0 5 は、アクセス動作 4 0 5 - c 中に第 1 の電圧を印加することに基づいて、疲労閾値に到達したと判定され得る。いくつかの場合には、強誘電体メモリセル 1 0 5 が疲労閾値に到達したと判定することは、図 4 を参照して説明したようないくつかの可能なイベントのうちの 1 つを検出することを含む

50

ことができる。

【0059】

強誘電体メモリセル105がその疲労閾値に達したことを決定した後、回復動作410-cの間、強誘電体メモリセル105に第2の電圧を印加することができる。いくつかのケースでは、第2の電圧の振幅は、第1の電圧の振幅よりも大きくてもよい。第2の電圧は、強誘電体メモリセルの疲労閾値に基づく期間または繰り返し回数だけ印加され得る。いくつかの実施例では、第2の電圧の期間または反復回数は、第2の電圧の振幅に基づく。

【0060】

いくつかのケースでは、回復動作410は、回復動作410-c、回復動作410-d、および回復動作410-eなどの複数の回復動作の間で分散され得る。すなわち、第2の電圧は、イベントの複数の出来事の間期間または反復回数に適用され得る。ここで、期間のサブセットまたは反復回数のサブセットが、イベントの各出来事に関連付けられる。例えば、回復動作410-c、回復動作410-d、および回復動作410-eは、イベントの複数の出来事を表すことができる。いくつかの実施例では、メモリアレイはデバイスの素子を含み、イベントは、デバイスの電源をオンにすること、デバイスの電源をオフにすること、または、デバイスが外部電源に接続されることのうち少なくとも1つを含むことができる。あるいは、例えば、外部コマンドを受信することなど、回復動作を実行するためのコマンドを受信した後に、回復動作410が実行され得る。

【0061】

メモリデバイスは、各回復動作410の間で正常に動作することができる。例えば、アクセス動作405-dは、デバイスが電源投入されているが、今のところはパワーダウンしていない期間の間の、メモリデバイスの動作を表すことができる。または、アクセス動作405-dは、デバイスが外部電源に接続されていない場合の動作を表すことができる。

【0062】

いくつかのケースでは、アクセス動作405-dは、アレイのコンテンツにアクセスするためにメモリアレイによって受信されるコマンドを表すことができる。例えば、第2の電圧の印加は、メモリアレイにアクセスするための要求の受信に基づいて中断されてもよい。アクセス動作が完了した後、回復動作は、回復動作410-eに示されるように再開することができる。すなわち、要求の完了に基づいて第2の電圧の印加が再開され得る。

【0063】

回復動作410-c、回復動作410-d、および回復動作410-eの期間中に、第2の電圧が印加されるたびに、カウンタがインクリメントされ得る。例えば、総回復動作は、いくつかの所定の数のパルスを含むことができ、カウンタは、分散された回復動作410を通じて印加されるパルスの総数を追跡することができる。

【0064】

図6は、本開示の様々な実施形態による、疲労した強誘電体メモリセルの回復をサポートするメモリアレイのブロック図600である。メモリアレイ100-aは、電子メモリ装置と呼ばれることがあり、図1および図2を参照して説明したメモリコントローラ140およびメモリセル105の例であり得るメモリコントローラ140-aと、メモリセル105-bとを含む。メモリセル105-bは、強誘電体メモリセルであり得る。メモリアレイ100-aは、カウンタ605、タイマ610、およびキャッシュ615を含む。キャッシュ615は、不揮発性または例えばDRAMセルなどの揮発性の任意のタイプのメモリセルであってもよいメモリセル105を含むことができる。

【0065】

メモリアレイ100-aは、複数の強誘電体メモリセル105-bを含むことができる。カウンタ605は、複数の強誘電体メモリセル105-bのうち少なくとも1つの強誘電体メモリセル105で実施された疲労回復動作に基づいてリセット可能である。他のケースでは、タイマ610は、カウンタ605の代わりにリセットされ得る。いくつかの

10

20

30

40

50

ケースでは、メモリアレイ 100 - a は、メモリアレイのサブセットを含む複数のメモリブロックを含むことができる。ここで、各メモリブロックは、少なくとも 1 つのカウンタ 605 または タイマ 610 に関連付けられ得る。

【0066】

メモリコントローラ 140 - a は、疲労回復動作を実行するように構成され得る。疲労回復動作は、複数のアクセスサイクルのために少なくとも 1 つの強誘電体メモリセル 105 - b に第 1 の電圧を印加することに基づいて、少なくとも 1 つの強誘電体メモリセル 105 - b が疲労閾値に達したと判定することを含むことができる。いくつかの実施例では、メモリコントローラ 140 は、それに回復動作を実行するよう指示するコマンドを受け取ることができる。疲労回復動作はまた、強誘電体メモリセル 105 - b が疲労閾値に到達したという判定に基づいて、少なくとも 1 つの強誘電体メモリセル 105 - b に第 2 の電圧を印加することを含むことができる。ここで、第 2 の電圧の振幅は第 1 の電圧の振幅より大きい。第 2 の電圧は、強誘電体メモリセル 105 - b の疲労閾値に基づく期間または繰り返し回数だけ印加され得る。いくつかのケースは、メモリコントローラ 140 - a は、カウンタ 605 をインクリメントまたはリセットすることができるか、あるいは、タイマ 610 を開始またはリセットすることができる。

10

【0067】

いくつかのケースでは、他のメモリセル 105 が回復されている間に、いくつかのメモリセル 105 がアクセスされ得る。例えば、メモリコントローラ 140 - a は、複数の強誘電体メモリセル 105 - b のうちの第 1 の強誘電体メモリセル 105 に疲労回復動作を実行することもでき、第 1 の強誘電体メモリセル 105 の疲労回復動作の間に、該複数のうちの第 2 の強誘電体メモリセル 105 に対してアクセス動作を行うことができる。

20

【0068】

いくつかの実施例では、少なくとも 1 つのメモリセル 105 - b が、その疲労閾値に到達したと判定した後に、強誘電体メモリセル 105 - b のロジック状態は、他のメモリセル 105 (例えば、キャッシュ 615) 中に記憶され得る。回復動作が破壊的であり得るためである。キャッシングの後、第 2 の電圧を強誘電体メモリセル 105 - b に印加することができる。回復動作の後、(キャッシュ 615 内の)他のメモリセル 105 のロジック状態が判定され、回復した強誘電体メモリセル 105 - b に書き込まれ得る。このような動作は、複数のメモリセル 105 に対して行われ得る。

30

【0069】

いくつかの実施例では、回復動作は、複数のメモリセル 105 に適用することができる。例えば、メモリセル 105 - b は、複数の行を含むことができる。ここで、各行は、複数の強誘電体メモリセル 105 と電子的に通信するプレート線 210 を含む。第 2 の電圧は、少なくとも 1 つのプレート線 210 に印加され得る。ここで、プレート線 210 と電子的に通信する各強誘電体メモリセル 105 に第 2 の電圧が印加される。いくつかのケースでは、第 2 の電圧は複数のプレート線に印加され得る。

【0070】

図 7 は、本開示の様々な実施形態による疲労した強誘電体メモリセルの回復をサポートするメモリアレイ 100 - b のブロック図 700 を示す。メモリアレイ 100 - b は、電子メモリ装置または電子回路と称されることがあり、図 1、図 2、および図 6 を参照して説明したメモリコントローラ 140 およびメモリセル 105 の例であり得る、メモリコントローラ 140 - b およびメモリセル 105 - c を含むことができる。メモリコントローラ 140 - b は、図 6 に関するカウンタ 605 およびタイマ 610 の例であり得る、カウンタ 605 - a と、タイマ 610 - a を含むことができる。メモリコントローラ 140 - b は、バイアスコンポーネント 710 およびタイミングコンポーネント 715 をも含み、図 1 ~ 図 6 に記載されるように、メモリアレイ 100 - b を動作させることができる。メモリコントローラ 140 - b は、図 1 もしくは図 2 を参照して記載したワード線 110、デジット線 115、センスコンポーネント 125、およびプレート線 210 の一例であってもよいワード線 110 - b、デジット線 115 - b、センスコンポーネント 125 - b

40

50

、およびプレート線 210 - a と電子的に通信することができる。メモリアレイ 100 - b はまた、リファレンスコンポーネント 720、ラッチ 725、および端子 730 を含むことができる。ここで、端子 730 は、バス 735 と電子的に通信することができる。メモリアレイ 100 - b のコンポーネントは、互いに電子的に通信することができ、図 1 ~ 図 6 を参照して説明した機能を実行することができる。いくつかのケースでは、リファレンスコンポーネント 720、センスコンポーネント 125 - b、およびラッチ 725 は、メモリコントローラ 140 - b のコンポーネントであり得る。

【0071】

メモリコントローラ 140 - b は、ワード線 110 - b、プレート線 210 - a、またはデジット線 115 - b をそれらの様々なノードに電圧を印加することにより活性化するように構成され得る。例えば、バイアスコンポーネント 710 は、上述したように、読み出し、書き込み、または回復動作を実行するために、メモリセル 105 - c を動作させるための電圧を印加するように構成され得る。いくつかのケースでは、メモリコントローラ 140 - b は、図 1 を参照して説明したように、行デコーダ、列デコーダ。またはそれら両方を含む。これは、メモリコントローラ 140 - b が 1 つ以上のメモリセル 105 にアクセスできるようにし得る。バイアスコンポーネント 710 はまた、センスコンポーネント 125 - b のためのリファレンス信号を生成するために、リファレンスコンポーネント 720 のための電圧源を提供することができる。さらに、バイアスコンポーネント 710 は、センスコンポーネント 125 - b の動作のための電圧を提供することができる

【0072】

メモリアレイ 100 - b は、複数の強誘電体メモリセル 105 - c を含むことができる。メモリアレイ 100 - b は、メモリアレイと電子的に通信する複数の導電端子 730 も含むことができる。いくつかの実施例では、端子 730 は、強誘電体メモリセル 105 - c の疲労回復動作をサポートする回復端子を含むことができる。いくつかの実施例では、疲労回復動作は、強誘電体メモリセル 105 - c が疲労閾値に達したという判定に基づいて、少なくとも 1 つの強誘電体メモリセル 105 - c に印加される回復電圧を含むことができる。いくつかの実施例では、回復電圧の振幅は、アクセス電圧の振幅よりも大きくてもよく、回復電圧は、疲労閾値に基づく期間または繰り返し回数にわたって印加することができる。

【0073】

いくつかのケースでは、端子 730 は、第 1 の電圧供給源と電子的に通信する第 1 の電力端子を含むことができる。第 1 の電圧は、アクセス電圧を印加するために使用することができ、強誘電体メモリセル 105 - c のアクセス動作の間、メモリアレイ 100 - b の強誘電体メモリセル 105 - c に印加可能であり得る。端子 730 は、第 2 の電圧供給源と電子的に通信する第 2 の電源端子も含むことができる。第 2 の電圧は、回復電圧を印加するために使用することができ、強誘電体メモリセル 105 - c の疲労回復動作中に、強誘電体メモリセル 105 - c に印加することができる。

【0074】

いくつかの実施例では、疲労回復動作は、回復端子を介して強誘電体メモリセル 105 - c の疲労回復動作を開始するためのコマンドを受信することを含むことができる。例えば、デバイスの別の素子は、メモリアレイに疲労回復動作を実行するように指示することができる。いくつかのケースでは、コマンドは、どのメモリセルが回復されるべきかを示すことができる（例えば、コマンドは、回復されるメモリセルのアドレスを含むことができる）。いくつかのケースでは、疲労回復動作を開始するためのコマンドはコントローラから受信され得る。コマンドは、ある間隔で受信されてもよく、または、例えばリフレッシュ動作等の特定のイベントによって引き起こされてもよい。

【0075】

いくつかのケースでは、疲労回復動作は、ユーザまたはメモリアレイを含むデバイスを製造するデバイス製造業者などの第三者によってプログラム可能なパラメータを含むことができる。このようなプログラム可能なパラメータは、第 2 の電圧の期間もしくはは繰り返

10

20

30

40

50

し回数、または、第2の電圧の振幅を含み得る。他のプログラム可能なパラメータは、疲労閾値に達する閾値期間、疲労閾値に達するアクセスサイクルの閾値数、またはテストウィンドウサイズを含むことができる。いくつかのケースでは、プログラム可能なパラメータは、デバイスが電源オン、電源オフ、または外部電源に接続されている場合など、どのイベントに疲労回復動作が適用され得るかを決定することを含むことができる。

**【0076】**

いくつかのケースではメモリコントローラ140-bは、その動作をタイミングコンポーネント715を用いて実行し得る。例えば、タイミングコンポーネント715は、本明細書で論じた読み出し、書き込み、および回復などのメモリ機能を実行するためのスイッチングならびに電圧の印加のタイミングを含む、様々なワード線選択もしくはプレートバイアスのタイミングを制御し得る。いくつかのケースでは、タイミングコンポーネント715はバイアスコンポーネント710の動作を制御し得る。

10

**【0077】**

リファレンスコンポーネント720はセンスコンポーネント125-bのためのリファレンス信号を生成する様々なコンポーネントを含み得る。リファレンスコンポーネント720は、リファレンス信号を生成するように構成された回路を含み得る。いくつかのケースでは、リファレンスコンポーネント720は、他の強誘電体メモリセル105であり得る。いくつかの実施例では、リファレンスコンポーネント720は、図3を参照しながら記載したように、2つのセンス電圧(sense voltage)の間の値を有する電圧を出力するように構成され得る。あるいは、リファレンスコンポーネント720は事実上のグラウンド(すなわち、およそ0V)を出力するように設計され得る。

20

**【0078】**

センスコンポーネント125-bは、(デジット線115-bを介した)メモリセル105-eからの信号を、リファレンスコンポーネント720からのリファレンス信号と比較できる。ロジック状態を判定すると、センスコンポーネントは、その後、出力をラッチ725に格納でき、それはメモリアレイ100-bが部品である電子デバイスの動作に従って使用され得る。他のケースでは、センスコンポーネント125-bは、メモリセル105-cが疲労閾値に到達したことを決定することができる。ここで、強誘電体メモリセル105-cの疲労閾値は、強誘電体メモリセル105-cに格納された電荷と、強誘電体メモリセル105-cおよびセンスコンポーネント125-bと電子的に通信するデジット線115-bの容量との関係に基づき得る。

30

**【0079】**

図8は、本開示の様々な実施形態に従った、疲労した強誘電体メモリセルの回復をサポートするシステム800を説明する。システム800は、様々なコンポーネントに接続するためもしくは物理的にサポートするためのプリント基板であり得るかまたはプリント基板を含み得るデバイス805を含む。デバイス805は図1、図6、および図7を参照しながら記載したメモリアレイ100の例であり得るメモリアレイ100-dを含む。メモリアレイ100-cは、図1、図6および図7を参照しながら記載したメモリコントローラ140の例、ならびに図1、図2、図6および図7を参照しながら記載したメモリセル105の例であり得る、メモリコントローラ140-cおよびメモリセル105-dを含み得る。デバイス805は、図7を参照して記載したバス735の一例であり得る、バス735-aを含む。デバイス805は、プロセッサ810、BIOSコンポーネント815、周辺コンポーネント820、入出力制御コンポーネント825も含み得る。装置805のコンポーネントはバス735-aを介して互いに電子的に通信し得る。

40

**【0080】**

プロセッサ810は、メモリコントローラ140-cを通じてメモリアレイ100-aを動作するように構成され得る。いくつかのケースでは、プロセッサ810は、図1および図7を参照しながら記載したメモリコントローラ140の機能を実行し得る。他のケースでは、メモリコントローラ140-cはプロセッサ810中に統合され得る。プロセッサ810は汎用のプロセッサ、デジタルシグナルプロセッサ(DSP)、特定用途向け集

50

積回路 (ASIC)、フィールド・プログラマブル・ゲートアレイ (FPGA) もしくは他のプログラム可能なロジックデバイス、ディスクリートゲートもしくはトランジスタロジック、ディスクリートハードウェアコンポーネントであっても良く、または、プロセッサ 810 はこれらの種類のコンポーネントの組み合わせであっても良い。そして、プロセッサ 810 は、サイクリング摩耗した強誘電体メモリセルの回復を含む、本明細書に記載した様々な種類の機能を実行できる。プロセッサ 810 は、例えば、デバイス 805 に様々な機能やタスクを実行させるために、メモリアレイ 100 - c に格納されたコンピュータ読み出し可能な命令を実行するように構成され得る。いくつかのケースでは、プロセッサ 810 は、記憶されたコンテンツにアクセスするために、メモリアレイ 100 - c にコマンドを送ることができる。メモリアレイ 100 - c は、コマンドに基づいて回復動作を中断することができ、命令された動作を実行した後に回復動作を再開することができる。

10

**【0081】**

BIOS コンポーネント 815 は、ファームウェアとして動作するベーシック・インプット/アウトプット・システム (BIOS) (システム 800 の様々なハードウェアコンポーネントを初期化および動作させることができる) を含むソフトウェアコンポーネントであり得る。BIOS コンポーネント 815 は、プロセッサ 810 と様々なコンポーネント (例えば、周辺コンポーネント 820、入出力制御コンポーネント 825 など) の間のデータの流れも管理できる。BIOS コンポーネント 815 は、リードオンリーメモリ (ROM)、フラッシュメモリ、もしくは、任意の他の不揮発性メモリに格納されたプログラムまたはソフトウェアを含み得る。

20

**【0082】**

周辺コンポーネント 820 は、任意の入力デバイスもしくは出力デバイス、または、デバイス 805 に統合されるこれらのデバイスのインタフェースであり得る。例は、ディスクコントローラ、サウンドコントローラ、グラフィックコントローラ、イーサネットコントローラ、モデム、ユニバーサル・シリアル・バス (USB) コントローラ、シリアルポートもしくはパラレルポート、または周辺コンポーネントインターコネクタ (PCI) もしくはアクセラレーテッド・グラフィックス・ポート (AGP) スロットなどの周辺カードスロットを含み得る。

**【0083】**

入出力制御コンポーネント 825 は、プロセッサ 810 と周辺コンポーネント 820、入力デバイス 835、または出力デバイス 845 の間のデータ通信を管理することができる。入出力制御コンポーネント 825 は、デバイス 805 に統合されていない周辺装置を管理することもできる。いくつかのケースでは、入出力制御コンポーネント 825 は、外部周辺装置への物理的な接続もしくはポートを表すことができる。

30

**【0084】**

入力 835 は、デバイス 805 もしくはデバイス 805 のコンポーネントに入力を提供するデバイスまたはデバイス 805 への外部信号を表し得る。これはユーザインタフェースまたは、他の装置とのインタフェースもしくは他の装置間のインタフェースを含み得る。いくつかのケースでは、入力 835 は周辺コンポーネント 820 を介してデバイス 805 と連動する周辺装置であり得、または、入出力制御コンポーネント 825 によって管理され得る。いくつかの実施例では、入力 835 は、ユーザが回復操作をプログラムすることを可能にすることができる。

40

**【0085】**

出力 840 は、デバイス 805 もしくはデバイス 805 の任意のコンポーネントから出力を受信するように構成されたデバイスまたはデバイス 805 への外部信号を表し得る。出力 840 の例は、ディスプレイ、オーディオスピーカー、プリントデバイス、他のプロセッサ、もしくはプリント基板などを含み得る。いくつかのケースでは、出力 840 は周辺コンポーネント 820 を介してデバイス 805 と連動する周辺装置であり得、または、入出力制御コンポーネント 825 によって管理され得る。

**【0086】**

50

メモリコントローラ140-c、デバイス805、および、メモリアレイ100-cのコンポーネントは、それらの機能を実行するために設計された回路により作り上げられても良い。これは、本明細書に記載された機能を実行するように構成された様々な回路素子（例えば、導電線、トランジスタ、コンデンサ、コイル、抵抗、増幅器、または、他の能動素子もしくは受動素子）を含み得る。

【0087】

いくつかの実施例では、メモリアレイ100-cは、複数のアクセスサイクルの各サイクル中にメモリアレイの強誘電体メモリセルに第1の電圧を印加するための手段、複数のアクセスサイクルに第1の電圧を印加することに少なくとも部分的に基づいて、強誘電体メモリセルが疲労閾値に達したと判定する手段、および、強誘電体メモリセルが疲労閾値に到達したと判定することに少なくとも部分的に基づいて、強誘電体メモリセルに第2の電圧を印加する手段を含むことができる。ここで、第2の電圧の振幅は第1の電圧の振幅よりも大きく、強誘電体メモリセルの疲労閾値に少なくとも部分的に基づく期間または繰り返し回数にわたって第2の電圧が印加される。

10

【0088】

いくつかの実施例では、メモリアレイ100-cは、強誘電体メモリセルが疲労閾値に到達したと判定することに少なくとも部分的に基づいて強誘電体メモリセルのロジック状態を判定するための手段を含むことができる。いくつかの実施例では、メモリアレイ100-eは、強誘電体メモリセルのロジック状態を他のメモリセルに記憶する記憶手段を含むことができる。ここで、他のメモリセルに強誘電体メモリセルのロジック状態を記憶した後、第2の電圧が強誘電体メモリセルに印加される。

20

【0089】

いくつかの実施例では、メモリアレイ100-cは、第2の電圧を印加した後に、他のメモリセルのロジック状態を判定するための手段を含むことができる。

【0090】

いくつかの実施例では、メモリアレイ100-cは、他のメモリセルのロジック状態を強誘電体メモリセルに書き込むための手段を含むことができる。

【0091】

いくつかの実施例では、強誘電体メモリセルがメモリアレイ100-cの疲労閾値に到達したことを判定するための手段は、タイマが閾値期間を超えること（閾値期間は、疲労閾値に到達する時間に少なくとも部分的に基づく）、カウンタがカウント数の閾値を超えること（カウンタは、複数のアクセスサイクルの各アクセスサイクルでインクリメントされる）、第1の電圧の振幅よりも小さい振幅を有するテストアクセス電圧を印加することに少なくとも部分的に基づいた強誘電体メモリセルの検知の失敗、複数のアクセスサイクルの各サイクルに使用されるセンスウィンドウよりも小さいテストセンスウィンドウに少なくとも部分的に基づいた強誘電体メモリセルの検知の失敗（ここで、テストセンスウィンドウは、リファレンス電圧に少なくとも部分的に基づいている）、または強誘電体メモリセルの破損したロジック値を誤り訂正符号検出することの少なくとも1つを検出する手段を含むことができる。

30

【0092】

いくつかの実施例では、強誘電体メモリセルがメモリアレイ100-cの疲労閾値に到達したことを判定するための手段は、疲労回復動作を実行するコマンドを受信する手段を含むことができる。

40

【0093】

いくつかの実施例では、メモリアレイ100-cの期間または繰り返し回数にわたって第2の電圧を印加するための手段は、イベントの複数の出来事の間第2の電圧を印加するための手段を含むことができる。ここで、期間のサブセットまたは反復回数のサブセットが、イベントの各出来事に関連付けられる。

【0094】

いくつかの実施例では、メモリアレイ100-cは、メモリアレイにアクセスするため

50

の要求を受信することに少なくとも部分的に基づいて、第2の電圧の印加を中断するための手段を含むことができる。いくつかの実施例では、メモリアレイ100-cは、要求を完了することに少なくとも部分的に基づいて、第2の電圧の印加を再開するための手段を含むことができる。

【0095】

いくつかの実施例では、メモリアレイ100-cは、第2の電圧が印加されるたびにカウンタをインクリメントするための手段を含むことができる。

【0096】

いくつかの実施例では、メモリアレイ100-cは、ロジック状態を強誘電体メモリセルに回復するリフレッシュ動作中に第2の電圧を印加するための手段を含むことができる。ここで、ロジック状態は、第1の電圧を印加することに少なくとも部分的に基づいて決定される。

10

【0097】

いくつかの実施例では、メモリアレイi00-cは、第2の電圧を印加した後に強誘電体メモリセルに蓄積された電荷は、第2の電圧を印加する前に強誘電体メモリセルに蓄積された電荷よりも大きいと判定するための手段を含むことができる。ここで、判定は、強誘電体メモリセルによって生成されたセンス電圧に少なくとも部分的に基づく。

【0098】

いくつかの実施例では、メモリアレイ100-cの強誘電体メモリセルにアクセスするために第1の電圧を印加する手段は、強誘電体メモリセルを読み出すまたは強誘電体メモリセルを書き込むための手段を含むことができる。

20

【0099】

いくつかの実施例では、メモリアレイ100-cは、複数の強誘電体メモリセル105-dのうちの強誘電体メモリセル105-dの疲労回復動作を開始するための手段を含むことができる。いくつかの実施例では、メモリアレイ100-aは、強誘電体メモリセル105-dが疲労閾値を満たしているという判定に少なくとも部分的に基づいて、複数の強誘電体メモリセル105-dのうちの強誘電体メモリセル105-dに回復電圧を印加する手段を含むことができる。ここで、回復電圧は、アクセス動作のアクセス電圧とは異なる。いくつかの実施例では、メモリアレイ100-aは、強誘電体メモリセル105-dが疲労閾値を満たしているという判定に少なくとも部分的に基づいて、強誘電体メモリセル105-dのロジック状態を決定するための手段を含むことができる。いくつかの実施例では、メモリアレイ100-aは、強誘電体メモリセル105-dのロジック状態を記憶するための手段を含むことができる。ここで、強誘電体メモリセル105-dのロジック状態を記憶した後に、強誘電体メモリセル105-dに回復電圧が印加される。いくつかの実施例では、メモリアレイ100-aは、回復電圧を印加した後に、ロジック状態を強誘電体メモリセル105-dに書き込むための手段を含むことができる。

30

【0100】

図9は、本開示の様々な実施形態に従った、疲労した強誘電体メモリセルを回復する方法900を説明するフローチャートを示す。方法900の動作は、図1~図7を参照しながら説明したように、メモリアレイ100によって実行され得る。例えば、方法900の動作は、図1、図6、図7および図8を参照しながら記述したように、メモリコントローラ140によって実行され得る。いくつかの実施例では、以下に記載する機能を実行するために、メモリコントローラ140は、メモリアレイ100の機能素子を制御するためのコードのセットを実行できる。追加的もしくは代替的に、メモリコントローラ140は、特殊用途向けハードウェアを用いて以下に記載する機能を実行することができる。

40

【0101】

ブロック905において、図1~図8を参照して説明したように、方法は、複数のアクセスサイクルの各サイクル中に、第1の電圧を強誘電体メモリセルに印加することを含むことができる。いくつかの実施例では、強誘電体メモリセルにアクセスするために第1の電圧を印加することは、強誘電体メモリセルを読み出したまたは書き込みすることを含む。

50

いくつかの実施例では、ブロック 905 の動作は、図 1、図 6、図 7、および図 8 を参照して説明したように、メモリコントローラ 140 によって実行または容易にすることができる。

#### 【0102】

ブロック 910 において、方法は、図 1 ~ 図 8 を参照して説明したように、複数のアクセスサイクルのために第 1 の電圧を印加することに基づいて、強誘電体メモリセルが疲労閾値に到達したことを決定することを含むことができる。いくつかの実施例では、強誘電体メモリセルが疲労閾値に達したと判定することは、タイマが閾値期間を超えること（ここで、閾値時間は、疲労閾値に到達する時間の少なくとも一部に基づく）、カウンタがカウンタ数の閾値を超えること（ここで、カウンタは、複数のアクセスサイクルのアクセスサイクルごとにインクリメントされる）、第 1 の電圧の振幅よりも小さい振幅を有するテストアクセス電圧を印加することに基づいた強誘電体メモリセルの検知の失敗、複数のアクセスサイクルの各サイクルに使用されるセンスウィンドウよりも小さいテストセンスウィンドウに基づく強誘電体メモリセルの検知の失敗（ここで、テストセンスウィンドウは、リファレンス電圧の少なくとも一部に基づいている）、または、強誘電体メモリセルの破損したロジック値を誤り訂正符号が検出することの少なくとも 1 つを検出することを含む。いくつかの実施例では、強誘電体メモリセルが疲労閾値に到達したと判定することは、疲労回復動作を実行するためのコマンドを受信することを含む。ある実施例では、ブロック 910 の動作は、図 1、図 6、図 7、および図 8 を参照して説明したように、メモリコントローラ 140 によって実行または容易にすることができるか、または図 6 および図 7 を参照して説明したように、カウンタ 605 またはタイマ 610 によって実行または容易にすることができる。

#### 【0103】

ブロック 915 において、方法は、強誘電体メモリセルが疲労閾値に達したと判定することに少なくとも部分的に基づいて、第 2 の電圧を強誘電体メモリセルに印加することを含むことができる。ここで、第 2 の電圧の振幅が第 1 の電圧の振幅より大きく、図 1 ~ 図 8 を参照して説明したように、第 2 の電圧は、強誘電体メモリセルの疲労閾値に少なくとも部分的に基づく期間または繰り返し回数にわたって印加される。

#### 【0104】

いくつかの実施例では、第 2 の電圧は、複数のバイポーラ電圧パルス、複数のユニポーラ電圧パルス、または一定の振幅を有する電圧のうちの少なくとも 1 つを含む。第 2 の電圧の期間または繰り返し回数は、第 2 の電圧の振幅に基づくことができる。いくつかの実施例では、方法は、第 2 の電圧が印加されるたびにカウンタをインクリメントすること、または、一定の振幅を有する電圧が印加されている間にタイマを始動させることを含み得る。

#### 【0105】

いくつかのケースでは、期間または繰り返し回数にわたって第 2 の電圧を印加することは、イベントの複数の出来事中に第 2 の電圧を印加することを含む。ここで、期間のサブセットもしくは反復回数のサブセットは、イベントの各出来事に関連付けられる。いくつかの実施例では、方法は、メモリアレイへのアクセスの要求の受信に基づいて第 2 の電圧の印加を中断すること、および、要求を完了することに基づいて第 2 の電圧の印加を再開することを含む。

#### 【0106】

いくつかの実施例では、メモリアレイは、デバイスの一要素であってもよく、第 2 の電圧を強誘電体メモリセルに印加することは、デバイスの電源がオンになること、デバイスの電源をオフにすること、またはデバイスを外部電源に接続することの少なくとも 1 つを含むイベント中に、第 2 の電圧を強誘電体メモリセルに印加することを含むことができる。ある実施例では、図 1、図 6、図 7、図 8 を参照して説明したように、ブロック 915 の動作は、メモリコントローラ 140 によって実行または容易にすることができる。

#### 【0107】

いくつかの実施例では、方法は、強誘電体メモリセルが疲労閾値に達したという判定に

10

20

30

40

50

基づいて、強誘電体メモリセルのロジック状態を決定すること、および、強誘電体メモリセルのロジック状態を他のメモリセルに記憶することを含むことができる。ここで、強誘電体メモリセルのロジック状態を他のメモリセル記憶した後に、第2の電圧が強誘電体メモリセルに印加される。方法は、第2の電圧を印加した後に他のメモリセルのロジック状態を判定し、他のメモリセルのロジック状態を強誘電体メモリセルに書き込むことを含む得る。

【0108】

方法は、ロジック状態を強誘電体メモリセルに回復するリフレッシュ動作中に第2の電圧を印加することを含むことができる。ここで、ロジック状態は、第1の電圧を印加することに少なくとも部分的に基づいて判定される。

10

【0109】

いくつかの実施例では、メモリアレイは複数の行を含み、複数の行の各行は、複数の強誘電体メモリセルと電子的に通信するプレート線を含む。第2の電圧を印加することは、第2の電圧を少なくとも1つのプレート線に印加することを含むことができる。ここで、プレート線と電子的に通信する各強誘電体メモリセルに第2の電圧が印加される。いくつかの実施例では、第2の電圧をプレート線に印加することは、第2の電圧を複数のプレート線に印加することを含む。

【0110】

方法のいくつかの実施例では、強誘電体メモリセルの疲労閾値は、強誘電体メモリセルに蓄積された電荷と、強誘電体メモリセルおよびセンスコンポーネントと電子的に通信するデジット線の容量との間の関係に基づくことができる。他の実施例では、強誘電体メモリセルの疲労閾値は、強誘電体メモリセルが残留分極閾値に達する全アクセスサイクル数(アクセスサイクルの総数)に基づくことができる。

20

【0111】

方法は、第2の電圧を印加した後に強誘電体メモリセルに蓄積された電荷が、第2の電圧を印加する前に強誘電体メモリセルに蓄積された電荷よりも大きいと判定することをさらに含むことができる。ここで、判定は強誘電体メモリセルによって生成されたセンス電圧に基づく。

【0112】

従って、方法900は、疲労した強誘電体メモリセルの回復を提供するためにメモリアレイを動作させる方法であり得る。方法900は可能な実装を記述することに留意されたい。動作およびステップは、他の実装が可能であるように、再配置または他の方法に変更され得る。

30

【0113】

例えば、疲労した強誘電体メモリセルの回復を提供するためにメモリアレイを動作させる方法は、様々な組み合わせにおける以下の機構の少なくとも一部を含むことができる。方法は、アクセス動作中に強誘電体メモリセルの第1の電圧に少なくとも部分的に基づいてメモリアレイの強誘電体メモリセルが疲労閾値を満たしていると判定すること、および、強誘電体メモリセルが疲労閾値を満たしていると判定することに少なくとも部分的に基づいて、強誘電体メモリセルに第2の電圧を印加することを含むことができる。ここで、第2の電圧は、第1の電圧とは異なる。

40

【0114】

疲労した強誘電体メモリセルの回復を提供するためにメモリアレイを動作させるための装置は、様々な組み合わせにおいて、以下の機構のうちの少なくともいくつかを含むことができる。装置は、メモリセルと、メモリセルと電子的に通信するメモリコントローラとを含むことができる。ここで、メモリセルは、アクセス動作中に強誘電体メモリセルの第1の電圧に少なくとも部分的に基づいて、メモリアレイの強誘電体メモリセルが疲労閾値を満たしていると判定し、強誘電体メモリセルが疲労閾値を満たしていると判定することに少なくとも部分的に基づいて、第2の電圧を強誘電体メモリセルに印加するように動作可能である。ここで、第2の電圧は、第1の電圧とは異なる。いくつかの実施例では、装

50

置は、本明細書で説明される機構の各々を実行するための手段を含むことができる。

【0115】

記述された方法および装置のいくつかの実施例は、強誘電体メモリセルが疲労閾値を満たしている可能性があることと少なくとも部分的に基づいて、強誘電体メモリセルのロジック状態を決定するためのプロセス、機構、手段、もしくは命令をさらに含むことができる。記載された方法および装置のいくつかの実施例は、強誘電体メモリセルのロジック状態を記憶するための、プロセス、機構、手段、または命令をさらに含むことができる。ここで、強誘電体メモリセルのロジック状態を記憶した後、第2の電圧が強誘電体メモリセルに印加される。

【0116】

記載された方法および装置のいくつかの実施例は、第2の電圧を印加した後にロジック状態を強誘電体メモリセルに書き込むための、プロセス、機構、手段または命令をさらに含むことができる。

【0117】

記載された方法および装置のいくつかの実施例は、疲労閾値を満たす時間に少なくとも部分的に基づき得る閾値時間をタイマが超えたと検出することと少なくとも部分的に基づき得る、強誘電体メモリセルが疲労閾値を満たしている可能性があることと判定するためのプロセス、機構、手段または命令をさらに含むことができる。

【0118】

記載された方法および装置のいくつかの実施例は、第1の電圧の振幅よりも小さい振幅を有するテストアクセス電圧を印加することに基づいた強誘電体メモリセルの検知の失敗、複数のアクセスサイクルの各サイクルに使用されるセンスウィンドウよりも小さい可能性があるテストセンスウィンドウに少なくとも部分的に基づく強誘電体メモリセルの検知の失敗（ここで、テストセンスウィンドウは、リファレンス電圧の少なくとも一部に基づいている）、または、強誘電体メモリセルの破損したロジック値を誤り訂正符号が検出するの少なくとも1つに部分的に基づき得る、強誘電体メモリセルが疲労閾値を満たしている可能性があることと判定するためのプロセス、機構、手段または命令をさらに含むことができる。

【0119】

記載された方法および装置のいくつかの実施例は、疲労回復動作を実行するためのコマンドを受信することと少なくとも部分的に基づき得る、強誘電体メモリセルが疲労閾値を満たしている可能性があることと判定するためのプロセス、機構、手段または命令をさらに含むことができる。

【0120】

記載された方法および装置のいくつかの実施例では、メモリアレイは、デバイスの素子を含む。ここで、第2の電圧を強誘電体メモリセルに印加することは、デバイスの電源がオンになること、デバイスの電源をオフにすること、またはデバイスを外部電源に接続すること、またはそれらの組み合わせの間起こる。

【0121】

記載された方法および装置のいくつかの実施例では、第2の電圧を印加することは、イベントの複数の出来事中の離散された時間に第2の電圧を印加することを含み、期間または繰り返し回数はイベントの各出来事に関連付けられる。

【0122】

記載された方法および装置のいくつかの実施例では、メモリアレイは、強誘電体メモリセルと電子的に通信するプレート線、および、第2の強誘電体メモリセルを備える。ここで、第2の電圧を印加することは、第2の電圧をプレート線に印加することを含む。ここで、第2の電圧をプレート線に印加することと少なくとも部分的に基づいて、強誘電体メモリセル、およびプレート線と電子的に通信し得る第2の強誘電体メモリセルに、第2の電圧が印加され得る。

【0123】

10

20

30

40

50

記載された方法および装置のいくつかの実施例では、強誘電体メモリセルの疲労閾値は、強誘電体メモリセルに蓄積された電荷と、強誘電体メモリセルおよびセンスコンポーネントと電子的に通信するデジタル線の容量に少なくとも部分的に基づいてもよい。

【0124】

記載された方法および装置のいくつかの実施例では、強誘電体メモリセルの疲労閾値は、強誘電体メモリセルが残留分極閾値に達し得るアクセスサイクルの数に少なくとも部分的に基づき得る。

【0125】

記載された方法および装置のいくつかの実施例において、第2の電圧の印加の期間、または、第2の電圧の印加の繰り返し回数、あるいはそれらの両方が、第2の電圧の振幅に少なくとも部分的に基づき得る。

10

【0126】

記載された方法および装置の実施例では、第2の電圧は、複数のバイポーラ電圧パルス、複数のユニポーラ電圧パルス、または一定の振幅を有する電圧のうちの少なくとも1つを含む。

【0127】

1つの実施形態では、デバイスまたはシステムは、複数の強誘電体メモリセルを含むメモリアレイを含むことができる。メモリコントローラは、複数の強誘電体メモリセルのうちの強誘電体メモリセルの疲労回復動作を開始し、強誘電体メモリセルが疲労閾値を満たしたという判定に少なくとも部分的に基づいて、複数の強誘電体メモリセルのうちの強誘電体メモリセルに回復電圧を印加するように動作可能である。ここで、回復電圧は、アクセス動作のアクセス電圧とは異なる。いくつかの実施例では、デバイスまたはシステムは、本明細書で説明される機能のそれぞれを実行するための手段を含むことができる。

20

【0128】

記載された装置またはシステムのいくつかの実施例では、強誘電体メモリセルのロジック状態を記憶した後に、強誘電体メモリセルに回復電圧が印加され得る。

【0129】

記載された装置またはシステムのいくつかの実施例では、メモリコントローラは、回復電圧を印加した後に、ロジック状態を強誘電体メモリセルに書き込むようにさらに動作可能であり得る。

30

【0130】

別の実施例では、疲労した強誘電体メモリセルの回復を提供するためにメモリアレイを動作させる方法は、様々な組み合わせにおける以下の機構を含むことができる。方法は、強誘電体メモリセルで実行されたアクセス動作の数に少なくとも部分的に基づいて、強誘電体メモリセルが疲労閾値を満たしていることと判定すること、および、強誘電体メモリセルが疲労閾値を満たしていることと判定することに少なくとも部分的に基づいて、強誘電体メモリセルに回復電圧を印加することを含むことができる。ここで、回復電圧は、アクセス動作の少なくともいくつかの間に使用されるアクセス電圧とは異なる。

【0131】

疲労した強誘電体メモリセルの回復を提供するためにメモリアレイを動作させるための装置は、様々な組み合わせにおける以下の機構を含むことができる。装置は、メモリセルと、メモリセルと電子的に通信するメモリコントローラとを含むことができる。ここで、メモリセルは、強誘電体メモリセルで実行されたアクセス動作の数に少なくとも部分的に基づいて、強誘電体メモリセルが、疲労閾値を満たしていることと判定し、強誘電体メモリセルが疲労閾値を満たしていることと判定することに少なくとも部分的に基づいて、強誘電体メモリセルに回復電圧を印加するように動作可能である。ここで、回復電圧は、アクセス動作の少なくともいくつかの間に使用されるアクセス電圧とは異なる。いくつかの実施例では、装置は、本明細書で説明される機能の各々を実行するための手段を含むことができる。

40

【0132】

50

記載された方法および装置のいくつかの実施例は、強誘電体メモリセル上でアクセス動作が実行されるたびに、カウンタをインクリメントするためのプロセス、機構、手段もしくは命令をさらに含むことができる。疲労閾値が満たされ得ることを決定することは、カウンタに少なくとも部分的に基づき得る。

【0133】

記載された方法および装置のいくつかの実施例は、回復電圧の印加の繰り返し回数が回復閾値を満たすまで回復電圧をパルシングするためのプロセス、機構、手段もしくは命令をさらに含むことができる。回復電圧を印加することは、少なくとも部分的に回復電圧のパルシングに基づくことができる。

【0134】

記載された方法および装置のいくつかの実施例は、カウンタがカウント数の閾値を超えたことを検出するためのプロセス、機構、手段もしくは命令をさらに含むことができる。ここで、カウンタは、強誘電体メモリセルに対するアクセス動作毎にインクリメントされ得る。強誘電体メモリセルが疲労閾値を満たしていると判定することは、カウンタがカウント数の閾値を超えたことを検出することに少なくとも部分的に基づき得る。

【0135】

本明細書で述べたことは例を提供するものであって、特許請求の範囲に記載された範囲、応用可能性、または例を限定するものではない。本開示の範囲から逸脱することなしに、上述した構成要素の機能や配置を変更してもよい。様々な例は、適宜、様々な手順もしくはコンポーネントを省略、置換、または追加するものであってもよい。また、ある例に関して述べた機構を、他の例で組み合わせるようにしてもよい。

【0136】

本明細書で添付図面と関連付けて説明したことは、例示的な構成を述べたものであって、実施可能なまたは請求項の範囲内にある全ての実施例を示したわけではない。ここで使用した「実施例」、「例示的な」、および「実施形態」という用語は、「実施例、実例、もしくは説明としての役割をなす」という意味であって、「好ましい」や「他の例よりも有利な」という意味ではない。詳細な説明は、記載する技術についての理解を提供するために、詳細な具体的詳細を含んでいる。しかし、これらの技術は、それらの詳細な具体的詳細なしでも実施され得る。ある実例では、記述した実施例の概念を不明瞭にするのを避けるために、周知の構造及び装置をブロック図の形で示している。

【0137】

添付図面において、同様なコンポーネントもしくは機構は、同じ参照符号を有し得る。さらに、同じタイプの様々なコンポーネントは、参照符号の後に、同様なコンポーネント間を区別するダッシュと第2の符号とを付すことによって、区別され得る。第1の参照符号が本明細書中で使用される場合、この記載は、第2の参照符号にかかわらず、同じ第1の参照符号を有する同様なコンポーネントのいずれか1つに適用され得る。

【0138】

本明細書に記載した情報および信号は、様々な異なる技術や技法のうちのいずれかを用いて表され得る。例えば、これまでの記載の全体にわたって参照された、データ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁場もしくは磁気粒子、光場もしくは光粒子、あるいはそれらの任意の組み合わせによって表され得る。いくつかの図は、複数の信号を1つの信号として示し得るが、当業者であれば、その信号は信号のバス（ここで、バスは様々なビット幅を有している）を表し得る、と理解するであろう。

【0139】

本明細書に記載したように、「事実上のグラウンド(virtual ground)」という語は、おおよそ0ボルト(0V)の電圧を保持しているがグラウンドに直接接続されていない電子回路のノードを指す。従って、事実上のグラウンドの電圧は、一時的に変動し得るし、安定した状態でおおよそ0Vに戻り得る。事実上のグラウンドは、操作可能な増幅器および抵抗からなる分圧器などの様々な電子回路素子を用いて実装され得る。その他の実装も

10

20

30

40

50

可能である。「事実上のグラウンドにする (Virtual grounding)」もしくは「事実上のグラウンドにされた (virtually grounded)」は、おおよそ 0 V に接続されることを意味する。

【 0 1 4 0 】

「電子的に通信 (electronic communication)」という用語は、コンポーネント間の電子の流れをサポートする、コンポーネント間の関係を表している。これは、コンポーネント間の直接的な接続を含み得るし、あるいは、それらの中間のコンポーネントを含んでもよい。電子的に通信しているコンポーネントは、(例えば、電圧が印加された回路内で) 電子または信号を動的に交換し得るし、あるいは、(例えば、電圧が印加されていない回路内で) 電子または信号を動的に交換しないものであってよいが、回路に電圧が印加されることに応じて電子または信号を交換するように構成されるか、もしくはそのように動作可能であり得る。一例として、スイッチ (例えばトランジスタ) を介して物理的に接続された 2 つのコンポーネントは、そのスイッチの状態 (すなわち、開状態もしくは閉状態) にかかわらず、電子的に通信している。

10

【 0 1 4 1 】

「分離された (isolated)」という語は、コンポーネント間で電子が現在流れることができないコンポーネント間の関係を表わす。複数のコンポーネントは、それらの間に開回路がある場合、互いに分離される。例えば、スイッチによって物理的に接続された 2 つのコンポーネントは、スイッチが開いているとき、互いに分離され得る。

【 0 1 4 2 】

本明細書で使用されるように、「短絡 (shorting)」という語は、問題の 2 つのコンポーネント間の単一の間コンポーネントの活性化を介して導電パスが形成されるコンポーネント間の関係を指す。例えば、第 2 のコンポーネントに短絡された第 1 のコンポーネントは、2 つのコンポーネントの間のスイッチが閉じられたときに、電子を交換することができる。従って、短絡は、電子的に通信する複数のコンポーネント (または線) の間の電荷の流れを可能にする動的動作であり得る。

20

【 0 1 4 3 】

物理的な値、信号または量に関連して使用される「振幅」および「大きさ」という語は、同義であってもよい。

【 0 1 4 4 】

メモリアレイ 100 を含む本明細書で論じられたデバイスは、シリコン、ゲルマニウム、シリコン-ゲルマニウム合金、砒化ガリウム、窒化ガリウム等のような半導体基板上に形成されてもよい。いくつかのケースでは、基板は半導体ウェハである。他のケースでは、基板は、シリコン・オン・ガラス (SOG) もしくはシリコン・オン・サファイア (SOP) 等のシリコン・オン・インシュレータ (SOI) 基板であってもよく、または、他の基板上の半導体材料のエピキシャル層であってもよい。基板もしくはその部分領域の導電性は、リン、ホウ素、または砒素を含むがこれらには限定されない様々な化学種を用いたドーピングによって、制御され得る。ドーピングは、基板の初期の形成又は成長中に、イオン注入もしくはその他の任意のドーピング手段によって行われ得る。

30

【 0 1 4 5 】

本明細書で議論されたトランジスタは、電界効果トランジスタ (FET) を表わし得るし、ソース、ドレイン、およびゲートを含む 3 つ端子の装置を含み得る。端子は、導電性物質 (例えば、金属) を通して他の電子素子に接続され得る。ソースおよびドレインは、導電性であっても良く、高濃度にドーブされた (例えば、変性した) 半導体領域を含み得る。ソースおよびドレインは低濃度にドーブされた半導体領域もしくはチャネルから分離され得る。チャネルが n 型 (すなわち、主なキャリアは電子) である場合、FET は n 型 FET と称され得る。チャネルが p 型 (すなわち、主なキャリアは正孔) である場合、FET は p 型 FET と称され得る。チャネルは、絶縁するゲート酸化物によって覆われ得る。チャネルの導電性はゲートに電圧を印加することによって制御され得る。例えば、正の電圧もしくは負の電圧を、n 型 FET または p 型 FET の各々に印加することは、チャネ

40

50

ルを導電性にし得る。トランジスタは、トランジスタの閾値電圧以上の電圧がトランジスタゲートに印加されたとき、「動作開始 ( o n ) 」もしくは「活性化」される。トランジスタは、トランジスタの閾値電圧未満の電圧がトランジスタゲートに印加されたとき、「動作終了 ( o f f ) 」もしくは「不活性化」される。

**【 0 1 4 6 】**

本明細書での開示に関連して記載された様々な例示的なブロック、コンポーネント、およびモジュールは、本明細書に記載された機能を実行するように設計された、汎用プロセッサ、DSP、ASIC、FPGAもしくはその他のプログラマブルロジックデバイス、ディスクリットゲートまたはトランジスタロジック、ディスクリットハードウェアコンポーネント、あるいはそれらの任意の組み合わせを用いて、実施もしくは実行され得る。汎用プロセッサは、マイクロプロセッサであってもよいが、代替として、プロセッサは、いずれかの従来プロセッサ、コントローラ、マイクロコントローラ、またはステートマシンであってもよい。プロセッサは、また、コンピューティングデバイスの組み合わせ（例えば、DSPとマイクロプロセッサとの組み合わせ、複数のマイクロプロセッサ、DSPコアと共同動作する1つ以上のマイクロプロセッサ、又は任意の他の同様な構成）として実装されてもよい。

10

**【 0 1 4 7 】**

本明細書に記載された機能は、ハードウェア、プロセッサによって実行されるソフトウェア、ファームウェア、又はそれらの任意の組み合わせにおいて実装され得る。プロセッサによって実行されるソフトウェアにおいて実装される場合には、その機能は、コンピュータ読み取り可能媒体上の1つ以上の命令もしくはコードとして、記憶されるかまたは送信され得る。その他の実施例および実装も、本開示ならびに添付の請求項の範囲内である。例えば、ソフトウェアの性質上、上述した機能は、プロセッサによって実行されるソフトウェア、ハードウェア、ファームウェア、ハードワイヤリング、もしくはそれらのいずれかの組み合わせを用いて実施可能である。機能を実装する機構も様々な位置に物理的に配置されてよく、それは、機能の一部がそれぞれ異なる物理的位置で実施されるように分散されることを含む。また、請求項を含む本明細書中で使用されているように、項目のリスト（例えば、「・・・のうちの少なくとも1つ」もしくは「・・・のうちの1つ以上」のようなフレーズによって始まる項目のリスト）中で使用される「or」は、包括的なりストを示す。例えば、A、B、もしくはCのうちの少なくとも1つというリストは、A、またはB、またはC、またはAB、またはAC、またはBC、またはABC（すなわち、AおよびBおよびC）を意味する。

20

30

**【 0 1 4 8 】**

コンピュータ読み取り可能媒体は、非一時的コンピュータ記憶媒体と、コンピュータプログラムをある場所から他の場所へ転送することを容易なものにする何らかの媒体を含む通信媒体との両方を含む。非一時的記憶媒体は、汎用もしくは特定用途向けのコンピュータによってアクセス可能な、任意の利用可能な媒体であってよい。一例として、非一時的コンピュータ読み取り可能媒体は、RAM、ROM、電氣的消去可能なプログラマブル・リードオンリメモリ（EEPROM）、コンパクトディスク（CD）ROMもしくはその他の光ディスク記憶デバイス、磁気ディスク記憶デバイスまたはその他の磁気記憶デバイス、あるいは、所望のプログラムコード手段を命令又はデータ構造の形式で担持もしくは記憶するように使用可能であって、かつ、汎用もしくは特定用途向けのコンピュータ、あるいは、汎用又は特定用途向けのプロセッサによってアクセス可能である他の非一時的媒体を含み得るが、これらに限定されない。

40

**【 0 1 4 9 】**

また、任意の接続が、適切にコンピュータ読み取り可能媒体と呼ばれる。例えば、ソフトウェアが、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線（DSL）、又は、赤外、高周波、およびマイクロ波等の無線技術を用いて、ウェブサイト、サーバ、又はその他のリモートソースから送信される場合には、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線（DSL）、または、赤外、高周波、およ

50

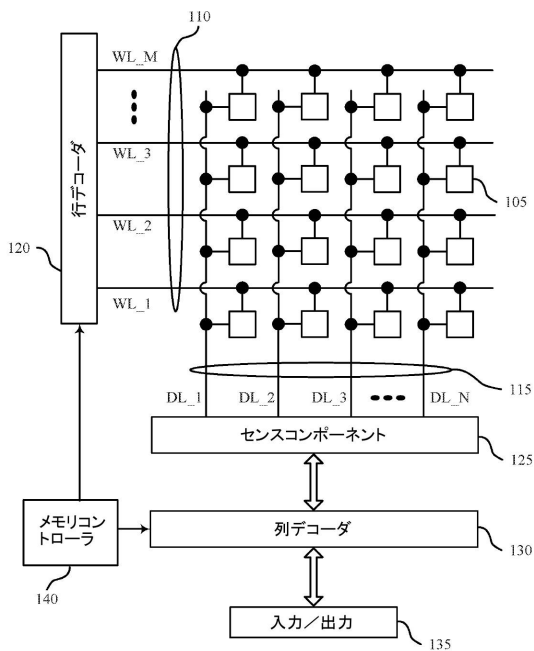
びマイクロ波等の無線技術が、上記媒体の定義に含まれる。本明細書で使用されるディスク (disk) およびディスク (disc) は、CD、レーザディスク、光ディスク、デジタル多用途ディスク (DVD)、フロッピディスク、およびブルーレイディスクを含む。ディスク (disk) は通常データを磁氣的に再生するのに対し、ディスク (disc) はデータをレーザで光学的に再生する。それらの組み合わせも、コンピュータ読み取り可能媒体の範囲内に含まれ得る。

【0150】

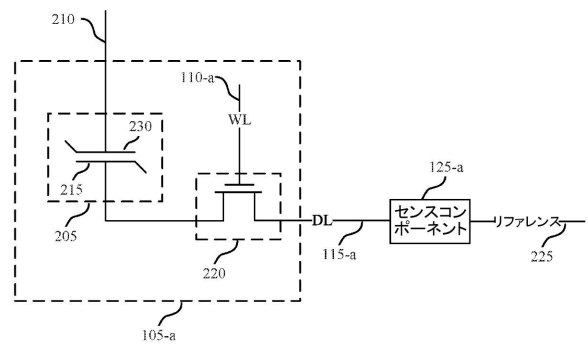
本明細書に述べたことは、当業者が本開示を実施または使用することを可能にするために提供される。本開示に対する様々な変更は、当業者にとって容易になし得るものであり、本明細書に定義された一般的な原理も、本開示の範囲から逸脱することなく、他の変形例に適用され得る。従って、本開示は、ここに述べた例や設計に限定されるべきものではなく、本明細書に述べた原理および新規な機構と矛盾しない最も広い範囲が本開示に認められるべきである。

10

【図1】



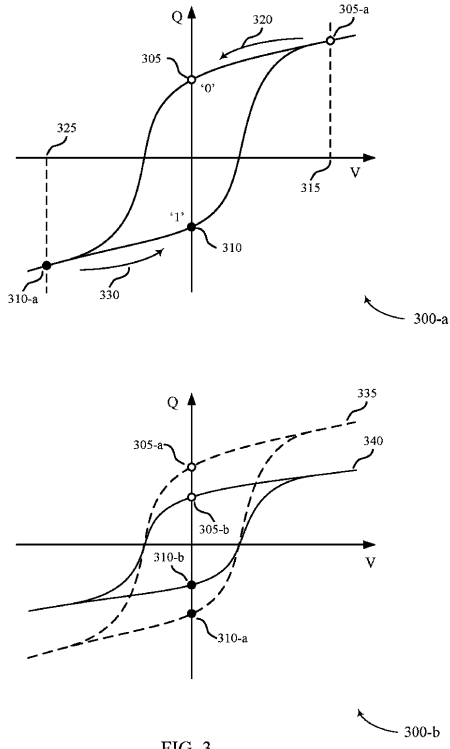
【図2】



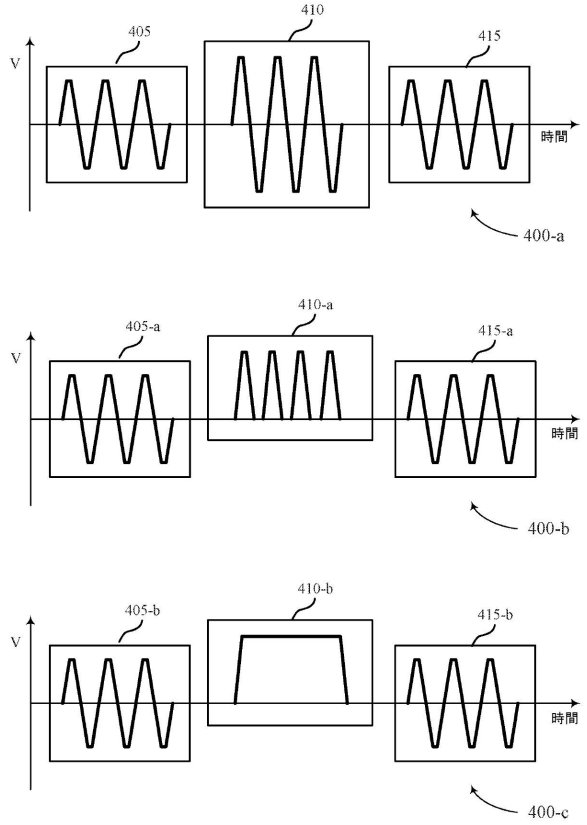
200

100

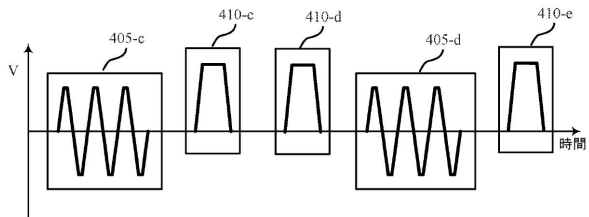
【図3】



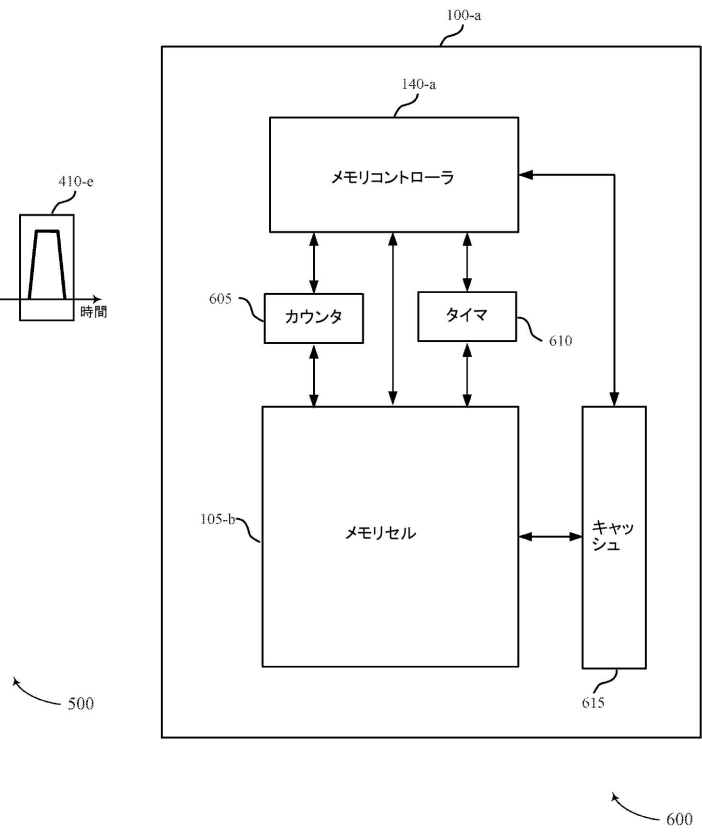
【図4】



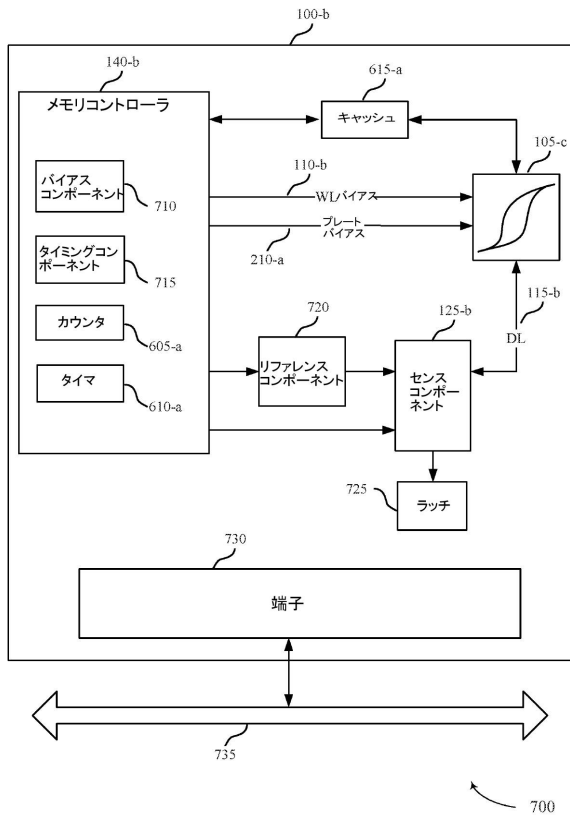
【図5】



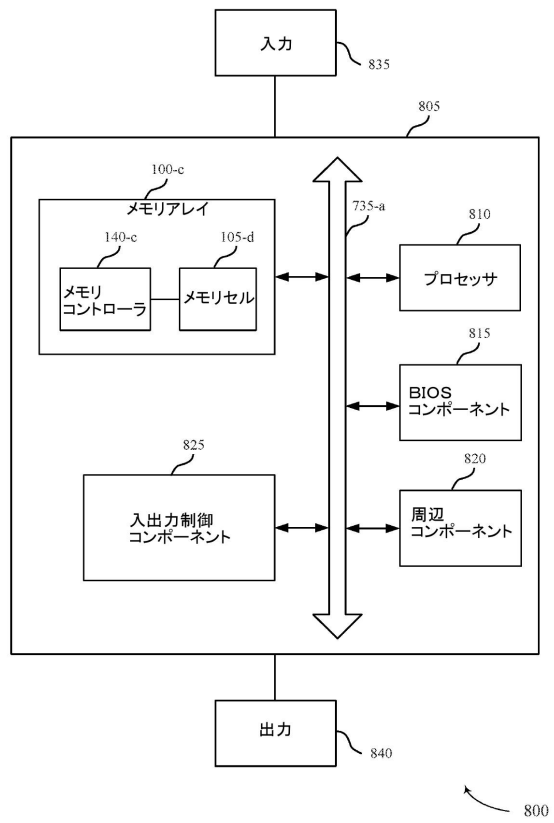
【図6】



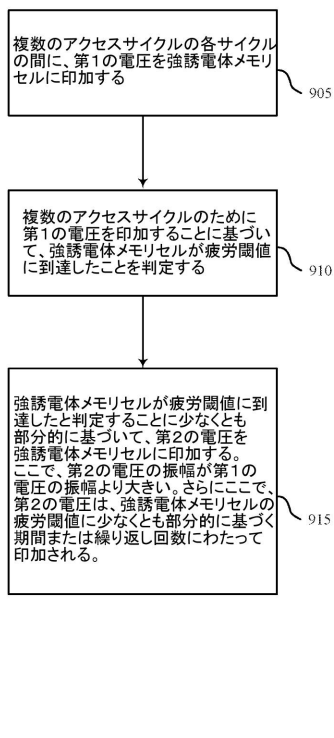
【図7】



【図8】



【図9】



## フロントページの続き

- (72)発明者 セルヴァッリ, ジョルジオ  
アメリカ合衆国, アイダホ州 83716 9632, ボイズ, サウス フェデラル ウェイ 8  
000, マイクロン テクノロジー, インク. 内
- (72)発明者 ロカテッリ, アンドレア  
アメリカ合衆国, アイダホ州 83716 9632, ボイズ, サウス フェデラル ウェイ 8  
000, マイクロン テクノロジー, インク. 内

審査官 酒井 恭信

- (56)参考文献 特開平05-062469(JP, A)  
米国特許第05270967(US, A)  
欧州特許出願公開第00495572(EP, A1)  
韓国公開特許第10-1992-0015372(KR, A)  
特開平07-073682(JP, A)  
特開2003-297093(JP, A)  
米国特許出願公開第2003/0185041(US, A1)  
特開2007-213659(JP, A)  
特表2008-527584(JP, A)  
国際公開第2006/073308(WO, A1)  
欧州特許出願公開第01834336(EP, A1)  
特開平09-265784(JP, A)  
特開平10-162588(JP, A)  
特開2010-192055(JP, A)  
米国特許第05381379(US, A)  
米国特許出願公開第2001/0040814(US, A1)  
米国特許出願公開第2007/0025172(US, A1)  
米国特許出願公開第2012/0147654(US, A1)  
米国特許出願公開第2014/0029326(US, A1)  
米国特許出願公開第2016/0276028(US, A1)

(58)調査した分野(Int.Cl., DB名)

G11C 11/22