

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月3日(03.09.2020)



(10) 国際公開番号

WO 2020/174303 A1

(51) 国際特許分類:

H03K 5/08 (2006.01) *H01L 29/786* (2006.01)
H01L 21/8234 (2006.01) *H03F 1/00* (2006.01)
H01L 27/06 (2006.01) *H03F 1/02* (2006.01)
H01L 27/088 (2006.01) *H03F 3/68* (2006.01)

(21) 国際出願番号: PCT/IB2020/051162

(22) 国際出願日: 2020年2月13日(13.02.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-033161 2019年2月26日(26.02.2019) JP
特願 2019-123630 2019年7月2日(02.07.2019) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

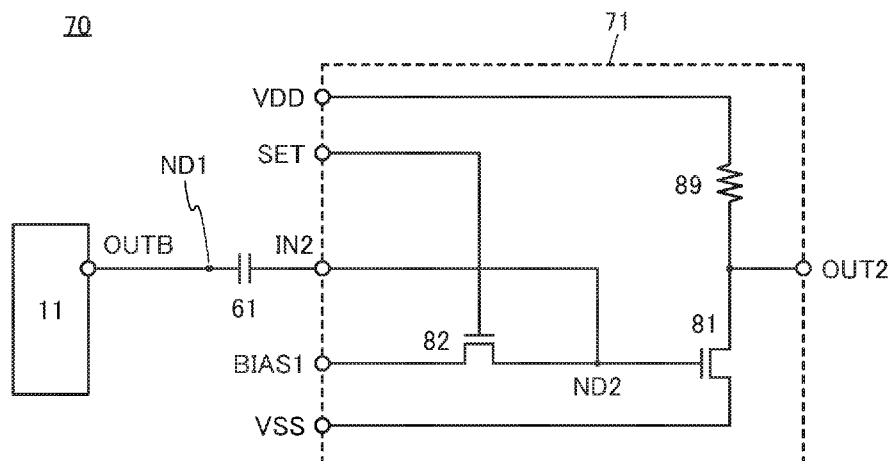
(72) 発明者: 高橋圭(TAKAHASHI, Kei); 〒2430036
神奈川県厚木市長谷398 株式会社半導
体エネルギー研究所内 Kanagawa (JP). 青
木健(AOKI, Takeshi); 〒2430036 神奈川県厚
木市長谷398 株式会社半導体エネ
ルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SEMICONDUCTOR DEVICE, AND METHOD FOR OPERATING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置及び半導体装置の動作方法

図1A



(57) Abstract: The present invention provides a novel comparison circuit, a novel amplifier circuit, a novel battery control circuit, a novel battery protection circuit, a power storage device, a semiconductor device, an electrical apparatus, and the like. Provided is a semiconductor device comprising a capacitive element, a first amplifier circuit having a first output terminal electrically connected to a first electrode of the capacitive element, and a second amplifier circuit having an input terminal, a second output terminal, a first transistor, and a second transistor, wherein a second electrode of the capacitive element is electrically connected to the input terminal, the input terminal is electrically connected to the gate of the first transistor and either the source or the drain of the second transistor, either the source or the drain of the first transistor is electrically connected to the second output terminal, the second transistor functions to apply electric potential to the input terminal and hold the potential, and the channel-forming region of the second transistor has a metal oxide containing at least one from among indium and gallium.

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 新規な比較回路、新規な増幅回路、新規な電池制御回路、新規な電池保護回路、蓄電装置、半導体装置及び電気機器等を提供する。容量素子と、容量素子の第1電極に電氣的に接続される第1の出力端子を有する第1の増幅回路と、入力端子、第2の出力端子、第1のトランジスタおよび第2のトランジスタを有する第2の増幅回路と、を有し、容量素子の第2の電極は入力端子に電氣的に接続され、入力端子は第1のトランジスタのゲートと第2のトランジスタのソースおよびドレインの一方に電氣的に接続され、第1のトランジスタのソースおよびドレインの一方は第2の出力端子に電氣的に接続され、第2のトランジスタは入力端子に電位を与えて保持する機能を有し、第2のトランジスタのチャネル形成領域はインジウムおよびガリウムの少なくとも一方を含む金属酸化物を有する半導体装置である。

明細書

発明の名称

半導体装置及び半導体装置の動作方法

技術分野

[0001]

本発明の一態様は、半導体装置、及び半導体装置の動作方法に関する。また、本発明の一態様は、電池制御回路、電池保護回路、蓄電装置、及び電気機器に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、表示装置、発光装置、蓄電装置、撮像装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

背景技術

[0003]

蓄電装置（バッテリー、二次電池ともいう）は、小型の電気機器から自動車に至るまで幅広い分野で利用されるようになってきている。電池の応用範囲が広がるにつれて、複数の電池セルを直列に接続したマルチセル構成のバッテリスタックを使ったアプリケーションが増えている。

[0004]

蓄電装置は、過放電、過充電、過電流、または短絡といった充放電時の異常を把握するための回路を備えている。このように、電池の保護、及び制御を行う回路において、充放電時の異常を検知するため、電圧や電流等のデータを取得する。また、このような回路においては、観測されるデータに基づいて、充放電の停止やセル・バランスングなどの制御を行う。

[0005]

特許文献1は、電池保護回路として機能する保護ICについて開示している。特許文献1に記載の保護ICでは、内部に複数のコンパレータ（比較器）を設け、参照電圧と、電池が接続された端子の電圧と、を比較して充放電時の異常を検出する構成について開示している。

[0006]

特許文献2では、電界効果トランジスタを用いたコンパレータが示されている。

[先行技術文献]

[特許文献]

[0007]

[特許文献1] 米国特許出願公開第2011-267726号明細書

[特許文献2] 特開2009-71653号公報

発明の概要

発明が解決しようとする課題

[0008]

本発明の一態様は、新規な比較回路、新規な増幅回路、新規な電池制御回路、新規な電池保護回路、蓄電装置、半導体装置及び電気機器等を提供することを課題の一とする。または、本発明の一

態様は、消費電力の低減を図ることができる、新規な構成の比較回路、増幅回路、電池制御回路、電池保護回路、蓄電装置、半導体装置及び電気機器等を提供することを課題の一とする。

[0009]

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び／又は他の課題のうち、少なくとも一つの課題を解決するものである。

課題を解決するための手段

[0010]

本発明の一態様は、第1の増幅回路、第2の増幅回路および容量素子を有し、第1の増幅回路は第1の出力端子を有し、第2の増幅回路は入力端子、第2の出力端子、第1のトランジスタおよび第2のトランジスタを有し、第1の出力端子は容量素子の第1の電極に電氣的に接続され、容量素子の第2の電極は入力端子に電氣的に接続され、第2の増幅回路の入力端子は、第1のトランジスタのゲートと、第2のトランジスタのソースおよびドレインの一方と、に電氣的に接続され、第1のトランジスタのソースおよびドレインの一方は、第2の出力端子に電氣的に接続され、第2の増幅回路は、入力端子に与えられる信号を増幅して第2の出力端子に与える機能を有し、第2のトランジスタは、入力端子に電位を与えて保持する機能を有し、第2のトランジスタのチャネル形成領域はインジウムおよびガリウムの少なくとも一方を含む金属酸化物を有する半導体装置である。

[0011]

または本発明の一態様は、第1の増幅回路、第2の増幅回路および容量素子を有し、第1の増幅回路は第1の出力端子を有し、第2の増幅回路は第1のトランジスタ、第2のトランジスタ、高電位配線、低電位配線および第1の半導体素子を有し、第1の半導体素子は第3の電極と、第4の電極と、を有し、第1の出力端子は容量素子の第1の電極に電氣的に接続され、容量素子の第2の電極は、第1のトランジスタのゲートと、第2のトランジスタのソースおよびドレインの一方と、に電氣的に接続され、第2のトランジスタのチャネル形成領域はインジウムおよびガリウムの少なくとも一方を含む金属酸化物を有し、第3の電極は、高電位配線に電氣的に接続され、第4の電極と前記第1のトランジスタのソースおよびドレインの一方は、第2の出力端子に電氣的に接続され、第1のトランジスタのソースおよびドレインの他方は、低電位配線に電氣的に接続される半導体装置である。

[0012]

また上記構成において、第1の半導体素子は第3のトランジスタを有し、第3の電極は第3のトランジスタのソースおよびドレインの一方に電氣的に接続され、第4の電極は第3のトランジスタのソースおよびドレインの他方に電氣的に接続されることが好ましい。

[0013]

また上記構成において、第1の半導体素子は直列に接続された複数のトランジスタを有し、第3の電極は直列に接続された複数のトランジスタの一方の端のトランジスタのソースまたはドレインに電氣的に接続され、第4の電極は直列に接続された複数のトランジスタの他方の端のトランジスタのソースまたはドレインに電氣的に接続されることが好ましい。

[0014]

または本発明の一態様は、第1の増幅回路、第2の増幅回路および容量素子を有し、第2の増幅回路は入力端子、第2の出力端子および第1のトランジスタを有し、第1の出力端子は容量素子の第1の電極に電氣的に接続され、容量素子の第2の電極は、入力端子および第1のトランジスタのゲートに電氣的に接続され、第1のトランジスタのソースおよびドレインの一方は、第2の出力端子に電氣的に接続され、第1の出力端子から電位 V_1 が出力され、入力端子に電位 V_2 が与えられる第1ステップと、入力端子の電位 V_2 が保持される第2ステップと、第1の出力端子から出力される電位を電位 V_1 から電位 $(V_1 + \Delta V_1)$ に変化させることにより入力端子の電位 V_2 が電位 $(V_2 + \Delta V_1)$ に変化し、電位 $(V_2 + \Delta V_1)$ が増幅された信号が第2の出力端子から出力される第3ステップと、を有する半導体装置の動作方法である。

[0015]

また上記構成において、第2の増幅回路は第2のトランジスタを有し、第1のトランジスタのゲートは、第2のトランジスタのソースおよびドレインの一方と電氣的に接続され、第1ステップにおいて、第2のトランジスタはオン状態であり、第2ステップおよび第3ステップにおいて、第1のトランジスタはオフ状態であることが好ましい。

[0016]

また上記構成において、第2のトランジスタのチャネル形成領域はインジウムおよびガリウムの少なくとも一方を含む金属酸化物を有することが好ましい。

[0017]

また上記構成において、第1の増幅回路は第3のトランジスタおよび第4のトランジスタを有し、第3のトランジスタのソースおよびドレインの一方は第4のトランジスタのソースおよびドレインの一方と電氣的に接続され、第4のトランジスタのソースおよびドレインの他方は、第1の出力端子に電氣的に接続され、第3ステップにおいて、第1の出力端子の電位は、第3のトランジスタのゲートに与えられる電位と第4のトランジスタのゲートに与えられる電位の比較結果に応じて生成されることが好ましい。

[0018]

また上記構成において、第1の増幅回路は、第5のトランジスタおよび第6のトランジスタを有し、第6のトランジスタのチャネル形成領域はインジウムおよびガリウムの少なくとも一方を含む金属酸化物を有し、第5のトランジスタのソースおよびドレインの一方は、第1の出力端子に電氣的に接続され、第6のトランジスタのソースおよびドレインの一方は、第5のトランジスタのゲートに電氣的に接続され、第1ステップにおいて、第6のトランジスタはオン状態であり、第2ステップおよび第3ステップにおいて、第6のトランジスタはオフ状態であることが好ましい。

発明の効果

[0019]

本発明の一態様により、新規な比較回路、新規な増幅回路、新規な電池制御回路、新規な電池保護回路、蓄電装置、半導体装置及び電気機器等を提供することができる。また、本発明の一態様により、消費電力の低減を図ることができる、新規な構成の比較回路、増幅回路、電池制御回路、電池保護回路、蓄電装置、半導体装置及び電気機器等を提供することができる。

[0020]

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない

効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び／又は他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

[0021]

図1Aは回路の構成例である。図1Bは回路の構成例である。図1Cは回路の構成例である。

図2Aは回路の構成例である。図2Bは回路の構成例である。

図3A、図3Bは回路の構成例である。

図4は回路の構成例である。

図5は回路の構成例である。

図6Aは回路の構成例である。図6Bは回路の構成例である。

図7は半導体装置の構成例を示す断面図である。

図8Aはトランジスタの構造例を示す断面図である。図8Bはトランジスタの構造例を示す断面図である。図8Cはトランジスタの構造例を示す断面図である。

図9Aはトランジスタの構造例を示す上面図である。図9Bはトランジスタの構造例を示す断面図である。図9Cはトランジスタの構造例を示す断面図である。

図10Aはトランジスタの構造例を示す上面図である。図10Bはトランジスタの構造例を示す断面図である。図10Cはトランジスタの構造例を示す断面図である。

図11Aはトランジスタの構造例を示す上面図である。図11Bはトランジスタの構造例を示す断面図である。図11Cはトランジスタの構造例を示す断面図である。

図12Aはトランジスタの構造例を示す上面図である。図12Bはトランジスタの構造例を示す断面図である。図12Cはトランジスタの構造例を示す断面図である。

図13Aはトランジスタの構造例を示す上面図である。図13Bはトランジスタの構造例を示す断面図である。図13Cはトランジスタの構造例を示す断面図である。

図14Aはトランジスタの構造例を示す上面図である。図14Bはトランジスタの構造例を示す断面図である。図14Cはトランジスタの構造例を示す断面図である。

図15は半導体装置の構成例を示す断面図である。

図16は半導体装置の構成例を示す断面図である。

発明を実施するための形態

[0022]

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0023]

なお本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成

要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0024]

なお図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

[0025]

また、図面等において示す各構成の、位置、大きさ、範囲などは、発明の理解を容易とするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。例えば、実際の製造工程において、エッチングなどの処理によりレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために図に反映しないことがある。

[0026]

また、上面図（「平面図」ともいう）や斜視図などにおいて、図面をわかりやすくするために、一部の構成要素の記載を省略する場合がある。

[0027]

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

[0028]

また、本明細書等において「端子」は例えば、配線、あるいは配線に接続される電極を指す場合がある。また、本明細書等において「配線」の一部を「端子」と呼ぶ場合がある。

[0029]

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0030]

また、ソースおよびドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合など、動作条件などによって互いに入れ替わるため、いずれがソースまたはドレインであるかを限定することが困難である。このため、本明細書においては、ソースおよびドレインの用語は、入れ替えて用いることができるものとする。

[0031]

また、本明細書等において、「電氣的に接続」には、直接接続している場合と、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。よって、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

[0032]

また、本明細書などにおいて、「平行」とは、例えば、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」および「直交」とは、例えば、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

[0033]

なお、本明細書などにおいて、計数値および計量値に関して「同一」、「同じ」、「等しい」または「均一」などと言う場合は、明示されている場合を除き、プラスマイナス20%の誤差を含むものとする。

[0034]

また、本明細書において、レジストマスクを形成した後にエッチング処理を行う場合は、特段の説明がない限り、レジストマスクは、エッチング処理終了後に除去するものとする。

[0035]

また、電圧は、ある電位と、基準の電位（例えば接地電位またはソース電位）との電位差のことを示す場合が多い。よって、電圧と電位は互いに言い換えることが可能な場合が多い。本明細書などでは、特段の明示が無いかぎり、電圧と電位を言い換えることができるものとする。

[0036]

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する。よって、「半導体」を「絶縁体」に置き換えて用いることも可能である。この場合、「半導体」と「絶縁体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「絶縁体」は、互いに読み換えることができる場合がある。

[0037]

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する。よって、「半導体」を「導電体」に置き換えて用いることも可能である。この場合、「半導体」と「導電体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「導電体」は、互いに読み換えることができる場合がある。

[0038]

なお、本明細書等において、トランジスタの「オン状態」とは、トランジスタのソースとドレインが電氣的に短絡しているとみなせる状態（「導通状態」ともいう。）をいう。また、トランジスタの「オフ状態」とは、トランジスタのソースとドレインが電氣的に遮断しているとみなせる状態（「非導通状態」ともいう。）をいう。

[0039]

また、本明細書等において、「オン電流」とは、トランジスタがオン状態の時にソースとドレイン間に流れる電流をいう場合がある。また、「オフ電流」とは、トランジスタがオフ状態である時にソースとドレイン間に流れる電流をいう場合がある。

[0040]

また、本明細書等において、高電位信号とは、低電位信号よりも高い電位の電源電位を示す。また、低電位信号とは、高電位信号よりも低い電位の電源電位を示す。また、接地電位を高電位信号または低電位信号として用いることもできる。例えば高電位信号が接地電位の場合には、低電位信号は接地電位より低い電位であり、低電位信号が接地電位の場合には、高電位信号は接地電位より高い電位である。また、高電位信号を高電源電位と呼ぶ場合がある。また、低電位信号を低電源電

位と呼ぶ場合がある。

[0041]

また、本明細書等において、ゲートとは、ゲート電極およびゲート配線の一部または全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

[0042]

また、本明細書等において、ソースとは、ソース領域、ソース電極、およびソース配線の一部または全部のことをいう。ソース領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ソース電極とは、ソース領域に接続される部分の導電層のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

[0043]

また、本明細書等において、ドレインとは、ドレイン領域、ドレイン電極、及びドレイン配線の一部または全部のことをいう。ドレイン領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ドレイン電極とは、ドレイン領域に接続される部分の導電層のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

[0044]

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置の例を説明する。

[0045]

<半導体装置の例>

図1に示す半導体装置70は、増幅回路11、容量素子61および増幅回路71を有する。

[0046]

容量素子61の容量値は例えば、後述するトランジスタ81の2倍以上、あるいは5倍以上である。また、容量素子61の容量値は例えば、100fF以上10pF未満である。

[0047]

増幅回路11には端子OUTBが電氣的に接続される。端子OUTBは容量素子61の一方の電極に電氣的に接続される。

[0048]

ノードND1は、端子OUTBおよび容量素子61の一方の電極に電氣的に接続される。

[0049]

増幅回路71には端子IN2、端子OUT2、端子SET、端子VDD、端子VSSおよび端子BIAS1が電氣的に接続される。端子IN2は容量素子の他方の電極に電氣的に接続される。

[0050]

端子VDDおよび端子VSSにはそれぞれ例えば高電位信号、低電位信号が与えられる。低電位信号として接地電位を用いてもよい。

[0051]

図1Aに示す増幅回路71はトランジスタ81、トランジスタ82および抵抗素子89を有する。トランジスタ81のソースおよびドレインの一方は端子VSSに電氣的に接続され、他方は端子O

UT 2 と、抵抗素子 8 9 の一方の電極とに電氣的に接続される。抵抗素子 8 9 の他方の電極は端子 VDD に電氣的に接続される。トランジスタ 8 2 のソースおよびドレインの一方はトランジスタ 8 1 のゲートと、端子 IN 2 とに電氣的に接続され、他方は端子 BIAS 1 に電氣的に接続される。端子 SET はトランジスタ 8 2 のゲートに電氣的に接続される。

[0052]

端子 VDD と端子 VSS の間の電圧を、抵抗素子 8 9 とトランジスタ 8 1 の抵抗値に応じて抵抗分割された電位が、端子 OUT 2 から出力される。

[0053]

ノード ND 2 は、端子 IN 2 と、トランジスタ 8 1 のゲートと、トランジスタ 8 2 のソースおよびドレインの一方とに電氣的に接続される。端子 SET からトランジスタ 8 2 がオン状態となる信号をトランジスタ 8 2 のゲートに与えることにより、端子 BIAS 1 からの信号がトランジスタ 8 2 を介してノード ND 2 に与えられる。

[0054]

トランジスタ 8 1 のゲートに接続されるノード ND 2 に好適な電位を与えることにより、増幅回路 7 1 の動作点（動作の中心点と呼ぶ場合がある）を好適な電位とし、増幅回路 7 1 の利得をさらに高めることができる。また、増幅回路 7 1 の出力レンジをさらに広げることができる。

[0055]

本発明の一態様の半導体装置において、トランジスタ 8 2 としてチャネル形成領域に酸化物半導体を有するトランジスタ（以下、OS トランジスタという）を用いることにより、そのオフ電流を極めて低くすることができる。トランジスタ 8 2 をオフ状態とすることによりノード ND 2 に好適な電位を与えた後、浮遊状態とすることができる。すなわちノード ND 2 に電位を与えた後、トランジスタ 8 2 をオフ状態として与えた電位を保持することにより、ノード ND 2 に電位をプログラミングすることができる。

[0056]

ノード ND 2 が浮遊状態となることにより、端子 BIAS 1 からの信号供給を停止してもノード ND 2 の電位が保持される。このとき例えば、ノード ND 2 には増幅回路 7 1 の好適な動作点が保持される。ノード ND 2 に動作点を保持した後、端子 BIAS 1 への信号供給を停止することができるため、半導体装置 7 0 の消費電力を低減することができる。

[0057]

ノード ND 2 が浮遊状態であるため、容量素子 6 1 との容量結合によりノード ND 2 の電位は、保持された好適な動作点を中心として、ノード ND 1 の電位の変動に相当する量だけ変動する。よって、増幅回路 7 1 は好適な動作点において動作することができる。

[0058]

本発明の一態様の半導体装置において、増幅回路 7 1 の特性に合わせて調整された電位を端子 BIAS 1 から与え、ノード ND 2 にプログラミングすることができる。増幅回路 7 1 が有するトランジスタの特性により例えば好適な動作点に変化する場合には、該トランジスタの特性に合わせて、プログラミングする電位を好適な動作点に調整すればよい。

[0059]

ここで、半導体装置 7 0 が容量素子 6 1 およびトランジスタ 8 2 を有さない場合を考える。そのような場合には例えば、端子 OUT B からの信号がトランジスタ 8 1 のゲートへ与えられ、増幅回

路 7 1 の動作点は増幅回路 1 1 が初期化された状態における、端子 O U T B からの出力電位となる。一方、本発明の一態様の半導体装置は容量素子 6 1 およびトランジスタ 8 2 を有するため、増幅回路 7 1 の動作点を所望の値とすることができる。

[0 0 6 0]

図 1 B に示す増幅回路 7 1 は、図 1 A に示す抵抗素子 8 9 に替えて回路 3 0 a を有する点異なる。

[0 0 6 1]

回路 3 0 a の一例について、図 1 C を用いて説明する。回路 3 0 a は、トランジスタ 8 3 およびトランジスタ 8 4 を有する。回路 3 0 a において、トランジスタ 8 3 のソースおよびドレインの一方は端子 V D D に、他方は端子 O U T 2 にそれぞれ電氣的に接続される。トランジスタ 8 4 のソースおよびドレインの一方はトランジスタ 8 3 のゲートに、他方は端子 V B C S に、それぞれ電氣的に接続される。トランジスタ 8 4 のゲートは端子 S E T に電氣的に接続される。

[0 0 6 2]

回路 3 0 a は電流源としての機能を有する。

[0 0 6 3]

図 1 A、図 1 B に示す増幅回路 7 1 が有するトランジスタはバックゲートを有してもよいし、有さなくてもよい。

[0 0 6 4]

図 2 A に示す増幅回路 7 1 は、回路 3 0 a に替えて回路 3 0 b を有する点異なる。

[0 0 6 5]

回路 3 0 b は電流源としての機能を有する。

[0 0 6 6]

図 2 B に示すように、回路 3 0 b は回路 3 0 a に比べて、端子 V D D と端子 O U T 2 との間に直列に接続された 2 つのトランジスタ（トランジスタ 8 3 およびトランジスタ 8 5）を有する点異なる。容量素子 8 7 は端子 O U T 2 とトランジスタ 8 3 のゲートとの間に設けられ、容量素子 8 8 は端子 O U T 2 とトランジスタ 8 5 のゲートとの間に設けられる。また図 2 B に示す例に限定されず、回路 3 0 b において端子 V D D と端子 O U T 2 との間に 3 つ以上のトランジスタを有してもよい。

[0 0 6 7]

トランジスタ 8 3 のソースドレイン間およびトランジスタ 8 5 のソースドレイン間には、端子 V D D と端子 O U T 2 との間の電圧がそれぞれのトランジスタの抵抗に応じて分配される。例えばトランジスタ 8 3 においてソースドレイン間の電圧が高くなるとトランジスタ 8 3 において流れる電流を高めようとするが、トランジスタ 8 5 のゲートソース間の電圧は低くなるためにトランジスタ 8 5 において流れる電流を低くしようとする。一方のトランジスタが他方のトランジスタを抑制する方向に動作するため、両方のトランジスタの動作は安定する。トランジスタの動作が安定することにより、増幅回路 7 1 の出力信号が安定する。また増幅回路 7 1 の利得を高められる場合がある。

[0 0 6 8]

図 2 B の詳細を以下に説明する。回路 3 0 b は、トランジスタ 8 3、トランジスタ 8 4、トランジスタ 8 5、トランジスタ 8 6、容量素子 8 7 および容量素子 8 8 を有する。端子 O U T 2 はトラ

ンジスタ 8 3 のソースおよびドレインの一方に電氣的に接続され、トランジスタ 8 3 のソースおよびドレインの他方はトランジスタ 8 5 のソースおよびドレインの一方に電氣的に接続され、トランジスタ 8 5 のソースおよびドレインの他方は端子 V D D に電氣的に接続される。トランジスタ 8 4 のソースおよびドレインの一方はトランジスタ 8 3 のゲートに、他方は端子 V B C S にそれぞれ電氣的に接続される。トランジスタ 8 6 のソースおよびドレインの一方はトランジスタ 8 5 のゲートに、他方は端子 V C A S L にそれぞれ電氣的に接続される。端子 S E T はトランジスタ 8 4 のゲートおよびトランジスタ 8 6 のゲートに電氣的に接続される。容量素子 8 7 の一方の電極は端子 O U T 2 に、他方の電極はトランジスタ 8 3 のゲートに、それぞれ電氣的に接続される。容量素子 8 8 の一方の電極は端子 O U T 2 に、他方の電極はトランジスタ 8 5 のゲートに、それぞれ電氣的に接続される。

[0 0 6 9]

トランジスタ 8 4 およびトランジスタ 8 6 として O S トランジスタを用いることにより、端子 V B C S からトランジスタ 8 4 を介してトランジスタ 8 3 のゲートに、端子 V C A S L からトランジスタ 8 6 を介してトランジスタ 8 5 のゲートに、それぞれ電位を与えた後、トランジスタ 8 4 およびトランジスタ 8 6 をオフ状態とすることにより、トランジスタ 8 3 のゲートおよびトランジスタ 8 5 のゲートのそれぞれに、電位が保持される。トランジスタ 8 4 およびトランジスタ 8 6 をオフ状態とすることにより、端子 V B C S および端子 V C A S L への信号供給を停止することができ、消費電力を低減することができる。

[0 0 7 0]

また図 2 A および図 2 B に示すように、増幅回路 7 1 が有するトランジスタはバックゲートを有してもよい。トランジスタのバックゲートに電位を与えることにより、トランジスタの閾値電圧を制御することができる。

[0 0 7 1]

トランジスタ 8 2 のバックゲートは端子 V B G に電氣的に接続される。トランジスタ 8 1 のバックゲートは端子 V S S に電氣的に接続される。

[0 0 7 2]

また図 2 B に示すように回路 3 0 b が有するトランジスタはバックゲートを有してもよい。トランジスタ 8 5 において例えばソースおよびドレインの一方が端子 V D D に、他方がトランジスタ 8 5 のバックゲートに、それぞれ電氣的に接続される。トランジスタ 8 3 において例えばバックゲートが端子 O U T 2 に電氣的に接続される。

[0 0 7 3]

トランジスタ 8 4 およびトランジスタ 8 6 のバックゲートは端子 V B G に電氣的に接続される。

[0 0 7 4]

< トランジスタの極性 >

本発明の一態様の増幅回路が有するトランジスタとして n チャネル型トランジスタ、p チャネル型トランジスタのいずれを用いてもよく、図 1 A、図 1 B、図 2 A および図 2 B に示すように、増幅回路 7 1 が有する主たるトランジスタとして、n チャネル型トランジスタを用いてもよい。本発明の一態様の半導体装置において、増幅回路が有する主たるトランジスタとして n チャネル型トランジスタを用い、かつ、高い利得および広い出力レンジを有する増幅回路を実現することができる。

[0 0 7 5]

<半導体装置の動作例>

半導体装置 70 の動作の一例を説明する。半導体装置 70 の動作において、ゲートが端子 S E T に接続されたトランジスタは時刻 t_1 においてオン状態となり、時刻 t_2 においてオフ状態となる。

[0076]

時刻 t_1 において、端子 S E T からトランジスタ 82 のゲートに信号が与えられてトランジスタ 82 がオン状態となる。よって端子 B I A S 1 からトランジスタ 82 を介してノード N D 2 に信号が与えられ、ノード N D 2 の電位は電位 V_2 となる。また、端子 O U T B から信号が出力され、ノード N D 1 の電位は電位 V_1 となる。

[0077]

時刻 t_2 において、端子 S E T からトランジスタ 82 のゲートに信号が与えられてトランジスタ 82 がオフ状態となる。トランジスタ 82 として O S トランジスタを用いる場合にはそのオフ電流が極めて低いため、ノード N D 2 が浮遊状態となる。

[0078]

ノード N D 1 の電位が一定の場合には、ノード N D 2 の電位も概略一定に保持される。

[0079]

ノード N D 1 の電位が変動する場合には、容量素子 61 との容量結合により、ノード N D 2 の電位は、ノード N D 1 の電位の変動に相当する量だけ変動する。

[0080]

電位 V_2 を動作点として増幅回路 71 を動作させることができる。電位 V_2 が好適な値となるように、端子 B I A S 1 から好適な信号を与えればよい。電位 V_2 は例えば、トランジスタ 81 の動作領域が好適となるように調整すればよい。トランジスタ 81 を例えば飽和領域において動作させればよい。

[0081]

あるいは電位 V_2 は端子 V D D に与えられる電位と端子 V S S に与えられる電位の間電位であることが好ましい。

[0082]

電位 V_2 を好適な値とすることにより、増幅回路 71 の利得をさらに高めることができる。また、増幅回路 71 の出力レンジをさらに広げることができる。

[0083]

<半導体装置の例 2>

次に、増幅回路 11 の一例について説明する。

[0084]

図 3 A に示す増幅回路 11 は、比較回路としての機能を有する。増幅回路 11 には端子 I N M および端子 I N P が電氣的に接続される。端子 I N M には第 1 の入力信号が与えられ、端子 I N P には第 2 の入力信号が与えられ、端子 O U T B からは出力信号が出力される。増幅回路 11 に用いるトランジスタにバックゲートを設けてもよいし、設けなくてもよい。

[0085]

増幅回路 11 は、トランジスタ 31、トランジスタ 32、トランジスタ 34、トランジスタ 45、回路 30c および回路 30d を有する。また、増幅回路 11 には、端子 V D D、端子 V S S、端子 B I A S 1、端子 V S H、端子 S E T、及び端子 V B C S が電氣的に接続される。回路 30c、及

び回路 30d は電流源としての機能を有する。

[0086]

トランジスタ 31 のゲートは端子 INM に電氣的に接続され、トランジスタ 32 のゲートは端子 INP に電氣的に接続される。トランジスタ 34 のソースおよびドレインの一方は端子 VSS と電氣的に接続され、他方はノード ND5 に電氣的に接続される。ノード ND5 は、トランジスタ 31 のソースおよびドレインの一方と、トランジスタ 32 のソースおよびドレインの一方とに電氣的に接続される。トランジスタ 31 のソースおよびドレインの他方はノード ND3 に電氣的に接続され、トランジスタ 32 のソースおよびドレインの他方は端子 OUTB に電氣的に接続される。

[0087]

ノード ND3 に端子を接続し、該端子を出力端子として機能させてもよい。

[0088]

トランジスタ 45 のソースおよびドレインの一方はトランジスタ 34 のゲートに、他方は端子 BIAS1 に、それぞれ電氣的に接続される。

[0089]

端子 OUT はノード ND3 に電氣的に接続される。本発明の一態様の半導体装置においては、端子 OUT は例えば、浮遊状態とすればよい。あるいは図 3B に示すように、複数段の増幅回路 11 が接続される場合には次段の増幅回路 11 に接続されてもよい。

[0090]

図 3B には、複数段の増幅回路 11 が接続される例を示す。図 3B には 2 段の増幅回路 11 が接続される例を示すが、増幅回路 11 は例えば 5 段以上、20 段以下、あるいは例えば 7 段以上 14 段以下接続されてもよい。増幅回路 11 の出力端子として機能する端子 OUTB および端子 OUT が次段の増幅回路 11 の入力端子に電氣的に接続される。例えば次段の増幅回路 11 の入力端子として、端子 INP および端子 INM に電氣的に接続される。例えば端子 OUTB を端子 INP および端子 INM の一方に、端子 OUT を他方に、それぞれ接続すればよい。

[0091]

図 4 において、図 3A に示す増幅回路 11 と共通する接続は、その説明を省く。

[0092]

図 4 において、回路 30c および回路 30d には、図 1C に示す回路 30a、および図 2B に示す回路 30b の構成の全てあるいはその一部を適用することができる。回路 30c は端子 VDD とトランジスタ 31 との間に配置される。回路 30d は端子 VDD とトランジスタ 32 との間に配置される。

[0093]

図 4 に示す増幅回路 11 は容量素子 41 および容量素子 42 を有する。容量素子 41 の一方の電極、および容量素子 42 の一方の電極は、トランジスタ 34 のゲートに電氣的に接続される。容量素子 41 の他方の電極はノード ND3 に、容量素子 42 の他方の電極は端子 OUTB に、それぞれ電氣的に接続される。ノード ND4 はトランジスタ 34 のゲートに電氣的に接続される。端子 VSH にトランジスタ 45 がオフ状態となる電位、例えば低電位信号を与えることによりノード ND4 は浮遊状態となる。容量素子 41 および容量素子 42 はノード ND4 に電氣的に接続されており、トランジスタ 31 とトランジスタ 32 の特性のばらつきによるノード ND4 の変動を抑制し、増幅回路 11 の動作点を安定させる効果を備えている。

[0094]

トランジスタ45としてOSトランジスタを用いることにより、トランジスタ34のゲートに電位を与えた後、トランジスタ45をオフ状態とし、該電位が保持される。端子VSHへの信号供給を停止することができ、消費電力を低減することができる。

[0095]

また図4に示すように、増幅回路11が有するトランジスタはバックゲートを有してもよい。トランジスタ34において例えばバックゲートは端子VSSに電氣的に接続される。また、トランジスタ45、トランジスタ46およびトランジスタ47において例えばバックゲートは端子VBGに電氣的に接続される。

[0096]

トランジスタ31およびトランジスタ32のバックゲートに例えばトランジスタのソースに比べて高い電位を与えることにより、トランジスタ31およびトランジスタ32の閾値をマイナスシフトすることができる。トランジスタの閾値をマイナスシフトさせることにより、より低いレベルの入力信号の検知が可能となる。

[0097]

ノードND5はトランジスタ34を介して端子VSSに電氣的に接続される。トランジスタ34のソースおよびドレインの一方は端子VSSに電氣的に接続され、他方はノードND5に電氣的に接続される。

[0098]

トランジスタ31のバックゲートにはトランジスタ46および容量素子48が接続され、端子MVBからの信号がトランジスタ46を介して与えられる。トランジスタ46およびトランジスタ47のゲートにはそれぞれ端子SETが電氣的に接続される。トランジスタ46のソースおよびドレインの一方は端子MVBに電氣的に接続され、他方はトランジスタ31のバックゲートと、容量素子48の一方の電極とに電氣的に接続される。容量素子48の他方の電極はノードND5に電氣的に接続される。

[0099]

トランジスタ32のバックゲートにはトランジスタ47および容量素子49が接続され、端子PVBからの信号がトランジスタ47を介して与えられる。トランジスタ47のソースおよびドレインの一方は端子MVBに電氣的に接続され、他方はトランジスタ32のバックゲートと、容量素子49の一方の電極とに電氣的に接続される。容量素子49の他方の電極はノードND5に電氣的に接続される。

[0100]

トランジスタ31およびトランジスタ32のバックゲートに電位が与えられた後、トランジスタ46およびトランジスタ47をオフ状態とすることにより、トランジスタ31のバックゲートの電位は容量素子48により保持され、トランジスタ32のバックゲートの電位は容量素子49により保持される。

[0101]

図5には、増幅回路11の一例を示す。図5に示す増幅回路11は、回路30cとトランジスタ31の間にトランジスタ36を、回路30dとトランジスタ32の間にトランジスタ37を有する点が、図4に示す増幅回路11と異なる。

[0102]

図5に示す増幅回路11において、トランジスタ31のソースおよびドレインの一方はノードND5に、他方はトランジスタ36のソースおよびドレインの一方に、それぞれ電氣的に接続される。トランジスタ36のソースおよびドレインの他方は回路30cに電氣的に接続される。トランジスタ32のソースおよびドレインの一方はノードND5に、他方はトランジスタ37のソースおよびドレインの一方に、それぞれ電氣的に接続される。トランジスタ37のソースおよびドレインの他方は回路30dに電氣的に接続される。トランジスタ36およびトランジスタ37のゲートには、端子VCASDから電位が与えられる。

[0103]

トランジスタ36およびトランジスタ37はバックゲートを有してもよい。トランジスタ36のバックゲートは例えば、ソースおよびドレインの一方に電氣的に接続される。あるいはトランジスタ36のバックゲートは例えば、所望の電位を与える端子に接続されてもよく、具体的には例えば端子VSS、端子VBG等の端子に接続されてもよい。トランジスタ37のバックゲートは例えば、ソースおよびドレインの一方に電氣的に接続される。あるいはトランジスタ37のバックゲートは例えば、所望の電位を与える端子に接続されてもよく、具体的には例えば端子VSS、端子VBG等の端子に接続されてもよい。

[0104]

また図5には増幅回路11が容量素子41および容量素子42を有さない構成を例として示すが、図5に示す増幅回路11が容量素子41および容量素子42を有してもよい。

[0105]

また、図5に示す増幅回路11においては、トランジスタ34、45、46および47はバックゲートを有さない例を示しているが、バックゲートを有してもよい。

[0106]

トランジスタ36のソースドレイン間およびトランジスタ31のソースドレイン間には、端子OUTとノードND5との間の電圧がそれぞれのトランジスタ抵抗に応じて分配される。例えばトランジスタ36においてソースドレイン間の電圧が高くなるとトランジスタ36において流れる電流を高めようとするが、トランジスタ36のゲートソース間の電圧は低くなるためにトランジスタ31において流れる電流を低くしようとする。一方のトランジスタが他方のトランジスタを抑制する方向に動作するため、両方のトランジスタの動作は安定する。トランジスタの動作が安定することにより、増幅回路11の出力信号が安定する。また増幅回路11の利得を高められる場合がある。同様に、トランジスタ36に替えてトランジスタ37、トランジスタ31に替えてトランジスタ32として上記の記載をあてはめると、トランジスタ31およびトランジスタ32の一方のトランジスタが他方のトランジスタを抑制する方向に動作するため、両方のトランジスタの動作は安定する、といえる。

[0107]

トランジスタ46およびトランジスタ47は、端子VBGから与えられる電位を保持する機能を有する。例えば端子SETから高電位信号を与えてトランジスタ46およびトランジスタ47をオン状態とし、端子VBGからの電位をトランジスタ31およびトランジスタ32に与えた後、端子SETから低電位信号を与えて、端子VBGからの電位を保持することができる。OSトランジスタはオフ電流が極めて低い。よって、トランジスタ46およびトランジスタ47としてOSトラン

ジスタを用いることにより、端子V B Gから与えられる電位を長時間、好ましくは1分以上、より好ましくは1時間以上、さらに好ましくは10時間以上保持することができる。

[0108]

<半導体装置の動作例2>

増幅回路11を含めた半導体装置70の動作の一例を説明する。

[0109]

時刻t1において、端子S E Tに高電位信号を与え、それぞれの端子に接続されるトランジスタをオン状態とする。

[0110]

先に述べた通り、端子B I A S 1からトランジスタ82を介して、ノードND2に電位V2が与えられる。

[0111]

また端子V B C S、端子V C A S L等にそれぞれ好適な信号を与えることにより、回路30a、回路30b、回路30c、回路30d等を電流源として機能させることができる。

[0112]

また時刻t1において、端子V S Hに高電位信号を与え、トランジスタ45をオン状態とする。端子B I A S 1に好適な信号を与えることにより、該信号はトランジスタ45を介してトランジスタ34のゲートに与えられ、トランジスタ34を電流源として機能させることができる。トランジスタ34は例えば飽和領域にて動作させることが好ましい。

[0113]

端子I N Mおよび端子I N Pには、概略同じ電位を入力する。概略同じ電位とは、電位差が20mV以内であることが好ましい。もしくは、電位差が10mV以内であることが好ましい。もしくは、電位差が5mV以内であることが好ましい。

[0114]

次に時刻t2において、端子S E Tおよび端子V S Hに低電位信号を与える。

[0115]

トランジスタ82がオフ状態となり、端子I N 2は浮遊状態となる。またトランジスタ84およびトランジスタ86がオフ状態となり、トランジスタ83のゲート電位およびトランジスタ85のゲート電位が浮遊状態となる。

[0116]

次に時刻t3において、比較される2つの信号を端子I N Mおよび端子I N Pに入力する。ここでは例えば端子I N Mを基準値として時刻t2の電位を引き続き保持し、端子I N Pの値を変化させる。これにより端子O U T Bに接続されるノードND1の電位は変化する。例えば端子I N Pの電位が低くなればノードND1の電位は高くなり、端子I N Pの電位が高くなればノードND1の電位は低くなる。ノードND2は浮遊状態であるため、容量結合によりノードND2の電位はノードND1の電位の変動に相当する量だけ変動する。

[0117]

<半導体装置の例3>

図6Aには本発明の一態様の半導体装置において、本発明の一態様の増幅回路を比較回路（コンパレータともいう）に適用し、比較回路の一方の入力端子に記憶素子が接続される例を示す。

[0118]

図1A、図1Bおよび図2Aで示した増幅回路11、容量素子61および増幅回路71が接続された構成を以下、増幅回路80と呼ぶ。

[0119]

増幅回路80は、入力端子として機能する端子INPおよび端子INMの2つの端子と、出力端子として機能する端子OUT2と、を有する比較回路として機能する。端子INPと端子INMのそれぞれに入力される信号の比較結果に応じて、端子OUT2から信号が出力される。端子INPおよび端子INMの一方は非反転入力端子、他方は反転入力端子として機能することが好ましい。

[0120]

増幅回路80を比較回路として用いる一例を説明する。非反転入力端子および反転入力端子の一方には基準信号が与えられ、他方には該基準信号と比較される信号が与えられる。図6Aにおいては、端子INMに基準信号が与えられる例を示す。

[0121]

ここで、基準信号は記憶素子に保持されることが好ましい。基準信号を記憶素子に保持することにより、信号供給回路から基準信号を与えた後、該信号供給回路との接続を切断することができる。これにより例えば、該信号供給回路の全体、あるいは一部において、電源を遮断することができる。

[0122]

記憶素子として、図6Aに示す記憶素子114の構成を用いることができる。図6Aに示す記憶素子114は、容量素子161およびトランジスタ162を有する。トランジスタ162のソースおよびドレインの一方は端子INMに電氣的に接続され、他方（図6においては端子VT）には基準信号が与えられる。容量素子161の一方の電極は端子INMに電氣的に接続され、他方には例えば第2の基準信号が与えられる。ここで第2の基準信号として、接地電位、低電位信号、高電位信号、二次電池の正極または負極の電位、二次電池の正極と負極の電位間を抵抗分割した値、等を用いてもよい。

[0123]

トランジスタ162として、OSトランジスタを用いることが好ましい。なお図6Aにおいてトランジスタ162はバックゲートを有するが、有さない構成としてもよい。

[0124]

記憶素子114への基準信号の保持を行うための動作例を示す。まずトランジスタ162をオン状態とし、端子VTへ信号を与え、トランジスタ162を介して端子INMに該信号に対応する電位を与える。その後、トランジスタ162をオフ状態とする。トランジスタ162としてOSトランジスタを用いることにより、トランジスタ162のオフ電流を極めて低くすることができる。よって端子INMに与えられた電位を保持することができる。

[0125]

図6Bには、本発明の一態様の半導体装置を蓄電システムに適用する一例を示す。蓄電システム100は半導体装置70および二次電池121を有する。増幅回路80の端子INPには二次電池121の正極が電氣的に接続される。端子INMには例えば、正極として好ましい範囲の電圧領域の上限、あるいは下限が保持される。二次電池121として二次電池、キャパシタ、等の蓄電デバイスを用いることができる。例えば二次電池121としてリチウムイオン二次電池を用いることができる。またリチウムイオン二次電池に限定されず、二次電池の正極材料として例えば、元素A、

元素X、及び酸素を有する材料を用いることができる。元素Aは第1族の元素および第2族の元素から選ばれる一以上である。第1族の元素として例えば、リチウム、ナトリウム、カリウム等のアルカリ金属を用いることができる。また、第2族の元素として例えば、カルシウム、ベリリウム、マグネシウム等を用いることができる。元素Xとして例えば金属元素、シリコン及びリンから選ばれる一以上を用いることができる。また、元素Xはコバルト、ニッケル、マンガン、鉄、及びバナジウムから選ばれる一以上である。代表的には、リチウムコバルト複合酸化物 LiCoO_2 や、リン酸鉄リチウム LiFePO_4 が挙げられる。

[0126]

端子INMに電圧領域の上限が保持される場合には、端子INPの電位が端子INMの電位を上回ると、端子OUT2からの信号が反転する。信号の反転とは例えば高電位信号が低電位信号に、低電位信号が高電位信号に変化することを指す。信号の反転に伴い、端子OUT2からの出力が与えられる回路において、与えられた信号に応じて二次電池121の制御が行われる。

[0127]

<OSトランジスタ>

OSトランジスタは、チャネル形成領域に酸化物半導体を有する。酸化物半導体として、少なくともインジウムまたは亜鉛を含む金属酸化物を用いることが好ましい。特に、インジウムおよび亜鉛を含む金属酸化物を用いる事が好ましい。またそれらに加えて、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0128]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有する In-M-Zn 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0129]

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせて用いることができる。

[0130]

(実施の形態2)

本実施の形態では、上記実施の形態で説明した半導体装置に用いることができる、OSトランジスタの構成例について説明する。なお、OSトランジスタは薄膜トランジスタであり、積層して設けることができるため、本実施の形態では、単結晶シリコン基板に形成されたSiトランジスタの上方に、OSトランジスタを設けた半導体装置の構成例について説明する。

[0131]

<半導体装置の構成例1>

図7に示す半導体装置は、トランジスタ300と、トランジスタ500、および容量素子600を有している。図8Aはトランジスタ500のチャネル長方向の断面図であり、図8Bはトランジ

スタ５００のチャネル幅方向の断面図であり、図８Ｃはトランジスタ３００のチャネル幅方向の断面図である。

[０１３２]

トランジスタ５００は、チャネル形成領域に金属酸化物を有するトランジスタ（ＯＳトランジスタ）である。トランジスタ５００は、オフ電流が非常に小さい特徴を有する。

[０１３３]

本実施の形態で説明する半導体装置は、図７に示すように、トランジスタ３００、トランジスタ５００、および容量素子６００を有する。トランジスタ５００はトランジスタ３００の上方に設けられ、容量素子６００は、トランジスタ３００およびトランジスタ５００の上方に設けられている。

[０１３４]

トランジスタ３００は、基板３１１上に設けられ、導電体３１６、絶縁体３１５、基板３１１の一部からなる半導体領域３１３、およびソース領域またはドレイン領域として機能する低抵抗領域３１４ａ、および低抵抗領域３１４ｂを有する。

[０１３５]

トランジスタ３００は、図８Ｃに示すように、半導体領域３１３の上面およびチャネル幅方向の側面が絶縁体３１５を介して導電体３１６に覆われている。このように、トランジスタ３００をＦｉｎ型とすることにより、実効上のチャネル幅が増大することによりトランジスタ３００のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ３００のオフ特性を向上させることができる。

[０１３６]

なお、トランジスタ３００は、ｐチャネル型、あるいはｎチャネル型のいずれでもよい。

[０１３７]

半導体領域３１３のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域３１４ａ、および低抵抗領域３１４ｂなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ｇｅ（ゲルマニウム）、ＳｉＧｅ（シリコンゲルマニウム）、ＧａＡｓ（ガリウムヒ素）、ＧａＡｌＡｓ（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはＧａＡｓとＧａＡｌＡｓ等を用いることで、トランジスタ３００をＨＥＭＴ（Ｈｉｇｈ Ｅｌｅｃｔｒｏｎ Ｍｏｂｉｌｉｔｙ Ｔｒａｎｓｉｓｔｏｒ）としてもよい。

[０１３８]

低抵抗領域３１４ａ、および低抵抗領域３１４ｂは、半導体領域３１３に適用される半導体材料に加え、ヒ素、リンなどのｎ型の導電性を付与する元素、またはホウ素などのｐ型の導電性を付与する元素を含む。

[０１３９]

ゲート電極として機能する導電体３１６は、ヒ素、リンなどのｎ型の導電性を付与する元素、もしくはホウ素などのｐ型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[０１４０]

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、トランジ

スタのV_thを調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタンゲステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタンゲステンを用いることが耐熱性の点で好ましい。

[0141]

なお、図7に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0142]

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

[0143]

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0144]

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化处理により平坦化されていてもよい。

[0145]

また、絶縁体324には、基板311、またはトランジスタ300などから、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0146]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0147]

水素の脱離量は、例えば、昇温脱離ガス分析（TDS分析）法などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当りに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0148]

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0149]

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子600、

またはトランジスタ 500 と接続する導電体 328、および導電体 330 等が埋め込まれている。なお、導電体 328、および導電体 330 は、プラグまたは配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0150]

各プラグ、および配線（導電体 328、および導電体 330 等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0151]

絶縁体 326、および導電体 330 上に、配線層を設けてもよい。例えば、図 7 において、絶縁体 350、絶縁体 352、および絶縁体 354 が順に積層して設けられている。また、絶縁体 350、絶縁体 352、および絶縁体 354 には、導電体 356 が形成されている。導電体 356 は、トランジスタ 300 と接続するプラグ、または配線としての機能を有する。なお導電体 356 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

[0152]

なお、例えば、絶縁体 350 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 356 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 350 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

[0153]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 300 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 350 と接する構造であることが好ましい。

[0154]

絶縁体 354、および導電体 356 上に、配線層を設けてもよい。例えば、図 7 において、絶縁体 360、絶縁体 362、および絶縁体 364 が順に積層して設けられている。また、絶縁体 360、絶縁体 362、および絶縁体 364 には、導電体 366 が形成されている。導電体 366 は、プラグまたは配線としての機能を有する。なお導電体 366 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

[0155]

なお、例えば、絶縁体 360 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体

を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0156]

絶縁体364、および導電体366上に、配線層を設けてもよい。例えば、図7において、絶縁体370、絶縁体372、および絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、および絶縁体374には、導電体376が形成されている。導電体376は、プラグまたは配線としての機能を有する。なお導電体376は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0157]

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0158]

絶縁体374、および導電体376上に、配線層を設けてもよい。例えば、図7において、絶縁体380、絶縁体382、および絶縁体384が順に積層して設けられている。また、絶縁体380、絶縁体382、および絶縁体384には、導電体386が形成されている。導電体386は、プラグまたは配線としての機能を有する。なお導電体386は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0159]

なお、例えば、絶縁体380は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体386は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体380が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0160]

上記において、導電体356を含む配線層、導電体366を含む配線層、導電体376を含む配線層、および導電体386を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体356を含む配線層と同様の配線層を3層以下にしてもよいし、導電体356を含む配線層と同様の配線層を5層以上にしてもよい。

[0161]

絶縁体384上には絶縁体510、絶縁体512、絶縁体514、および絶縁体516が、順に積層して設けられている。絶縁体510、絶縁体512、絶縁体514、および絶縁体516のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0162]

例えば、絶縁体510、および絶縁体514には、例えば、基板311、またはトランジスタ300を設ける領域などから、トランジスタ500を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

[0163]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0164]

また、水素に対するバリア性を有する膜として、例えば、絶縁体510、および絶縁体514には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0165]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

[0166]

また、例えば、絶縁体512、および絶縁体516には、絶縁体320と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体512、および絶縁体516として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0167]

また、絶縁体510、絶縁体512、絶縁体514、および絶縁体516には、導電体518、およびトランジスタ500を構成する導電体（導電体503）等が埋め込まれている。なお、導電体518は、容量素子600、またはトランジスタ300と接続するプラグ、または配線としての機能を有する。導電体518は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0168]

特に、絶縁体510、および絶縁体514と接する領域の導電体518は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0169]

絶縁体516の上方には、トランジスタ500が設けられている。

[0170]

図8A、図8Bに示すように、トランジスタ500は、絶縁体514および絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516と導電体503の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に、互いに離して配置された導電体542a、および導電体542bと、導電体542aおよび導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の中に配置された導電体560と、酸化物530b、導電体542a、導電体542b、および絶縁体580と、導電体560と、の間に配置された絶縁体550と、酸化物530b、導電体542a、導電体542b、および絶縁体580と、絶縁体550と、の間に配置された酸化物530cと、を有する。

[0171]

また、図8A、図8Bに示すように、酸化物530a、酸化物530b、導電体542a、および導電体542bと、絶縁体580の間に絶縁体544が配置されることが好ましい。また、図8A、図8Bに示すように、導電体560は、絶縁体550の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図8A、図8Bに示すように、絶縁体580、導電体560、および絶縁体550の上に絶縁体574が配置されることが好ましい。

[0172]

なお、以下において、酸化物530a、酸化物530b、および酸化物530cをまとめて酸化物530という場合がある。また、導電体542aおよび導電体542bをまとめて導電体542という場合がある。

[0173]

なお、トランジスタ500では、チャネルが形成される領域と、その近傍において、酸化物530a、酸化物530b、および酸化物530cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物530bの単層、酸化物530bと酸化物530aの2層構造、酸化物530bと酸化物530cの2層構造、または4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ500では、導電体560を2層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体560が、単層構造であってもよいし、3層以上の積層構造であってもよい。また、図7、図8A、図8Bに示すトランジスタ500は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0174]

ここで、導電体560は、トランジスタのゲート電極として機能し、導電体542aおよび導電体542bは、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口、および導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。導電体560、導電体542aおよび導電体542bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるので、トランジスタ500の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることが

できる。

[0175]

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるので、導電体560は、導電体542aまたは導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542aおよび導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

[0176]

導電体560は、第1のゲート（トップゲート、ともいう）電極として機能する場合がある。また、導電体503は、第2のゲート（ボトムゲート、ともいう）電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500の V_{th} を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500の V_{th} を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0177]

導電体503は、酸化物530、および導電体560と、重なるように配置する。これにより、導電体560、および導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャネル形成領域を覆うことができる。本明細書等において、第1のゲート電極、および第2のゲート電極の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、*surrounded channel*（*S-channel*）構造とよぶ。

[0178]

また、本明細書等において、*S-channel*構造は、ソース電極およびドレイン電極として機能する導電体542aおよび導電体542bに接する酸化物530の側面及び周辺が、チャネル形成領域と同じくI型であるといった特徴を有する。また、導電体542aおよび導電体542bに接する酸化物530の側面及び周辺は、絶縁体544と接しているため、チャネル形成領域と同様にI型となりうる。なお、本明細書等において、I型とは後述する、高純度真性と同様として扱うことができる。また、本明細書等で開示する*S-channel*構造は、*Fin*型構造及びプレーナ型構造とは異なる。*S-channel*構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

[0179]

また、導電体503は、導電体518と同様の構成であり、絶縁体514および絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。

[0180]

絶縁体520、絶縁体522、絶縁体524、および絶縁体550は、ゲート絶縁膜としての機能を有する。

[0181]

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体524には、過剰酸素領域が形成されてい

ることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損を低減し、トランジスタ500の信頼性を向上させることができる。

[0182]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0183]

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

[0184]

絶縁体522が、酸素や不純物の拡散を抑制する機能を有することで、酸化物530が有する酸素は、絶縁体520側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524や、酸化物530が有する酸素と反応することを抑制することができる。

[0185]

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO_3) または (Ba, SrTiO_3 (BST) などのいわゆる *high-k* 材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体に *high-k* 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0186]

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

[0187]

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0188]

また、絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化

窒化シリコンは、熱的に安定であるため、好適である。また、h i g h-k材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体520を得ることができる。

[0189]

なお、絶縁体520、絶縁体522、および絶縁体524が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0190]

トランジスタ500は、チャネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物530として、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物530として、In-Ga酸化物、In-Zn酸化物を用いてもよい。

[0191]

また、トランジスタ500には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0192]

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

[0193]

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0194]

よって、金属酸化物を酸化物530に用いる場合、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましく

は $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0195]

また、酸化物530に金属酸化物を用いる場合、チャネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0196]

また、酸化物530に金属酸化物を用いる場合、導電体542（導電体542a、および導電体542b）と酸化物530とが接することで、酸化物530中の酸素が導電体542へ拡散し、導電体542が酸化する場合がある。導電体542が酸化することで、導電体542の導電率が低下する蓋然性が高い。なお、酸化物530中の酸素が導電体542へ拡散することを、導電体542が酸化物530中の酸素を吸収する、と言い換えることができる。

[0197]

また、酸化物530中の酸素が導電体542（導電体542a、および導電体542b）へ拡散することで、導電体542aと酸化物530bとの間、および、導電体542bと酸化物530bとの間に異層が形成される場合がある。当該異層は、導電体542よりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体542と、当該異層と、酸化物530bとの3層構造は、金属－絶縁体－半導体からなる3層構造とみなすことができ、MIS（Metal-Insulator-Semiconductor）構造と呼ぶ、またはMIS構造を主としたダイオード接合構造と呼ぶ場合がある。

[0198]

なお、上記異層は、導電体542と酸化物530bとの間に形成されることに限られず、例えば、異層が、導電体542と酸化物530cとの間に形成される場合や、導電体542と酸化物530bとの間、および導電体542と酸化物530cとの間に形成される場合がある。

[0199]

また、酸化物530においてチャネル形成領域として機能する金属酸化物は、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0200]

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。また、酸化物530b上に酸化物530cを有することで、酸化物530cよりも上方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。

[0201]

なお、酸化物530は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原

原子数比が、酸化物 530b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 530a に用いる金属酸化物において、In に対する元素 M の原子数比が、酸化物 530b に用いる金属酸化物における、In に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 530b に用いる金属酸化物において、元素 M に対する In の原子数比が、酸化物 530a に用いる金属酸化物における、元素 M に対する In の原子数比より大きいことが好ましい。また、酸化物 530c は、酸化物 530a または酸化物 530b に用いることができる金属酸化物を、用いることができる。

[0202]

また、酸化物 530a および酸化物 530c の伝導帯下端のエネルギーが、酸化物 530b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 530a および酸化物 530c の電子親和力が、酸化物 530b の電子親和力より小さいことが好ましい。

[0203]

ここで、酸化物 530a、酸化物 530b、および酸化物 530c の接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物 530a、酸化物 530b、および酸化物 530c の接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物 530a と酸化物 530b との界面、および酸化物 530b と酸化物 530c との界面において形成される混合層の欠陥準位密度を低くするとよい。

[0204]

具体的には、酸化物 530a と酸化物 530b、酸化物 530b と酸化物 530c が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物 530b が In-Ga-Zn 酸化物の場合、酸化物 530a および酸化物 530c として、In-Ga-Zn 酸化物、Ga-Zn 酸化物、酸化ガリウムなどを用いるとよい。

[0205]

このとき、キャリアの主たる経路は酸化物 530b となる。酸化物 530a、酸化物 530c を上述の構成とすることで、酸化物 530a と酸化物 530b との界面、および酸化物 530b と酸化物 530c との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 500 は高いオン電流を得られる。

[0206]

酸化物 530b 上には、ソース電極、およびドレイン電極として機能する導電体 542（導電体 542a、および導電体 542b）が設けられる。導電体 542 としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、

酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0207]

また、図8Aに示すように、酸化物530の、導電体542との界面とその近傍には、低抵抗領域として、領域543（領域543a、および領域543b）が形成される場合がある。このとき、領域543aはソース領域またはドレイン領域の一方として機能し、領域543bはソース領域またはドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャネル形成領域が形成される。

[0208]

酸化物530と接するように上記導電体542を設けることで、領域543の酸素濃度が低減する場合がある。また、領域543に導電体542に含まれる金属と、酸化物530の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543のキャリア濃度が増加し、領域543は、低抵抗領域となる。

[0209]

絶縁体544は、導電体542を覆うように設けられ、導電体542の酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

[0210]

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0211]

特に、絶縁体544として、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体542が耐酸化性を有する材料、または、酸素を吸収しても著しく導電性が低下しない場合、絶縁体544は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0212]

絶縁体550は、ゲート絶縁膜として機能する。絶縁体550は、酸化物530cの内側（上面および側面）に接して配置することが好ましい。絶縁体550は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。例えば、TDS分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100℃以上700℃以下の範囲が好ましい。

[0213]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0214]

加熱により酸素が放出される絶縁体を、絶縁体550として、酸化物530cの上面に接して設けることにより、絶縁体550から、酸化物530cを通じて、酸化物530bのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体524と同様に、絶縁体550中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体550の膜厚は、1nm以上20nm以下とするのが好ましい。

[0215]

また、絶縁体550が有する過剰酸素を、効率的に酸化物530へ供給するために、絶縁体550と導電体560との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体550から導電体560への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体550から導電体560への過剰酸素の拡散が抑制される。つまり、酸化物530へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体560の酸化を抑制することができる。当該金属酸化物としては、絶縁体544に用いることができる材料を用いればよい。

[0216]

第1のゲート電極として機能する導電体560は、図8A、図8Bでは2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0217]

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一つ）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体550に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。

[0218]

また、導電体560bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層構造としてもよい。

[0219]

絶縁体580は、絶縁体544を介して、導電体542上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

[0220]

絶縁体 580 は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体 580 を、酸化物 530 c と接して設けることで、絶縁体 580 中の酸素を、酸化物 530 c を通じて、酸化物 530 b へと効率良く供給することができる。なお、絶縁体 580 中の水または水素などの不純物濃度が低減されていることが好ましい。

[0221]

絶縁体 580 の開口は、導電体 542 a と導電体 542 b の間の領域に重畳して形成される。これにより、導電体 560 は、絶縁体 580 の開口、および導電体 542 a と導電体 542 b に挟まれた領域に、埋め込まれるように形成される。

[0222]

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体 560 の導電性が下がらないようにする必要がある。そのために導電体 560 の膜厚を大きくすると、導電体 560 はアスペクト比が高い形状となりうる。本実施の形態では、導電体 560 を絶縁体 580 の開口に埋め込むように設けるため、導電体 560 をアスペクト比の高い形状にしても、工程中に導電体 560 を倒壊させることなく、形成することができる。

[0223]

絶縁体 574 は、絶縁体 580 の上面、導電体 560 の上面、および絶縁体 550 の上面に接して設けられることが好ましい。絶縁体 574 をスパッタリング法で成膜することで、絶縁体 550 および絶縁体 580 へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物 530 中に酸素を供給することができる。

[0224]

例えば、絶縁体 574 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0225]

特に、酸化アルミニウムはバリア性が高く、0.5 nm 以上 3.0 nm 以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

[0226]

また、絶縁体 574 の上に、層間膜として機能する絶縁体 581 を設けることが好ましい。絶縁体 581 は、絶縁体 524 などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

[0227]

また、絶縁体 581、絶縁体 574、絶縁体 580、および絶縁体 544 に形成された開口に、導電体 540 a および導電体 540 b を配置する。導電体 540 a および導電体 540 b は、導電体 560 を挟んで対向して設ける。導電体 540 a および導電体 540 b は、後述する導電体 546 および導電体 548 と同様の構成である。

[0228]

絶縁体 581 上には、絶縁体 582 が設けられている。絶縁体 582 は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体 582 には、絶縁体 514 と同様

の材料を用いることができる。例えば、絶縁体 5 8 2 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0 2 2 9]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 5 0 0 への混入を防止することができる。また、トランジスタ 5 0 0 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 5 0 0 に対する保護膜として用いることに適している。

[0 2 3 0]

また、絶縁体 5 8 2 上には、絶縁体 5 8 6 が設けられている。絶縁体 5 8 6 は、絶縁体 3 2 0 と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 5 8 6 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0 2 3 1]

また、絶縁体 5 2 0、絶縁体 5 2 2、絶縁体 5 2 4、絶縁体 5 4 4、絶縁体 5 8 0、絶縁体 5 7 4、絶縁体 5 8 1、絶縁体 5 8 2、および絶縁体 5 8 6 には、導電体 5 4 6、および導電体 5 4 8 等が埋め込まれている。

[0 2 3 2]

導電体 5 4 6、および導電体 5 4 8 は、容量素子 6 0 0、トランジスタ 5 0 0、またはトランジスタ 3 0 0 と接続するプラグ、または配線としての機能を有する。導電体 5 4 6、および導電体 5 4 8 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 2 3 3]

続いて、トランジスタ 5 0 0 の上方には、容量素子 6 0 0 が設けられている。容量素子 6 0 0 は、導電体 6 1 0 と、導電体 6 2 0、絶縁体 6 3 0 とを有する。

[0 2 3 4]

また、導電体 5 4 6、および導電体 5 4 8 上に、導電体 6 1 2 を設けてもよい。導電体 6 1 2 は、トランジスタ 5 0 0 と接続するプラグ、または配線としての機能を有する。導電体 6 1 0 は、容量素子 6 0 0 の電極としての機能を有する。なお、導電体 6 1 2、および導電体 6 1 0 は、同時に形成することができる。

[0 2 3 5]

導電体 6 1 2、および導電体 6 1 0 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[0 2 3 6]

図 7 では、導電体 6 1 2、および導電体 6 1 0 は単層構造として示しているが、当該構成に限定

されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0237]

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。なお、導電体620は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

[0238]

導電体620、および絶縁体630上には、絶縁体650が設けられている。絶縁体650は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体650は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0239]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。

[0240]

<トランジスタの構造例>

なお、本実施の形態に示す半導体装置のトランジスタ500は、上記の構造に限られるものではない。以下、トランジスタ500に用いることができる構造例について説明する。

[0241]

<トランジスタの構造例1>

図9A、図9Bおよび図9Cを用いてトランジスタ510Aの構造例を説明する。図9Aはトランジスタ510Aの上面図である。図9Bは、図9Aに一点鎖線L1-L2で示す部位の断面図である。図9Cは、図9Aに一点鎖線W1-W2で示す部位の断面図である。なお、図9Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0242]

図9A、図9Bおよび図9Cでは、トランジスタ510Aと、層間膜として機能する絶縁体511、絶縁体512、絶縁体514、絶縁体516、絶縁体580、絶縁体582、および絶縁体584を示している。また、トランジスタ510Aと電氣的に接続し、コンタクトプラグとして機能する導電体546（導電体546a、および導電体546b）と、配線として機能する導電体503と、を示している。

[0243]

トランジスタ510Aは、第1のゲート電極として機能する導電体560（導電体560a、および導電体560b）と、第2のゲート電極として機能する導電体505（導電体505a、および導電体505b）と、第1のゲート絶縁膜として機能する絶縁体550と、第2のゲート絶縁膜

として機能する絶縁体521、絶縁体522、および絶縁体524と、チャネルが形成される領域を有する酸化物530（酸化物530a、酸化物530b、および酸化物530c）と、ソースまたはドレインの一方として機能する導電体542aと、ソースまたはドレインの他方として機能する導電体542bと、絶縁体574とを有する。

[0244]

また、図9A、図9B、図9Cに示すトランジスタ510Aでは、酸化物530c、絶縁体550、および導電体560が、絶縁体580に設けられた開口部内に、絶縁体574を介して配置される。また、酸化物530c、絶縁体550、および導電体560は、導電体542a、および導電体542bとの間に配置される。

[0245]

絶縁体511、および絶縁体512は、層間膜として機能する。

[0246]

層間膜としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ SrTiO_3 ）または（ Ba, SrTiO_3 ）（BST）などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0247]

例えば、絶縁体511は、水または水素などの不純物が、基板側からトランジスタ510Aに混入するのを抑制するバリア膜として機能することが好ましい。したがって、絶縁体511は、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一つ）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。また、例えば、絶縁体511として酸化アルミニウムや窒化シリコンなどを用いてもよい。当該構成により、水素、水などの不純物が絶縁体511よりも基板側からトランジスタ510A側に拡散するのを抑制することができる。

[0248]

例えば、絶縁体512は、絶縁体511よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0249]

導電体503は、絶縁体512に埋め込まれるように形成される。ここで、導電体503の上面の高さと、絶縁体512の上面の高さは同程度にできる。なお導電体503は、単層とする構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503を2層以上の多層膜構造としてもよい。なお、導電体503は、タングステン、銅、またはアルミニウムを主成分とする導電性が高い導電性材料を用いることが好ましい。

[0250]

トランジスタ510Aにおいて、導電体560は、第1のゲート（トップゲート、ともいう）電極として機能する場合がある。また、導電体505は、第2のゲート（ボトムゲート、ともいう）

電極として機能する場合がある。その場合、導電体505に印加する電位を、導電体560に印加する電位と連動させず、独立して変化させることで、トランジスタ510Aのしきい値電圧を制御することができる。特に、導電体505に負の電位を印加することにより、トランジスタ510Aのしきい値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体505に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0251]

また、例えば、導電体505と、導電体560とを重畳して設けることで、導電体560、および導電体505に電位を印加した場合、導電体560から生じる電界と、導電体505から生じる電界と、がつながり、酸化物530に形成されるチャネル形成領域を覆うことができる。

[0252]

つまり、第1のゲート電極としての機能を有する導電体560の電界と、第2のゲート電極としての機能を有する導電体505の電界によって、チャネル形成領域を電氣的に取り囲むことができる。すなわち、先に記載のトランジスタ500と同様に、surrounded channel (S-channel) 構造である。

[0253]

絶縁体514、および絶縁体516は、絶縁体511または絶縁体512と同様に、層間膜として機能する。例えば、絶縁体514は、水または水素などの不純物が、基板側からトランジスタ510Aに混入するのを抑制するバリア膜として機能することが好ましい。当該構成により、水素、水などの不純物が絶縁体514よりも基板側からトランジスタ510A側に拡散するのを抑制することができる。また、例えば、絶縁体516は、絶縁体514よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0254]

第2のゲートとして機能する導電体505は、絶縁体514および絶縁体516の開口の内壁に接して導電体505aが形成され、さらに内側に導電体505bが形成されている。ここで、導電体505aおよび導電体505bの上面の高さと、絶縁体516の上面の高さは同程度にできる。なお、トランジスタ510Aでは、導電体505aおよび導電体505bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体505は、単層、または3層以上の積層構造として設ける構成にしてもよい。

[0255]

ここで、導電体505aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一つ）の拡散を抑制する機能を有する（上記酸素が透過しにくい）導電性材料を用いることが好ましい。なお、本明細書等において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一つ、または、すべての拡散を抑制する機能とする。

[0256]

例えば、導電体505aが酸素の拡散を抑制する機能を持つことにより、導電体505bが酸化して導電率が低下することを抑制することができる。

[0257]

また、導電体 505 が配線の機能を兼ねる場合、導電体 505 b は、タングステン、銅、またはアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。その場合、導電体 503 は、必ずしも設けなくともよい。なお、導電体 505 b を単層で図示したが、積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層としてもよい。

[0258]

絶縁体 521、絶縁体 522、および絶縁体 524 は、第 2 のゲート絶縁膜としての機能を有する。

[0259]

また、絶縁体 522 は、バリア性を有することが好ましい。絶縁体 522 がバリア性を有することで、トランジスタ 510 A の周辺部からトランジスタ 510 A への水素等の不純物の混入を抑制する層として機能する。

[0260]

絶縁体 522 は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ SrTiO_3 ）または（ Ba, SrTiO_3 ）（BST）などのいわゆる high-k 材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体に high-k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0261]

また、絶縁体 521 は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、high-k 材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体 521 を得ることができる。

[0262]

なお、図 9 A、図 9 B、図 9 C には、第 2 のゲート絶縁膜として、3 層の積層構造を示したが、単層、または 2 層以上の積層構造としてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0263]

チャネル形成領域として機能する領域を有する酸化物 530 は、酸化物 530 a と、酸化物 530 a 上の酸化物 530 b と、酸化物 530 b 上の酸化物 530 c と、を有する。酸化物 530 b 下に酸化物 530 a を有することで、酸化物 530 a よりも下方に形成された構造物から、酸化物 530 b への不純物の拡散を抑制することができる。また、酸化物 530 b 上に酸化物 530 c を有することで、酸化物 530 c よりも上方に形成された構造物から、酸化物 530 b への不純物の拡散を抑制することができる。酸化物 530 として、上述した金属酸化物の一種である酸化物半導体を用いることができる。

[0264]

なお、酸化物 530 c は、絶縁体 580 に設けられた開口部内に、絶縁体 574 を介して設けられることが好ましい。絶縁体 574 がバリア性を有する場合、絶縁体 580 からの不純物が酸化物 530 へと拡散することを抑制することができる。

[0265]

導電体542aおよび導電体542bは、一方がソース電極として機能し、他方がドレイン電極として機能する。

[0266]

導電体542aと、導電体542bとは、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を用いることができる。特に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があり、また、耐酸化性が高いため、好ましい。

[0267]

また、図9A、図9B、図9Cでは単層構造を示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

[0268]

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

[0269]

また、導電体542上に、バリア層を設けてもよい。バリア層は、酸素、または水素に対してバリア性を有する物質を用いることが好ましい。当該構成により、絶縁体574を成膜する際に、導電体542が酸化することを抑制することができる。

[0270]

バリア層には、例えば、金属酸化物を用いることができる。特に、酸化アルミニウム、酸化ハフニウム、酸化ガリウムなどの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。また、CVD法で形成した窒化シリコンを用いてもよい。

[0271]

バリア層を有することで、導電体542の材料選択の幅を広げることができる。例えば、導電体542に、タングステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、または加工がしやすい導電体を用いることができる。

[0272]

絶縁体550は、第1のゲート絶縁膜として機能する。絶縁体550は、絶縁体580に設けられた開口部内に、酸化物530c、および絶縁体574を介して設けられることが好ましい。

[0273]

トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。その場合、絶縁体550は、第2のゲート絶縁膜と同様に、積層構造としてもよい。ゲート絶縁膜として機能する絶縁体を、high-k材料と、熱的に安定してい

る材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0274]

第1のゲート電極として機能する導電体560は、導電体560a、および導電体560a上の導電体560bを有する。導電体560aは、導電体505aと同様に、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一つ）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0275]

導電体560aが酸素の拡散を抑制する機能を持つことにより、導電体560bの材料選択性を向上することができる。つまり、導電体560aを有することで、導電体560bの酸化が抑制され、導電率が低下することを防止することができる。

[0276]

酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。また、導電体560aとして、酸化物530として用いることができる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体とすることができる。これをOC (Oxide Conductor) 電極と呼ぶことができる。

[0277]

導電体560bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560は、配線として機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層としてもよい。

[0278]

絶縁体580と、トランジスタ510Aとの間に絶縁体574を配置する。絶縁体574は、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0279]

絶縁体574を有することで、絶縁体580が有する水、および水素などの不純物が酸化物530c、絶縁体550を介して、酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導電体560が酸化するのを抑制することができる。

[0280]

絶縁体580、絶縁体582、および絶縁体584は、層間膜として機能する。

[0281]

絶縁体582は、絶縁体514と同様に、水または水素などの不純物が、外部からトランジスタ510Aに混入するのを抑制するバリア絶縁膜として機能することが好ましい。

[0282]

また、絶縁体580、および絶縁体584は、絶縁体516と同様に、絶縁体582よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0283]

また、トランジスタ510Aは、絶縁体580、絶縁体582、および絶縁体584に埋め込まれた導電体546などのプラグや配線を介して、他の構造と電氣的に接続してもよい。

[0284]

また、導電体546の材料としては、導電体505と同様に、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。例えば、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0285]

例えば、導電体546として、水素、および酸素に対してバリア性を有する導電体である窒化タングステン等と、導電性が高いタングステンとの積層構造を用いることで、配線としての導電性を保持したまま、外部からの不純物の拡散を抑制することができる。

[0286]

上記構造を有することで、オン電流が大きい酸化物半導体を有するトランジスタを用いた半導体装置を提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを用いた半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

[0287]

<トランジスタの構造例2>

図10A、図10Bおよび図10Cを用いてトランジスタ510Bの構造例を説明する。図10Aはトランジスタ510Bの上面図である。図10Bは、図10Aに一点鎖線L1-L2で示す部位の断面図である。図10Cは、図10Aに一点鎖線W1-W2で示す部位の断面図である。なお、図10Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0288]

トランジスタ510Bはトランジスタ510Aの変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ510Aと異なる点について説明する。

[0289]

トランジスタ510Bは、導電体542（導電体542a、および導電体542b）と、酸化物530c、絶縁体550、および導電体560と、が重畳する領域を有する。当該構造とすることで、オン電流が高いトランジスタを提供することができる。また、制御性が高いトランジスタを提供することができる。

[0290]

第1のゲート電極として機能する導電体560は、導電体560a、および導電体560a上の導電体560bを有する。導電体560aは、導電体505aと同様に、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。ま

たは、酸素（例えば、酸素原子、酸素分子などの少なくとも一つ）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0291]

導電体560aが酸素の拡散を抑制する機能を持つことにより、導電体560bの材料選択性を向上することができる。つまり、導電体560aを有することで、導電体560bの酸化が抑制され、導電率が低下することを防止することができる。

[0292]

また、導電体560の上面および側面、絶縁体550の側面、および酸化物530cの側面を覆うように、絶縁体574を設けることが好ましい。なお、絶縁体574は、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0293]

絶縁体574を設けることで、導電体560の酸化を抑制することができる。また、絶縁体574を有することで、絶縁体580が有する水、および水素などの不純物がトランジスタ510Bへ拡散することを抑制することができる。

[0294]

また、導電体546と、絶縁体580との間に、バリア性を有する絶縁体576（絶縁体576a、および絶縁体576b）を配置してもよい。絶縁体576を設けることで、絶縁体580の酸素が導電体546と反応し、導電体546が酸化することを抑制することができる。

[0295]

また、バリア性を有する絶縁体576を設けることで、プラグや配線に用いられる導電体の材料選択の幅を広げることができる。例えば、導電体546に、酸素を吸収する性質を持つ一方で、導電性が高い金属材料を用いることで、低消費電力の半導体装置を提供することができる。具体的には、タングステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、または加工がしやすい導電体を用いることができる。

[0296]

<トランジスタの構造例3>

図11A、図11Bおよび図11Cを用いてトランジスタ510Cの構造例を説明する。図11Aはトランジスタ510Cの上面図である。図11Bは、図11Aに一点鎖線L1-L2で示す部位の断面図である。図11Cは、図11Aに一点鎖線W1-W2で示す部位の断面図である。なお、図11Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0297]

トランジスタ510Cはトランジスタ510Aの変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ510Aと異なる点について説明する。

[0298]

図11A、図11B、図11Cに示すトランジスタ510Cは、導電体542aと酸化物530bの間に導電体547aが配置され、導電体542bと酸化物530bの間に導電体547bが配

置されている。ここで、導電体542a（導電体542b）は、導電体547a（導電体547b）の上面および導電体560側の側面を越えて延在し、酸化物530bの上面に接する領域を有する。ここで、導電体547は、導電体542に用いることができる導電体を用いればよい。さらに、導電体547の膜厚は、少なくとも導電体542より厚いことが好ましい。

[0299]

図11A、図11B、図11Cに示すトランジスタ510Cは、上記のような構成を有することにより、トランジスタ510Aよりも、導電体542を導電体560に近づけることができる。または、導電体542aの端部および導電体542bの端部と、導電体560を重ねることができる。これにより、トランジスタ510Cの実質的なチャネル長を短くし、オン電流および周波数特性の向上を図ることができる。

[0300]

また、導電体547a（導電体547b）は、導電体542a（導電体542b）と重畳して設けられることが好ましい。このような構成にすることで、導電体546a（導電体546b）を埋め込む開口を形成するエッチングにおいて、導電体547a（導電体547b）がストッパとして機能し、酸化物530bがオーバーエッチングされるのを防ぐことができる。

[0301]

また、図11A、図11B、図11Cに示すトランジスタ510Cは、絶縁体544の上に接して絶縁体545を配置する構成にしてもよい。絶縁体544としては、水または水素などの不純物や、過剰な酸素が、絶縁体580側からトランジスタ510Cに混入するのを抑制するバリア絶縁膜として機能することが好ましい。絶縁体545としては、絶縁体544に用いることができる絶縁体を用いることができる。また、絶縁体544としては、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化シリコンまたは窒化酸化シリコンなどの、窒化物絶縁体を用いてもよい。

[0302]

また、図11A、図11B、図11Cに示すトランジスタ510Cは、図9A、図9B、図9Cに示すトランジスタ510Aと異なり、導電体505を単層構造で設けてもよい。この場合、パターン形成された導電体505の上に絶縁体516となる絶縁膜を成膜し、当該絶縁膜の上部を、導電体505の上面が露出するまでCMP法などを用いて除去すればよい。ここで、導電体505の上面の平坦性を良好にすることが好ましい。例えば、導電体505上面の平均面粗さ（Ra）を1nm以下、好ましくは0.5nm以下、より好ましくは0.3nm以下にすればよい。これにより、導電体505の上に形成される、絶縁層の平坦性を良好にし、酸化物530bおよび酸化物530cの結晶性の向上を図ることができる。

[0303]

<トランジスタの構造例4>

図12A、図12Bおよび図12Cを用いてトランジスタ510Dの構造例を説明する。図12Aはトランジスタ510Dの上面図である。図12Bは、図12Aに一点鎖線L1-L2で示す部位の断面図である。図12Cは、図12Aに一点鎖線W1-W2で示す部位の断面図である。なお、図12Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0304]

トランジスタ510Dは上記トランジスタの変形例である。よって、説明の繰り返しを防ぐため、

主に上記トランジスタと異なる点について説明する。

[0305]

図12A乃至図12Cでは、導電体503を設けずに、第2のゲートとしての機能を有する導電体505を配線としても機能させている。また、酸化物530c上に絶縁体550を有し、絶縁体550上に金属酸化物552を有する。また、金属酸化物552上に導電体560を有し、導電体560上に絶縁体570を有する。また、絶縁体570上に絶縁体571を有する。

[0306]

金属酸化物552は、酸素拡散を抑制する機能を有することが好ましい。絶縁体550と、導電体560との間に、酸素の拡散を抑制する金属酸化物552を設けることで、導電体560への酸素の拡散が抑制される。つまり、酸化物530へ供給する酸素量の減少を抑制することができる。また、酸素による導電体560の酸化を抑制することができる。

[0307]

なお、金属酸化物552は、第1のゲートの一部としての機能を有してもよい。例えば、酸化物530として用いることができる酸化物半導体を、金属酸化物552として用いることができる。その場合、導電体560をスパッタリング法で成膜することで、金属酸化物552の電気抵抗値を低下させて導電層とすることができる。これをOC (Oxide Conductor) 電極と呼ぶことができる。

[0308]

また、金属酸化物552は、ゲート絶縁膜の一部としての機能を有する場合がある。したがって、絶縁体550に酸化シリコンや酸化窒化シリコンなどを用いる場合、金属酸化物552は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。当該積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁膜として機能する絶縁層の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0309]

トランジスタ510Dにおいて、金属酸化物552を単層で示したが、2層以上の積層構造としてもよい。例えば、ゲート電極の一部として機能する金属酸化物と、ゲート絶縁膜の一部として機能する金属酸化物とを積層して設けてもよい。

[0310]

金属酸化物552を有することで、ゲート電極として機能する場合は、導電体560からの電界の影響を弱めることなく、トランジスタ510Dのオン電流の向上を図ることができる。または、ゲート絶縁膜として機能する場合は、絶縁体550と、金属酸化物552との物理的な厚みにより、導電体560と、酸化物530との間の距離を保つことで、導電体560と酸化物530との間のリーク電流を抑制することができる。従って、絶縁体550、および金属酸化物552との積層構造を設けることで、導電体560と酸化物530との間の物理的な距離、および導電体560から酸化物530へかかる電界強度を、容易に適宜調整することができる。

[0311]

具体的には、金属酸化物552として、酸化物530に用いることができる酸化物半導体を低抵抗化することで、金属酸化物552として用いることができる。または、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲル

マニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0312]

特に、アルミニウム、またはハフニウム的一方または双方の酸化物を含む絶縁層である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいいため好ましい。なお、金属酸化物552は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0313]

絶縁体570は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体570よりも上方からの酸素で導電体560が酸化するのを抑制することができる。また、絶縁体570よりも上方からの水または水素などの不純物が、導電体560および絶縁体550を介して、酸化物530に混入することを抑制することができる。

[0314]

絶縁体571はハードマスクとして機能する。絶縁体571を設けることで、導電体560の加工の際、導電体560の側面が概略垂直、具体的には、導電体560の側面と基板表面のなす角を、75度以上100度以下、好ましくは80度以上95度以下とすることができる。

[0315]

なお、絶縁体571に、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることで、バリア層としての機能を兼ねさせてもよい。その場合、絶縁体570は設けなくともよい。

[0316]

絶縁体571をハードマスクとして用いて、絶縁体570、導電体560、金属酸化物552、絶縁体550、および酸化物530cの一部を選択的に除去することで、これらの側面を略一致させて、かつ、酸化物530b表面の一部を露出させることができる。

[0317]

また、トランジスタ510Dは、露出した酸化物530b表面の一部に領域531aおよび領域531bを有する。領域531aまたは領域531bの一方はソース領域として機能し、他方はドレイン領域として機能する。

[0318]

領域531aおよび領域531bの形成は、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、またはプラズマ処理などを用いて、露出した酸化物530b表面にリンまたはボロンなどの不純物元素を導入することで実現できる。なお、本実施の形態などにおいて「不純物元素」とは、主成分元素以外の元素のことをいう。

[0319]

また、酸化物530b表面の一部を露出させた後に金属膜を成膜し、その後加熱処理することにより、該金属膜に含まれる元素を酸化物530bに拡散させて領域531aおよび領域531bを形成することもできる。

[0320]

酸化物 5 3 0 b の不純物元素が導入された領域は、電気抵抗率が低下する。このため、領域 5 3 1 a および領域 5 3 1 b を「不純物領域」または「低抵抗領域」という場合がある。

[0321]

絶縁体 5 7 1 および／または導電体 5 6 0 をマスクとして用いることで、領域 5 3 1 a および領域 5 3 1 b を自己整合（セルフアライメント）的に形成することができる。よって、領域 5 3 1 a および／または領域 5 3 1 b と、導電体 5 6 0 が重ならず、寄生容量を低減することができる。また、チャネル形成領域とソースドレイン領域（領域 5 3 1 a または領域 5 3 1 b）の間にオフセット領域が形成されない。領域 5 3 1 a および領域 5 3 1 b を自己整合（セルフアライメント）的に形成することにより、オン電流の増加、しきい値電圧の低減、動作周波数の向上などを実現できる。

[0322]

なお、オフ電流を更に低減するため、チャネル形成領域とソースドレイン領域の間にオフセット領域を設けてもよい。オフセット領域とは、電気抵抗率が高い領域であり、前述した不純物元素の導入が行なわれない領域である。オフセット領域の形成は、絶縁体 5 7 5 の形成後に前述した不純物元素の導入を行なうことで実現できる。この場合、絶縁体 5 7 5 も絶縁体 5 7 1 などと同様にマスクとして機能する。よって、酸化物 5 3 0 b の絶縁体 5 7 5 と重なる領域に不純物元素が導入されず、該領域の電気抵抗率を高いままとすることができる。

[0323]

また、トランジスタ 5 1 0 D は、絶縁体 5 7 0、導電体 5 6 0、金属酸化物 5 5 2、絶縁体 5 5 0、および酸化物 5 3 0 c の側面に絶縁体 5 7 5 を有する。絶縁体 5 7 5 は、比誘電率の低い絶縁体であることが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などであることが好ましい。特に、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを絶縁体 5 7 5 に用いると、後の工程で絶縁体 5 7 5 中に過剰酸素領域を容易に形成できるため好ましい。また、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。また、絶縁体 5 7 5 は、酸素を拡散する機能を有することが好ましい。

[0324]

また、トランジスタ 5 1 0 D は、絶縁体 5 7 5、酸化物 5 3 0 上に絶縁体 5 7 4 を有する。絶縁体 5 7 4 は、スパッタリング法を用いて成膜することが好ましい。スパッタリング法を用いることにより、水または水素などの不純物の少ない絶縁体を成膜することができる。例えば、絶縁体 5 7 4 として、酸化アルミニウムを用いるとよい。

[0325]

なお、スパッタリング法を用いた酸化膜は、被成膜構造体から水素を引き抜く場合がある。従って、絶縁体 5 7 4 が酸化物 5 3 0 および絶縁体 5 7 5 から水素および水を吸収することで、酸化物 5 3 0 および絶縁体 5 7 5 の水素濃度を低減することができる。

[0326]

<トランジスタの構造例 5>

図 1 3 A 乃至図 1 3 C を用いてトランジスタ 5 1 0 E の構造例を説明する。図 1 3 A はトランジスタ 5 1 0 E の上面図である。図 1 3 B は、図 1 3 A に一点鎖線 L 1－L 2 で示す部位の断面図である。図 1 3 C は、図 1 3 A に一点鎖線 W 1－W 2 で示す部位の断面図である。なお、図 1 3 A の

上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0327]

トランジスタ510Eは上記トランジスタの変形例である。よって、説明の繰り返しを防ぐため、主に上記トランジスタと異なる点について説明する。

[0328]

図13A乃至図13Cでは、導電体542を設けずに、露出した酸化物530b表面の一部に領域531aおよび領域531bを有する。領域531aまたは領域531bの一方はソース領域として機能し、他方はドレイン領域として機能する。また、酸化物530bと、絶縁体574の間に、絶縁体573を有する。

[0329]

図13A、図13B、図13Cに示す、領域531（領域531a、および領域531b）は、酸化物530bに下記の元素が添加された領域である。領域531は、例えば、ダミーゲートを用いることで形成することができる。

[0330]

具体的には、酸化物530b上にダミーゲートを設け、当該ダミーゲートをマスクとして用い、上記酸化物530bを低抵抗化する元素を添加するとよい。つまり、酸化物530が、ダミーゲートと重畳していない領域に、当該元素が添加され、領域531が形成される。なお、当該元素の添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。

[0331]

なお、酸化物530を低抵抗化する元素としては、代表的には、ホウ素、またはリンが挙げられる。また、水素、炭素、窒素、フッ素、硫黄、塩素、チタン、希ガス等を用いてもよい。希ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。当該元素の濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）などを用いて測定すればよい。

[0332]

特に、ホウ素、及びリンは、アモルファスシリコン、または低温ポリシリコンの製造ラインの装置を使用することができるため、好ましい。既存の設備を転用することができ、設備投資を抑制することができる。

[0333]

続いて、酸化物530b、およびダミーゲート上に、絶縁体573となる絶縁膜、および絶縁体574となる絶縁膜を成膜してもよい。絶縁体573となる絶縁膜、および絶縁体574となる絶縁膜を積層して設けることで、領域531と、酸化物530cおよび絶縁体550とが重畳する領域を設けることができる。

[0334]

具体的には、絶縁体574となる絶縁膜上に絶縁体580となる絶縁膜を設けた後、絶縁体580となる絶縁膜にCMP（Chemical Mechanical Polishing）処理を行うことで、絶縁体580となる絶縁膜の一部を除去し、ダミーゲートを露出する。続いて、ダミーゲートを除去する際に、ダミーゲートと接する絶縁体573の一部も除去するとよい。従って、

絶縁体 580 に設けられた開口部の側面には、絶縁体 574、および絶縁体 573 が露出し、当該開口部の底面には、酸化物 530b に設けられた領域 531 の一部が露出する。次に、当該開口部に酸化物 530c となる酸化膜、絶縁体 550 となる絶縁膜、および導電体 560 となる導電膜を順に成膜した後、絶縁体 580 が露出するまで CMP 処理などにより、酸化物 530c となる酸化膜、絶縁体 550 となる絶縁膜、および導電体 560 となる導電膜の一部を除去することで、図 13A、図 13B、図 13C に示すトランジスタを形成することができる。

[0335]

なお、絶縁体 573、および絶縁体 574 は必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0336]

図 13A、図 13B、図 13C に示すトランジスタは、既存の装置を転用することができ、さらに、導電体 542 を設けないため、コストの低減を図ることができる。

[0337]

<トランジスタの構造例 6>

図 14A 乃至図 14C を用いてトランジスタ 510F の構造例を説明する。図 14A はトランジスタ 510F の上面図である。図 14B は、図 14A に一点鎖線 L1-L2 で示す部位の断面図である。図 14C は、図 14A に一点鎖線 W1-W2 で示す部位の断面図である。なお、図 14A の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0338]

トランジスタ 510F はトランジスタ 510A の変形例である。よって、説明の繰り返しを防ぐため、主に上記トランジスタと異なる点について説明する。

[0339]

トランジスタ 510A では、絶縁体 574 の一部が絶縁体 580 に設けられた開口部内に設けられ、導電体 560 の側面を覆うように設けられている。一方で、トランジスタ 510F では絶縁体 580 と絶縁体 574 の一部を除去して開口が形成されている。

[0340]

また、導電体 546 と、絶縁体 580 との間に、バリア性を有する絶縁体 576（絶縁体 576a、および絶縁体 576b）を配置してもよい。絶縁体 576 を設けることで、絶縁体 580 の酸素が導電体 546 と反応し、導電体 546 が酸化することを抑制することができる。

[0341]

なお、酸化物 530 として酸化物半導体を用いる場合は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物 530a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 530b に用いる金属酸化物における、構成元素中の元素 M の原子数比より大きいことが好ましい。また、酸化物 530a に用いる金属酸化物において、 I_n に対する元素 M の原子数比が、酸化物 530b に用いる金属酸化物における、 I_n に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 530b に用いる金属酸化物において、元素 M に対する I_n の原子数比が、酸化物 530a に用いる金属酸化物における、元素 M に対する I_n の原子数比より大きいことが好ましい。また、酸化物 530c は、酸化物 530a または酸化物 530b に用いることができる金属酸化物を用いることができる。

[0342]

酸化物530a、酸化物530b、および酸化物530cは、結晶性を有することが好ましく、特に、CAAC-OSを用いることが好ましい。CAAC-OS等の結晶性を有する酸化物は、不純物や欠陥（酸素欠損等）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物530bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物530bから酸素が引き抜かれることを低減できるので、トランジスタ510Fは、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0343]

なお、酸化物530aおよび酸化物530cの一方または双方を省略してもよい。酸化物530を酸化物530bの単層としてもよい。酸化物530を、酸化物530a、酸化物530b、および酸化物530cの積層とする場合は、酸化物530aおよび酸化物530cの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530aおよび酸化物530cの電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。この場合、酸化物530cは、酸化物530aに用いることができる金属酸化物を用いることが好ましい。具体的には、酸化物530cに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より大きいことが好ましい。また、酸化物530cに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530cに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[0344]

ここで、酸化物530a、酸化物530b、および酸化物530cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530a、酸化物530b、および酸化物530cの接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面、および酸化物530bと酸化物530cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0345]

具体的には、酸化物530aと酸化物530b、酸化物530bと酸化物530cが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530aおよび酸化物530cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウム等を用いてもよい。また、酸化物530cを積層構造としてもよい。例えば、In-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上のGa-Zn酸化物との積層構造、またはIn-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上の酸化ガリウムとの積層構造を用いることができる。別言すると、In-Ga-Zn酸化物と、Inを含まない酸化物との積層構造を、酸化物530cとして用いてもよい。

[0346]

具体的には、酸化物530aとして、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比] もしくはその近傍の組成、または $1:1:0.5$ [原子数比] もしくはその近傍の組成の金属酸化物を用いれば

よい。また、酸化物 530b として、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子数比] もしくはその近傍の組成、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] もしくはその近傍の組成、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$ [原子数比] もしくはその近傍の組成、または $10 : 1 : 3$ [原子数比] もしくはその近傍の組成の金属酸化物、または、 $\text{In}-\text{Zn}$ 酸化物を用いればよい。酸化物 530c として、酸化物 530a または酸化物 530b に用いることができる金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。

[0347]

また、酸化物 530c は、2 層以上の積層構造を有していてもよい。酸化物 530c を積層構造とする場合の具体例としては、酸化物 530c の下層として、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$ [原子数比] もしくはその近傍の組成、または $10 : 1 : 3$ [原子数比] もしくはその近傍の組成の金属酸化物、または、 $\text{In}-\text{Zn}$ 酸化物を用い、酸化物 530c の上層として、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ [原子数比] もしくはその近傍の組成、 $\text{Ga} : \text{Zn} = 2 : 1$ [原子数比] もしくはその近傍の組成、または $\text{Ga} : \text{Zn} = 2 : 5$ [原子数比] もしくはその近傍の組成、または酸化ガリウムを用いればよい。

[0348]

酸化物 530a、酸化物 530c を上述の構成とすることで、酸化物 530a と酸化物 530b との界面、および酸化物 530b と酸化物 530c との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 510F は高いオン電流、および高い周波数特性を得ることができる。なお、酸化物 530c を積層構造とした場合、上述の酸化物 530b と、酸化物 530c との界面における欠陥準位密度を低くする効果に加え、酸化物 530c が有する構成元素が、絶縁体 550 側に拡散するのを抑制することが期待される。より具体的には、酸化物 530c を積層構造とし、積層構造の上方に In を含まない酸化物を位置させるため、絶縁体 550 側に拡散しうる In を抑制することができる。絶縁体 550 は、ゲート絶縁体として機能するため、 In が拡散した場合、トランジスタの特性不良となる。したがって、酸化物 530c を積層構造とすることで、信頼性の高い半導体装置を提供することが可能となる。

[0349]

酸化物 530 は、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物 530 のチャネル形成領域となる金属酸化物としては、バンドギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。このようなトランジスタを用いることで、低消費電力の半導体装置を提供できる。

[0350]

<半導体装置の構成例 2>

図 15 には、図 7 に示す半導体装置において、絶縁体 650 上に導電体 692 を有する例を示す。導電体 692 は半導体装置の一方の面を覆うように形成される。図 15 には図示されないが、導電体 692 は開口部を有してもよい。また絶縁体 650 よりも下層の導電体に電氣的に接続される導電体が該開口部内に設けられてもよい。

[0351]

導電体 692 として金属を用いることができる。また導電性を有する金属窒化物や金属酸化物を

用いてもよい。導電体692として例えば、チタン、窒化チタン、酸化チタン等を用いる事ができる。導電体692は半導体装置よりも外部からの電磁波を遮断する、あるいは弱める機能を有する。また導電体692は静電気を拡散して逃がす、または電荷の局在化を防ぐ機能を有する。導電体692を設けることにより、半導体装置の動作をさらに安定させることができる。

[0352]

図16には、絶縁体650と導電体692との間に絶縁体693を有する例を示す。絶縁体693として例えば、繊維体に有機樹脂が含浸された構造体を用いることができる。繊維体として例えばガラス繊維を用いてもよい。また有機樹脂として例えば臭素化エポキシ樹脂を用いてもよい。

[0353]

なお、本実施の形態は、本明細書に記載する他の実施の形態と適宜組み合わせる実施することができる。

[0354]

(実施の形態3)

本実施の形態では、上記実施の形態で説明したOSトランジスタに用いることができる金属酸化物の構成について説明する。

[0355]

<<金属酸化物>>

酸化物530として、酸化物半導体として機能する金属酸化物を用いることが好ましい。以下では、本発明に係る酸化物530に適用可能な金属酸化物について説明する。

[0356]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0357]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0358]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物(metal oxide)と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物(metal oxynitride)と呼称してもよい。

[0359]

[金属酸化物の構造]

酸化物半導体(金属酸化物)は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、

nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、および非晶質酸化物半導体などがある。

[0360]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を指す。

[0361]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう。）を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0362]

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0363]

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起りにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0364]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0365]

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、In-Ga-Zn酸化物（以下、IGZO）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

[0366]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

[0367]

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0368]

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

[0369]

酸化物半導体に不純物が混入すると、欠陥準位または酸素欠損が形成される場合がある。よって、酸化物半導体のチャネル形成領域に不純物が混入することで、酸化物半導体を用いたトランジスタの電気特性が変動しやすく、信頼性が悪くなる場合がある。また、チャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。

[0370]

また、上記欠陥準位には、トラップ準位が含まれる場合がある。金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

[0371]

また、酸化物半導体のチャネル形成領域に不純物が存在すると、チャネル形成領域の結晶性が低くなる場合がある、また、チャネル形成領域に接して設けられる酸化物の結晶性が低くなる場合がある。チャネル形成領域の結晶性が低いと、トランジスタの安定性または信頼性が悪化する傾向がある。また、チャネル形成領域に接して設けられる酸化物の結晶性が低いと、界面準位が形成され、トランジスタの安定性または信頼性が悪化する場合がある。

[0372]

したがって、トランジスタの安定性または信頼性を向上させるには、酸化物半導体のチャネル形成領域およびその近傍の不純物濃度を低減することが有効である。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0373]

具体的には、当該酸化物半導体のチャネル形成領域およびその近傍において、SIMSにより得られる上記不純物の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。または、当該酸化物半導体のチャネル形成領域およびその近傍において、EDXを用いた元素分析により得られる上記不純物の濃度を、1.0 atomic %以下にする。なお、当該酸化物半導体として元素Mを含む酸化物を用いる場合、当該酸化物半導体のチャネル形成領域およびその近傍において、元素Mに対する上記不純物の濃度比を、0.10未満、好ましくは0.05未満にする。ここで、上記濃度比を算出する際に用いる元素Mの濃度は、上記不純物の濃度を算出した領域と同じ領域の濃度でもよいし、当該酸化物半導体中の濃度でもよい。

[0374]

また、不純物濃度を低減した金属酸化物は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0375]

また、金属酸化物中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合し V_OH を形成する場合がある。 V_OH はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。

[0376]

従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

[0377]

つまり、金属酸化物中の V_OH をできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、 V_OH が十分低減された酸化物半導体を得るには、酸化物半導体中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、酸化物半導体に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。 V_OH などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0378]

また、トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。酸化物半導体のキャリア濃度を低くする場合においては、酸化物半導体中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、酸化物半導体中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0379]

特に、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸化物半導体中に酸素欠損を形成する場合がある。酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。

[0380]

酸素欠損に水素が入った欠陥（ V_OH ）は、酸化物半導体のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、酸化物半導体においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、酸化物半導体のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0381]

よって、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化

物半導体において、二次イオン質量分析法（S I M S : S e c o n d a r y I o n M a s s S p e c t r o m e t r y）により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0382]

また、チャネル形成領域の酸化物半導体のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の酸化物半導体のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0383]

本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、オン電流の大きい半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様は、低消費電力の半導体装置を提供することを課題の一つとする。

[0384]

<<その他の半導体材料>>

酸化物530に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物530として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

[0385]

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0386]

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

[0387]

酸化物530として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物530として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブ

デン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

[0388]

なお、本実施の形態は、本明細書に記載する他の実施の形態と適宜組み合わせる実施することができる。

[符号の説明]

[0389]

BIAS1、IN2、INM、INPMVB、OUT、OUT2、OUTB、PVB、SET、VBCS、VBG、VCASD、VCASL、VDD、VSH、VSS、VT：端子
ND1、ND2、ND3、ND4、ND5：ノード

11：増幅回路、30a：回路、30b：回路、30c：回路、30d：回路、31：トランジスタ、32：トランジスタ、34：トランジスタ、36：トランジスタ、37：トランジスタ、41：容量素子、42：容量素子、45：トランジスタ、46：トランジスタ、47：トランジスタ、48：容量素子、49：容量素子、61：容量素子、70：半導体装置、71：増幅回路、80：増幅回路、81：トランジスタ、82：トランジスタ、83：トランジスタ、84：トランジスタ、85：トランジスタ、86：トランジスタ、87：容量素子、88：容量素子、89：抵抗素子、100：蓄電システム、114：記憶素子、121：二次電池、161：容量素子、162：トランジスタ、300：トランジスタ、311：基板、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、360：絶縁体、362：絶縁体、364：絶縁体、366：導電体、370：絶縁体、372：絶縁体、374：絶縁体、376：導電体、380：絶縁体、382：絶縁体、384：絶縁体、386：導電体、500：トランジスタ、503：導電体、503a：導電体、503b：導電体、505：導電体、505a：導電体、505b：導電体、510：絶縁体、510A：トランジスタ、510B：トランジスタ、510C：トランジスタ、510D：トランジスタ、510E：トランジスタ、510F：トランジスタ、511：絶縁体、512：絶縁体、514：絶縁体、516：絶縁体、518：導電体、520：絶縁体、521：絶縁体、522：絶縁体、524：絶縁体、530：酸化物、530a：酸化物、530b：酸化物、530c：酸化物、531：領域、531a：領域、531b：領域、540a：導電体、540b：導電体、542：導電体、542a：導電体、542b：導電体、543：領域、543a：領域、543b：領域、544：絶縁体、545：絶縁体、546：導電体、546a：導電体、546b：導電体、547：導電体、547a：導電体、547b：導電体、548：導電体、550：絶縁体、552：金属酸化物、560：導電体、560a：導電体、560b：導電体、570：絶縁体、571：絶縁体、573：絶縁体、574：絶縁体、575：絶縁体、576：絶縁体、576a：絶縁体、576b：絶縁体、580：絶縁体、581：絶縁体、582：絶縁体、584：絶縁体、586：絶縁体、600：容量素子、610：導電体、612：導電体、620：導電体、630：絶縁体、650：絶縁体、692：導電体、693：絶縁体

請求の範囲

[請求項 1]

第 1 の増幅回路、第 2 の増幅回路および容量素子を有し、
前記第 1 の増幅回路は第 1 の出力端子を有し、
前記第 2 の増幅回路は入力端子、第 2 の出力端子、第 1 のトランジスタおよび第 2 のトランジスタを有し、
前記第 1 の出力端子は前記容量素子の第 1 の電極に電氣的に接続され、
前記容量素子の第 2 の電極は前記入力端子に電氣的に接続され、
前記入力端子は、前記第 1 のトランジスタのゲートと、前記第 2 のトランジスタのソースおよびドレインの一方と、に電氣的に接続され、
前記第 1 のトランジスタのソースおよびドレインの一方は、前記第 2 の出力端子に電氣的に接続され、
前記第 2 の増幅回路は、前記入力端子に与えられる信号を増幅して前記第 2 の出力端子に与える機能を有し、
前記第 2 のトランジスタは、前記入力端子に電位を与えて保持する機能を有し、
前記第 2 のトランジスタのチャネル形成領域はインジウムおよびガリウムの少なくとも一方を含む金属酸化物を有する半導体装置。

[請求項 2]

第 1 の増幅回路、第 2 の増幅回路および容量素子を有し、
前記第 1 の増幅回路は第 1 の出力端子を有し、
前記第 2 の増幅回路は第 1 のトランジスタ、第 2 のトランジスタ、高電位配線、低電位配線および第 1 の半導体素子を有し、
前記第 1 の半導体素子は第 3 の電極と、第 4 の電極と、を有し、
前記第 1 の出力端子は前記容量素子の第 1 の電極に電氣的に接続され、
前記容量素子の第 2 の電極は、前記第 1 のトランジスタのゲートと、前記第 2 のトランジスタのソースおよびドレインの一方と、に電氣的に接続され、
前記第 2 のトランジスタのチャネル形成領域はインジウムおよびガリウムの少なくとも一方を含む金属酸化物を有し、
前記第 3 の電極は、前記高電位配線に電氣的に接続され、
前記第 4 の電極と前記第 1 のトランジスタのソースおよびドレインの一方は、前記第 2 の出力端子に電氣的に接続され、
前記第 1 のトランジスタのソースおよびドレインの他方は、前記低電位配線に電氣的に接続される半導体装置。

[請求項 3]

請求項 2 において、
前記第 1 の半導体素子は第 3 のトランジスタを有し、
前記第 3 の電極は前記第 3 のトランジスタのソースおよびドレインの一方に電氣的に接続され、
前記第 4 の電極は前記第 3 のトランジスタのソースおよびドレインの他方に電氣的に接続される半導体装置。

[請求項 4]

請求項 2 において、

前記第 1 の半導体素子は直列に接続された複数のトランジスタを有し、

前記第 3 の電極は前記直列に接続された複数のトランジスタの一方の端のトランジスタのソースまたはドレインに電氣的に接続され、

前記第 4 の電極は前記直列に接続された複数のトランジスタの他方の端のトランジスタのソースまたはドレインに電氣的に接続される半導体装置。

[請求項 5]

第 1 の増幅回路、第 2 の増幅回路および容量素子を有し、

前記第 1 の増幅回路は第 1 の出力端子を有し、

前記第 2 の増幅回路は入力端子、第 2 の出力端子および第 1 のトランジスタを有し、

前記第 1 の出力端子は前記容量素子の第 1 の電極に電氣的に接続され、

前記容量素子の第 2 の電極は、前記入力端子および前記第 1 のトランジスタのゲートに電氣的に接続され、

前記第 1 のトランジスタのソースおよびドレインの一方は、前記第 2 の出力端子に電氣的に接続され、

前記第 1 の出力端子から電位 V_1 が出力され、前記入力端子に電位 V_2 が与えられる第 1 ステップと、

前記入力端子の前記電位 V_2 が保持される第 2 ステップと、

前記第 1 の出力端子から出力される電位を前記電位 V_1 から電位 $(V_1 + \Delta V_1)$ に変化させることにより前記入力端子の前記電位 V_2 が電位 $(V_2 + \Delta V_1)$ に変化し、

前記電位 $(V_2 + \Delta V_1)$ が増幅された信号が前記第 2 の出力端子から出力される第 3 ステップと、

を有する半導体装置の動作方法。

[請求項 6]

請求項 5 において、

前記第 2 の増幅回路は第 2 のトランジスタを有し、

前記第 1 のトランジスタのゲートは、前記第 2 のトランジスタのソースおよびドレインの一方と電氣的に接続され、

前記第 1 ステップにおいて、前記第 2 のトランジスタはオン状態であり、

前記第 2 ステップおよび前記第 3 ステップにおいて、前記第 1 のトランジスタはオフ状態である半導体装置の動作方法。

[請求項 7]

請求項 6 において、前記第 2 のトランジスタのチャネル形成領域はインジウムおよびガリウムの少なくとも一方を含む金属酸化物を有する半導体装置の動作方法。

[請求項 8]

請求項 5 乃至請求項 7 のいずれか一において、

前記第 1 の増幅回路は第 3 のトランジスタおよび第 4 のトランジスタを有し、

前記第 3 のトランジスタのソースおよびドレインの一方は前記第 4 のトランジスタのソースおよびドレインの一方と電氣的に接続され、

前記第 4 のトランジスタのソースおよびドレインの他方は、前記第 1 の出力端子に電氣的に接続

され、

前記第3ステップにおいて、前記第1の出力端子の電位は、前記第3のトランジスタのゲートに与えられる電位と前記第4のトランジスタのゲートに与えられる電位の比較結果に応じて生成される半導体装置の動作方法。

[請求項9]

請求項5乃至請求項8のいずれか一において、

前記第1の増幅回路は第5のトランジスタおよび第6のトランジスタを有し、

前記第6のトランジスタのチャネル形成領域はインジウムおよびガリウムの少なくとも一方を含む金属酸化物を有し、

前記第5のトランジスタのソースおよびドレインの一方は、前記第1の出力端子に電氣的に接続され、

前記第6のトランジスタのソースおよびドレインの一方は、前記第5のトランジスタのゲートに電氣的に接続され、

前記第1ステップにおいて、前記第6のトランジスタはオン状態であり、

前記第2ステップおよび前記第3ステップにおいて、前記第6のトランジスタはオフ状態である半導体装置の動作方法。

図1A

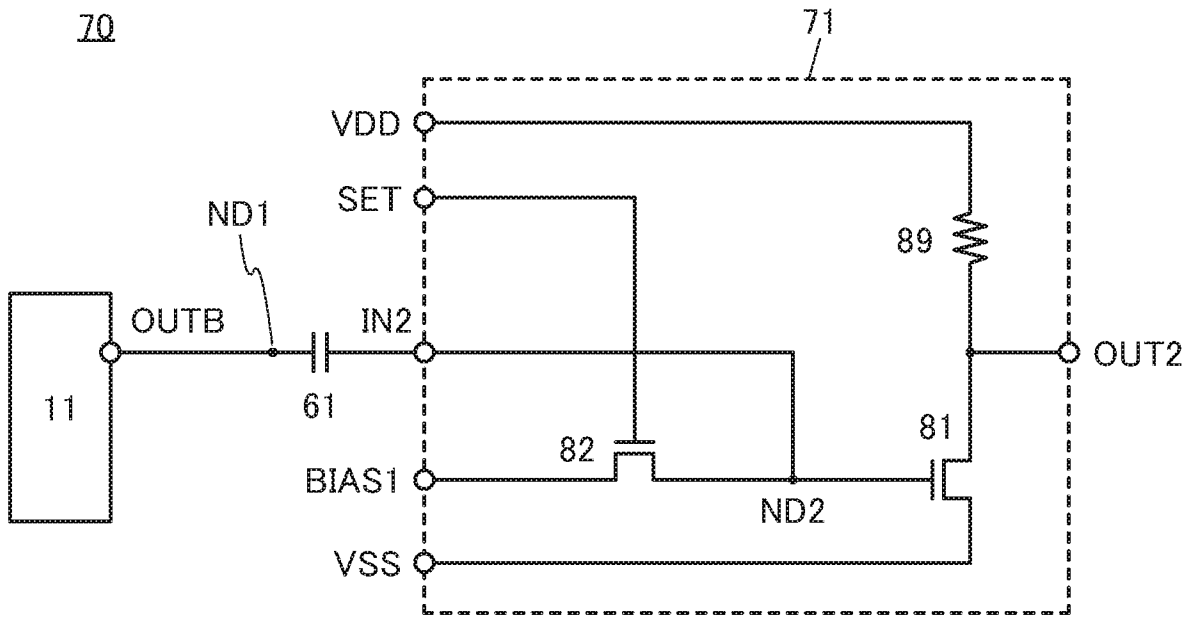


図1B

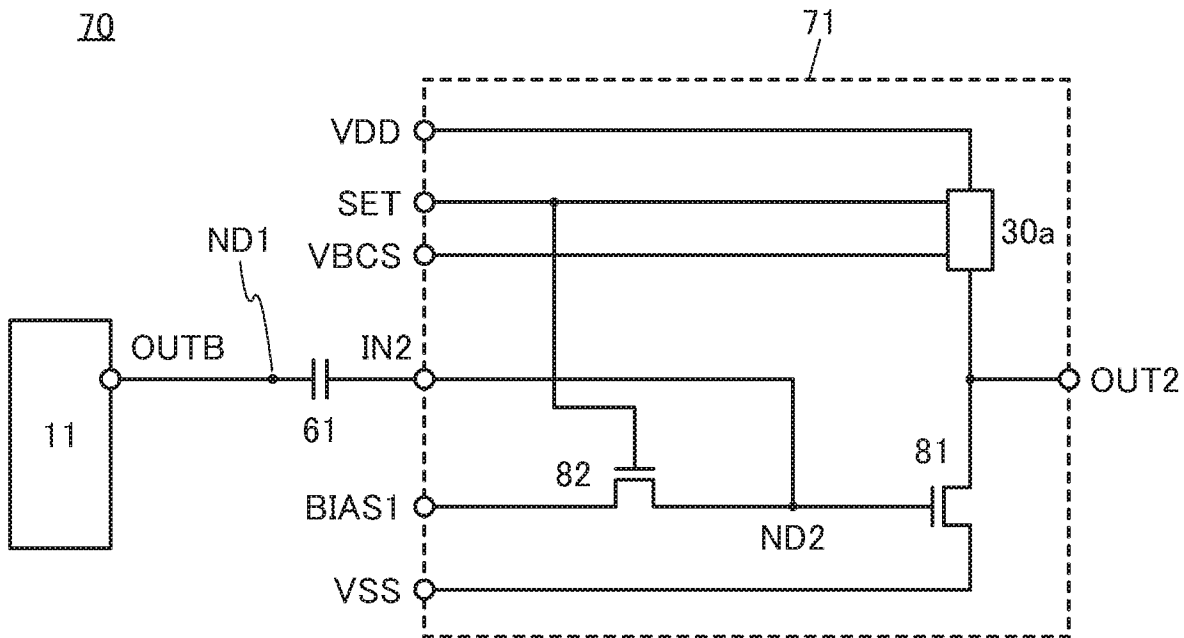
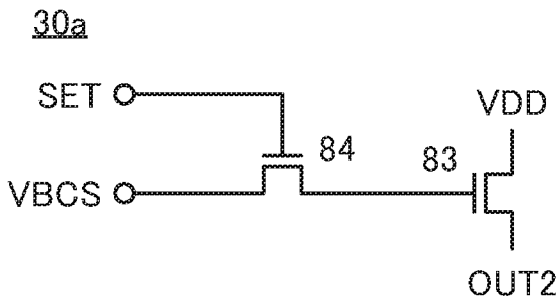
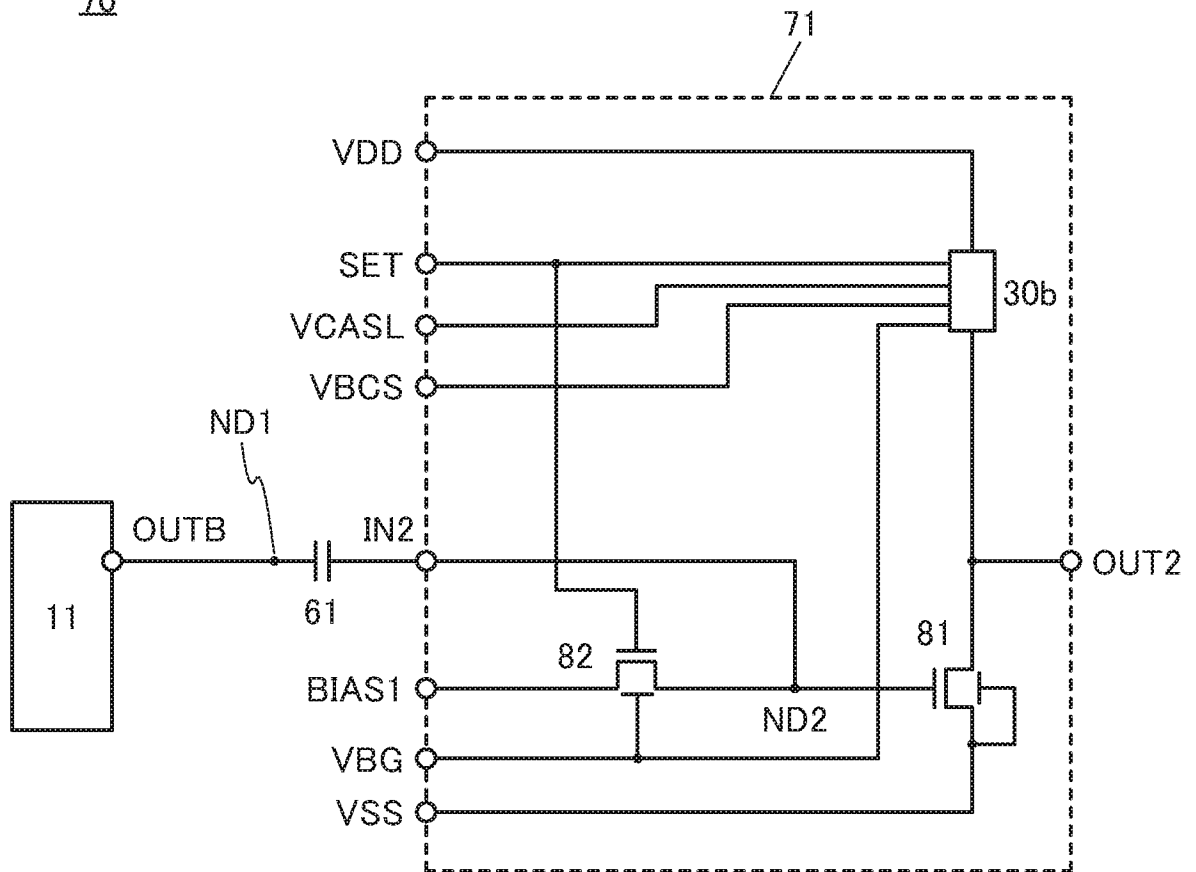


図1C





70



30b

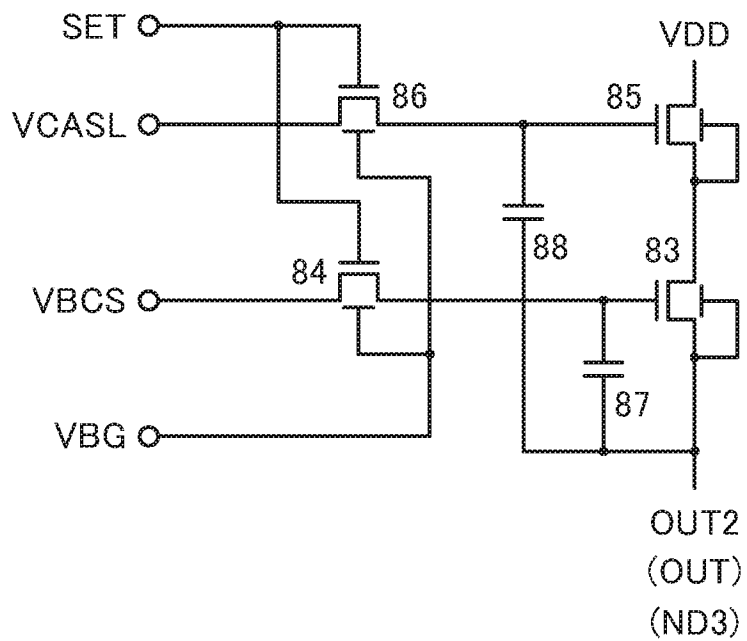


図3A

11

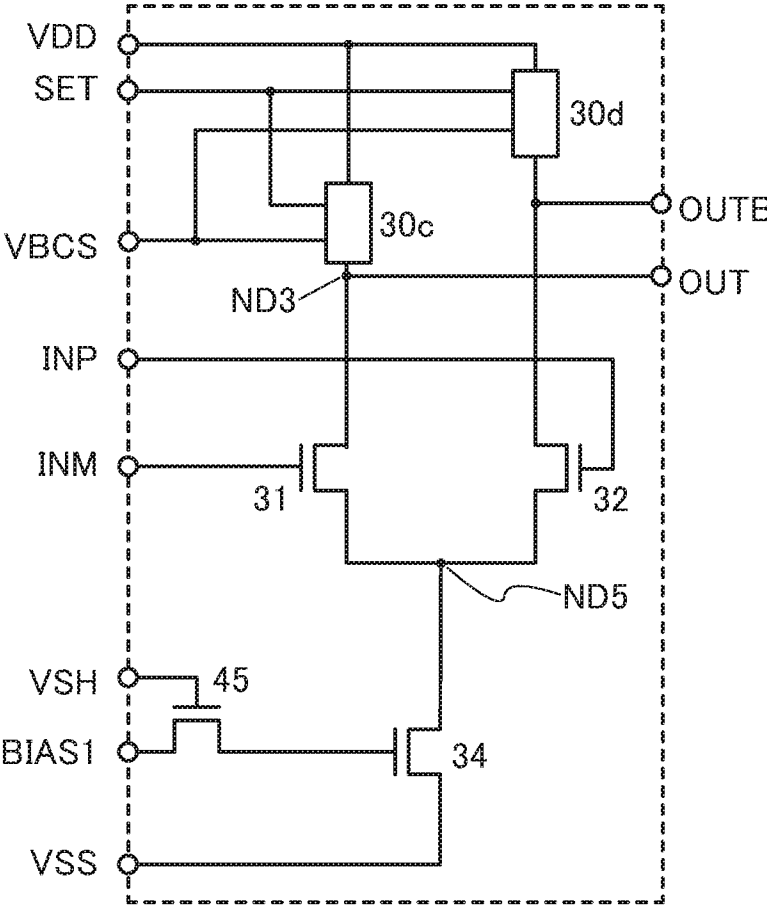


図3B

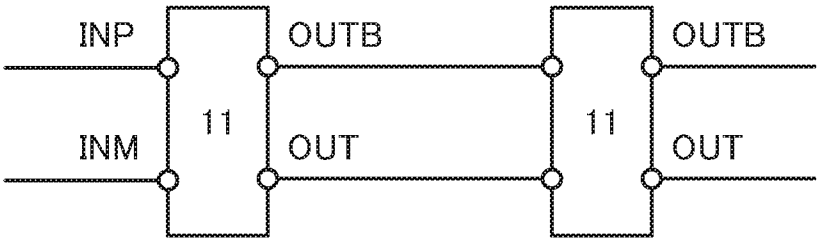
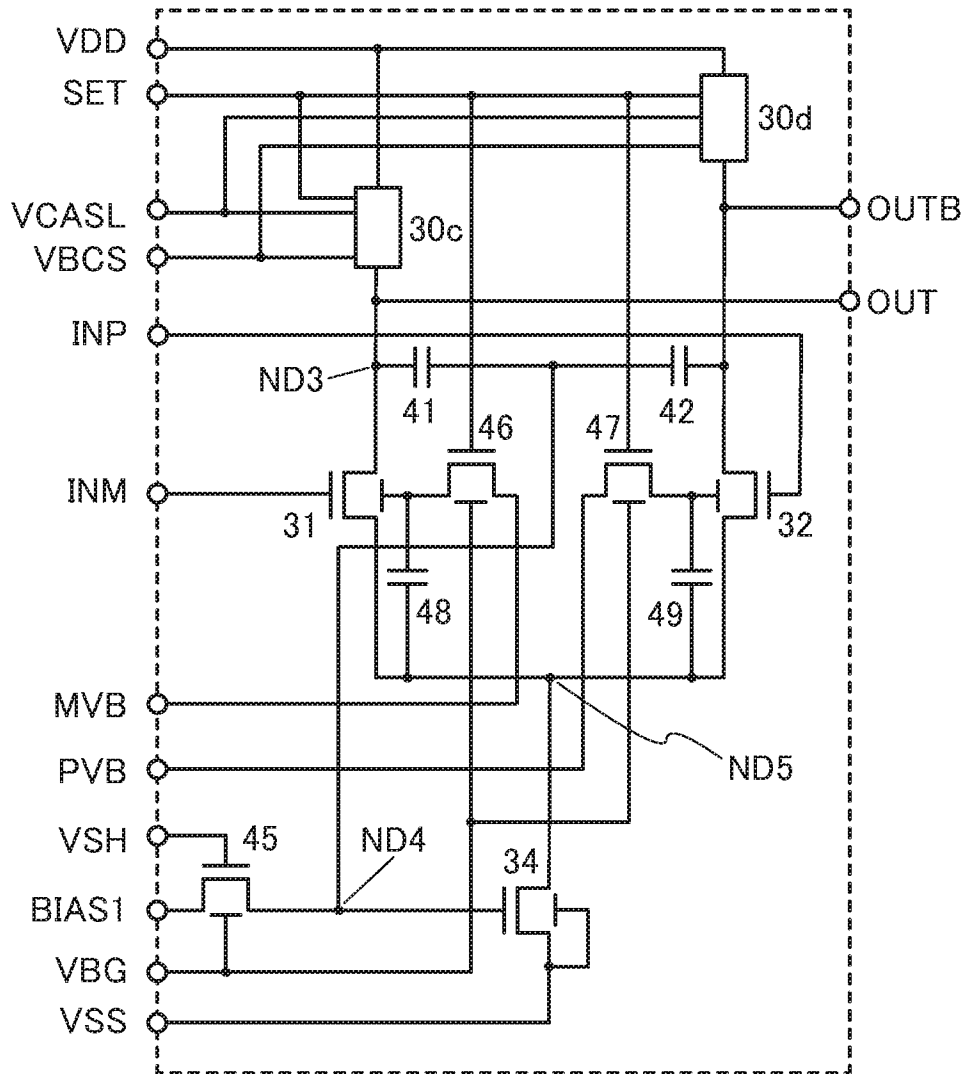


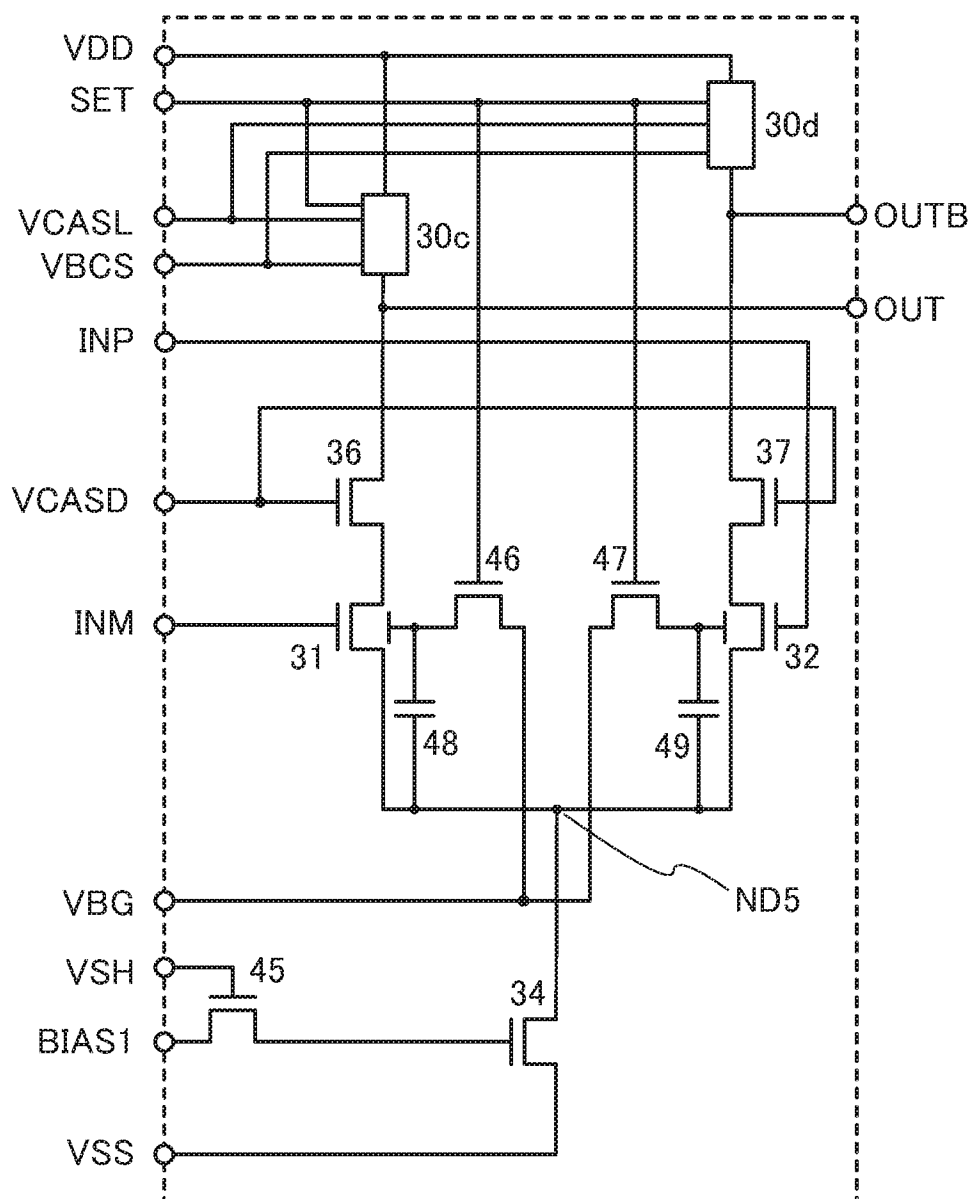
Figure 4 is a circuit diagram of a differential signal processing block, enclosed in a dashed rectangular box. The circuit has multiple input and output pins on the left side: VDD, SET, VCASL, VBCS, INP, INM, MVB, PVB, VSH, BIAS1, VBG, and VSS. On the right side, there are two output pins: OUTB and OUT. The circuit includes several transistors and capacitors. Transistors 30c and 30d are PMOS devices connected to VDD. Transistors 31 and 32 are NMOS devices. Transistors 45 and 34 are also NMOS devices. Capacitors 41, 46, 47, 42, 48, and 49 are connected between various nodes. Nodes ND3, ND4, and ND5 are labeled with leader lines pointing to specific nodes in the circuit. The circuit is configured to process differential signals INP and INM, with outputs OUTB and OUT.

4/16

11



11



6/16

図6A

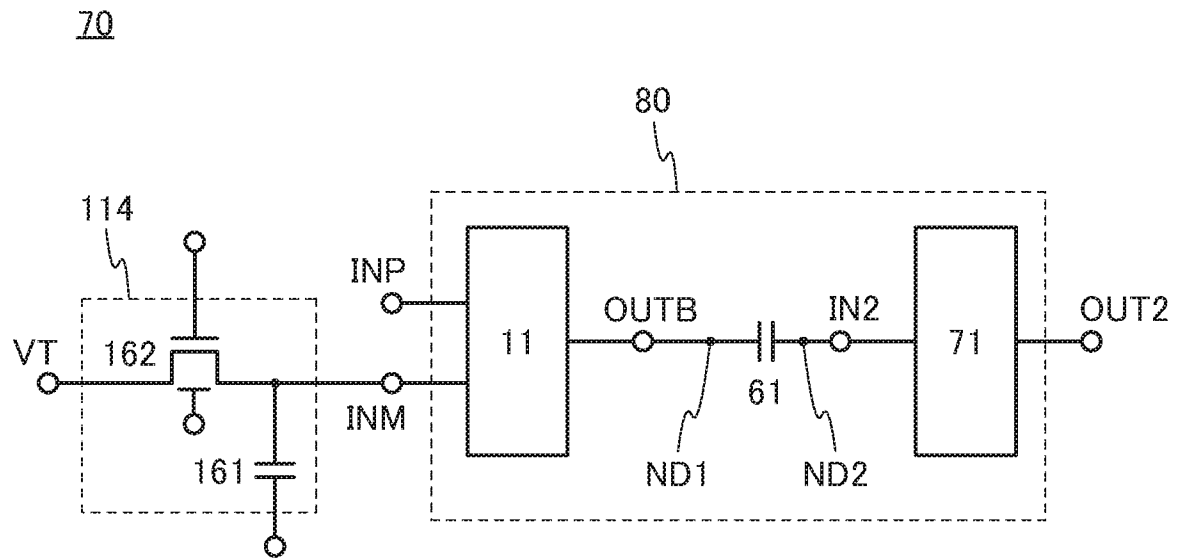
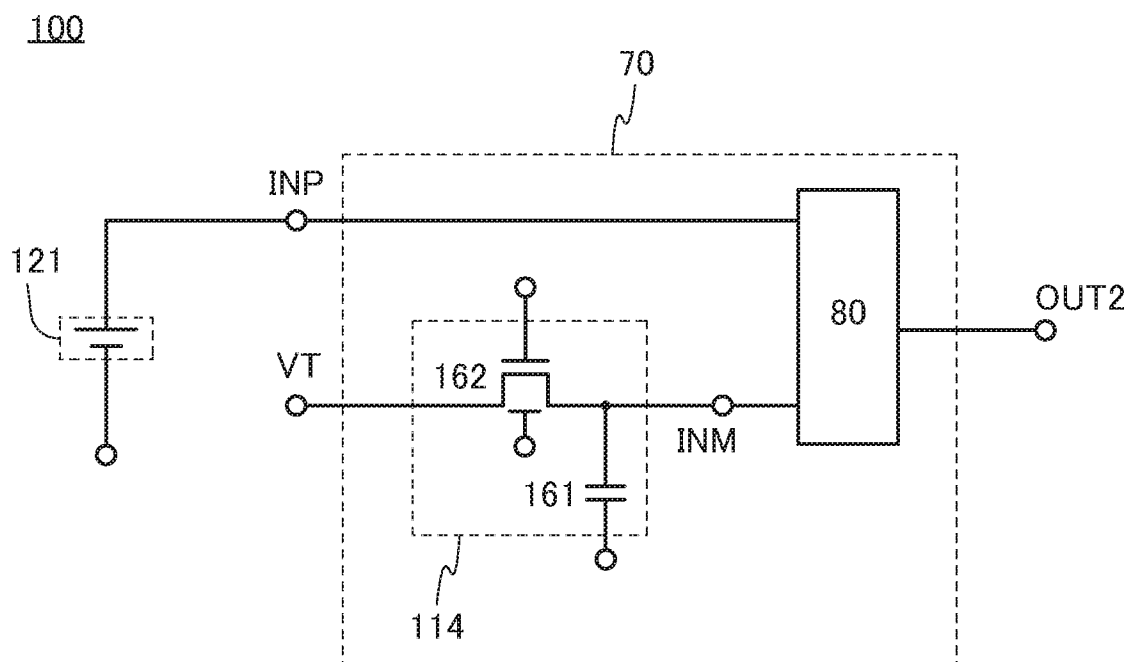
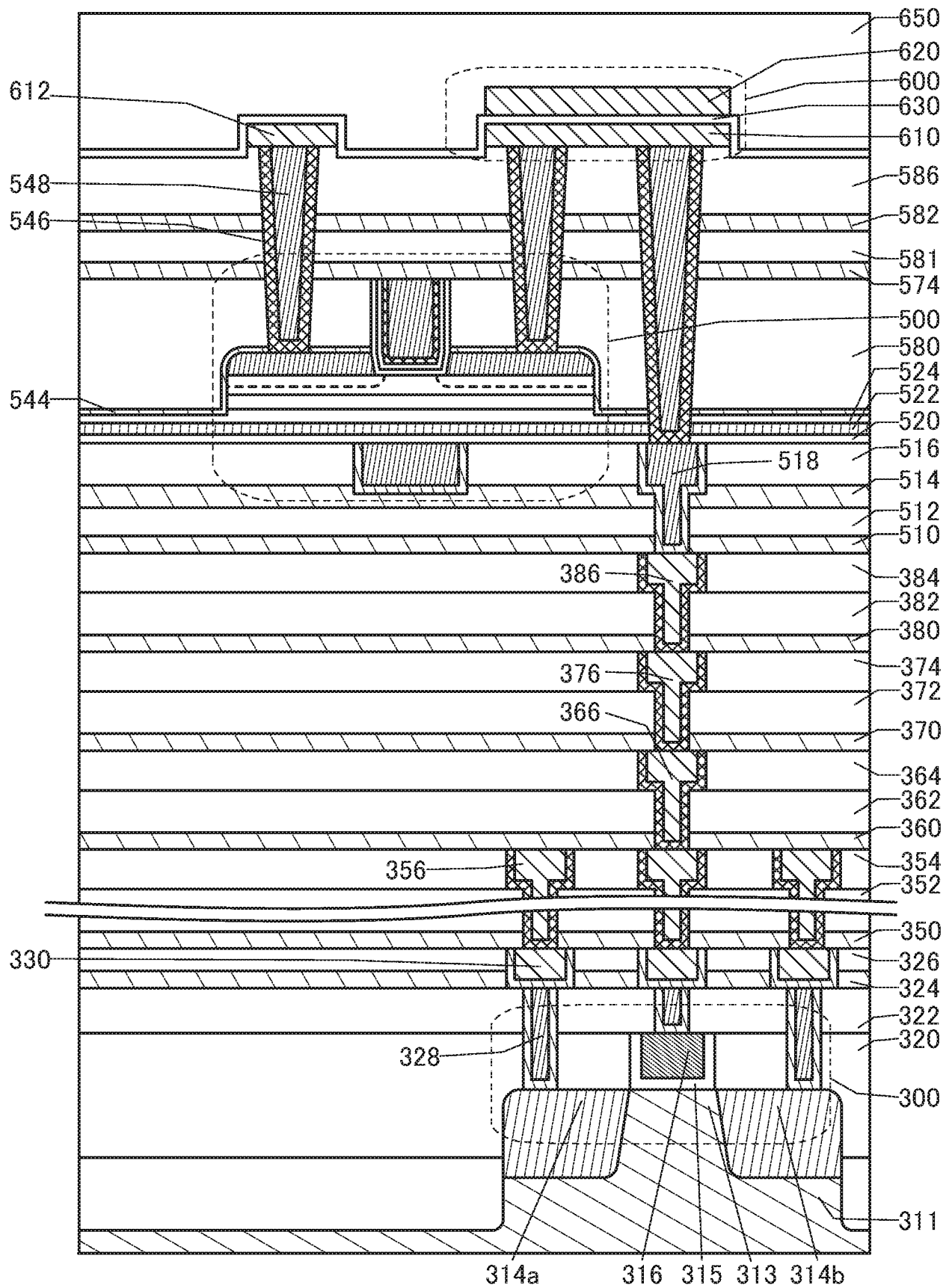


図6B



7

7/16



8/16

図8A 500

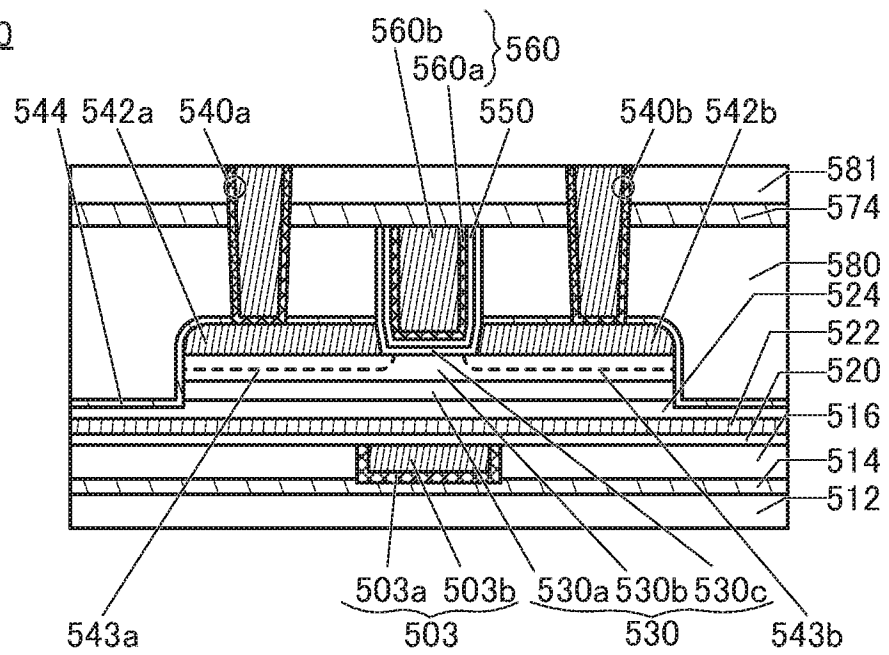


図8B 500

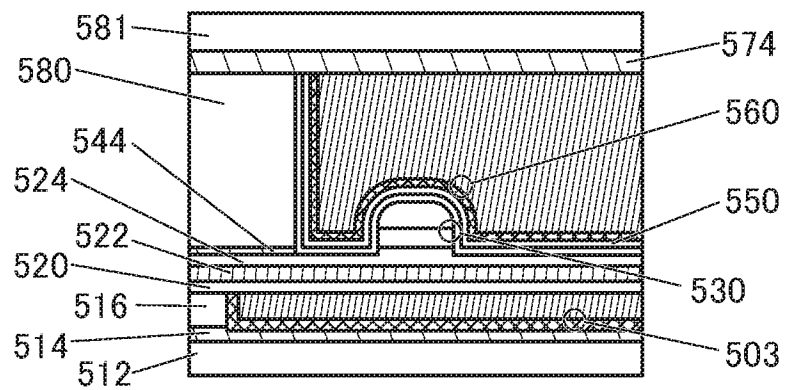


図8C

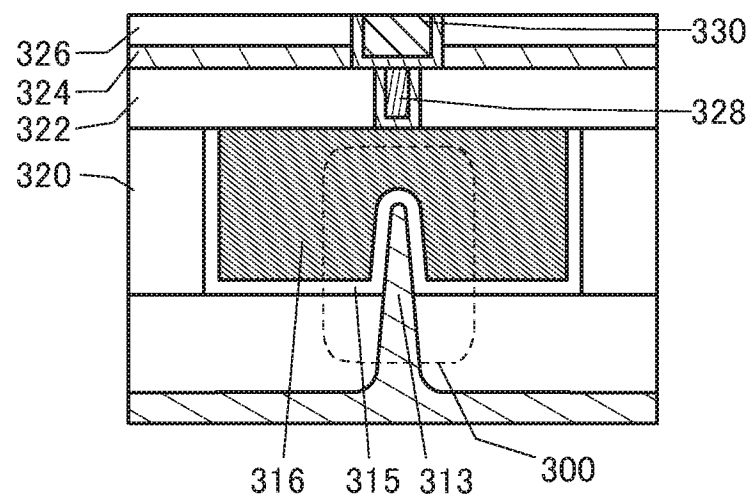


図9A 510A

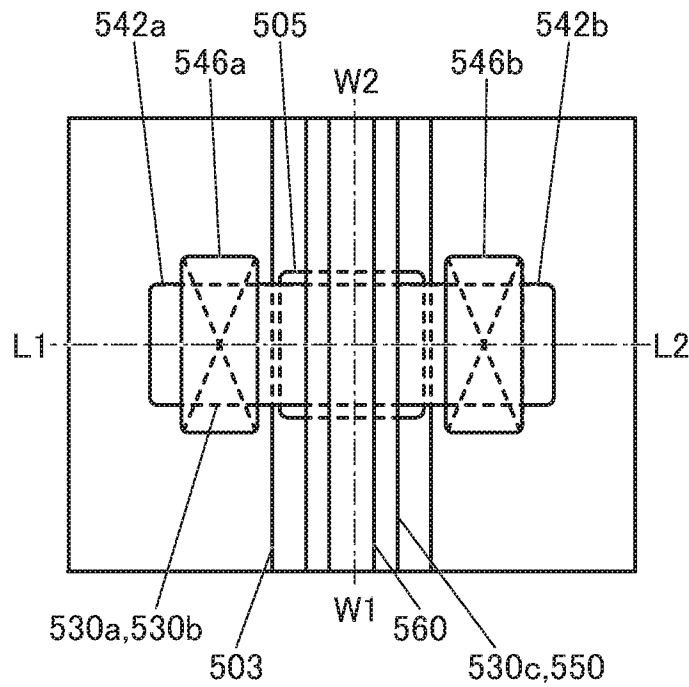


図9C

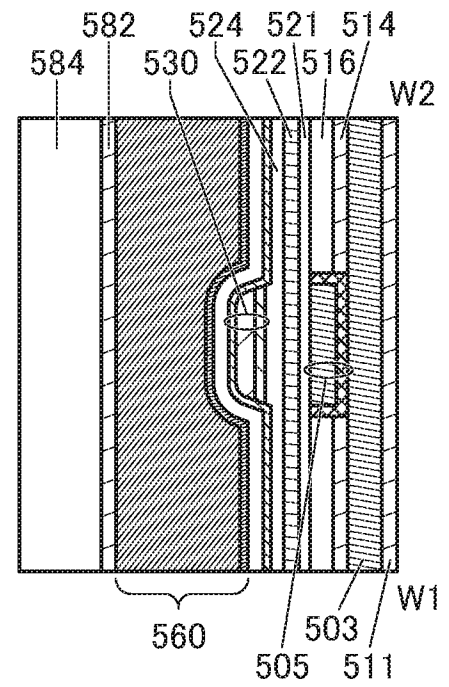
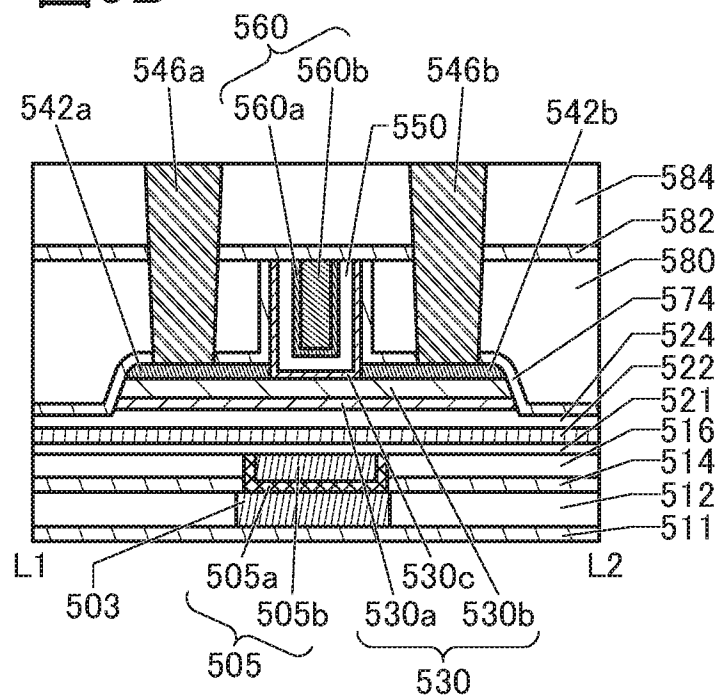


図9B



 10A 510B

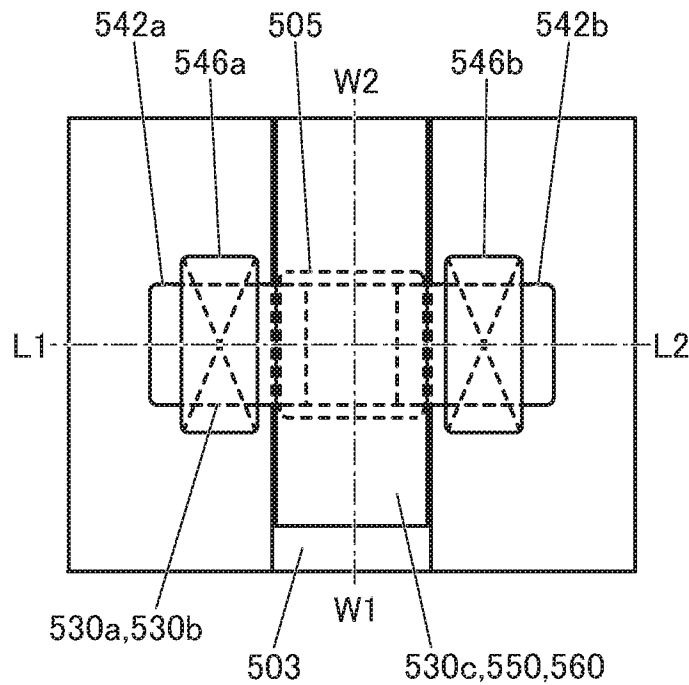
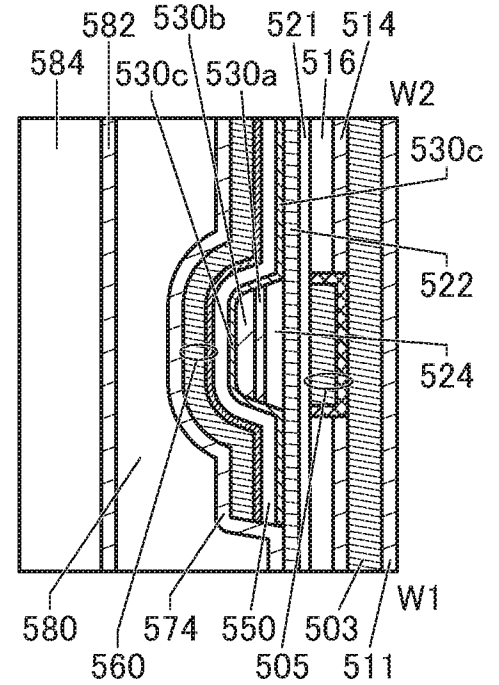
 10C

図 10B

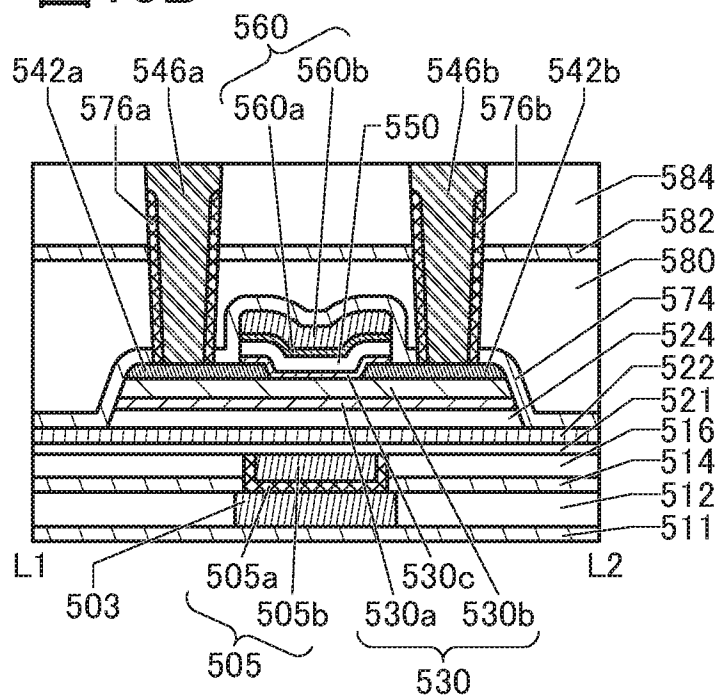
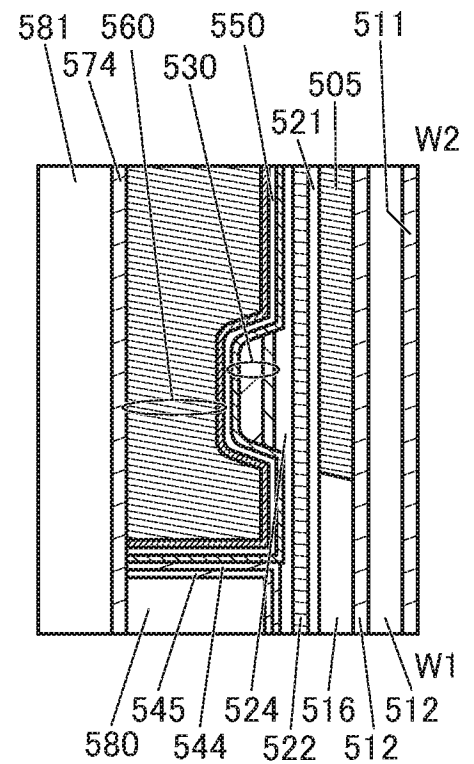
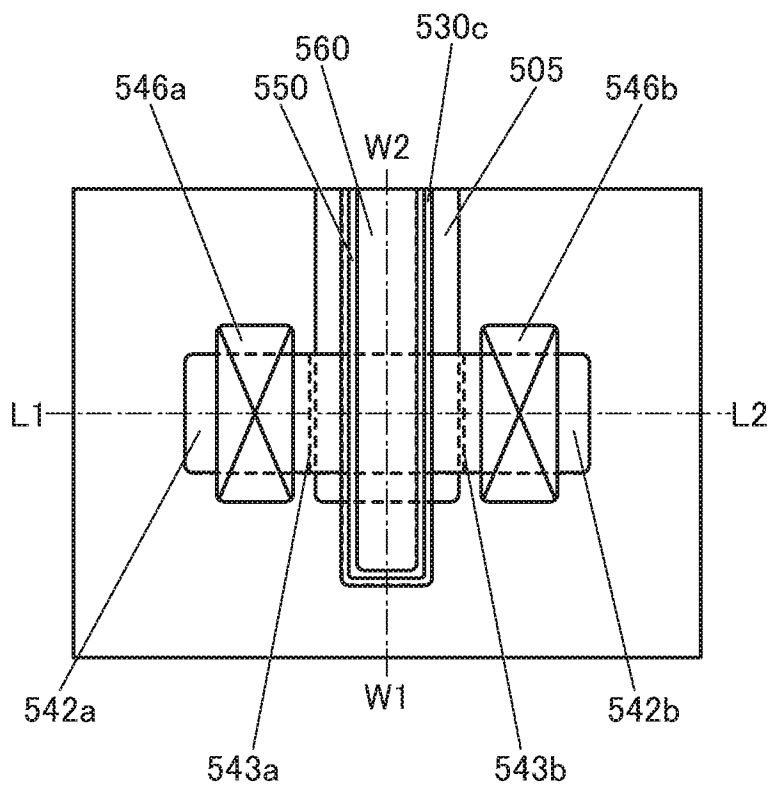


図 11A 510C



11B

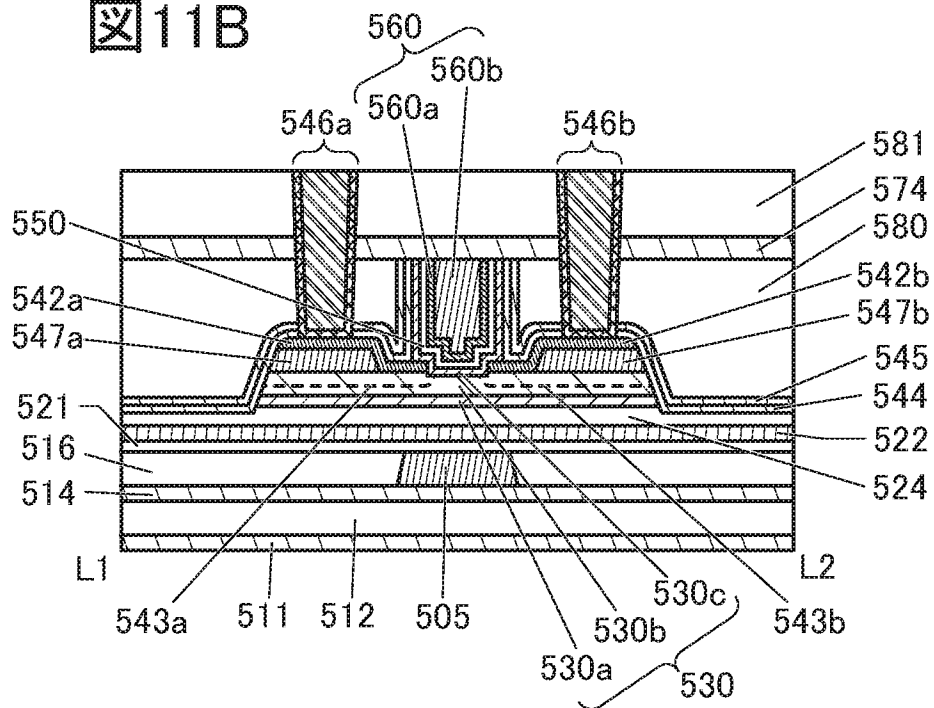
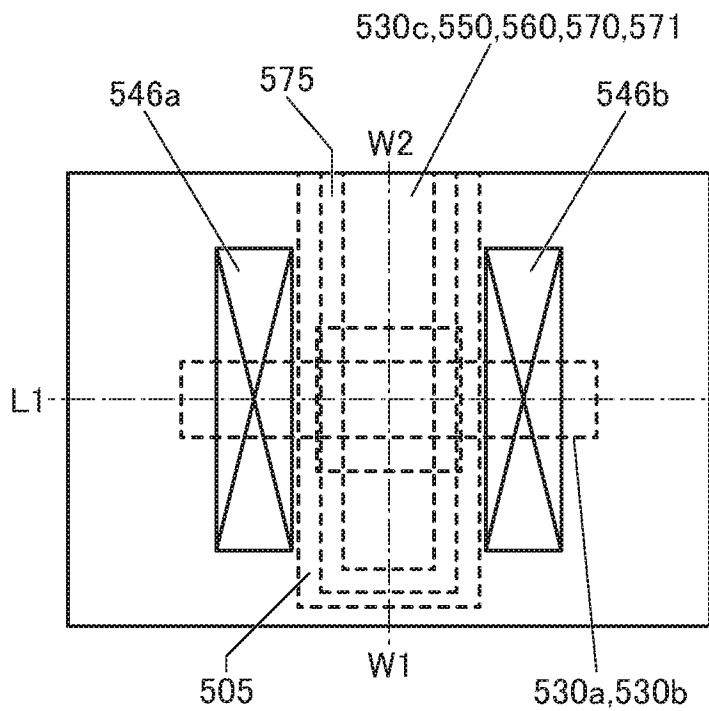
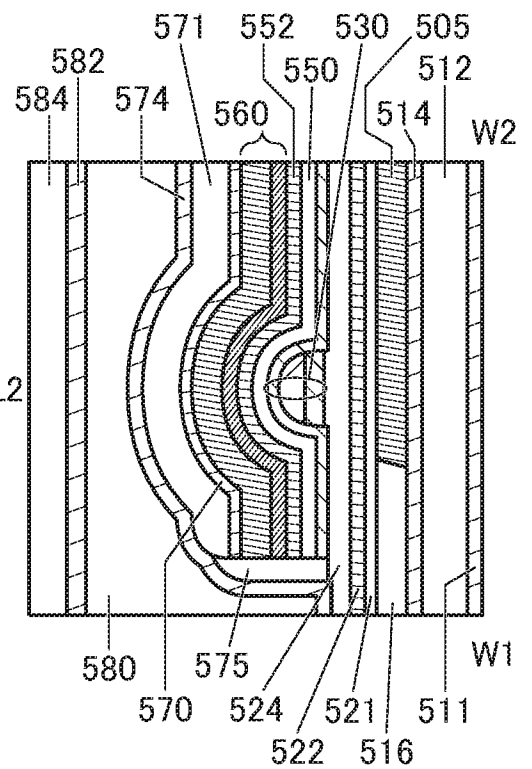


図 12A 510D

 12C

12B

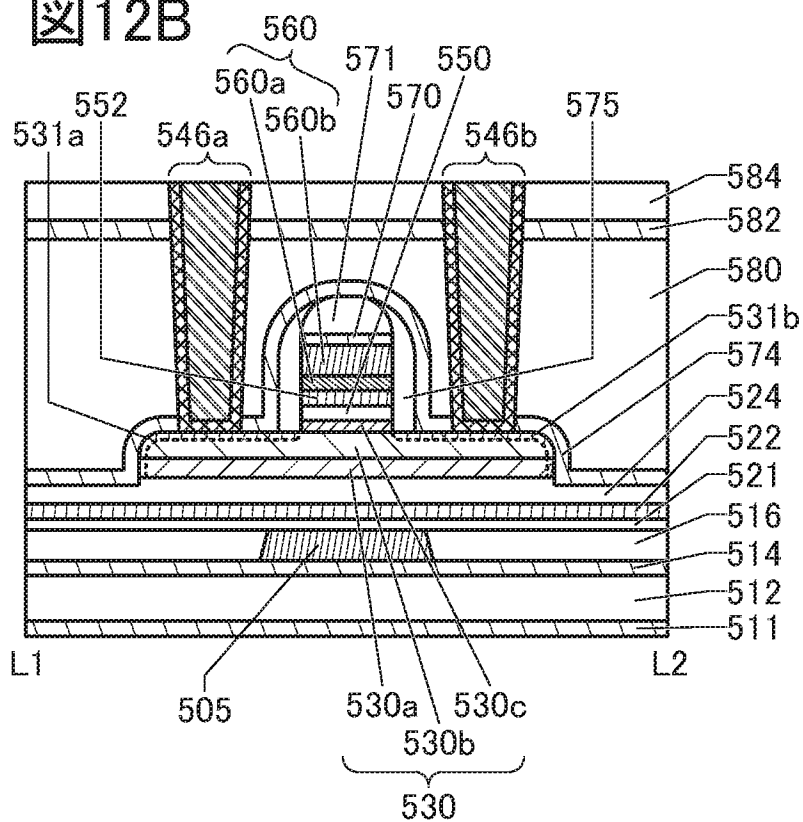


図13A _{510E}

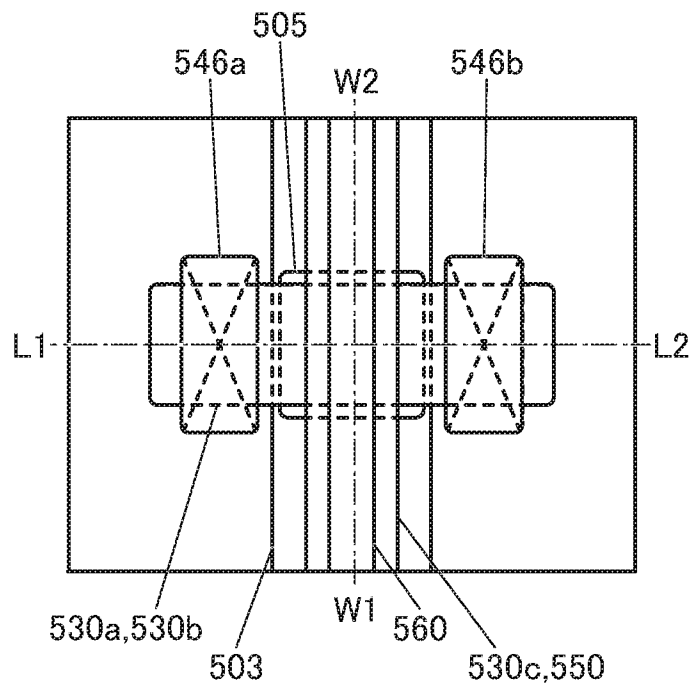


図13C

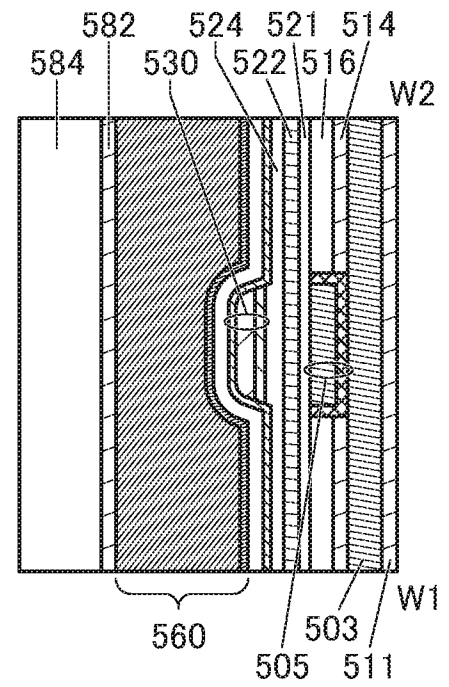


図13B

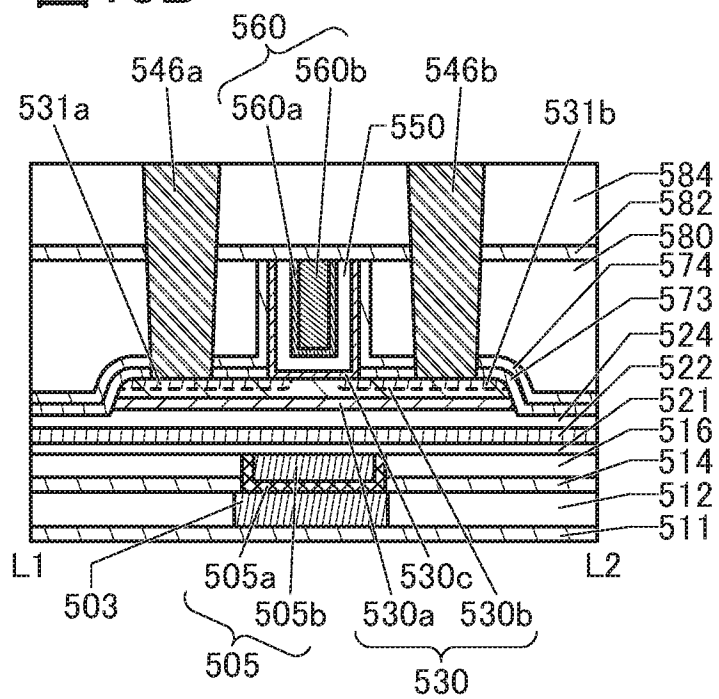


図14A 510E

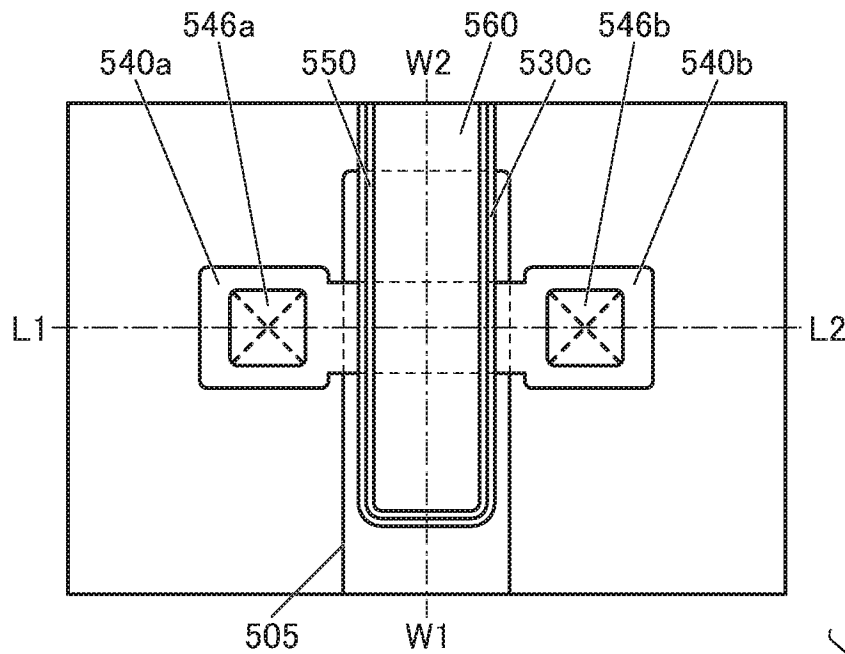


図14C

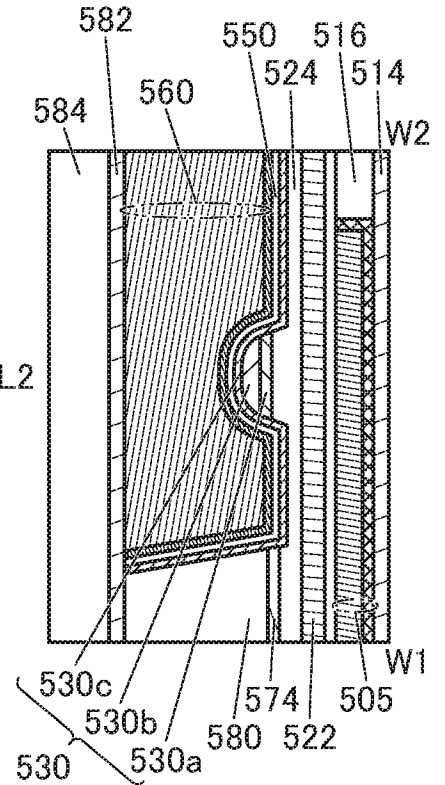


図14B

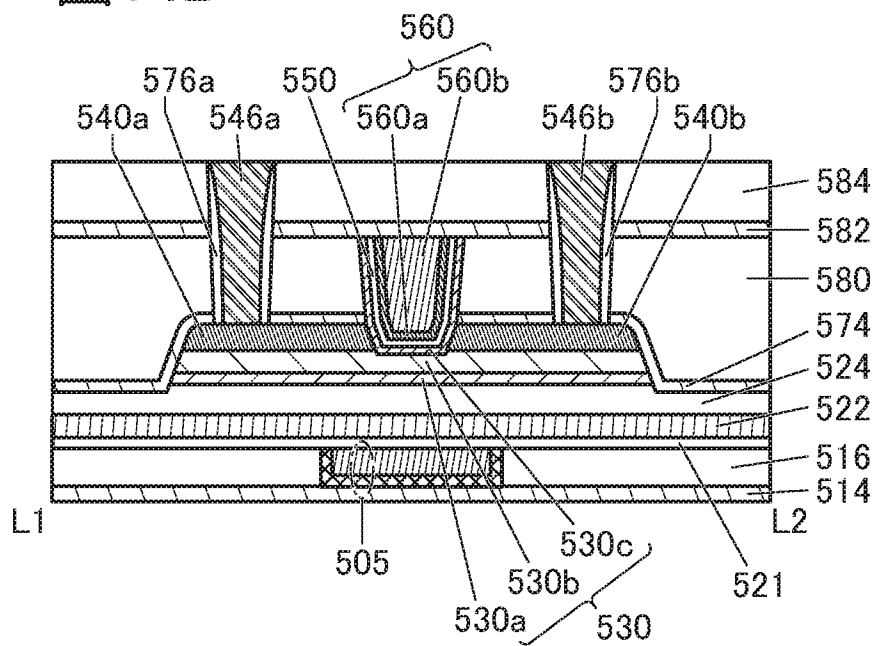


图15

15/16

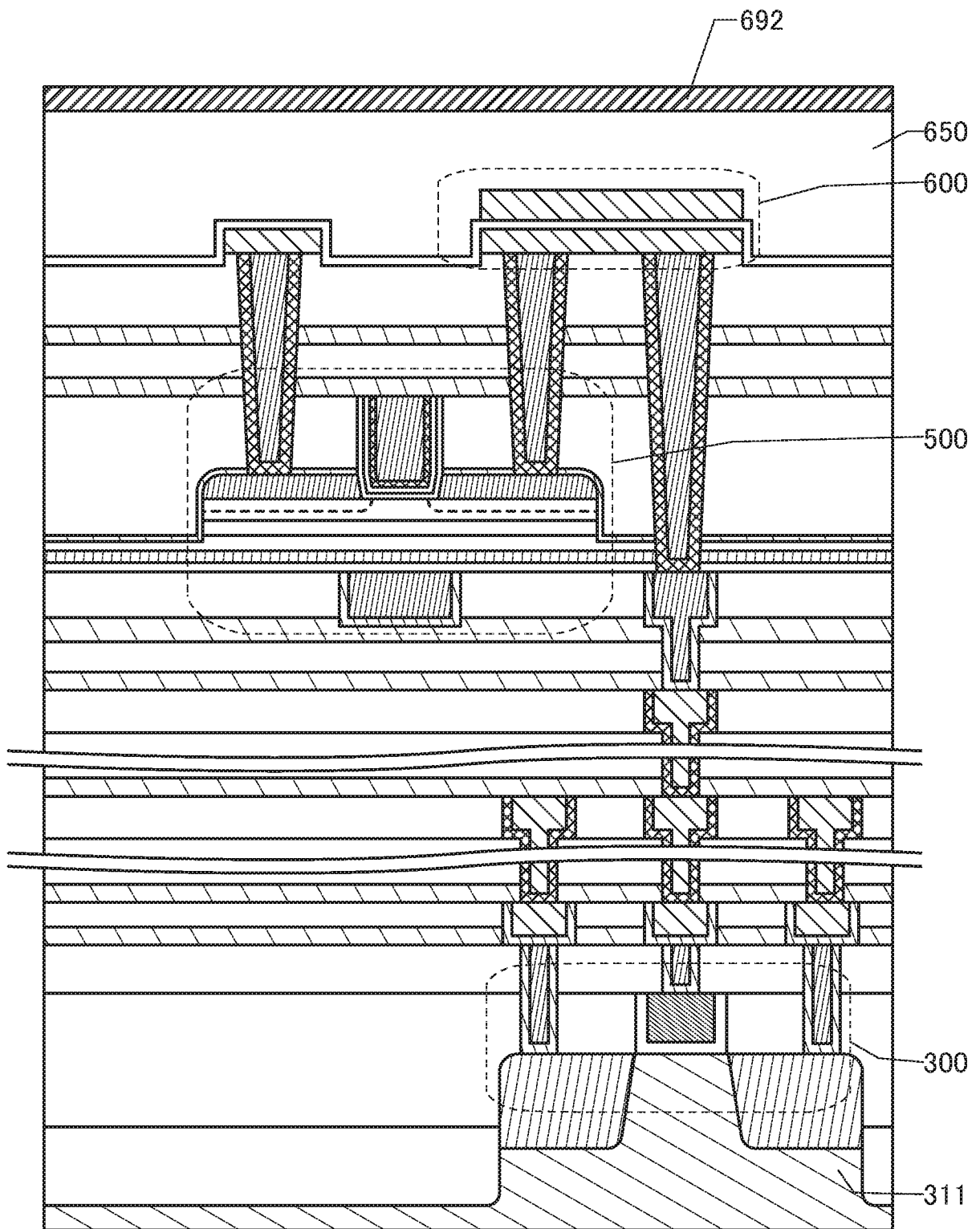
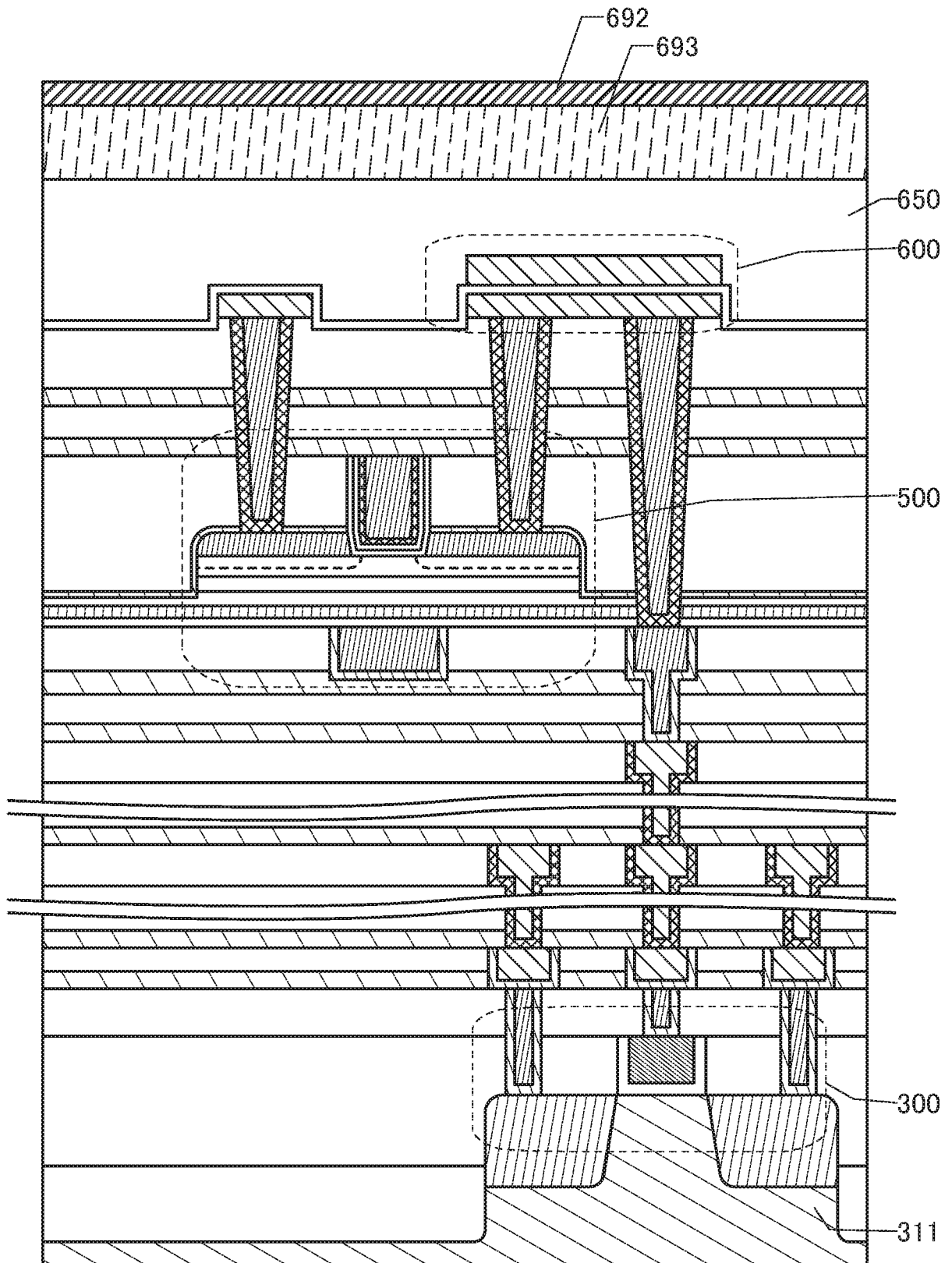


图16

16/16



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/051162

A. CLASSIFICATION OF SUBJECT MATTER

H03K 5/08(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/786(2006.01)i; H03F 1/00(2006.01)i; H03F 1/02(2006.01)i; H03F 3/68(2006.01)i

FI: H03F1/02; H01L29/78 618B; H01L27/06 102A; H01L27/088 E; H03K5/08 E; H03F1/00 240; H01L29/78 613Z; H03F3/68

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K5/08; H01L21/8234; H01L27/06; H01L27/088; H01L29/786; H03F1/00; H03F1/02; H03F3/68

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-312555 A (SONY CORP.) 04.11.2004 (2004-11-04) entire text, all drawings	1-9
A	JP 5-175752 A (FUJI XEROX CO., LTD.) 13.07.1993 (1993-07-13) entire text, all drawings	1-9
A	JP 5-122028 A (FUJI XEROX CO., LTD.) 18.05.1993 (1993-05-18) entire text, all drawings	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 May 2020 (18.05.2020)

Date of mailing of the international search report
26 May 2020 (26.05.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2020/051162

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2004-312555 A	04 Nov. 2004	US 2004/0263376 A1 entire text, all drawings GB 2401497 A entire text, all drawings	
JP 5-175752 A	13 Jul. 1993	(Family: none)	
JP 5-122028 A	18 May 1993	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 5/08(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/786(2006.01)i; H03F 1/00(2006.01)i; H03F 1/02(2006.01)i; H03F 3/68(2006.01)i FI: H03F1/02; H01L29/78 618B; H01L27/06 102A; H01L27/088 E; H03K5/08 E; H03F1/00 240; H01L29/78 613Z; H03F3/68														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03K5/08; H01L21/8234; H01L27/06; H01L27/088; H01L29/786; H03F1/00; H03F1/02; H03F3/68 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2020年													
日本国実用新案登録公報	1996-2020年													
日本国登録実用新案公報	1994-2020年													
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2004-312555 A（ソニー株式会社）04.11.2004（2004-11-04） 全文全図</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>JP 5-175752 A（富士ゼロックス株式会社）13.07.1993（1993-07-13） 全文全図</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>JP 5-122028 A（富士ゼロックス株式会社）18.05.1993（1993-05-18） 全文全図</td> <td>1-9</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2004-312555 A（ソニー株式会社）04.11.2004（2004-11-04） 全文全図	1-9	A	JP 5-175752 A（富士ゼロックス株式会社）13.07.1993（1993-07-13） 全文全図	1-9	A	JP 5-122028 A（富士ゼロックス株式会社）18.05.1993（1993-05-18） 全文全図	1-9
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2004-312555 A（ソニー株式会社）04.11.2004（2004-11-04） 全文全図	1-9												
A	JP 5-175752 A（富士ゼロックス株式会社）13.07.1993（1993-07-13） 全文全図	1-9												
A	JP 5-122028 A（富士ゼロックス株式会社）18.05.1993（1993-05-18） 全文全図	1-9												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献														
国際調査を完了した日 18.05.2020		国際調査報告の発送日 26.05.2020												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 工藤 一光 5W 9274 電話番号 03-3581-1101 内線 3576												

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2020/051162

引用文献			公表日	パテントファミリー文献	公表日
JP	2004-312555	A	04.11.2004	US 2004/0263376 A1 全文全図 GB 2401497 A 全文全図	
JP	5-175752	A	13.07.1993	(ファミリーなし)	
JP	5-122028	A	18.05.1993	(ファミリーなし)	