

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 1 月 19 日 (19.01.2023)



(10) 国际公布号
WO 2023/284091 A1

(51) 国际专利分类号:
G11C 29/04 (2006.01)

中国北京市海淀区黑泉路 8 号 1 幢 4 层
101-10 号, Beijing 100192 (CN)。

(21) 国际申请号: PCT/CN2021/116960

(22) 国际申请日: 2021 年 9 月 7 日 (07.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110785259.1 2021 年 7 月 12 日 (12.07.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 刘星 (LIU, Xing); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。 骆晓东 (LUO, Xiaodong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京名华博信知识产权代理有限公司 (BOXIN CHINA INTELLECTUAL PROPERTY);

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) Title: DETECTION METHOD FOR MEMORY AND DETECTION APPARATUS FOR MEMORY

(54) 发明名称: 存储器的检测方法和存储器的检测装置

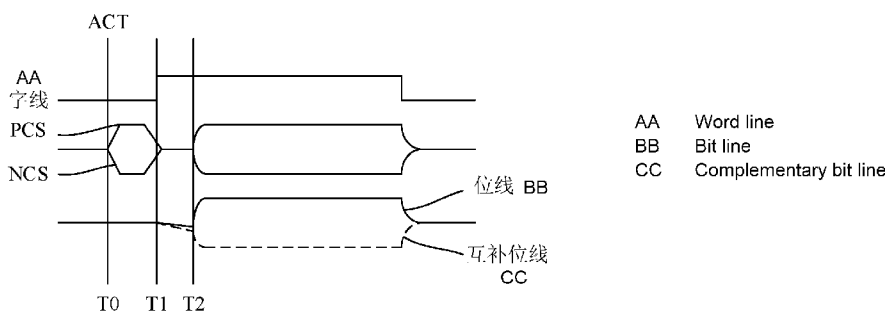


图 2

(57) Abstract: Disclosed in the present disclosure are a detection method for a memory and a detection apparatus for a memory. The detection method comprises: a memory comprising a first storage unit, a second storage unit, a bit line, a complementary bit line, a word line and a plurality of sensing amplifiers, wherein each sensing amplifier is electrically coupled to a bit line and a complementary bit line; writing stored data into each first storage unit and each second storage unit; performing a reading operation; acquiring a test result on the basis of the difference between real data and the stored data; and on the basis of the test result, acquiring an electric leakage position of the bit line or complementary bit line and the word line.

(57) 摘要: 本公开公布了一种存储器的检测方法和存储器的检测装置, 检测方法包括: 存储器包括第一存储单元、第二存储单元、位线、互补位线、字线和多个感测放大器; 每一感测放大器与一位线和一互补位线电耦合; 向每一第一存储单元和第二存储单元写入存储数据; 进行读取操作; 基于真实数据与存储数据的差异, 获取测试结果; 基于测试结果获取位线或互补位线与字线的漏电位置。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

存储器的检测方法和存储器的检测装置

本公开基于申请号为 202110785259.1，申请日为 2021 年 07 月 12 日，申请名称为“存储器的检测方法和存储器的检测装置”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及但不限于一种存储器的检测方法和存储器的检测装置。

背景技术

动态随机存取存储器（Dynamic Random Access Memory，DRAM）是计算机中常用的半导体存储器件，由许多重复的存储单元组成。每个存储单元通常包括电容器和晶体管，晶体管的栅极与字线相连、漏极与位线相连、源极与电容器相连，字线上的电压信号能够控制晶体管的打开或关闭，进而通过位线读取存储在电容器中的数据信息，或者通过位线将数据信息写入到电容器中进行存储。

随着 DRAM 的制程工艺越来越先进、存储密度越来越高，DRAM 制程工艺中也出现了越来越多的问题，比如：副产物掉落引发的短路、位线漏电流、电容的倒塌、金属线的断裂，关键尺寸不合格造成的结构问题等，这些制程工艺中出现的问题需要在良率测试过程中筛选出来，但是现有的良率测试方法检测出漏电的位置需要先后向存储单元中写入两次不同的存储数据，经过两次测试后才可以获得漏电的位置，检测速度较慢。

如何在良率测试过程中快速的检测出漏电的位置，是本领域技术人员亟须解决的问题。

发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权

利要求的保护范围。

本公开提供了一种存储器的检测方法和存储器的检测装置。

本公开实施例的第一方面提供了一种存储器的检测方法，包括：

所述存储器包括多个第一存储单元、多个第二存储单元、多条相互分立的位线、多条相互分立的互补位线以及多条相互分立的字线，每一所述互补位线与一所述位线对应，所述第一存储单元与相应的一所述位线以及一所述字线连接，且所述第二存储单元与相应的一所述互补位线以及一所述字线连接；所述存储器还包括多个感测放大器，每一所述感测放大器与一所述位线以及一所述互补位线电耦合；向每一所述第一存储单元和所述第二存储单元写入存储数据，其中，每条所述位线连接的所述第一存储单元与其对应的所述互补位线连接的所述第二存储单元内的所述存储数据相同；

在写入所述存储数据之后，进行读取操作，所述读取操作包括：依次选通所有所述字线进行读取，以通过所述位线、所述互补位线以及所述感测放大器读取每一所述第一存储单元和所述第二存储单元内的真实数据；

基于所述真实数据与所述存储数据的差异，获取测试结果；

基于每一所述第一存储单元和所述第二存储单元对应的所述测试结果，获取所述位线或所述互补位线与所述字线的漏电位置。

本公开实施例的第二方面提供了一种存储器的检测装置，所述存储器的检测装置包括：

存储器，所述存储器包括多个第一存储单元、多个第二存储单元、多条相互分立的位线、多条相互分立的互补位线以及多条相互分立的字线，每一所述互补位线与一所述位线对应，所述第一存储单元与相应的一所述位线以及一所述字线连接，且所述第二存储单元与相应的一所述互补位线以及一所述字线连接；

所述存储器还包括多个感测放大器，每一所述感测放大器与一所述位线以及一所述互补位线电耦合；

写入装置，用于向所述第一存储单元和所述第二存储单元写入存储

数据；

读取装置，所述读取装置用于依次选通所有所述字线进行读取，以通过所述位线、所述互补位线以及所述感测放大器读取每一所述第一存储单元和所述第二存储单元内的真实数据；

指令装置，用于控制所述写入装置向每条所述位线连接的所述第一存储单元与其对应的所述互补位线连接的所述第二存储单元内写入的所述存储数据相同；

报错装置，所述报错装置基于所述真实数据与所述存储数据的差异，获取测试结果，并基于每一所述第一存储单元和所述第二存储单元对应的所述测试结果，获取所述位线或所述互补位线与所述字线的漏电位置。

本公开实施例所提供的存储器的检测方法和检测装置可以/至少具有以下优点，向每条位线连接的第一存储单元与其对应的互补位线连接的第二存储单元内写入的存储数据相同，在进行读取时，当选通的位线和对应的互补位线都不漏电时，选通的字线与位线和互补位线中的一者连接，读出的结果为与选通的字线不连接的一者为逻辑高电平；这样当读出的第一存储单元的逻辑电平和预设结果不符时，影响因素为一位线与选通的字线短接漏电流或者对应的互补位线与某一未选通的字线短接漏电流，当读出的第二存储单元的逻辑电平和预设结果不符时，影响因素为一互补位线与选通的字线短接漏电流或者对应的位线与某一未选通的字线短接漏电流，依次选通所有字线，结合与一位线和对应的互补位线连接的所有的第一存储单元和第二存储单元的测试结果，则可确定漏电流的确切位置；采用如此方法依次选通所有字线，利用当位线和对应的互补位线逻辑电平相同时选通的字线和哪一者连接哪一者就是逻辑低电平的特性，不用在第一存储单元和第二存储单元分别写入两种逻辑电平进行测试结果对比，即可根据一次测试结果无遗漏的得到漏电流的位线或互补位线的准确位置，提高了存储器检测方法的检测效率。

在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

为了更清楚地说明本公开实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，附图中具有相同参考数字标号的元件表示为类似的元件，除非有特别申明，附图中的图不构成比例限制。

图 1 是根据一示例性实施例示出的存储器的结构示意图；

图 2 是根据一示例性实施例示出的第一种位线和对应的互补位线的逻辑电平变化示意图；

图 3 是根据一示例性实施例示出的第二种位线和对应的互补位线的逻辑电平变化示意图；

图 4 是根据一示例性实施例示出的第三种位线和对应的互补位线的逻辑电平变化示意图；

图 5 是根据一示例性实施例示出的第四种位线和对应的互补位线的逻辑电平变化示意图；

图 6 是根据一示例性实施例示出的第五种位线和对应的互补位线的逻辑电平变化示意图；

图 7 是根据一示例性实施例示出的第六种位线和对应的互补位线的逻辑电平变化示意图；

图 8 是根据一示例性实施例示出的存储器的检测装置的模块示意图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例中的附图，对公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域技术人员在没有做出创造性劳动前提下所获得的所

有其他实施例，都属于本公开保护的范围。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

现结合一种存储器的检测方法进行分析。检测方法包括：存储器包括第一存储单元和第二存储单元，第一存储单元为与位线连接的存储单元，第二存储单元为与互补位线连接的存储单元，向每一存储单元内第一次写入存储数据，向第一存储单元内写入第一存储数据，向第二存储单元内写入第二存储数据，第一存储数据和第二存储数据不同；在写入存储数据之后，进行读取操作，读取操作包括：依次选通所有字线进行读取，以通过位线或互补位线以及感测放大器读取每一存储单元内的第一真实数据，且在读取之前，同时选通与位线和互补位线对应的感测放大器中的提供低电位电压的电源线 NCS，和与位线或互补位线对应的提供高电位电压的电源线 PCS，以使位线和互补位线中逻辑电平更高的一者的逻辑电平升高；基于第一真实数据与第一次写入的存储数据的差异，获取第一测试结果；向每一存储单元第二次写入存储数据，向第一存储单元内写入第二存储数据，向第二存储单元内写入第一存储数据；在第二次写入存储数据之后，再次进行读取操作，以读取每一存储单元内的第二真实数据；基于第二真实数据与第二次写入的存储数据的差异，获取第二测试结果；基于第二测试结果以及第一测试结果，获取漏电的位线的具体位置。

当位线与字线短路时，检测时会出现如下四种情况：第一种情况，位线为低电平，当位线短接选通的字线时，位线变为高电平，读出结果为位线高电平，与实际情况不符，确认缺陷，从而检测出漏电位线的具体位置；第二种情况，位线为高电平，当位线短接选通的字线时，位线还是高电平，读出结果为位线高电平，与实际情况相符，不能得到缺陷，不能检测出漏电位线的具体位置；第三种情况，位线为低电平，当位线与未选通的字线短接时，位线还是低电平，读出结果为位线低电平，与实际情况相符，不能得到缺陷，检测不出漏电位线的具体位置；第四种情况，位线为高电平，当位线与未选通的字线短接时，位线变为低电平，读出结果为位线低电平，与实际情况不符，确认缺陷，从而检测出漏电流位线的具体位置。

其中，第二种情况和第三种情况不能得出缺陷，但是通过依次选通所有

字线的方式，就可以将第二种情况变为第四种情况，第三种情况变为第一种情况，这样对于位线与字线短路导致的位线漏电流情况，都可以检测出来。互补位线与字线短路的情况和位线与字线短路的情况相同，这里不再赘述。

由上述可知，这种存储器的检测方法需要分别向存储单元写入两次不同的存储数据，每次写入存储数据的时候，第一存储单元的存储数据和第二存储单元的存储数据不同，才能通过两次的测试结果得出漏电的具体位置，检测的速度较慢，不利于快速获取存储器漏电的具体位置。

本公开实施提供了一种存储器的检测方法，向每条位线连接的第一存储单元与其对应的互补位线连接的第二存储单元内写入的存储数据相同，在进行读取时，当选通的位线和对应的互补位线都不漏电时，选通的字线与位线和互补位线中的一者连接，读出的结果为与选通的字线不连接的一者为逻辑高电平；这样当读出的第一存储单元的逻辑电平和预设结果不符时，影响因素为一位线与选通的字线短接漏电流或者对应的互补位线与某一未选通的字线短接漏电流，当读出的第二存储单元的逻辑电平和预设结果不符时，影响因素为一互补位线与选通的字线短接漏电流或者对应的位线与某一未选通的字线短接漏电流，依次选通所有字线，结合与一位线和对应的互补位线连接的所有的第一存储单元和第二存储单元的测试结果，则可确定漏电流的确切位置；采用如此方法依次选通所有字线，利用当位线和对应的互补位线逻辑电平相同时选通的字线和哪一者连接哪一者就是逻辑低电平的特性，不用在第一存储单元和第二存储单元分别写入两种逻辑电平进行测试结果对比，即可根据一次测试结果无遗漏的得到漏电流的位线或互补位线的准确位置，提高了存储器检测方法的检测效率。

图 1 为本公开实施例中存储器的结构示意图。

本实施例提供的存储器检测的方法，包括：参考图 1，存储器 100 包括多个第一存储单元 101、多个第二存储单元 102、多条相互分立的位线 103、多条相互分立的互补位线 104 以及多条相互分立的字线 105，每一互补位线 104 与一位线 103 对应，第一存储单元 101 与相应的一位线 103 以及一字线 105 连接，且第二存储单元 102 与相应的一互补位线 104 以及一字线 105 连接；存储器 100 还包括多个感测放大器 106，每一感测放大器 106 与一位线

103 以及一互补位线 104 电耦合。

本实施例中，感测放大器 106 包括提供低电位电压的电源线 NCS 以及提供高电位电压的电源线 PCS。

首先对第一存储单元 101 和第二存储单元 102 进行初始化操作，以激活第一存储单元 101 和第二存储单元 102；在初始化操作之后，进行写入操作，向每一第一存储单元 101 和第二存储单元 102 写入存储数据，其中，每条位线 103 连接的第一存储单元 101 与其对应的互补位线 104 连接的第二存储单元 102 内的存储数据相同。

以向每条位线 103 连接的第一存储单元 101 与其对应的互补位线 104 连接的第二存储单元 102 内写入的存储数据相同，本实施例中以写入相同的逻辑低电平为例，在进行读取时，当选通的位线 103 和对应的互补位线 104 都不漏电时，选通的字线 105 与位线 103 和互补位线 104 中的一者连接，读出的结果为与选通的字线 105 不连接的一者为逻辑高电平；采用如此方法依次选通所有字线 105，利用当位线 103 和对应的互补位线 104 逻辑电平相同时选通的字线 105 和哪一者不连接哪一者就是逻辑高电平的特性，不用在第一存储单元 101 和第二存储单元 102 分别写入两种逻辑电平进行测试结果对比，即可根据一次测试结果无遗漏的得到漏电流的位线或互补位线的准确位置，提高了存储器检测方法的检测效率。

在本实施例中，向第一存储单元 101 和第二存储单元 102 写入存储数据的方式包括：向所有第一存储单元 101 和第二存储单元 102 写入相同的存储数据。

在其他实施例中，向第一存储单元 101 写入存储数据的方式还包括：向与相邻的位线 103 连接的若干第一存储单元 101 写入不同的存储数据。

在其他实施例中，向第二存储单元写入存储数据的方式还包括：向与相邻的互补位线连接的若干第二存储单元写入不同的存储数据。

在本实施例中，向每一第一存储单元 101 和第二存储单元 102 写入的存储数据都为逻辑低电平；向每一第一存储单元 101 和第二存储单元 102 写入的存储数据都为逻辑低电平，排除了存储单元内的逻辑高电平有可能随时间降低而影响测试结果的准确性。在其他实施例中，也可以向每一第一存储单

元和第二存储单元写入的存储数据为逻辑高电平。

本实施例中，在向第一存储单元 101 和第二存储单元 102 写入存储数据之后，还可以对所有第一存储单元 101 和第二存储单元 102 进行自动刷新操作。

进行读取操作，读取操作包括：依次选通所有字线 105 进行读取，以通过位线 103、互补位线 104 以及感测放大器 106 读取每一第一存储单元 101 和第二存储单元 102 内的真实数据；基于真实数据与存储数据的差异，获取测试结果；基于每一第一存储单元 101 和第二存储单元 102 对应的测试结果，获取位线 103 或互补位线 104 与字线 105 的漏电位置。

本实施例中，在进行读取之前，同时选通与位线 103 和互补位线 104 对应的提供低电位电压的电源线 NCS 和提供高电位电压的电源线 PCS，以使位线 103 和互补位线 104 中逻辑电平更高的一者的电平升高；然后还可以对所有第一存储单元 101 和第二存储单元 102 进行自动刷新操作。

需要知道的是，在向每条位线 103 连接的第一存储单元 101 和与其对应的互补位线 104 连接的第二存储单元 102 内都写入逻辑低电平时，在进行读取时，当选通的位线 103 和对应的互补位线 104 都不漏电时，选通的字线 105 与位线 103 和互补位线 104 中的一者连接，读出的结果为与选通的字线 105 不连接的一者为逻辑高电平。

以下将结合附图对检测过程中各种不同情况的位线 103 和互补位线 104 的逻辑电平变化情况进行详细说明。向每一第一存储单元 101 和第二存储单元 102 写入的存储数据都为逻辑低电平；依次选通所有所述字线进行读取。

第一种情况，某一互补位线 104 与某一字线 105 短路导致一第二存储单元 102 漏电流，结合图 2~图 4，在这种情况下，位线 103 和互补位线 104 的逻辑电平变化情况有三类。

图 2 为本公开一实施例中第一种位线和对应的互补位线的逻辑电平变化示意图。

参考图 2，第一类，当选通与漏电的第二存储单元 102 对应的第一存储单元 101 时，在 T0 时间节点进行激活操作 ACT，激活操作 ACT 之后，对提供低电位电压的电源线 NCS 和提供高电位电压的电源线 PCS 进行预充电处

理，预充电处理之后，提供低电位电压的电源线NCS的电平和提供高电位电压的电源线PCS的电平相同；选通的位线103和对应的互补位线104进入电荷分享阶段，对位线103和对应的互补位线104进行预充电，预充电后的位线103和对应的互补位线104电平相同；在T1时间节点选通一与第一存储单元101连接的字线105；在T1~T2时间段内，由于选通的字线105与位线103连接，所以位线103的电平略微下降，但是由于互补位线104与未选通的字线105短路，所以互补位线104降为低电平；T2时间节点，打开感测放大器，选通与位线103和互补位线104对应的提供低电位电压的电源线NCS和提供高电位电压的电源线PCS，以使位线103和互补位线104中电平更高的一者的电平升高，由于互补位线104的电平低于位线103的电平，所以读出后位线103为高电平，与应读出的位线103低电平不相符；依次选通与漏电的第二存储单元102对应的所有第一存储单元101，读出结果与图2相同。

以下将对选通与漏电的第二存储单元102连接同一互补位线104的其他第二存储单元102的情况进行详细说明，与选通第一存储单元101相同的部分，将不再赘述。

图3为本公开一实施例中第二种位线和对应的互补位线的逻辑电平变化示意图。

参考图3，第二类，当选通与漏电的第二存储单元102连接同一互补位线104的其他第二存储单元102时，由于选通的字线105与互补位线104连接，所以互补位线104的电平略微下降，位线103的电平不变，应读出互补位线104为低电平，实际上由于互补位线104与未选通的字线105短路，所以互补位线104降为低电平，读出的互补位线104也为低电平，与实际相符。

依次选通所有与漏电的第二存储单元102连接同一互补位线104的其他第二存储单元102，读出结果与图3一致。

以下将对选通漏电的第二存储单元102的情况进行详细说明，与选通第一存储单元101相同的部分，将不再赘述。

图4为本公开一实施例中第三种位线和对应的互补位线的逻辑电平变化示意图。

参考图 4，第三类，当选通漏电的第二存储单元 102 时，位线 103 的电平不变，互补位线 104 的电平被选通的字线 105 拉到高电平，读出结果为互补位线 104 高电平，与实际应读出的结果不相符。

综上，根据这三类位线 103 和互补位线 104 的逻辑电平变化情况，对位线 103 或互补位线 104 短路的第一种情况进行分析：第一类中，导致读出的位线 103 电平错误的原因有两种情况：第一种，选通的该第一存储单元 101 处短路；第二种，与对应的互补位线 104 连接的所有第二存储单元 102 中至少一处短路；首先假设与对应的互补位线 104 连接的所有第二存储单元 102 均不短路，结合第二类和第三类情况对该假设进行验证，对依次选通的互补位线 104 连接的所有第二存储单元 102 的结果进行分析，其中第三类情况存在一个第二存储单元 102 的读出情况为互补位线 104 高电平，读出结果与预设不短路的结果不相符，第二类情况中，连接其他第二存储单元 102 的读出结果为互补位线 104 低电平，读出结果与预设不短路的结果相符。因此，可判定假设不成立，即与对应的互补位线 104 连接的所有第二存储单元 102 中至少一处短路，根据结果可判定漏电位置为第三类情况中连接的第二存储单元 102。

综上，可以得到，与同一位线 103 连接的所有第一存储单元 101 的存储数据和真实数据不同，且与对应的互补位线 104 连接的第二存储单元 102 中有一唯一第二存储单元 102 的存储数据和真实数据不同，测试结果为与唯一的第二存储单元 102 连接的互补位线 104 和字线 105 漏电。

接下来，将对位线 103 或互补位线 104 短路的第二种情况，某一位线 103 与某一字线 105 短路导致一第一存储单元 101 漏电流的情况进行详细说明；结合图 5~图 7，在这种情况下，位线 103 和互补位线 104 的逻辑电平变化情况也有三类。

图 5 为本公开一实施例中第四种位线和对应的互补位线的逻辑电平变化示意图。

参考图 5，第一类，当选通与漏电的第一存储单元 101 对应的第二存储单元 102 时，在 T0 时间节点进行激活操作 ACT，激活操作 ACT 之后，对提供低电位电压的电源线 NCS 和提供高电位电压的电源线 PCS 进行预充电处

理，预充电处理之后，提供低电位电压的电源线NCS的电平和提供高电位电压的电源线PCS的电平相同；选通的位线103和对应的互补位线104进入电荷分享阶段，对位线103和对应的互补位线104进行预充电，预充电后的位线103和对应的互补位线104电平相同；在T1时间节点选通一与第二存储单元102连接的字线105；在T1~T2时间段内，由于选通的字线105与互补位线104连接，所以互补位线104的电平略微下降，但是由于位线103与未选通的字线105短路，所以位线103降为低电平；T2时间节点，打开感测放大器，选通与位线103和互补位线104对应的提供低电位电压的电源线NCS和提供高电位电压的电源线PCS，以使位线103和互补位线104中电平更高的一者的电平升高，由于位线103的电平低于互补位线104的电平，所以读出后互补位线104为高电平，与应读出的互补位线104低电平不相符；依次选通与漏电的第一存储单元101对应的所有第二存储单元102，读出结果与图5相同。

以下将对选通与漏电的第一存储单元101连接同一位线103的其他第一存储单元101的情况进行详细说明，与选通第二存储单元102相同的部分，将不再赘述。

图6为本公开一实施例中第五种位线和对应的互补位线的逻辑电平变化示意图。

参考图6，第二类，当选通与漏电的第一存储单元101连接同一位线103的其他第一存储单元101时，由于选通的字线105与位线103连接，所以位线103的电平略微下降，互补位线104的电平不变，应读出位线103为低电平，实际上由于位线103与未选通的字线105短路，所以位线103降为低电平，读出的位线103也为低电平，与实际相符。

依次选通所有与漏电的第一存储单元101连接同一位线103的其他第一存储单元101，读出结果与图6一致。

以下将对选通漏电的第一存储单元101的情况进行详细说明，与选通第二存储单元102相同的部分，将不再赘述。

图7为本公开一实施例中第六种位线和对应的互补位线的逻辑电平变化示意图。

参考图 7，第三类，当选通漏电的第一存储单元 101 时，互补位线 104 的电平不变，位线 103 的电平被选通的字线 105 拉到高电平，读出结果为位线 103 高电平，与实际应读出的结果不相符。

综上，根据这三类位线 103 和互补位线 104 的逻辑电平变化情况，对位线 103 或互补位线 104 短路的第二种情况进行分析：第一类中，导致读出的互补位线 104 电平错误的原因有两种情况：第一种，选通的该第二存储单元 102 处短路；第二种，与对应的位线 103 连接的所有第一存储单元 101 中至少一处短路；首先假设与对应的位线 103 连接的所有第一存储单元 101 均不短路，结合第二类和第三类情况对该假设进行验证，对依次选通的位线 103 连接的所有第一存储单元 101 的结果进行分析，其中第三类情况存在一个第一存储单元 101 的读出情况为位线 103 高电平，读出结果与预设不短路的结果不相符，第二类情况中，连接其他第一存储单元 101 的读出结果为位线 103 低电平，读出结果与预设不短路的结果相符。因此，可判定假设不成立，即与对应的位线 103 连接的所有第一存储单元 101 中至少一处短路，根据结果可判定漏电位置为第三类情况中连接的第一存储单元 101。

综上，可以得到，与同一互补位线 104 连接的所有第二存储单元 102 的存储数据和真实数据不同，且与对应的位线 103 连接的第一存储单元 101 中有一唯一第一存储单元 101 的存储数据和真实数据不同，测试结果为与唯一的第一存储单元 101 连接的位线 103 和字线 105 漏电。

本实施例提供的存储器的检测方法，向每条位线 103 连接的第一存储单元 101 与其对应的互补位线 104 连接的第二存储单元 102 内写入的存储数据相同，在进行读取时，当选通的位线 103 和对应的互补位线 104 都不漏电时，选通的字线 105 与位线 103 和互补位线 104 中的一者连接，读出的结果为与选通的字线 105 不连接的一者为逻辑高电平；这样当读出的第一存储单元 101 的逻辑电平和预设结果不符时，影响因素为一位线 103 与选通的字线 105 短接漏电流或者对应的互补位线 104 与某一未选通的字线 105 短接漏电流，当读出的第二存储单元 102 的逻辑电平和预设结果不符时，影响因素为一互补位线 104 与选通的字线 105 短接漏电流或者对应的位线 103 与某一未选通的字线 105 短接漏电流，依次选通所有字线 105，结合与一位线 103 和

对应的互补位线 104 连接的所有的第一存储单元 101 和第二存储单元 102 的测试结果，则可确定漏电流的确切位置；采用如此方法依次选通所有字线 105，利用当位线 103 和对应的互补位线 104 逻辑电平相同时选通的字线 105 和哪一者不连接哪一者就是逻辑高电平的特性，不用在第一存储单元 101 和第二存储单元 102 分别写入两种逻辑电平进行测试结果对比，即可根据一次测试结果无遗漏的得到漏电流的位线 103 或互补位线 104 的准确位置，提高了存储器检测方法的检测效率。

本公开另一实施例提供一种与上述实施例存储器的检测方法对应的存储器的检测装置。以下将结合附图对本实施例的存储器的检测装置进行详细的说明。

参考图 1，存储器 100，存储器 100 包括多个第一存储单元 101、多个第二存储单元 102、多条相互分立的位线 103、多条相互分立的互补位线 104 以及多条相互分立的字线 105，每一互补位线 104 与一位线 103 对应，第一存储单元 101 与相应的一位线 103 以及一字线 105 连接，且第二存储单元 102 与相应的一互补位线 104 以及一字线 105 连接；存储器 100 还包括多个感测放大器 106，每一感测放大器 106 与一位线 103 以及一互补位线 104 电耦合。

图 8 为本公开再一实施例中存储器的检测装置的模块示意图。

参考图 1 和图 8，写入装置 110，用于向第一存储单元 101 和第二存储单元 102 写入存储数据；读取装置 140，读取装置 140 用于依次选通所有字线 105 进行读取，以通过位线 103、互补位线 104 以及感测放大器 106 读取每一第一存储单元 101 和第二存储单元 102 内的真实数据；指令装置 120，用于控制写入装置 110 向每条位线 103 连接的第一存储单元 101 与其对应的互补位线 104 连接的第二存储单元 102 内写入的存储数据相同；报错装置 150，报错装置 150 基于真实数据与存储数据的差异，获取测试结果，并基于每一第一存储单元 101 和第二存储单元 102 对应的测试结果，获取位线 103 或互补位线 104 与字线 105 的漏电位置。

本实施例中，报错装置 150 包括判断装置 151，判断装置 151 用于根据测试结果判断位线 103 或互补位线 104 与字线 105 的漏电位置。报错装置 150 还包括响应装置 152，用于根据判断装置 151 的判断结果做出响应。

本实施例中，存储器的检测装置还包括：预充电装置，预充电装置用于对位线 103 和对应的互补位线 104 进行预充电，使得在选通一字线 105 之后，位线 103 预充电后的电平与对应的互补位线 104 预充电后的电平相同。

存储器的检测装置还包括：自动刷新装置，用于定时对第一存储单元 101 和第二存储单元 102 进行自动刷新操作。

本实施例中，还包括：指令译码器 130，用于根据指令装置 120 发出的指令调整写入装置 110 向第一存储单元 101 和第二存储单元 102 写入的存储数据的类型。

本实施例提供的存储器的检测装置，向每条位线 103 连接的第一存储单元 101 与其对应的互补位线 104 连接的第二存储单元 102 内写入的存储数据相同；这样当读出的第一存储单元 101 的逻辑电平和预设结果不符时，影响因素为一位线 103 与选通的字线 105 短接漏电流或者对应的互补位线 104 与某一未选通的字线 105 短接漏电流，当读出的第二存储单元 102 的逻辑电平和预设结果不符时，影响因素为一互补位线 104 与选通的字线 105 短接漏电流或者对应的位线 103 与某一未选通的字线 105 短接漏电流，依次选通所有字线 105，结合与一位线 103 和对应的互补位线 104 连接的所有的第一存储单元 101 和第二存储单元 102 的测试结果，则可确定漏电流的确切位置；采用如此方法依次选通所有字线 105，利用当位线 103 和对应的互补位线 104 逻辑电平相同时选通的字线 105 和哪一者不连接哪一者就是逻辑高电平的特性，不用在第一存储单元 101 和第二存储单元 102 分别写入两种逻辑电平进行测试结果对比，即可根据一次测试结果无遗漏的得到漏电流的位线 103 或互补位线 104 的准确位置，提高了存储器检测方法的检测效率。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。

在本说明书的描述中，参考术语“实施例”、“示例性的实施例”、“一些实施方式”、“示意性实施方式”、“示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。

在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何一个或多个实施方式或示例中以合适的方式结合。

在本公开的描述中，需要说明的是，术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

可以理解的是，本公开所使用的术语“第一”、“第二”等可在本公开中用于描述各种结构，但这些结构不受这些术语的限制。这些术语仅用于将第一个结构与另一个结构区分。

在一个或多个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的多个部分没有按比例绘制。此外，可能未示出某些公知的部分。为了简明起见，可以在一幅图中描述经过数个步骤后获得的结构。在下文中描述了本公开的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本公开。但正如本领域技术人员能够理解的那样，可以不按照这些特定的细节来实现本公开。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

工业实用性

本公开实施例所公开的存储器的检测方法和检测装置，通过向每条位线连接的第一存储单元与其对应的互补位线连接的第二存储单元内写入的存储数据相同，在进行读取时，当选通的位线和对应的互补位线都不漏电时，选通的字线与位线和互补位线中的一者连接，读出的结果为与选通的字线不连

接的一者为逻辑高电平；这样当读出的第一存储单元的逻辑电平和预设结果不符时，影响因素为一位线与选通的字线短接漏电流或者对应的互补位线与某一未选通的字线短接漏电流，当读出的第二存储单元的逻辑电平和预设结果不符时，影响因素为一互补位线与选通的字线短接漏电流或者对应的位线与某一未选通的字线短接漏电流，依次选通所有字线，结合与一位线和对应的互补位线连接的所有的第一存储单元和第二存储单元的测试结果，则可确定漏电流的确切位置；采用如此方法依次选通所有字线，利用当位线和对应的互补位线逻辑电平相同时选通的字线和哪一者连接哪一者就是逻辑低电平的特性，不用在第一存储单元和第二存储单元分别写入两种逻辑电平进行测试结果对比，即可根据一次测试结果无遗漏的得到漏电流的位线或互补位线的准确位置，提高了存储器检测方法的检测效率。

另外，向每一第一存储单元和第二存储单元写入的存储数据都为逻辑低电平，排除了存储单元内的逻辑高电平有可能随时间降低而影响测试结果的准确性。

另外，对位线和对应的互补位线进行预充电，预充电后的位线和对应的互补位线电平相同，这样避免了其余因素对感测放大器挑选位线和对应的互补位线两者之间电平更大者的影响，保证了检测出的电位情况完全反应存储器本身的状况，有利于提高检测的准确性。

权利要求

1、一种存储器的检测方法，包括：

所述存储器包括多个第一存储单元、多个第二存储单元、多条相互分立的位线、多条相互分立的互补位线以及多条相互分立的字线，每一所述互补位线与一所述位线对应，所述第一存储单元与相应的一所述位线以及一所述字线连接，且所述第二存储单元与相应的一所述互补位线以及一所述字线连接；所述存储器还包括多个感测放大器，每一所述感测放大器与一所述位线以及一所述互补位线电耦合；

向每一所述第一存储单元和所述第二存储单元写入存储数据，其中，每条所述位线连接的所述第一存储单元与其对应的所述互补位线连接的所述第二存储单元内的所述存储数据相同；

在写入所述存储数据之后，进行读取操作，所述读取操作包括：依次选通所有所述字线进行读取，以通过所述位线、所述互补位线以及所述感测放大器读取每一所述第一存储单元和所述第二存储单元内的真实数据；

基于所述真实数据与所述存储数据的差异，获取测试结果；

基于每一所述第一存储单元和所述第二存储单元对应的所述测试结果，获取所述位线或所述互补位线与所述字线的漏电位置。

2、根据权利要求1所述的存储器的检测方法，其中，向所述第一存储单元和所述第二存储单元写入所述存储数据的方式包括：向所有所述第一存储单元和所述第二存储单元写入相同的所述存储数据。

3、根据权利要求2所述的存储器的检测方法，其中，向每一所述第一存储单元和所述第二存储单元写入的所述存储数据都为逻辑低电平。

4、根据权利要求1所述的存储器的检测方法，其中，向所述第一存储单元写入所述存储数据的方式还包括：向与相邻的所述位线连接的若干所述第一存储单元写入不同的所述存储数据。

5、根据权利要求1所述的存储器的检测方法，其中，向所述第二存储单元写入所述存储数据的方式还包括：向与相邻的所述互补位线连接的若干所

述第二存储单元写入不同的所述存储数据。

6、根据权利要求1所述的存储器的检测方法，其中，在选通一所述字线之后，还包括：对所述位线和对应的所述互补位线进行预充电，所述预充电后的所述位线和对应的所述互补位线电平相同。

7、根据权利要求1所述的存储器的检测方法，其中，在进行所述读取操作之前，还包括：对所有所述第一存储单元和所述第二存储单元进行自动刷新操作。

8、根据权利要求1所述的存储器的检测方法，其中，在向每一所述第一存储单元和所述第二存储单元写入所述存储数据之前，还包括：对所述第一存储单元和所述第二存储单元进行初始化操作，以激活所述第一存储单元和所述第二存储单元。

9、根据权利要求1所述的存储器的检测方法，其中，所述基于每一所述第一存储单元和所述第二存储单元对应的所述测试结果，获取所述位线或所述互补位线与所述字线的漏电位置的步骤中，包括：

与同一所述位线连接的所有所述第一存储单元的所述存储数据和所述真实数据不同，且与对应的所述互补位线连接的所述第二存储单元中有一唯一所述第二存储单元的所述存储数据和所述真实数据不同，所述测试结果为与所述唯一的所述第二存储单元连接的所述互补位线和所述字线漏电。

10、根据权利要求1所述的存储器的检测方法，其中，所述基于每一所述第一存储单元和所述第二存储单元对应的所述测试结果，获取所述位线或所述互补位线与所述字线的漏电位置的步骤中，包括：

与同一所述互补位线连接的所有所述第二存储单元的所述存储数据和所述真实数据不同，且与对应的所述位线连接的所述第一存储单元中有一唯一所述第一存储单元的所述存储数据和所述真实数据不同，所述测试结果为与所述唯一的所述第一存储单元连接的所述位线和所述字线漏电。

11、一种存储器的检测装置，包括：存储器，所述存储器包括多个第一存储单元、多个第二存储单元、多条相互分立的位线、多条相互分立的互补位线以及多条相互分立的字线，每一所述互补位线与一所述位线对应，所述第一存储单元与相应的一所述位线以及一所述字线连接，且所述第二存储单

元与相应的一所述互补位线以及一所述字线连接；

所述存储器还包括多个感测放大器，每一所述感测放大器与一所述位线以及一所述互补位线电耦合；

写入装置，用于向所述第一存储单元和所述第二存储单元写入存储数据；

读取装置，所述读取装置用于依次选通所有所述字线进行读取，以通过所述位线、所述互补位线以及所述感测放大器读取每一所述第一存储单元和所述第二存储单元内的真实数据；

指令装置，用于控制所述写入装置向每条所述位线连接的所述第一存储单元与其对应的所述互补位线连接的所述第二存储单元内写入的所述存储数据相同；

报错装置，所述报错装置基于所述真实数据与所述存储数据的差异，获取测试结果，并基于每一所述第一存储单元和所述第二存储单元对应的所述测试结果，获取所述位线或所述互补位线与所述字线的漏电位置。

12、根据权利要求11所述的存储器的检测装置，其中，所述存储器的检测装置还包括：指令译码器，用于根据所述指令装置发出的指令调整所述写入装置向所述第一存储单元和所述第二存储单元写入的所述存储数据的类型。

13、根据权利要求11所述的存储器的检测装置，其中，所述存储器的检测装置还包括：预充电装置，所述预充电装置用于对所述位线和对应的所述互补位线进行预充电，使得在选通一所述字线之后，所述位线预充电后的电平与对应的所述互补位线预充电后的电平相同。

14、根据权利要求11所述的存储器的检测装置，其中，所述存储器的检测装置还包括：自动刷新装置，用于定时对所述第一存储单元和所述第二存储单元进行自动刷新操作。

15、根据权利要求11所述的存储器的检测装置，其中，所述存储器的检测装置还包括：所述报错装置还包括判断装置，所述判断装置用于根据所述测试结果判断所述位线或所述互补位线与所述字线的漏电位置。

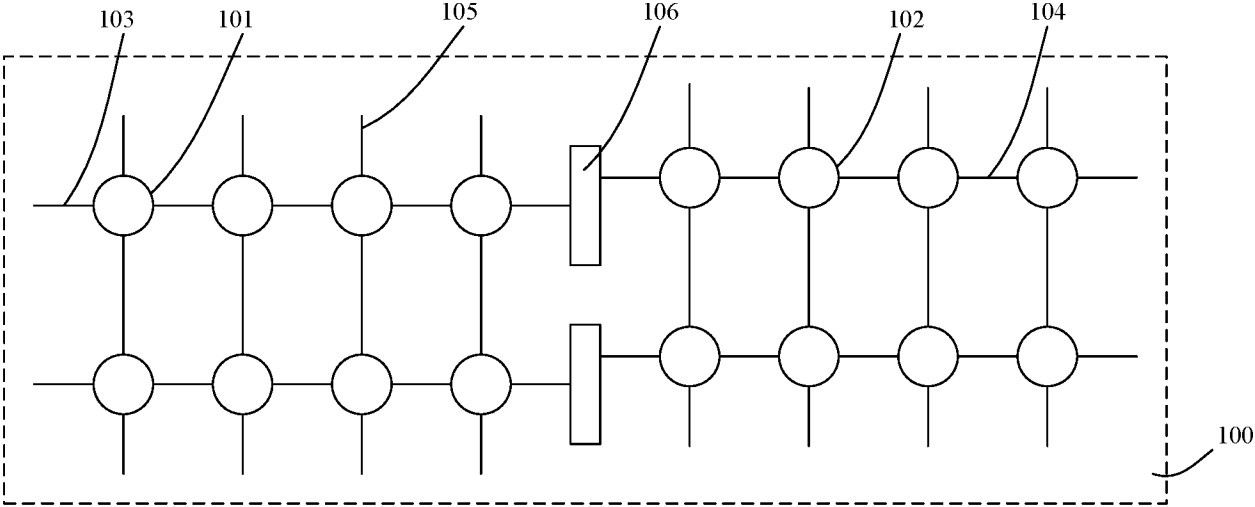


图 1

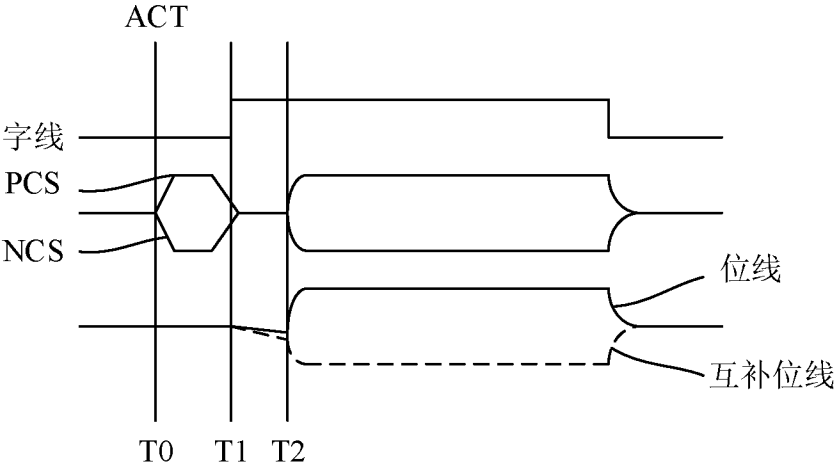


图 2

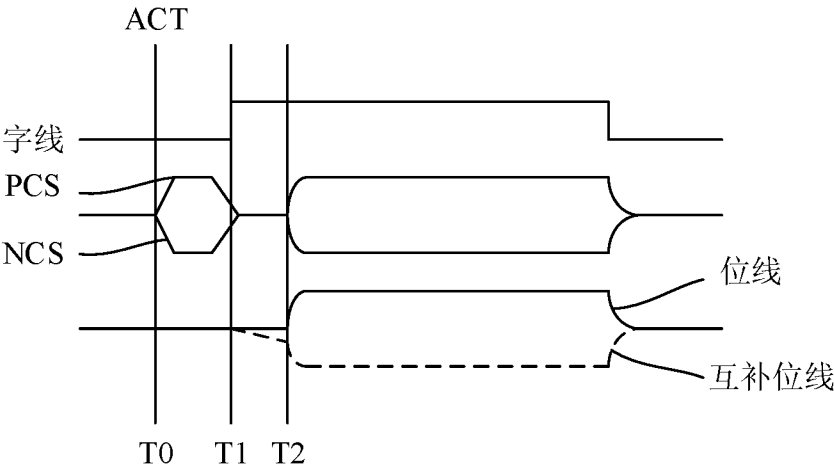


图 3

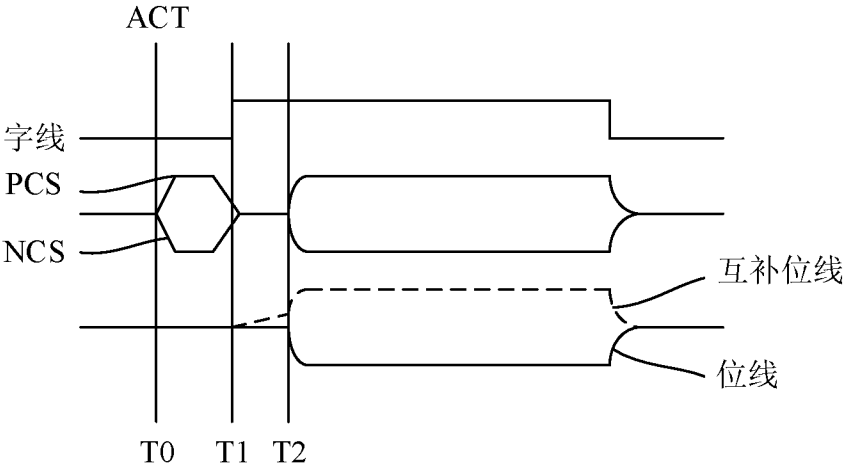


图 4

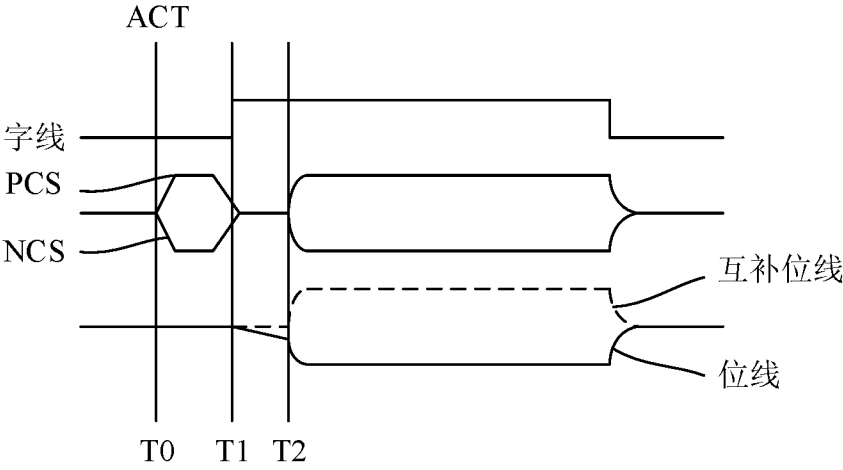


图 5

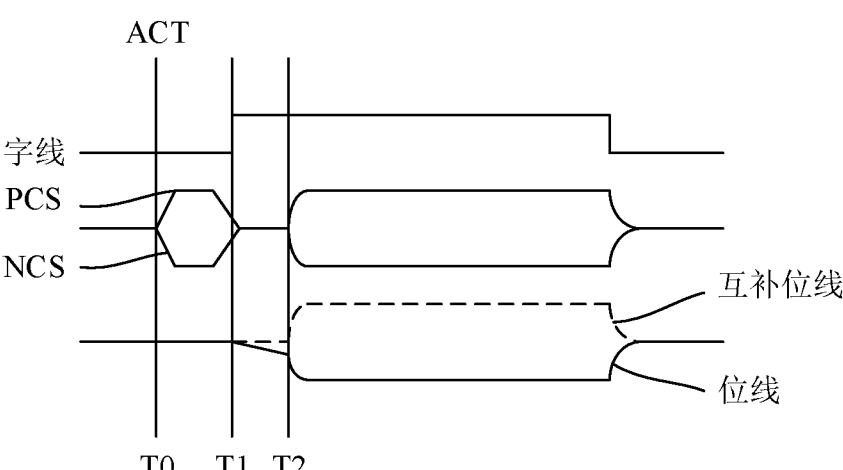


图 6

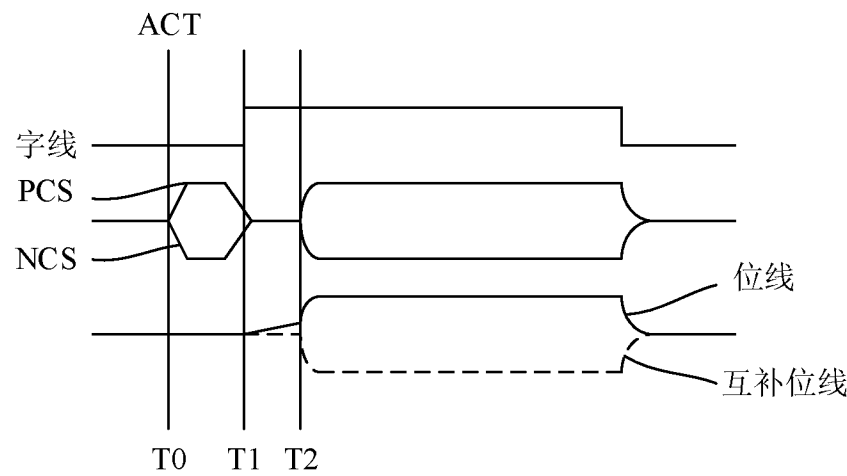


图 7

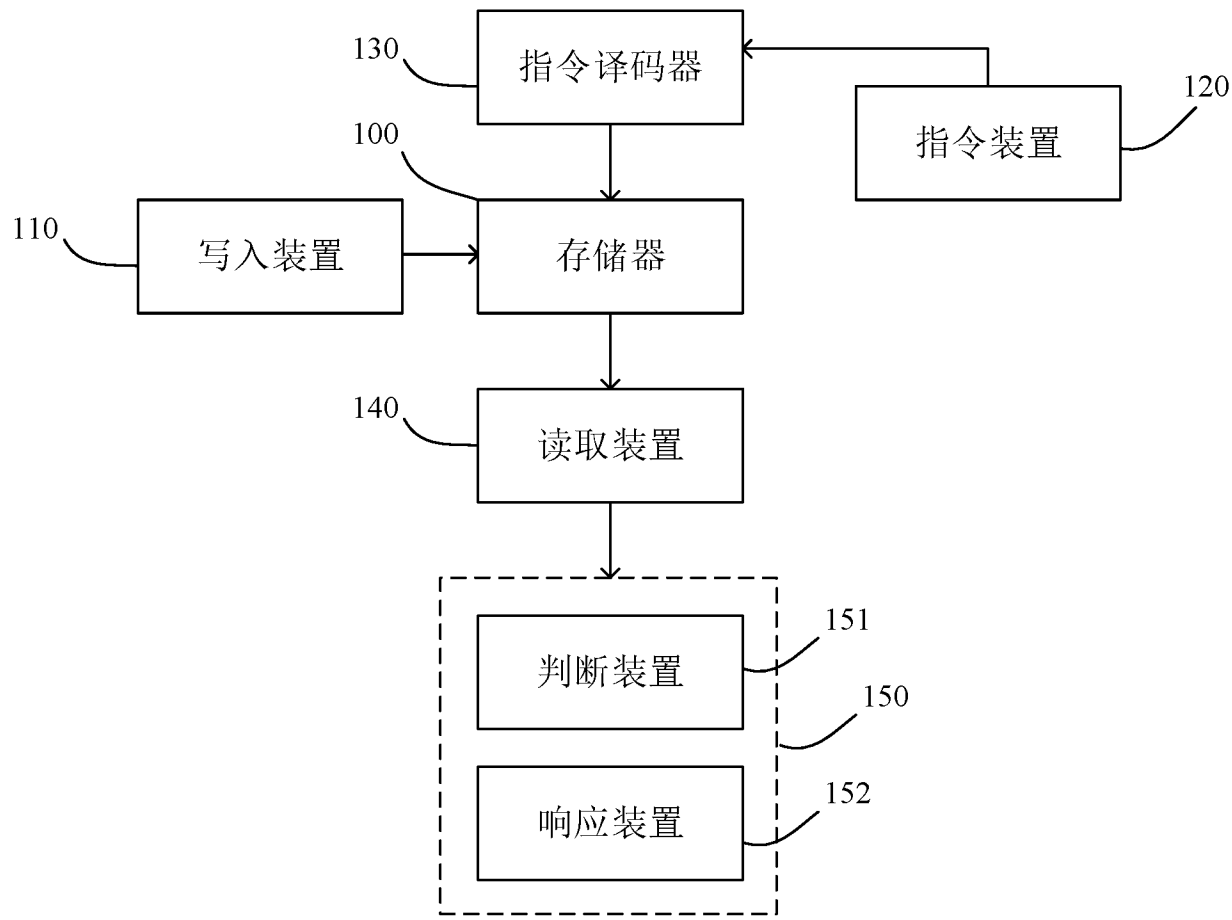


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/116960

A. CLASSIFICATION OF SUBJECT MATTER

G11C 29/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: test+, memory, differential+, complement+, short+, circuit, leak+, position+, bit, word, line, 测试, 检验, 检测, 差分, 互补, 短路, 漏电, 泄露, 定位, 位置, 位线, 位元线, 字线, 字符线

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113012745 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 22 June 2021 (2021-06-22) description, paragraphs [0036]-[0073], and figures 1-6	1-15
A	CN 111161785 A (SPREADTRUM COMMUNICATIONS (SHANGHAI) CO., LTD.) 15 May 2020 (2020-05-15) entire document	1-15
A	US 2005162915 A1 (PORTER, S. R.) 28 July 2005 (2005-07-28) entire document	1-15
A	US 2008019199 A1 (UCHIKOBA, T. et al.) 24 January 2008 (2008-01-24) entire document	1-15
A	JP 2010040664 A (FUJITSU MICROELECTRONICS LTD.) 18 February 2010 (2010-02-18) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 March 2022

Date of mailing of the international search report

13 April 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/116960

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113012745	A	22 June 2021	None			
CN	111161785	A	15 May 2020	WO	2021135427	A1	08 July 2021
US	2005162915	A1	28 July 2005	US	2006083090	A1	20 April 2006
				US	7426148	B2	16 September 2008
				US	6992939	B2	31 January 2006
US	2008019199	A1	24 January 2008	JP	2008027544	A	07 February 2008
				US	7471579	B2	30 December 2008
JP	2010040664	A	18 February 2010	JP	5369533	B2	18 December 2013

国际检索报告

国际申请号

PCT/CN2021/116960

A. 主题的分类

G11C 29/04 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

WPI, EPDOC, CNPAT, CNKI: test+, memory, differential+, complement+, short+, circuit, leak+, position+, bit, word, line, 测试, 检验, 检测, 差分, 互补, 短路, 漏电, 泄露, 定位, 位置, 位线, 位元线, 字线, 字符线

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 113012745 A (长鑫存储技术有限公司) 2021年6月22日 (2021 - 06 - 22) 说明书第[0036]-[0073]段、附图1-6	1-15
A	CN 111161785 A (展讯通信上海有限公司) 2020年5月15日 (2020 - 05 - 15) 全文	1-15
A	US 2005162915 A1 (PORTER, Stephen R.) 2005年7月28日 (2005 - 07 - 28) 全文	1-15
A	US 2008019199 A1 (UCHIKOBA, Toshitaka 等) 2008年1月24日 (2008 - 01 - 24) 全文	1-15
A	JP 2010040664 A (FUJITSU MICROELECTRONICS LTD.) 2010年2月18日 (2010 - 02 - 18) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年3月14日

国际检索报告邮寄日期

2022年4月13日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

李元

电话号码 86-(10)-53961205

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/116960

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113012745	A	2021年6月22日	无			
CN	111161785	A	2020年5月15日	W0	2021135427	A1	2021年7月8日
US	2005162915	A1	2005年7月28日	US	2006083090	A1	2006年4月20日
				US	7426148	B2	2008年9月16日
				US	6992939	B2	2006年1月31日
US	2008019199	A1	2008年1月24日	JP	2008027544	A	2008年2月7日
				US	7471579	B2	2008年12月30日
JP	2010040664	A	2010年2月18日	JP	5369533	B2	2013年12月18日