



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I631602 B

(45)公告日：中華民國 107 (2018) 年 08 月 01 日

(21)申請案號：103127588

(22)申請日：中華民國 103 (2014) 年 08 月 12 日

(51)Int. Cl. : H01L21/205 (2006.01)

H01L27/092 (2006.01)

(30)優先權：2013/09/27 美國

14/040,196

(71)申請人：荷蘭商 A S M智慧財產控股公司 (荷蘭) ASM IP HOLDING B. V. (NL)
荷蘭(72)發明人：謝 琦 XIE, QI (BE)；馬卡屋特史丹 弗拉迪彌爾 MACHKAOUTSAN, VLADIMIR
(BE)；馬耶斯 珍 威廉 MAES, JAN WILLEM (NL)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 7101763B1

US 2005/0277271A1

US 2008/0283962A1

US 2013/0037886A1

US 2014/0252479A1

審查人員：邱迺軒

申請專利範圍項數：20 項 圖式數：13 共 33 頁

(54)名稱

半導體結構和裝置和使用選擇性磊晶製程以形成其的方法

SEMICONDUCTOR STRUCTURE AND DEVICE AND METHODS OF FORMING SAME USING
SELECTIVE EPITAXIAL PROCESS

(57)摘要

茲揭示半導體結構和裝置以及形成該等結構和裝置的方法。示範性結構包含可含有 n 通道 MOS (NMOS)及 p 通道 MOS(PMOS)裝置兩者的多閘極或 FinFET 結構，藉以在一基板上形成 CMOS 結構和裝置。該等裝置可為利用選擇性磊晶術及淺型溝槽隔離技術所形成。

Semiconductor structures, devices, and methods of forming the structures and devices are disclosed. Exemplary structures include multi-gate or FinFET structures that can include both n-channel MOS (NMOS) and p-channel MOS (PMOS) devices to form CMOS structures and devices on a substrate. The devices can be formed using selective epitaxy and shallow trench isolation techniques.

指定代表圖：

- 符號簡單說明：
- 1300 . . . CMOS 裝置
 - 1302 . . . NMOS 範圍
 - 1304 . . . PMOS 範圍
 - 1306 . . . 翼片
 - 1308 . . . 翼片
 - 1310 . . . 介電層
 - 1312 . . . 閘極金屬層
 - 1314 . . . 閘極金屬層
 - 1316 . . . 接觸金屬層
 - 1318 . . . 額外特性

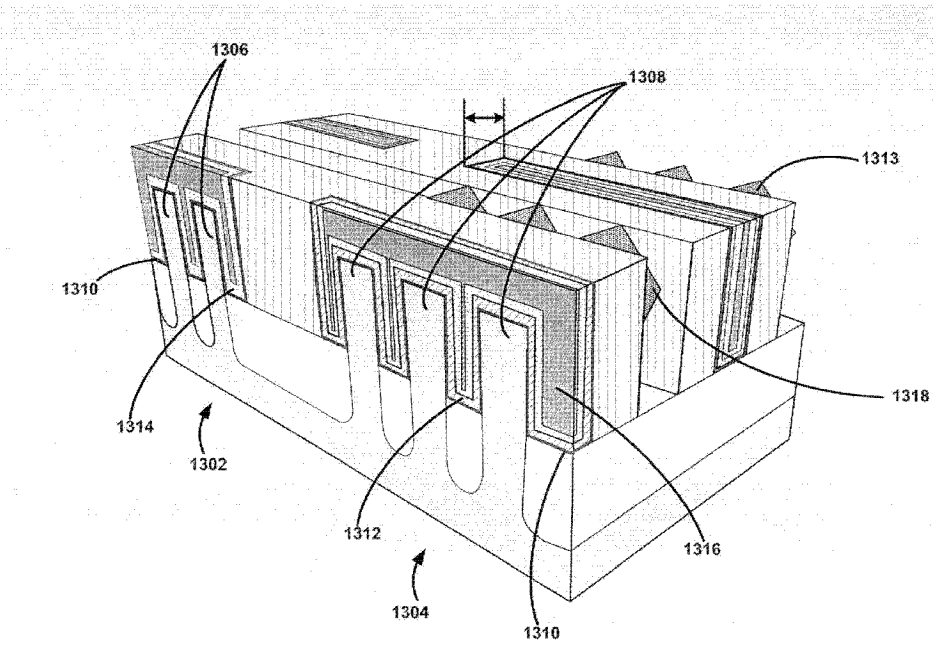


圖13

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體結構和裝置和使用選擇性磊晶製程以形成其的方法

SEMICONDUCTOR STRUCTURE AND DEVICE AND METHODS OF
FORMING SAME USING SELECTIVE EPITAXIAL PROCESS

【技術領域】

【0001】 本揭示概略關於半導體結構及裝置。尤其，本揭示是關於利用選擇性磊晶沉積製程所形成而含有一或更多疊層的半導體結構和裝置。

【先前技術】

【0002】 多閘極半導體裝置，包含且有時概稱為 FinFET 裝置，近來吸引更多關注，原因是這些裝置相較於類似、單一的閘極/平面裝置可提供每單位電力更高的效能。藉由傳統的金屬氧化物半導體(MOS)裝置，隨著裝置幾何性持續縮小以致力於提昇裝置效能，像是關閉狀態洩漏電流的微短通道效應就會增加。而此洩漏又會導致該裝置的閑置電力要求升高。

【0003】 FinFET 裝置包含可降減洩漏電流的閘極結構。所減少的洩漏電流不僅可降低當該裝置在關閉狀態下時的耗電量，同時亦能降低該裝置的門檻值電壓，如此獲以提高切換速度並減少操作耗電量。

【0004】 FinFET 裝置可能希望是能夠在該裝置的通道範圍裡含有銻。將銻納入在通道範圍內可提高電荷載體的遷移率，而如此又可獲以增加裝置效能。然不幸地，欲將銻納入在通道範圍內對於整合至互補式 MOS (CMOS)裝置裡而言已獲證確為困難重重。各種用以形成 CMOS FinFET 裝置的方式包含利用縱橫比捕捉(aspect ratio trapping)以降低沿該裝置之淺型溝槽

隔離結構上的瑕疵數量。不過，此等製程通常需要將磊晶材料填入狹窄溝槽(即如寬度小於 10nm)內，然這確有其難處。此外，在該等裝置內的緩衝凹入控制可能較不理想，從而導致通道高度均勻度不如預期。因此，會需要可供相對易於製造並且擁有相當均勻通道高度之經改善結構、裝置以及形成該等結構、裝置的方法。

【發明內容】

【0005】 本揭示的各種具體實施例是有關於半導體結構和裝置，並且關於構成該等結構和裝置的方法。尤其，本揭示是關於一種多閘極或 FinFET 結構和裝置以及形成其等的方法。在後文詳細說明中雖為針對於先前技藝方法的缺點以敘述本揭示的各式具體實施例，然廣義而言，本揭示提供可納入 n 通道 MOS (NMOS)及 p 通道 MOS (PMOS)兩者裝置的 FinFET 結構和裝置以供形成 CMOS 結構和裝置。

【0006】 根據本揭示的示範性具體實施例，一種用以形成一半導體結構的方法包含下列步驟：提供一含有矽的基板；形成一含有 $\text{Si}_{1-x}\text{Ge}_x$ 的緩衝層，其中 x 的範圍為自 0 至約 0.8 或自 0 至約 0.5，並且疊覆於該基板上；利用一第一選擇性磊晶製程以形成含有矽的第一特徵(即如 $\text{Si}_{1-z}\text{Ge}_z$ ，其中 z 的範圍為自 0 至約 0.7 (像是對於 NMOS 裝置))且在一表面上疊覆於該緩衝層上；以及利用一第二選擇性磊晶製程以在該表面上形成含有 $\text{Si}_{1-y}\text{Ge}_y$ 的第二特徵，其中 y 的範圍為自約 0.1 至 1 (像是對於 PMOS 裝置)。即如後文所詳述，根據這些具體實施例所形成的結構適用於在一基板上形成 CMOS FinFET 裝置和結構。根據這些具體實施例的各種特點，在疊覆於緩衝層內的一 p 井區範圍上形成第一特徵或範圍，並且在疊覆於緩衝層內的一 n 井

區範圍上形成第二特徵或範圍。根據這些具體實施例的進一步特點，該等第一特徵是藉由以下步驟所形成：沉積一硬遮罩；圖案化該硬遮罩；利用適當的蝕刻劑以蝕刻該硬遮罩，藉以在該硬遮罩內形成開口；以及利用選擇性磊晶技術以形成該特徵。在形成該等第一特徵之後，可利用適當的蝕刻劑以移除該硬遮罩。該等第二特徵可為利用相同或類似的技術所形成。根據這些具體實施例的進一步特點，該硬遮罩是由氧化矽或氮化矽材料所形成。根據又進一步特點，一形成對於該等第二特徵之硬遮罩的步驟包含形成在至少一側上伸出於該等第一特徵的硬遮罩，使得能夠在該等第一特徵與該等第二特徵之間形成一間隔(即如在該構成一裝置的局部之結構裡的第一與第二特徵間形成一可自約 2nm 至 50nm 或是約 10nm 之範圍的空間)。示範性方法亦可包含利用該緩衝層以及該等第一特徵與第二特徵來形成多個翼片或凸出物。在這些情況下，一方法可另外包含下列步驟，即蝕刻該等第一特徵和該等第二特徵，藉以形成一或更多由矽所組成的翼片，以及一或更多含有 $\text{Si}_{1-y}\text{Ge}_y$ ，其中 y 的範圍是自約 0.1 至 1 (即如對於 PMOS 裝置)，或者是 $\text{Si}_{1-z}\text{Ge}_z$ ，其中 z 的範圍是自 0 至約 0.7 (即如對於 NMOS 裝置)，的翼片；在低於約 400°C 的溫度處沉積絕緣材料；以及移除該絕緣材料的一局部。根據這些具體實施例的各種特點，該絕緣材料為氧化矽，並且用以沉積該絕緣材料的先質包含 $\text{H}_2\text{Si}[\text{N}(\text{C}_2\text{H}_5)_2]_2$ 和 O_2 電漿。

【0007】 根據本揭示的其他具體實施例，一半導體結構包含：一含有矽的基板；一含有 $\text{Si}_{1-x}\text{Ge}_x$ 的緩衝層，其中 x 的範圍為自 0 至約 0.8 或自 0 至約 0.5，並且疊覆於該基板上；一形成於該緩衝層之內的 p 井區範圍；一形成於該緩衝層之內的 n 井區範圍；一或更多翼片結構，該等是利用該 p 井

區範圍和一含有矽(即如 $\text{Si}_{1-z}\text{Ge}_z$ ，其中 z 的範圍是自 0 至約 0.7)的疊層所形成；一或更多翼片結構，該等是利用該 n 井區範圍和一含有 $\text{Si}_{1-y}\text{Ge}_y$ 的疊層所形成，其中 y 的範圍為自約 0.1 至 1；以及一絕緣層，此者為疊覆於該緩衝層之一局部上所形成。本揭示所述結構可為利用前述方法所形成。例如，該等絕緣層的一或更多者可為在低於約 400°C 的溫度處所形成，例如像是利用 $\text{H}_2\text{Si}[\text{N}(\text{C}_2\text{H}_5)_2]_2$ 和 O_2 電漿。

【0008】 根據本揭示的其他具體實施例，一半導體結構可包含：一含有矽的基板；一含有 $\text{Si}_{1-x}\text{Ge}_x$ 的緩衝層，其中 x 的範圍為自 0 至約 0.8 或自 0 至約 0.5，並且疊覆於該基板上；一第一特徵，此者含有矽(即如 $\text{Si}_{1-z}\text{Ge}_z$ ，其中 z 的範圍是自 0 至約 0.7)並且疊覆於該緩衝層上；一第二特徵，此者含有 $\text{Si}_{1-y}\text{Ge}_y$ ，其中 y 的範圍是自 0.1 至 1，並疊覆於該緩衝層上且位於與該第一特徵相同的表面上。根據這些具體實施例的示範性特點，一即如約 2-50 或者約 10 或是小於 50nm 的長度可分隔該第一特徵及該第二特徵。這些結構可為利用本揭示的方法所形成。

【0009】 根據本揭示的其他示範性具體實施例，一 CMOS 裝置包含一含有矽的基板；一含有 $\text{Si}_{1-x}\text{Ge}_x$ 的緩衝層，其中 x 的範圍為自 0 至約 0.8 或自 0 至約 0.5，並且疊覆於該基板上；一形成於該緩衝層之內的 p 井區範圍；一形成於該緩衝層之內的 n 井區範圍；一或更多翼片結構，其是利用該 p 井區範圍和一含有矽(即如 $\text{Si}_{1-z}\text{Ge}_z$ ，其中 z 的範圍是自 0 至約 0.7)的疊層所形成；一或更多翼片結構，其是利用該 n 井區範圍和一含有 $\text{Si}_{1-y}\text{Ge}_y$ 的疊層所形成，其中 y 的範圍為自約 0.1 至 1；以及一絕緣層，此者為疊覆於該緩衝層之一局部上所形成。

【0010】 為形成一 CMOS 裝置的示範性方法包含一種形成如本文所述之半導體結構的方法。為形成 CMOS 裝置的方法可適當地包含常見用以形成此等裝置的額外沉積、蝕刻與其他製程。

【圖式簡單說明】

【0011】 可藉由參照本案詳細說明與申請專利範圍，並關聯於後載隨附圖式，以更完整地瞭解本揭示的示範性具體實施例。

圖 1 說明一根據本揭示之示範性具體實施例的基板。

圖 2 說明根據本揭示之進一步示範性具體實施例之一含有疊覆於基板上之緩衝層的結構。

圖 3 說明根據本揭示之示範性具體實施例之一含有經形成於緩衝層內之 p 井區範圍和 n 井區範圍的結構。

圖 4 說明根據本揭示之示範性具體實施例之一含有疊覆於緩衝層上之圖案化硬遮罩的結構。

圖 5 說明根據本揭示之其他示範性具體實施例之一含有經形成於硬遮罩的開口內並且位於緩衝層的表面上之第一特徵的結構。

圖 6 說明根據本揭示之其他示範性具體實施例之一具有位於緩衝層的表面上之第一特徵的結構，而用以形成該第一特徵的硬遮罩則經移除。

圖 7 說明根據本揭示之進一步示範性具體實施例之一含有疊覆於且伸出於第一特徵之硬遮罩的結構。

圖 8 說明根據本揭示之其他示範性具體實施例之一含有經形成於硬遮罩的開口內並且位於緩衝層的表面上之第二特徵的結構。

圖 9 說明根據本發明之各式具體實施例之一含有疊覆於緩衝層上之第

一特徵及第二特徵的結構。

圖 10 說明根據本發明之各式具體實施例之一含有藉由蝕刻第一特徵、第二特徵與緩衝層的多個局部所形成之翼片的結構。

圖 11 說明根據本發明之各式具體實施例之一含有經沉積於緩衝層和鄰近翼片的局部上之絕緣材料的結構。

圖 12 說明一含有根據本發明各式具體實施例之翼片的結構。

圖 13 說明，根據本發明之各式具體實施例，一具有包含翼片之結構的 CMOS 裝置。

將能瞭解該等圖式內的構件係為簡要與清晰之目的所敘述，而且並非必然地依比例繪製。例如，該等圖式中部分構件的維度可為相對於其他構件而誇張，藉以有助於更加瞭解本揭示所敘述的具體實施例。

【實施方式】

【0012】 後文中所提供對於本揭示方法、結構及裝置之示範性具體實施例的說明僅屬示範性質且僅為敘述之目的；後文說明並非欲以侷限本揭示或申請專利範圍的範疇。此外，引述多項具備所述特性的具體實施例並非欲以排除其他擁有額外特性的具體實施例或是其他併入該等所述特性之不同組合的具體實施例。

【0013】 本揭示概略關於半導體裝置和結構以及形成該等裝置和結構的方法。即如後文中進一步詳細說明，該結構可用以形成含有在通道範圍中具有銻之多個閘極的裝置，像是 FinFET 裝置。

【0014】 圖 12 說明一根據本揭示之示範性具體實施例的結構 1200，並且圖 1 至 11 說明在該結構 1200 之製造過程中所形成的結構。該結構 1200

適用於形成 CMOS 裝置，即如後文中進一步詳細討論。該結構 1200 含有：
一 NMOS 範圍 1202，此範圍含有多個 NMOS 翼片 1204；以及一 PMOS 範圍 1206，此範圍則含有多個 PMOS 翼片 1208。該結構 1200 優於其他的 CMOS 結構，理由是該結構 1200 含有 NMOS 範圍 1202 及 PMOS 範圍 1206 兩者，而各者含有用於一多重閘極裝置的多個翼片，其中該結構 1200 亦包含包括銻的高遷移率通道。

【0015】 現參照圖 1，一種形成例如結構 1200 之結構的方法，其包含提供一基板 100 的步驟。即如在本揭中所使用者，「基板」是指任何具有一表面而可於其上沉積材料的材料。基板可含有體型材料(bulk material)，像是矽(即如單晶矽)，或者是包含經疊覆於該體型材料之上的一或更多疊層。除此之外，該基板可含有例如溝槽、通道、線路等等的各式拓撲，而構成於該基板之疊層裡的至少一局部之內或之上。藉由範例，該基板 100 包含經摻質有約 $1 \times 10^{19}/\text{cm}^3$ 硼原子的矽晶圓。

【0016】 圖 2 說明一結構 200，此者含有該基板 100 以及一經應力鬆弛的 $\text{Si}_{1-x}\text{Ge}_x$ ，其中 x 的範圍為自 0 至約 0.8 或 0 至約 0.5，該疊層 202 疊覆於該基板 100 上。在所示範例中，該疊層 202 為鄰接於該基板 100；不過，根據本揭示的其他結構，確可包含一或更多疊層安插在該基板 100 與該疊層 202 之間。該疊層 202 的厚度範圍可為自約 100nm 至約 $5 \mu\text{m}$ ，約 300nm 至約 $2 \mu\text{m}$ ，或是約為 $2 \mu\text{m}$ 。緩衝層 202 可經摻質以適當的摻質物，像是約 $5 \times 10^{15}/\text{cm}^3$ 的硼原子。

【0017】 疊層 202 可為藉由磊晶成長該經應力鬆弛的 $\text{Si}_{1-x}\text{Ge}_x$ 且疊覆於該基板 100 之上所形成。藉由範例，該疊層 202 可為利用二氯矽烷

(SiH_2Cl_2)、銻烷(GeH_4)及氫氣(H_2)作為先質或反應劑，並在約 700°C 或更高的溫度處且以約 10 Torr 的壓力，所形成。另一種形成該疊層 202 的示範性方法包含利用矽烷(SiH_4)、銻烷及氫氣作為反應劑，並在約 600°C 或更高的溫度處且在約 10 Torr 的壓力處進行。用於形成該疊層 202 的適當反應器可自 ASM 依產品名稱 Intrepid™ XP 或 Epsilon® 獲用。

【0018】 圖 3 說明一結構 300，此結構含有一經形成於該疊層 202 之內的 p 井區範圍 302 及 n 井區範圍 304。可利用任何適當技術來形成 p 井區範圍 302 和 n 井區範圍 304，像是利用圖案化和遮罩技術以及硼離子植入作業(即如約 $5 \times 10^{17}/\text{cm}^3$ 的硼質)以形成 p 井區範圍 302，並且同樣地利用圖案化和遮罩技術以及砷或磷離子植入作業(即如約 $5 \times 10^{17}/\text{cm}^3$ 的砷質或磷質)以形成 n 井區範圍。該等 p 井區及 n 井區的形成製程中可包含退火製程，即如為形成此等範圍所常用者。

【0019】 現參照圖 4，在形成 p 井區範圍 302 及 n 井區範圍 304 之後，可藉由沉積、圖案化和蝕刻一硬遮罩材料，像是即如二氧化矽(SiO_2)的氧化矽(SiO_x)，來形成一硬遮罩層 402，以形成結構 400。可例如利用電漿強化原子層沉積(即如在約 400°C 或 300°C 或是更低的溫度處利用 SAM.24 ($\text{H}_2\text{Si}[\text{N}(\text{C}_2\text{H}_5)_2]_2$)和氧氣(O_2)電漿)以沉積該硬遮罩材料。此項製程可利用例如依 Eagle® XP 品名而銷售的 ASM 反應器進行。或另者，為形成該疊層 402 的硬遮罩材料可利用矽烷或四乙基矽氧烷(TEOS)藉由化學汽相沉積所沉積而得。該疊層 402 厚度的範圍可為自約 10nm 至約 100nm。

【0020】 其次，即如圖 5 所示，一結構 500 是藉由選擇性地沉積像是磊晶矽的磊晶材料而疊覆於緩衝層 202 以形成疊層 502 所形成。該疊層 502

可為利用二氯矽烷、氯化氫(HCl)和氫氣作為反應劑，在約 700°C 至 1000°C 的反應溫度處以及約 10 Torr 的反應器壓力，選擇性地沉積在該疊層 202 上(即如在該範圍 302 上)。用於成長該疊層 502 的另一種示範性製程則包含在約 400-600°C 處利用三矽烷(Si_3H_8)基循環沉積-蝕刻製程。任一製程皆可利用例如可自 ASM 獲用且產品名稱為 Intrepid™ XP 或 Epsilon®的反應器所執行。當該疊層 502 含有鍺時，在此項步驟過程中亦可採用鍺先質。該疊層 502 的厚度可為自約 10nm 至約 50nm 而變。例如，該疊層 502 的厚度可約為 30nm。

【0021】 接著，即如圖 6 所示，移除硬遮罩層 402 以形成一結構 600。藉由範例，可利用稀釋的氫氟酸(HF)溶液以選擇性地移除該疊層 402。可藉由沉積一層像是氧化矽的硬遮罩材料而疊覆於該疊層 502 上，並且令該硬遮罩材料圖案化俾形成一疊層 702，以形成結構 700。在所示範例中，該疊層 702 在範圍 704 裡伸出於該疊層 502。此伸出 706 可供分隔經沉積在該範圍 304 上的磊晶材料，即如後文中進一步詳述。可利用與用以沉積疊層 404 相同或類似的技術來沉積該疊層 702。例如，可利用電漿強化原子層沉積(即如在約 400°C 或 300°C 或更低的溫度處利用 SAM.24 ($\text{H}_2\text{Si}[\text{N}(\text{C}_2\text{H}_5)_2]_2$)和氧氣(O_2)電漿)，以沉積該硬遮罩材料。此項製程可利用例如依 Eagle® XP 品名而銷售的 ASM 反應器進行。或另者，為形成該疊層 402 的硬遮罩材料可利用矽烷或四乙基矽氧烷(TEOS)藉由化學汽相沉積所沉積而得。該疊層 702 厚度的範圍可為自約 2nm 至約 50nm。

【0022】 然後在該範圍 304 上形成一 $\text{Si}_{1-y}\text{Ge}_y$ 的磊晶層 802，其中 y 的範圍為約 0.1 至 1，藉以形成一如圖 8 中所示的結構 800。即以範例而言，

該疊層 802 可為利用在約 350°C 至約 550°C 溫度處以及約 10 Torr 的壓力下，並且運用例如一 ASM Intrepid™ XP 或 Epsilon®反應器，於氮氣(N₂)載體氣體中利用鍍的磊晶製程所形成。該疊層 802 的厚度概略為與該疊層 502 的厚度相同，同時其範圍可為自約 10nm 至約 50nm；例如其厚度可約為 30nm。為減少可能會出現在表面處的氧質，在沉積該疊層 802 之前，可先令一結構 700 受曝於一現場氫氟酸潔淨製程。

【0023】 再藉由選擇性地移除該硬遮罩層 702 以形成如圖 9 所示的結構 900。藉由範例，當該疊層 702 含有氧化矽時，可利用稀釋氫氟酸蝕刻製程以移除該疊層 702。如前所述，當該疊層 702 含有伸出範圍時，可在該疊層 502 與該疊層 802 之間形成一空間 902。如此可在利用該結構 900 所形成之 NMOS 與 PMOS 裝置間提供適當的隔離。

【0024】 現參照圖 10，圖中形成有一結構 1000，此結構包含多個翼片 1002，這些包含來自 p 井區範圍和疊層 502 的材料，以及多個 PMOS 翼片 1004，這些包含來自 n 井區範圍 304 和疊層 802 的材料。該等翼片 1002 及 1004 可利用例如溴化氫(HBr)/氯(Cl₂)/氧/二氟甲烷(CH₂F₂)的蝕刻製程形成。

【0025】 在形成該等翼片 1002 和 1004 之後，即可利用淺型溝槽隔離(STI)技術藉由沉積絕緣材料而疊覆於該結構 1000 上以形成一疊層 1102，形成如圖 11 所示的結構 1100。即以範例而言，可藉由利用低溫(即如約 400°C 或約 300°C 或者更低)原子層沉積製程以將氧化矽沉積在該結構 1000 上來形成該結構 1100。對於此項製程的示範性反應劑包含 SAM.24 及氧氣電漿。而用以形成該疊層 1102 的製程可在一 ASM Eagle® XP 反應器中進行。

【0026】 該結構 1200 是藉由移除疊層 1102 的一局部來形成疊層 1210

以及翼片 1204 和 1208 而形成。一種用以移除疊層 1102 之一局部的示範性製程可包含反應性離子蝕刻製程，其中該緩衝層在利用該 p 井區範圍和一含有矽的疊層所形成之一或更多翼片結構以及利用該 n 井區範圍和一含有 $\text{Si}_{1-y}\text{Ge}_y$ 的疊層所形成之一或更多翼片結構之內的厚度為約 20nm 至約 200nm。

【0027】 圖 13 說明一 CMOS 裝置 1300，此者含有一例如結構 1200 的結構。該裝置 1300 包含 NMOS 範圍 1302 及 PMOS 範圍 1304。即如圖示，該 NMOS 範圍包含多個翼片 1306 並且該 PMOS 範圍包含多個翼片 1308，這些可為利用前文中關聯於圖 1-12 所敘述的材料及製程所形成。該結構 1300 另外包含一介電層 1310 以及一分別地形成於該等 PMOS 翼片及 NMOS 翼片上的閘極金屬層 1312、1314。該等疊層 1312 及 1314 可為相同或互異的閘極金屬。同樣地，圖中雖顯示為單一閘極介電層，然該疊層 1310 可為由對於該 PMOS 裝置為第一材料並且對於該 NMOS 裝置為第二材料所形成。對於該疊層 1310 的示範性介電材料包含 HfO_2 。示範性閘極金屬包含 TiN，此者可為利用 TiCl_4 及 NH_3 所沉積。然後可疊覆於該閘極金屬上形成一接觸金屬層 1316 以用於該等 NMOS 及 PMOS 裝置。示範性接觸金屬包含鎢，這可利用例如 WF_6 及 Si_2H_6 沉積而得。該結構 1300 亦可包含額外的應力器特徵，像是特徵 1318，藉以提高特別是在 PMOS 裝置中的載體遷移率，即如圖 13 中所示者。

【0028】 應瞭解本揭所述之組態及/或方式在本質上為示範性，並且該等特定具體實施例或範例並不應按限制性質所考量。本揭所述之特定副程式或方法可表示任意數量之處理策略的一或更多者。因此，各種所述動

作可為按所示序列執行、按其他序列執行、以同時方式執行，或者在某些情況下則逕予省略。

【0029】 本揭示的主題項目包含各種製程、結構及裝置，本揭其他的特性、功能、動作及/或性質，以及該等的任何與所有等同項目之所有新穎且非顯知的組合與子組合。

【符號說明】

【0030】

100	基板
200	結構
202	疊層
300	結構
302	p 井區範圍
304	n 井區範圍
400	結構
402	硬遮罩層
500	結構
502	疊層
600	結構
700	結構
702	疊層
704	範圍
706	伸出

800	結構
802	磊晶層
900	結構
902	空間
1000	結構
1002	NMOS 翼片
1004	PMOS 翼片
1100	結構
1102	疊層
1200	結構
1202	NMOS 範圍
1204	NMOS 翼片
1206	PMOS 範圍
1208	PMOS 翼片
1210	疊層
1300	CMOS 裝置
1302	NMOS 範圍
1304	PMOS 範圍
1306	翼片
1308	翼片
1310	介電層
1312	閘極金屬層

1314 閘極金屬層

1316 接觸金屬層

1318 額外特徵

I631602

發明摘要

※ 申請案號：103127588

※ 申請日：103/08/12

※IPC 分類：H01L 21/205 (2006.01)

H01L 27/092 (2006.01)

【發明名稱】(中文/英文)

半導體結構和裝置和使用選擇性磊晶製程以形成其的方法

SEMICONDUCTOR STRUCTURE AND DEVICE AND METHODS OF
FORMING SAME USING SELECTIVE EPITAXIAL PROCESS

【中文】

茲揭示半導體結構和裝置以及形成該等結構和裝置的方法。示範性結構包含可含有 n 通道 MOS (NMOS) 及 p 通道 MOS (PMOS) 裝置兩者的多閘極或 FinFET 結構，藉以在一基板上形成 CMOS 結構和裝置。該等裝置可為利用選擇性磊晶術及淺型溝槽隔離技術所形成。

【英文】

Semiconductor structures, devices, and methods of forming the structures and devices are disclosed. Exemplary structures include multi-gate or FinFET structures that can include both n-channel MOS (NMOS) and p-channel MOS (PMOS) devices to form CMOS structures and devices on a substrate. The devices can be formed using selective epitaxy and shallow trench isolation techniques.

圖式

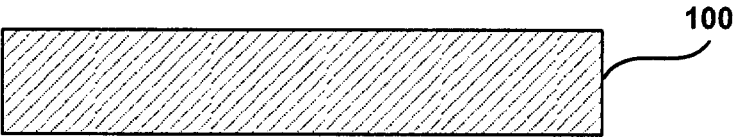


圖1

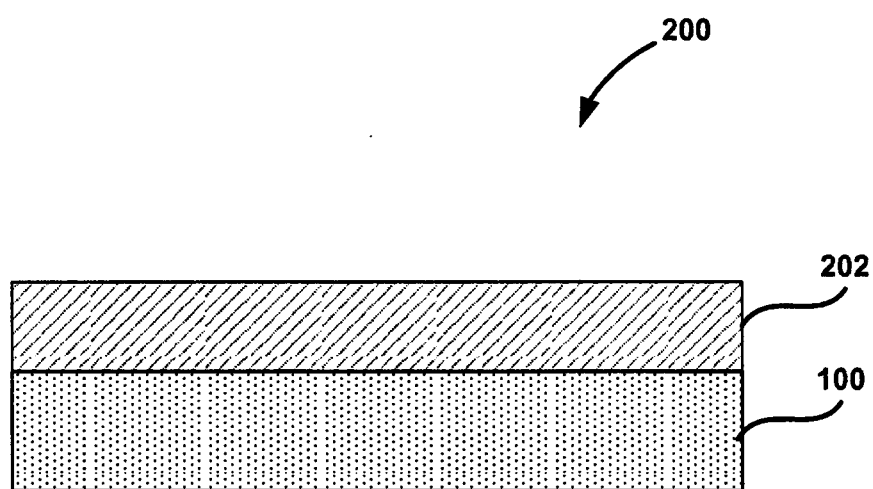


圖2

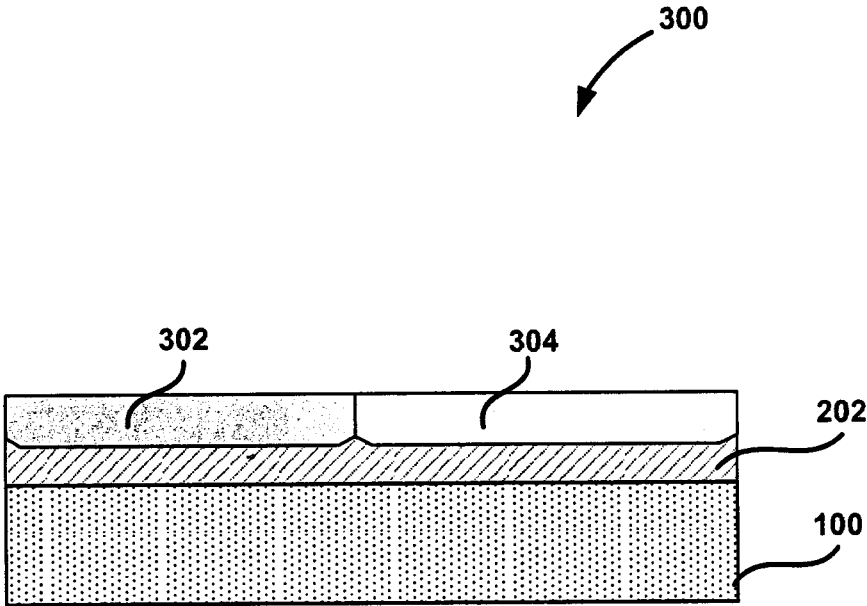


圖3

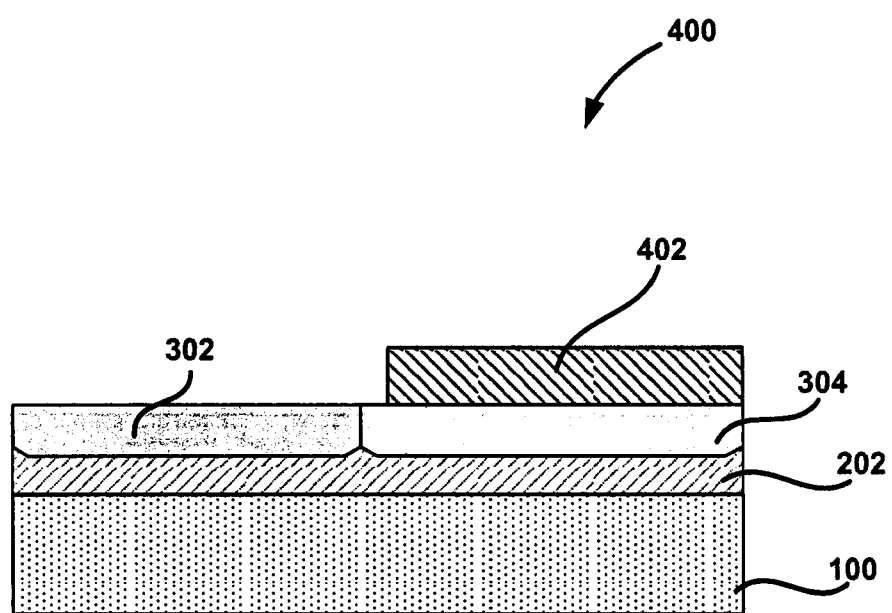


圖4

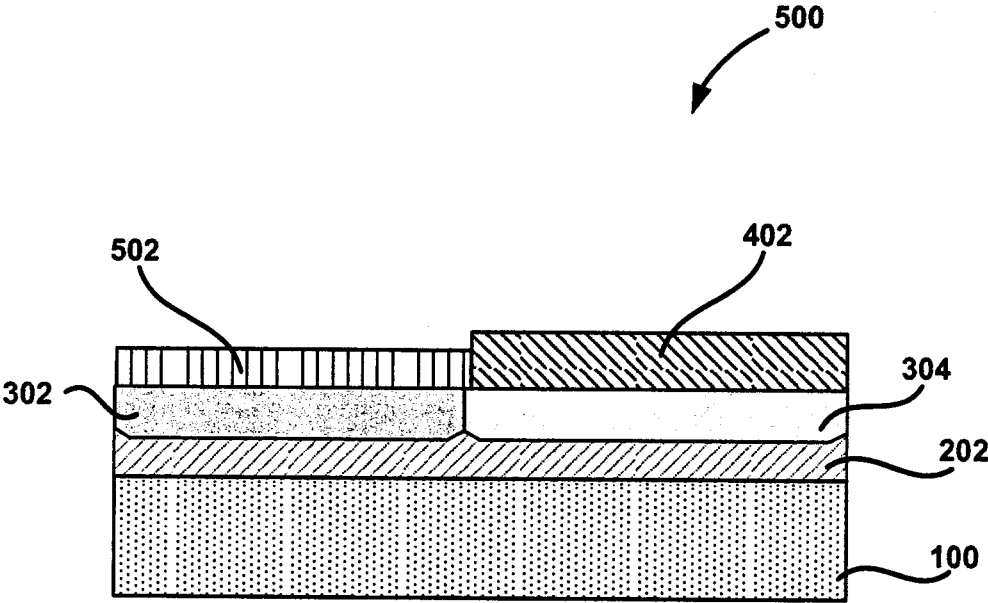


圖5

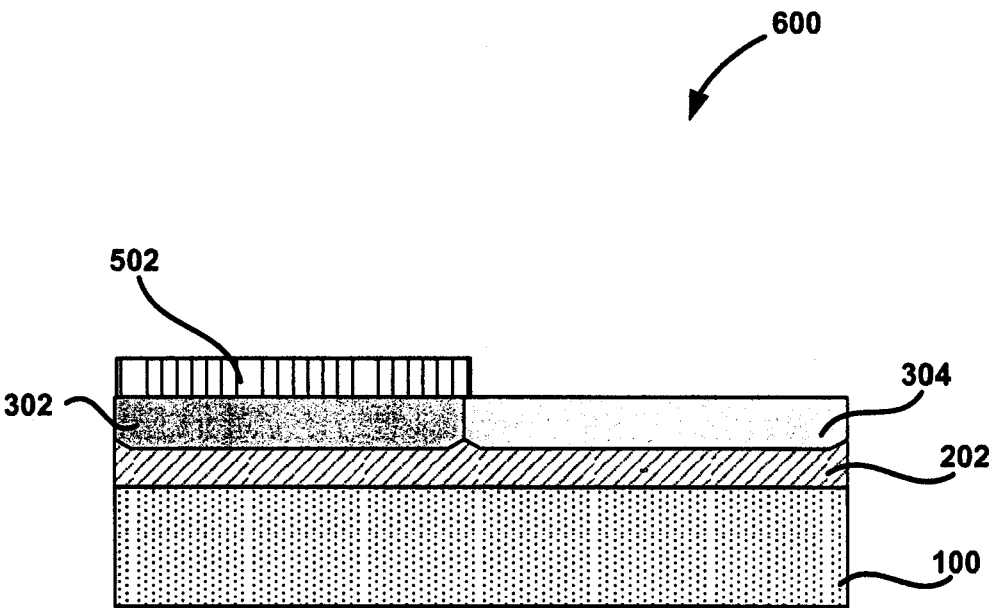


圖6

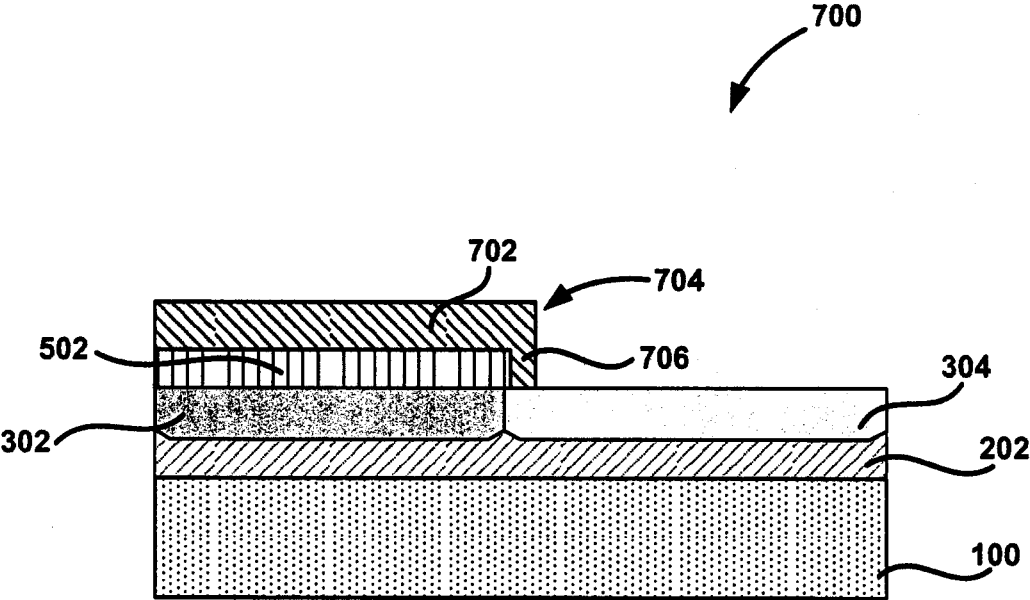


圖7

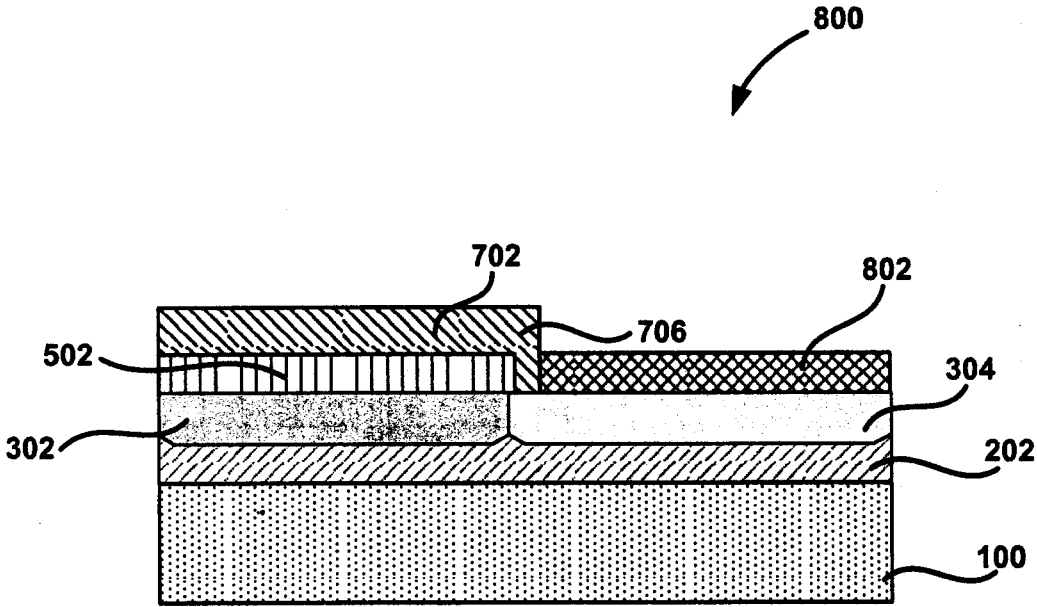


圖8

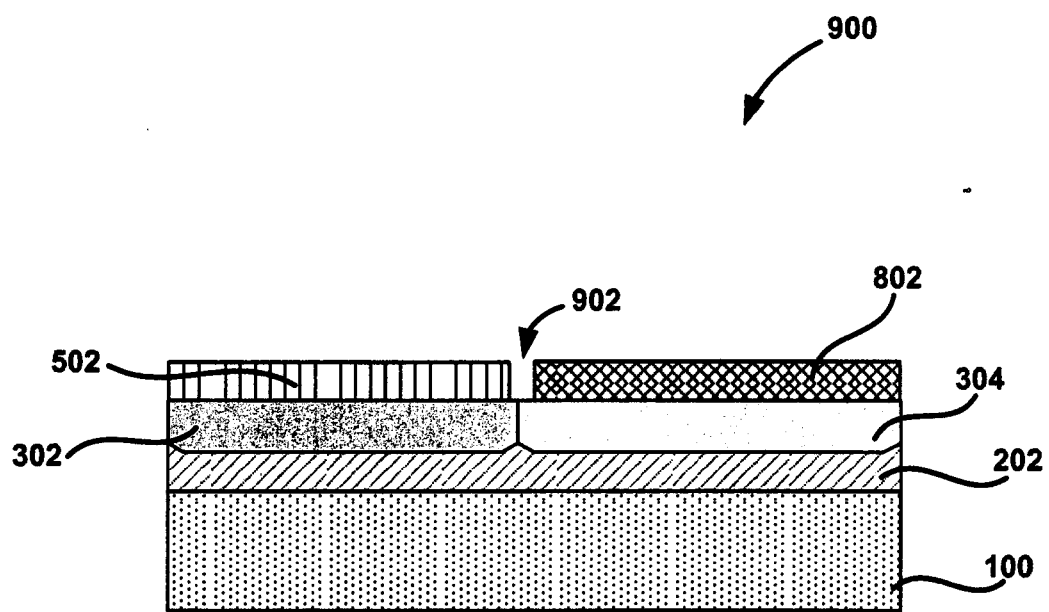


圖9

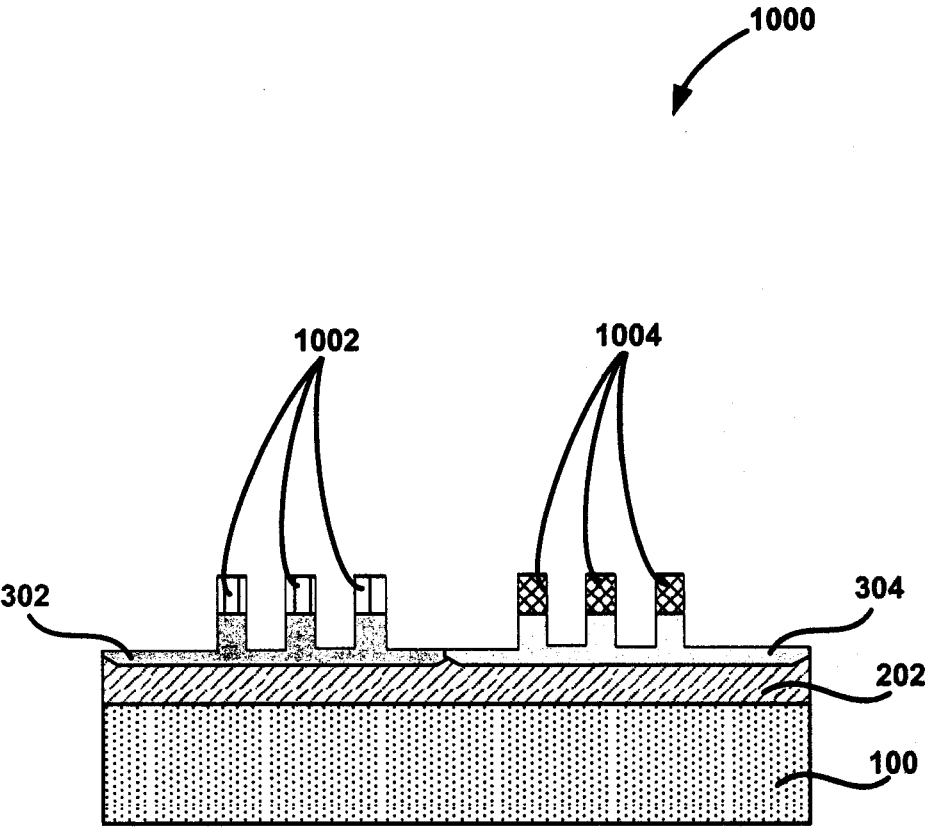


圖10

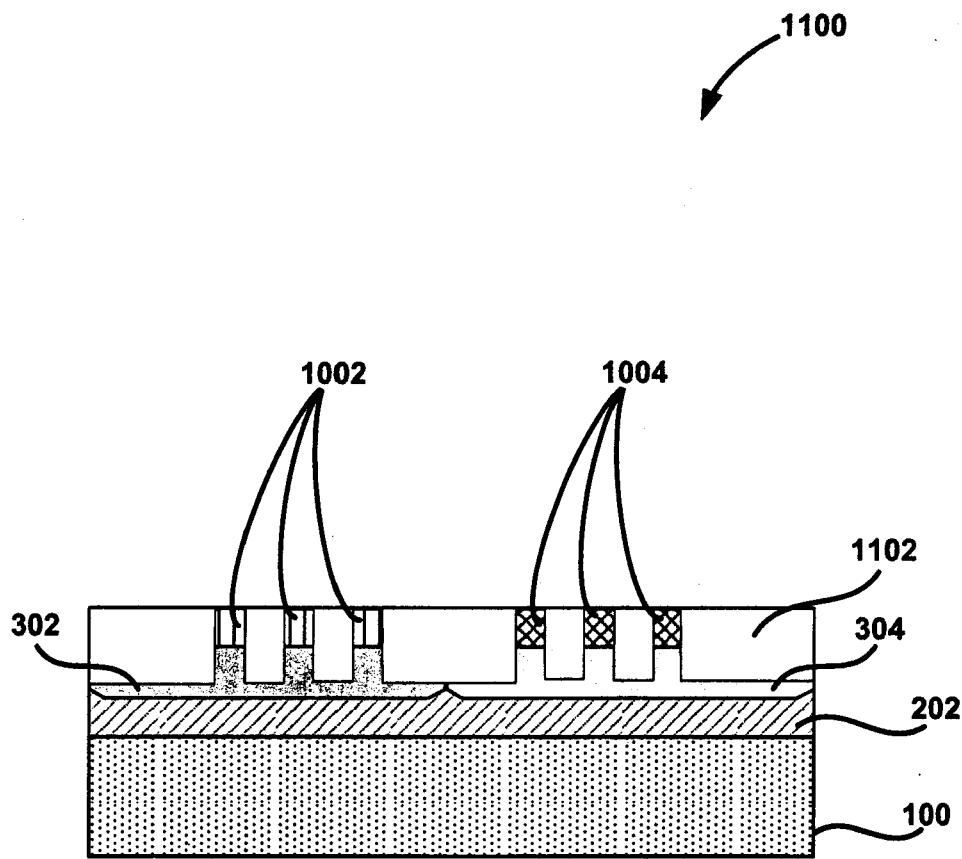


圖11

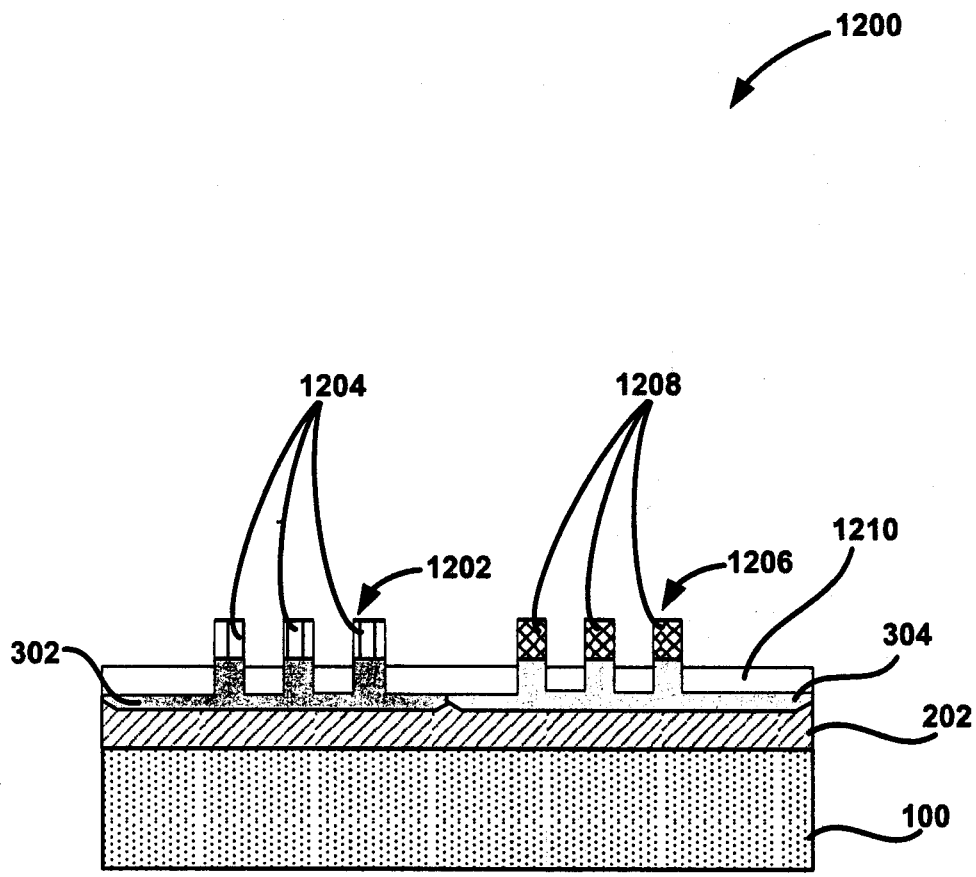


圖12

【代表圖】

【本案指定代表圖】：第（ 13 ）圖。

【本代表圖之符號簡單說明】：

1300 CMOS 裝置

1302 NMOS 範圍

1304 PMOS 範圍

1306 翼片

1308 翼片

1310 介電層

1312 閘極金屬層

1314 閘極金屬層

1316 接觸金屬層

1318 額外特性

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種形成半導體結構的方法，該方法包含下列步驟：

提供一含有矽的基板；

形成一含有 $\text{Si}_{1-x}\text{Ge}_x$ 的緩衝層，其中 x 的範圍為自 0 至約 0.8，並且疊覆於該基板上；

利用一第一選擇性磊晶製程，形成含有矽且在一表面上疊覆於該緩衝層上的第一特徵；以及

利用一第二選擇性磊晶製程，在該表面上形成含有 $\text{Si}_{1-y}\text{Ge}_y$ 的第二特徵，其中 y 的範圍為自約 0.1 至 1，其中該第一特徵是形成為疊覆於該緩衝層內的一 p 井區範圍，並且該第二特徵是形成為疊覆於該緩衝層內的一 n 井區範圍。

2. 如申請專利範圍第 1 項所述之形成半導體結構的方法，其中形成一第一特徵的步驟包含形成一硬遮罩，在該硬遮罩內形成多個開口，並且在該等開口的至少一者內選擇性地形成該第一特徵。

3. 如申請專利範圍第 2 項所述之形成半導體結構的方法，進一步包含移除該硬遮罩的步驟。

4. 如申請專利範圍第 1 至 3 項任一項所述之形成半導體結構的方法，其中形成一第二特徵的步驟包含形成一硬遮罩，在該硬遮罩內形成多個開口，並且在該等開口的至少一者內選擇性地形成該第二特徵。

5. 如申請專利範圍第 4 項所述之形成半導體結構的方法，進一步包含移除該硬遮罩的步驟。

6. 如申請專利範圍第 4 項所述之形成半導體結構的方法，其中該硬遮

罩伸出於該第一特徵。

7. 如申請專利範圍第 6 項所述之形成半導體結構的方法，進一步包含在該第一特徵與該第二特徵之間形成一空間，其中該空間小於 50nm。

8. 如申請專利範圍第 1 至 3 項任一項所述之形成半導體結構的方法，進一步包含蝕刻該第一特徵與該第二特徵以形成一或更多含有矽之翼片及一或更多含有 $\text{Si}_{1-y}\text{Ge}_y$ 之翼片的步驟，其中 y 的範圍為自約 0.1 至 1。

9. 如申請專利範圍第 8 項所述之形成半導體結構的方法，進一步包含在低於約 400°C 的溫度處沉積絕緣材料的步驟。

10. 如申請專利範圍第 9 項所述之形成半導體結構的方法，其中沉積絕緣材料的步驟包含利用 $\text{H}_2\text{Si}[\text{N}(\text{C}_2\text{H}_5)_2]_2$ 及 O_2 電漿形成氧化物層。

11. 如申請專利範圍第 9 項所述之形成半導體結構的方法，進一步包含移除該絕緣材料之一局部的步驟。

12. 一種半導體結構，其包含：

一含有矽的基板；

一含有 $\text{Si}_{1-x}\text{Ge}_x$ 的緩衝層，其中 x 的範圍為自 0 至約 0.5，並且疊覆於該基板上；

一形成於該緩衝層之內的 p 井區範圍；

一形成於該緩衝層之內的 n 井區範圍；

一或更多翼片結構，其是利用該 p 井區範圍和一含有矽的疊層所形成；

一或更多翼片結構，其是利用該 n 井區範圍和一含有 $\text{Si}_{1-y}\text{Ge}_y$ 的疊層所形成，其中 y 的範圍為自約 0.1 至 1；以及

一絕緣層，此者為疊覆於該緩衝層之一局部上所形成。

13. 如申請專利範圍第 12 項所述之半導體結構，其中該絕緣層是在低於約 400°C 的溫度處所形成。

14. 如申請專利範圍第 12 項所述之半導體結構，其中該絕緣層是利用 $\text{H}_2\text{Si}[\text{N}(\text{C}_2\text{H}_5)_2]_2$ 和 O_2 電漿所形成。

15. 如申請專利範圍第 12 至 14 項任一項所述之半導體結構，其中該緩衝層在利用該 p 井區範圍和一含有矽的疊層所形成之一或更多翼片結構以及利用該 n 井區範圍和一含有 $\text{Si}_{1-y}\text{Ge}_y$ 的疊層所形成之一或更多翼片結構之內的厚度為約 20nm 至約 200nm。

16. 一種 CMOS 裝置，其中包含：

一含有矽的基板；

一含有 $\text{Si}_{1-x}\text{Ge}_x$ 的緩衝層，其中 x 的範圍為自 0 至約 0.5，並且疊覆於該基板上；

一形成於該緩衝層之內的 p 井區範圍；

一形成於該緩衝層之內的 n 井區範圍；

一或更多翼片結構，該等是利用該 p 井區範圍和一含有矽的疊層所形成；

一或更多翼片結構，該等是利用該 n 井區範圍和一含有 $\text{Si}_{1-y}\text{Ge}_y$ 的疊層所形成，其中 y 的範圍為自約 0.1 至 1；以及

一絕緣層，此者為疊覆於該緩衝層之一局部上所形成。

17. 如申請專利範圍第 16 項所述之 CMOS 裝置，其中該絕緣層含有氧化矽。

18. 如申請專利範圍第 16 或 17 項所述之 CMOS 裝置，其中該絕緣層是在低於約 400°C 的溫度處所形成。

19. 如申請專利範圍第 16 或 17 項所述之 CMOS 裝置，其中該絕緣層是利用 $\text{H}_2\text{Si}[\text{N}(\text{C}_2\text{H}_5)_2]_2$ 和 O_2 電漿所形成。

20. 一種形成半導體結構的方法，該方法包含下列步驟：

提供一含有矽的基板；

形成一含有 $\text{Si}_{1-x}\text{Ge}_x$ 的緩衝層，其中 x 的範圍為自 0 至約 0.8，並且疊覆於該基板上；

利用一第一選擇性磊晶製程，形成含有矽且在一表面上疊覆於該緩衝層上的第一特徵；以及

利用一第二選擇性磊晶製程，在該表面上形成含有 $\text{Si}_{1-y}\text{Ge}_y$ 的第二特徵，其中 y 的範圍為自約 0.1 至 1，

其中形成一第一特徵的步驟包含形成一硬遮罩，在該硬遮罩內形成多個開口，並且在該等開口的至少一者內選擇性地形成該第一特徵。