

(43) 国際公開日
2008 年 8 月 28 日 (28.08.2008)

PCT

(10) 国際公開番号
WO 2008/102438 A1

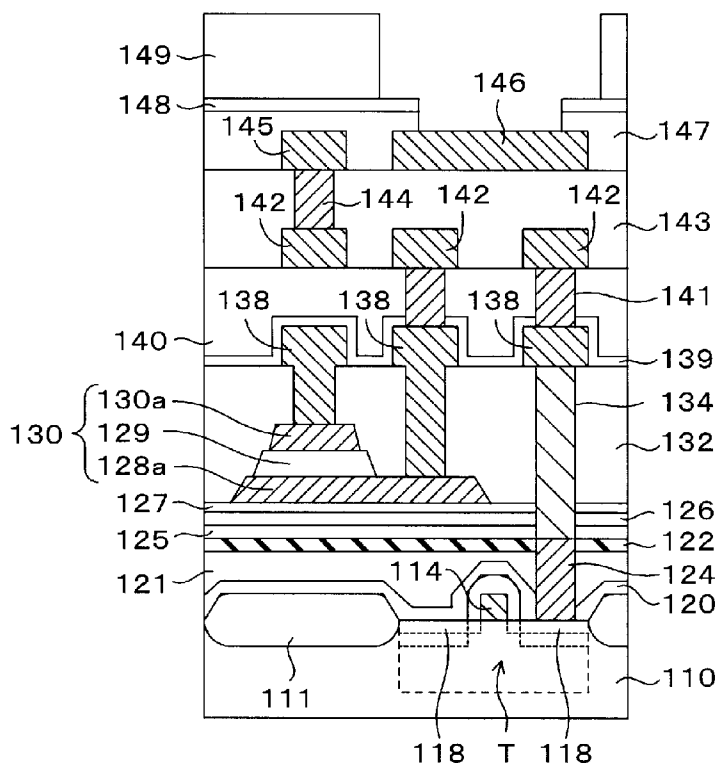
- (51) 国際特許分類:
H01L 21/8246 (2006.01) H01L 27/105 (2006.01)
- (21) 国際出願番号: PCT/JP2007/053138
- (22) 国際出願日: 2007 年 2 月 21 日 (21.02.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 永井 孝一 (NA-GAI, Kouichi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 岡本 啓三 (OKAMOTO, Keizo); 〒1030013 東京都中央区日本橋人形町 3 丁目 1 番 7 号 山西ビル 4 階 岡本国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法

[図3]



(57) Abstract: First interlayer insulating film (121) is formed, and etching stopper film (122) consisting of SiON is formed thereon. Subsequently, a first contact hole extending from the superior face of the etching stopper film (122) to high-concentration impurity region (118) is formed, and the same is filled with W to thereby form plug (124). Thereafter, ferroelectric capacitor (131), second interlayer insulating film (132), etc. are formed. Then, a second contact hole extending from the superior face of the second interlayer insulating film (132) to the plug (124) is formed, and the same is filled with W to thereby form plug (134). By virtue of the etching stopper film (122), even when the second contact hole is displaced, etching of the first interlayer insulating film (121) can be prevented to thereby avoid any occurrence of sinkholes where moisture and impurities are retained.

(57) 要約: 第 1 の層間絶縁膜 121 を形成した後、その上に SiON からなるエッチングストップ膜 122 を形成する。次に、エッチングストップ膜 122 の上面から高濃度不純物

領域 118 に到達する第 1 のコンタクトホールを形成し、W を充填してプラグ 124 を形成

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

する。その後、強誘電体キャパシタ 131 及び第 2 の層間絶縁膜 132 等を形成した後、第 2 の層間絶縁膜 132 の上面からプラグ 124 に到達する第 2 のコンタクトホールを形成し、W を充填してプラグ 134 を形成する。エッチングストップ膜 122 により、第 2 のコンタクトホールに位置ずれが発生しても、第 1 の層間絶縁膜 121 がエッチングされず、水分や不純物が溜まる窪みが発生しない。

明 細 書

半導体装置及びその製造方法

技術分野

[0001] 本発明は、一対の電極間に強誘電体膜を挟んで構成された強誘電体キャパシタを備えた半導体装置及びその製造方法に関する。

背景技術

[0002] 近年、強誘電体のヒステリシス特性を利用して情報を記憶する強誘電体キャパシタを備えたメモリ(Ferroelectric Random Access Memory:以下、「FeRAM」という)の開発が進められている。FeRAMは電源を切っても情報が消失しない不揮発性メモリであり、高集積度、高速駆動、高耐久性及び低消費電力を実現できるという優れた特性を有している。

[0003] 強誘電体キャパシタの強誘電体膜材料としては、残留分極量が大きなPZT($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)やSBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)などのペロブスカイト結晶構造を有する強誘電体酸化物が主に用いられている。これらの強誘電体酸化物の残留分極量は、 $10\sim 30\ \mu\text{C}/\text{cm}^2$ 程度である。

[0004] 図1は、従来の強誘電体キャパシタを有する半導体装置の一例を示す模式図である。半導体基板10は素子分離膜11により複数の素子領域に分離されており、各素子領域には電子回路を構成するトランジスタT及びその他の素子が形成されている。

[0005] トランジスタTは、半導体基板10に不純物を選択的に注入して形成された一対の高濃度不純物領域(ソース/ドレイン)18と、それら一対の高濃度不純物領域18の間の領域上に形成されたゲート絶縁膜(図示せず)と、ゲート絶縁膜の上に形成されたゲート電極14とにより構成されている。半導体基板10の上にはストップ層20が形成されており、トランジスタT及び素子分離膜11はこのストップ層20に覆われている。また、ストップ層20の上には第1の層間絶縁膜21が形成されている。この層間絶縁膜21内には、層間絶縁膜21の上面からトランジスタTの一方の高濃度不純物領域18に到達するW(タングステン)プラグ22が形成されている。

[0006] 層間絶縁膜21の上には、下部電極26a、強誘電体膜27及び上部電極28aを下か

らこの順で積層した構造の強誘電体キャパシタ30が形成されている。この強誘電体キャパシタ30は、第1の層間絶縁膜21上に形成された第2の層間絶縁膜31に覆われている。

[0007] 第2の層間絶縁膜31の上には第1配線層の配線37が形成されている。これらの配線37のうちの一つは、層間絶縁膜31の上面から強誘電体キャパシタ30の上部電極28aに連絡するWプラグ33aを介して上部電極28aに電氣的に接続され、他の一つは層間絶縁膜31の上面から強誘電体キャパシタ30の下部電極26aに連絡するWプラグ33bを介して下部電極26aに電氣的に接続され、更に他の一つは層間絶縁膜31を上下方向に貫通するWプラグ33cを介してWプラグ22に電氣的に接続されている。

[0008] 第1配線層の配線37及び第2の層間絶縁膜31の上には第3の層間絶縁膜40が形成されている。この第3の層間絶縁膜40の上には第2配線層の配線42が形成されており、これらの配線42のうちの所定の配線は、層間絶縁膜40を上下方向に貫通するWプラグ41を介して第1配線層の配線37と電氣的に接続されている。

[0009] 第2配線層の配線42及び第3の層間絶縁膜40の上には、第4の層間絶縁膜46が形成されている。この第4の層間絶縁膜46の上には第3配線層の配線48及び端子49が形成されている。第3配線層の配線48のうち所定の配線は、層間絶縁膜46を上下方向に貫通するWプラグ47を介して第2配線層の配線37に電氣的に接続されている。

[0010] 第3配線層の配線48及び第4の層間絶縁膜46の上には第1のパッシベーション膜51、第2のパッシベーション膜52及び保護膜53が下からこの順に積層されている。そして、端子49の上の第1のパッシベーション膜51、第2のパッシベーション膜52及び保護膜53は選択的に除去され、端子49の表面が露出している。

[0011] この図1に示すように、従来はトランジスタTの高濃度不純物領域18と第1配線層の配線37との間が上下方向に並んだ2つのWプラグ22, 33cにより接続されている。これは、第1配線層の配線37と高濃度不純物領域18との間に2つの層間絶縁膜21, 31が介在し、第1配線層の配線37と高濃度不純物領域18との間隔が長いため、層間絶縁膜31の上面から高濃度不純物領域18に到達するコンタクトホールを形成しよ

うとするとエッチング時間が長くなって、強誘電体キャパシタ30に大きなダメージを与えてしまうためである。すなわち、エッチング時間が長くなることにより、強誘電体キャパシタ30がプラズマダメージを受けて特性が劣化する。また、上部電極28a及び下部電極26aに到達するコンタクトホールと高濃度不純物領域18に到達するコンタクトホールとを同時に形成しようとする、高濃度不純物領域18に到達するコンタクトホールが完成する前に上部電極28a及び下部電極26aがエッチングされてしまう。高濃度不純物領域18に到達するコンタクトホールを単独に形成することも考えられるが、高アスペクト(コンタクトホールの径に対しエッチング深さが深い)となるため、エッチング量が安定しない(コントロールエッチングが困難)という問題がある。

[0012] 図1に示すように第1配線層の配線37と高濃度不純物領域18との間を個別に形成される2つのWプラグ22, 33cで接続することにより、層間絶縁膜のエッチング時に強誘電体キャパシタ30に与えるダメージを抑制することができて、良好な強誘電体特性を得ることができる。

[0013] この場合、図1に示すように、下側のWプラグ22の大きさ(直径)を上側のWプラグ33cの大きさ(直径)よりも若干大きくしている。これは、層間絶縁膜31の上面からWプラグ22に到達するコンタクトホールをフォトリソグラフィ法により形成するときに、若干の位置ずれが発生しても、コンタクトホールをWプラグ22の真上に確実に形成するためである。これにより、層間絶縁膜31にコンタクトホールを形成するときに、層間絶縁膜21をエッチングしてしまうことを防止できる。

[0014] なお、本発明に関係すると思われる従来技術として、特許文献1～4に記載されたものがある。特許文献1にはポリシリコンにより形成されたプラグ(ポリシリコンプラグ)の上部に、ポリシリコンプラグよりも大きな形状のシリサイドパッドを形成し、そのシリサイドパッドを介して上層のプラグとポリシリコンプラグとを電氣的に接続した半導体装置が記載されている。

[0015] 特許文献2には、プラグを形成した後、基板の上側全面に第1導電膜及び第2導電膜を順次形成し、第2導電膜を所定の形状にパターニングした後、その第2導電膜をマスクとして第1導電膜を等方性エッチングし、所定のプラグの上に第1導電膜からなる接続パッドを形成する半導体装置の製造方法が記載されている。プラグと第2導電

膜(配線)とは接続パッドを介して電氣的に接続される。

- [0016] 特許文献3には、スタック型キャパシタを有する半導体装置において、基板表面の不純物領域とアルミニウム配線との間のコンタクトホールを多結晶シリコンで埋め込んだ構造が記載されている。特許文献4には、等方性エッチングと異方性エッチングとを組み合わせ、上部の径が大きいコンタクトプラグを形成する方法が記載されている。
- [0017] 上述したように、従来は、フォトリソグラフィ工程で発生する位置ずれを考慮して、プラグ22の大きさ(直径)を、その上に形成されるコンタクトホール31aの大きさ(直径)よりも若干大きくしていた。しかしながら、半導体装置のより一層の微細化(高集積化)にともなって、図2(a)に示すように、コンタクトホール31aの位置がプラグ22の位置からずれてしまうことが発生するようになった。
- [0018] このようにコンタクトホール31aの位置がプラグ22の位置からずれてしまうと、コンタクトホール31a形成時に層間絶縁膜21のうちプラグ22の上部近傍の部分がエッチングされ、窪み21aが発生する。通常、コンタクトホール31aの形成が完了すると、全面にバリアメタル(グルーレイヤ)を形成してコンタクトホール31aの壁面をバリアメタルで覆うが、図2(b)に示すように窪み21aが発生した個所ではバリアメタル33gが窪み21aの奥まで充填されず、窪み21aが埋め込まれずに残ってしまう。
- [0019] この窪み21aに水分や不純物が溜まると、その後の熱処理工程において水分や不純物が層間絶縁膜21, 31中に拡散して強誘電体膜27に到達し、強誘電体キャパシタ30の特性を大きく劣化させる原因となる。また、製造直後に不具合がなくても、半導体装置の長期間にわたる使用により水分や不純物が層間絶縁膜21, 31中に拡散して、強誘電体キャパシタ30やトランジスタTの特性を劣化させることもある。
- [0020] 窪み21aの発生を防止するためにプラグ22のサイズを更に大きくすることも考えられるが、そうすると半導体装置の微細化が阻害されるという問題が発生する。

特許文献1:特開2001-210711号公報

特許文献2:特開平10-289950号公報

特許文献3:特開平05-243517号公報

特許文献4:特開平08-236476号公報

発明の開示

- [0021] 本発明の目的は、プラグ形成時に位置ずれが発生しても水分や不純物が溜まる窪みが発生することがなく、微細化しても長期間にわたる信頼性を確保できる半導体装置及びその製造方法を提供することである。
- [0022] 本発明の一観点によれば、半導体基板と、前記半導体基板に形成されたトランジスタと、前記半導体基板の上に形成されて前記トランジスタを覆う第1の絶縁膜と、前記第1の絶縁膜の上に形成されたエッチングストップ膜と、前記エッチングストップ膜の上面から前記トランジスタを構成する不純物領域に到達するコンタクトホール内に導電体材料を充填して形成された第1のプラグと、前記エッチングストップ膜の上に形成された強誘電体キャパシタと、前記エッチングストップ膜の上に形成されて前記強誘電体キャパシタの上を覆う第2の絶縁膜と、前記第2の絶縁膜の上面から前記第1のプラグに到達するコンタクトホール内に導電体材料を充填して形成された第2のプラグとを有する半導体装置が提供される。
- [0023] 本発明の他の観点によれば、半導体基板にトランジスタを形成する工程と、前記半導体基板の上に前記トランジスタを被覆する第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上にエッチングストップ膜を形成する工程と、前記エッチングストップ膜の上面から前記トランジスタを構成する不純物領域に到達する第1のコンタクトホールを形成する工程と、前記第1のコンタクトホール内に導電体材料を充填して第1のプラグを形成する工程と、前記エッチングストップ膜の上に、下部電極、強誘電体膜及び上部電極により構成される強誘電体キャパシタを形成する工程と、前記エッチングストップ膜の上に前記強誘電体キャパシタを被覆する第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールをエッチング法により形成する工程と、前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工程とを有する半導体装置の製造方法が提供される。
- [0024] 本発明の更に他の観点によれば、半導体基板と、前記半導体基板に形成されたトランジスタと、前記半導体基板の上に形成されて前記トランジスタを覆う第1の絶縁膜と、前記第1の絶縁膜の上に形成されたエッチングストップ膜と、前記エッチングストッ

パ膜の上に形成された第2の絶縁膜と、前記第2の絶縁膜の上面から前記トランジスタを構成する不純物領域に到達するコンタクトホール内に導電体材料を充填して形成された第1のプラグと、前記第2の絶縁膜の上に形成された強誘電体キャパシタと、前記第2の絶縁膜の上に形成されて前記強誘電体キャパシタを覆う第3の絶縁膜と、前記第3の絶縁膜の上面から前記第1のプラグに到達するコンタクトホール内に導電体材料を充填して形成された第2のプラグとを有する半導体装置が提供される。

[0025] 本発明の更に他の観点によれば、半導体基板にトランジスタを形成する工程と、前記半導体基板の上に前記トランジスタを覆う第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上にエッチングストップ膜を形成する工程と、前記エッチングストップ膜の上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上面から前記トランジスタを構成する不純物領域に到達する第1のコンタクトホールを形成する工程と、前記第1のコンタクトホール内に導電体材料を充填して第1のプラグを形成する工程と、前記第2の絶縁膜の上に、下部電極、強誘電体膜及び上部電極により構成される強誘電体キャパシタを形成する工程と、前記第2の絶縁膜の上に前記強誘電体キャパシタを覆う第3の絶縁膜を形成する工程と、前記第3の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールをエッチング法により形成する工程と、前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工程とを有する半導体装置の製造方法が提供される。

[0026] 本発明の更に他の観点によれば、半導体基板と、前記半導体基板に形成されたトランジスタと、前記半導体基板の上に形成されて前記トランジスタを覆う第1の絶縁膜と、前記第1の絶縁膜の上に形成されたエッチングストップ膜と、前記エッチングストップ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールと、前記エッチングストップ膜の上に形成され、前記第1のコンタクトホールに整合する位置に前記コンタクトホールよりも大きな径の開口部を有する第2の絶縁膜と、前記第1のコンタクトホール内及び前記開口部内に導電体材料を充填して形成された第1のプラグと、前記第2の絶縁膜の上に形成された強誘電体キャパシタと、前記第2の絶縁膜の上に形成されて前記強誘電体キャパシタを覆う第3の絶縁膜と、前記第3の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールと、前記第2のコン

ンタクトホール内に導電体材料を充填して形成された第2のプラグとを有する半導体装置が提供される。

[0027] 本発明の更に他の観点によれば、半導体基板にトランジスタを形成する工程と、前記半導体基板の上に前記トランジスタを覆う第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上にエッチングストップ膜を形成する工程と、前記エッチングストップ膜の上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜に前記エッチングストップ膜が露出する開口部を形成する工程と、前記開口部の内側に、前記開口部の径よりも小さな径で、前記エッチングストップ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールを形成する工程と、前記第1のコンタクトホール内及び前記開口部内に導電体材料を充填して第1のプラグを形成する工程と、前記第2の絶縁膜の上に、下部電極、強誘電体膜及び上部電極により構成される強誘電体キャパシタを形成する工程と、前記第2の絶縁膜の上に前記強誘電体キャパシタを覆う第3の絶縁膜を形成する工程と、前記第3の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールをエッチング法により形成する工程と、前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工程とを有する半導体装置の製造方法が提供される。

[0028] 本発明の更に他の観点によれば、半導体基板にトランジスタを形成する工程と、前記半導体基板の上に前記トランジスタを覆う第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上にエッチングストップ膜を形成する工程と、前記エッチングストップ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールを形成する工程と、前記第1のコンタクトホール内に導電体材料を充填してプラグ軸部を形成する工程と、前記エッチングストップ膜の上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜をエッチングして、前記プラグ軸部が露出する開口部を前記プラグ軸部よりも大きな径で形成する工程と、前記開口部に導電体材料を充填し、前記プラグ軸部と一体になって第1のプラグを構成するプラグ頭部を形成する工程と、前記第2の絶縁膜の上に、下部電極、強誘電体膜及び上部電極により構成される強誘電体キャパシタを形成する工程と、前記第2の絶縁膜の上に前記強誘電体キャパシタを覆う第3の絶縁膜を形成する工程と、前記第3の絶縁膜の上面から前記第1のプラグ

に到達する第2のコンタクトホールをエッチング法により形成する工程と、前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工程とを有する半導体装置の製造方法が提供される。

[0029] 本発明の更に他の観点によれば、半導体基板にトランジスタを形成する工程と、前記半導体基板の上に前記トランジスタを覆う第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上にエッチングストッパ膜を形成する工程と、前記エッチングストッパ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールを形成する工程と、前記第1のコンタクトホール内に導電体材料を充填してプラグ軸部を形成する工程と、前記エッチングストッパ膜及び前記プラグ軸部の上に導電体膜を形成する工程と、前記導電体膜をパターンニングして、前記プラグ軸部よりも径が大きく、前記プラグ軸部と一体になって第1のプラグを構成するプラグ頭部を形成する工程と、前記半導体基板の上側全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜を研磨して前記第1のプラグを露出させる工程と、前記第2の絶縁膜の上に、下部電極、強誘電体膜及び上部電極により構成される強誘電体キャパシタを形成する工程と、前記第2の絶縁膜の上に前記強誘電体キャパシタを覆う第3の絶縁膜を形成する工程と、前記第3の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールをエッチング法により形成する工程と、前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工程とを有する半導体装置の製造方法が提供される。

[0030] 本発明の更に他の観点によれば、半導体基板と、前記半導体基板の上に形成されたトランジスタと、前記半導体基板の上に形成されて前記トランジスタを覆う第1の絶縁膜と、前記第1の絶縁膜の上に形成された強誘電体キャパシタと、前記第1の絶縁膜の上に形成されて前記強誘電体キャパシタを覆う第2の絶縁膜と、前記第2の絶縁膜の上に形成されたエッチングストッパ膜と、前記エッチングストッパ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールと、前記第1のコンタクトホール内に導電体材料を充填して形成された第1のプラグと、前記エッチングストッパ膜の上に形成された第3の絶縁膜と、前記第3の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールと、前記第2のコンタクトホール内に導電体材

料を充填して形成された第2のプラグとを有する半導体装置が提供される。

[0031] 本発明の更に他の観点によれば、半導体基板にトランジスタを形成する工程と、前記半導体基板の上に前記トランジスタを覆う第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上に、下部電極、強誘電体膜及び上部電極により構成される強誘電体キャパシタを形成する工程と、前記第1の絶縁膜の上に前記強誘電体キャパシタを覆う第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上にエッチングストッパ膜を形成する工程と、前記エッチングストッパ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールを形成する工程と、前記第1のコンタクトホール内に導電体材料を充填して第1のプラグを形成する工程と、前記エッチングストッパ膜の上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールをエッチング法により形成する工程と、前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工程とを有する半導体装置の製造方法が提供される。

[0032] 本発明の更に他の観点によれば、半導体基板と、前記半導体基板に形成されたトランジスタと、前記半導体基板の上に形成されて前記トランジスタを覆う第1の絶縁膜と、前記第1の絶縁膜の上に形成された強誘電体キャパシタと、前記第1の絶縁膜の上に形成されて前記強誘電体キャパシタを覆う第2の絶縁膜と、前記第2の絶縁膜の上に形成されたエッチングストッパ膜と、前記エッチングストッパ膜の上に形成された第3の絶縁膜と、前記第3の絶縁膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールと、前記第1のコンタクトホール内に導電体材料を充填して形成された第1のプラグと、前記第3の絶縁膜の上に形成された第4の絶縁膜と、前記第4の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールと、前記第2のコンタクトホール内に導電体材料を充填して形成された第2のプラグとを有する半導体装置が提供される。

[0033] 本発明の更に他の観点によれば、半導体基板にトランジスタを形成する工程と、前記半導体基板の上に前記トランジスタを覆う第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上に、下部電極、強誘電体膜及び上部電極により構成される強誘電体キャパシタを形成する工程と、前記第1の絶縁膜の上に、前記強誘電体キャパシタを

覆う第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上にエッチングストップ膜を形成する工程と、前記エッチングストップ膜の上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールを形成する工程と、前記第1のコンタクトホール内に導電体材料を充填して第1のプラグを形成する工程と、前記第3の絶縁膜の上に第4の絶縁膜を形成する工程と、前記第4の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールをエッチング法により形成する工程と、前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工程とを有する半導体装置の製造方法が提供される。

[0034] 本発明の更に他の観点によれば、半導体基板と、前記半導体基板に形成されたトランジスタと、前記半導体基板の上に形成されて前記トランジスタを覆う第1の絶縁膜と、前記第1の絶縁膜の上に形成された強誘電体キャパシタと、前記第1の絶縁膜の上に形成されて前記強誘電体キャパシタを覆う第2の絶縁膜と、前記第2の絶縁膜の上に形成されたエッチングストップ膜と、前記エッチングストップ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールと、前記エッチングストップ膜の上に形成され、前記第1のコンタクトホールに整合する位置に前記第1のコンタクトホールよりも大きな径の開口部を有する第3の絶縁膜と、前記第1のコンタクトホール内及び前記開口部内に導電体材料を充填して形成された第1のプラグと、前記第3の絶縁膜の上に形成された第4の絶縁膜と、前記第4の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールと、前記第2のコンタクトホール内に導電体材料を充填して形成された第2のプラグとを有する半導体装置が提供される。

[0035] 本発明の更に他の観点によれば、半導体基板にトランジスタを形成する工程と、前記半導体基板の上に前記トランジスタを覆う第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上に、下部電極、強誘電体膜及び上部電極により構成される強誘電体キャパシタを形成する工程と、前記第1の絶縁膜の上に、前記強誘電体キャパシタを覆う第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上にエッチングストップ膜を形成する工程と、前記エッチングストップ膜の上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜に、前記エッチングストップ膜が露出する開口部を形成する工程

と、前記開口部の内側に、前記エッチングストップ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールを前記開口部よりも小さな径で形成する工程と、前記第1のコンタクトホール内及び前記開口部内に導電体材料を充填して第1のプラグを形成する工程と、前記第3の絶縁膜の上に第4の絶縁膜を形成する工程と、前記第4の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールをエッチング法により形成する工程と、前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工程とを有する半導体装置の製造方法が提供される。

- [0036] 本発明においては、トランジスタの不純物領域に接続するプラグの上面がエッチングストップ膜の上面と同一又はほぼ同一の平面上に位置するので、エッチングストップ膜の下方の絶縁膜が保護され、水分又は不純物が溜まる窪みの発生が回避される。これにより、強誘電体キャパシタの特性劣化が回避され、半導体装置の信頼性が向上する。

図面の簡単な説明

- [0037] [図1]図1は、従来の強誘電体キャパシタを有する半導体装置の一例を示す模式図である。
- [図2]図2(a), (b)は、従来の問題点を示す模式図である。
- [図3]図3は、本発明の第1の実施形態に係る半導体装置の構造を示す模式図である。
- [図4]図4は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その1)である。
- [図5]図5は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その2)である。
- [図6]図6は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その3)である。
- [図7]図7は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その4)である。
- [図8]図8は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その5)

である。

[図9]図9は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その6)である。

[図10]図10は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その7)である。

[図11]図11は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その8)である。

[図12]図12は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その9)である。

[図13]図13は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その10)である。

[図14]図14は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その11)である。

[図15]図15は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その12)である。

[図16]図16は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その13)である。

[図17]図17は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その14)である。

[図18]図18は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その15)である。

[図19]図19は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その16)である。

[図20]図20は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その17)である。

[図21]図21は、第1の実施形態に係る半導体装置の製造方法を示す断面図(その18)である。

[図22]図22は、本発明の第2の実施形態に係る半導体装置の構造を示す模式図で

ある。

[図23]図23は、本発明の第3の実施形態に係る半導体装置の構造を示す模式図である。

[図24]図24は、本発明の第4の実施形態に係る半導体装置の構造を示す模式図である。

[図25]図25は、第4の実施形態の半導体装置の第1の製造方法を示す断面図(その1)である。

[図26]図25は、第4の実施形態の半導体装置の第1の製造方法を示す断面図(その2)である。

[図27]図27は、第4の実施形態の半導体装置の第1の製造方法を示す断面図(その3)である。

[図28]図28は、第4の実施形態の半導体装置の第1の製造方法を示す断面図(その4)である。

[図29]図29は、第4の実施形態の半導体装置の第1の製造方法を示す断面図(その5)である。

[図30]図30は、第4の実施形態の半導体装置の第1の製造方法を示す断面図(その6)である。

[図31]図31は、第4の実施形態の半導体装置の第2の製造方法を示す断面図(その1)である。

[図32]図32は、第4の実施形態の半導体装置の第2の製造方法を示す断面図(その2)である。

[図33]図33は、第4の実施形態の半導体装置の第2の製造方法を示す断面図(その3)である。

[図34]図34は、第4の実施形態の半導体装置の第2の製造方法を示す断面図(その4)である。

[図35]図35は、第4の実施形態の半導体装置の第2の製造方法を示す断面図(その5)である。

[図36]図36は、第4の実施形態の半導体装置の第2の製造方法を示す断面図(その

6)である。

[図37]図37は、第4の実施形態の半導体装置の第3の製造方法を示す断面図(その1)である。

[図38]図38は、第4の実施形態の半導体装置の第3の製造方法を示す断面図(その2)である。

[図39]図39は、第4の実施形態の半導体装置の第3の製造方法を示す断面図(その3)である。

[図40]図40は、第4の実施形態の半導体装置の第3の製造方法を示す断面図(その4)である。

[図41]図41は、第4の実施形態の半導体装置の第3の製造方法を示す断面図(その5)である。

[図42]図42は、第4の実施形態の半導体装置の第3の製造方法を示す断面図(その6)である。

[図43]図43は、本発明の第5の実施形態に係る半導体装置の構造を示す模式図である。

[図44]図44は、本発明の第6の実施形態に係る半導体装置の構造を示す模式図である。

[図45]図45は、第6の実施形態の変形例に係る半導体装置の構造を示す模式図である。

[図46]図46は、本発明の第7の実施形態に係る半導体装置の構造を示す模式図である。

[図47]図47は、第7の実施形態の変形例に係る半導体装置の構造を示す模式図である。

[図48]図48は、本発明の第8の実施形態に係る半導体装置の構造を示す模式図である。

[図49]図49は、第8の実施形態の変形例に係る半導体装置の構造を示す模式図である。

[図50]図50は、本発明の第9の実施形態に係る半導体装置の構造を示す模式図で

ある。

[図51]図51は、第9の実施形態の変形例に係る半導体装置の構造を示す模式図である。

[図52]図52は、本発明の第10の実施形態に係る半導体装置の構造を示す模式図である。

[図53]図53は、第10の実施形態の変形例に係る半導体装置の構造を示す模式図である。

[図54]図54は、水素バリア膜、水分バリア膜及びエッチングストップ膜を半導体基板上の一部分のみに配置した例を示す上面図である。

[図55]図55は、半導体基板の上側全面に水素バリア膜、水分バリア膜及びエッチングストップ膜等の膜を形成した後、スクライブ領域の膜をエッチングにより除去した例を示す上面図である。

発明を実施するための最良の形態

[0038] 以下、本発明の実施形態について、添付の図面を参照して説明する。

[0039] (第1の実施形態)

図3は、本発明の第1の実施形態に係る半導体装置の構造を示す模式図である。

半導体基板110は素子分離膜111により複数の素子領域に分離されており、各素子領域には電子回路を構成するトランジスタT及びその他の素子が形成されている。

[0040] トランジスタTは、半導体基板110に不純物を選択的に注入して形成された一対の高濃度不純物領域118と、それら一対の高濃度不純物領域118の間の領域上に形成されたゲート絶縁膜(図示せず)と、ゲート絶縁膜の上に形成されたゲート電極114とにより構成されている。半導体基板110の上にはストップ層120が形成されており、トランジスタT及び素子分離膜111はこのストップ層120に覆われている。また、ストップ層120の上には第1の層間絶縁膜121が形成されている。この層間絶縁膜121の上面は平坦化処理されている。この層間絶縁膜121の上には、SiONからなるエッチングストップ膜122が形成されている。

[0041] 層間絶縁膜121内には、エッチングストップ膜122の上面からトランジスタTの一方の高濃度不純物領域118に到達するプラグ124が形成されている。また、エッチング

ストップ膜122の上には、SiON膜125と、TEOS(酸化シリコン)膜126と、酸化アルミニウム(例えば、 Al_2O_3)からなる水素バリア膜127とが下からこの順で積層されている。

[0042] 水素バリア膜127の上には、下部電極128a、強誘電体膜129及び上部電極130aを下からこの順で積層した構造の強誘電体キャパシタ131が形成されている。この強誘電体キャパシタ131は、水素バリア膜127上に形成された第2の層間絶縁膜132に覆われている。

[0043] 第2の層間絶縁膜132の表面は平坦化されており、この層間絶縁膜132の上には第1配線層の配線138が所定のパターンで形成されている。これらの配線138のうちの一つは層間絶縁膜132の上面から強誘電体キャパシタ131の上部電極129aに到達するコンタクトホールを介して上部電極129aに電氣的に接続され、他の一つは層間絶縁膜132の上面から強誘電体キャパシタ131の下部電極128aに到達するコンタクトホールを介して下部電極128aに電氣的に接続され、更に他の一つは層間絶縁膜132を上下方向に貫通するプラグ134を介してプラグ124及び高濃度不純物領域118に電氣的に接続されている。

[0044] 層間絶縁膜132及び第1配線層の配線138の上には酸化アルミニウム(例えば、 Al_2O_3)からなる水素バリア膜139が形成されており、その水素バリア膜139の上には第3の層間絶縁膜140が形成されている。この層間絶縁膜140内には、層間絶縁膜140を上下方向に貫通して第1配線層の配線137に電氣的に接続する複数のプラグ141が形成されている。また、層間絶縁膜140の上には、第2配線層の複数の配線142が形成されている。図3に示すように、これらの配線142のうちの所定の配線はプラグ141を介して第1配線層の配線138に電氣的に接続されている。

[0045] 第3の層間絶縁膜140及び第2の配線層の配線142の上には、第4の層間絶縁膜143が形成されている。この第4の層間絶縁膜143内には、層間絶縁膜143を上下方向に貫通して第2配線層の配線142に電氣的に接続した複数(図3では一つのみ図示)のプラグ144が形成されている。また、層間絶縁膜143の上には、第3配線層の配線145及び端子146が形成されている。これらの第3配線層の配線145のうちの所定の配線は、プラグ144を介して第2配線層の配線142に電氣的に接続されて

いる。

- [0046] 第4の層間絶縁膜143及び第3配線層の配線145の上には、第1のパッシベーション膜147、第2のパッシベーション膜148及び保護膜149が下からこの順に積層されている。そして、端子146の上の第1のパッシベーション膜147、第2のパッシベーション膜148及び保護膜149は選択的に除去され、端子146の表面が露出している。
- [0047] このように、本実施形態の半導体装置は、第1の層間絶縁膜121の上にSiONからなるエッチングストップ膜122が形成されていること、プラグ124がエッチングストップ膜122の上面から高濃度不純物領域118までの間に形成されていること、及びプラグ124とプラグ134との接続部がエッチングストップ膜122の上面と同じ平面上に位置していることを特徴としている。
- [0048] 本実施形態の半導体装置は、プラグ124とプラグ134との接続部がエッチングストップ膜122の上面と同じ平面上にあるため、プラグ134形成時、すなわち層間絶縁膜132にプラグ124に通じるコンタクトホールを形成するときに、層間絶縁膜121がエッチングされることを防止できる。
- [0049] なお、水素バリア膜127、139は層間絶縁膜121又は層間絶縁膜140中の水分及び水素が強誘電体キャパシタ131までに移動して強誘電体キャパシタ131の特性が劣化することを防止するために設けられている。また、図3に示すように酸化アルミニウム(Al_2O_3)からなる水素バリア膜127の上に下部電極128aを形成すると、下部電極128aの配向性が向上し、その上に形成される強誘電体膜129の配向性も向上するという効果もある。本発明において、これらの水素バリア膜127、139は必須ではないが、長期間にわたって強誘電体キャパシタ131の特性を維持するために、図3に示すように水素バリア膜127、139を設けることが好ましい。
- [0050] 図4～図21は、第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。なお、以下の説明では、本発明をプレーナー型強誘電体キャパシタを有するFeRAMの製造に適用した例について説明する。また、図4～図21では、周辺回路形成領域、メモリセル形成領域及び端子形成領域における断面を示している。更に、以下の説明では、メモリセルがn型トランジスタにより構成されているものとする。

- [0051] まず、図4に示す構造を形成するまでの工程を説明する。半導体基板(シリコン基板)110の所定の領域に、公知のLOCOS(Local Oxidation of Silicon)法により素子分離膜111を形成し、この素子分離膜111により半導体基板110を複数の素子領域に分離する。素子分離膜111は、公知のSTI(Shallow Trench Isolation)法により形成してもよい。
- [0052] 次に、半導体基板110のn型トランジスタ形成領域(メモリセル形成領域及び周辺回路形成領域のn型トランジスタ形成領域:以下、同じ)にホウ素(B)等のp型不純物を導入して、pウェル112を形成する。また、半導体基板110のp型トランジスタ形成領域(周辺回路形成領域のp型トランジスタ形成領域:以下、同じ)にリン(P)等のn型不純物を導入して、nウェル(図示せず)を形成する。
- [0053] 次に、pウェル112及びnウェル(図示せず)の表面を熱酸化させて、ゲート絶縁膜(図示せず)を形成する。その後、CVD(Chemical Vapor Deposition)法により、半導体基板110の上側全面にシリコン膜(ポリシリコン膜又はアモルファスシリコン膜)を形成し、このシリコン膜をフォトリソグラフィ法によりパターンニングして、ゲート電極(シリコン配線)114を形成する。
- [0054] なお、pウェル112の上方にはn型不純物を導入したゲート電極を形成し、nウェル(図示せず)の上方にはp型不純物を導入したゲート電極を形成することが好ましい。また、図4に示すように、メモリセル形成領域では、1つのpウェル112の上に2本のゲート電極114が相互に平行に配置される。
- [0055] 次に、ゲート電極114をマスクとし、n型トランジスタ形成領域のpウェル112にリン(P)又はヒ素(As)等のn型不純物を浅くイオン注入して、n型低濃度不純物領域116を形成する。これと同様に、ゲート電極114をマスクとし、p型トランジスタ形成領域のnウェル(図示せず)にホウ素(B)等のp型不純物を浅くイオン注入して、p型低濃度不純物領域(図示せず)を形成する。
- [0056] 次に、ゲート電極114の両側にサイドウォール117を形成する。このサイドウォール117は、CVD法により半導体基板110の上側全面に SiO_2 又はSiN等からなる絶縁膜を形成した後、その絶縁膜をエッチバックすることにより形成される。
- [0057] その後、ゲート電極114及びサイドウォール117をマスクとしてn型トランジスタ形成

領域のpウェル112にリン(P)又はヒ素(As)等のn型不純物をイオン注入し、n型高濃度不純物領域118を形成する。これと同様に、p型トランジスタ形成領域のゲート電極及びサイドウォールをマスクとしてnウェル(図示せず)にホウ素(B)等のp型不純物をイオン注入して、p型高濃度不純物領域(図示せず)を形成する。このようにして、各トランジスタ形成領域に、LDD(Lightly Doped Drain)構造のソース/ドレインを有するトランジスタTが形成される。

[0058] なお、ゲート電極114及びn型高濃度不純物領域118の表面には、コンタクト層としてコバルトシリサイド又はチタンシリサイド等の金属ケイ化物(シリサイド)層を形成することが好ましい。

[0059] 次に、プラズマCVD法により、半導体基板110の上側全面にストッパ層120として例えばSiON膜を200nmの厚さに形成し、ストッパ層120の上にプラズマCVD法により第1の層間絶縁膜121として例えばTEOS-NSG(Tetra-Ethyl-Ortho-Silicate-Nondoped Silicate Glass:SiO)膜を600nmの厚さに形成する。その後、CMP(Chemical Mechanical Polishing:化学的機械研磨)法により層間絶縁膜121を約200nm研磨して表面を平坦化する。

[0060] 次に、層間絶縁膜121の上に、CVD法によりSiONからなるエッチングストッパ膜122を100nmの厚さに形成する。このエッチングストッパ膜122は、後述する第2の層間絶縁膜132にコンタクトホールを形成するエッチング工程において、第1の層間絶縁膜121がエッチングされることを防止するために形成するものである。このエッチングストッパ膜122は、第2の層間絶縁膜132を構成するTEOS-NSG膜よりもエッチングレートが低い絶縁材料により形成すればよく、例えばSiNにより形成してもよい。本実施形態においては、エッチングストッパ膜122の厚さを20nm~150nmとする。

[0061] エッチングストッパ膜122を、酸化アルミニウム(Al_xO_y)、酸化チタン(TiO_x)、酸化ジルコニウム(ZrO_x)、酸化マグネシウム(MgO_x)及び $MgTiO_x$ 等の金属酸化物により形成することもできる。これらの金属酸化物によりエッチングストッパ膜122を形成した場合は、エッチングストッパ膜122が水素バリア膜としても機能して層間絶縁膜121中に含まれる水分及び水素の上層への拡散が防止され、FeRAMの信頼性をより一層向上させることができる。但し、エッチングストッパ膜122を上述した金属酸化

物により形成する場合は、膜厚を100nm以下とすることが好ましい。金属酸化物からなるエッチングストッパ膜122の厚さが100nmを超えると、後工程でWプラグ124を形成するときにエッチングストッパ膜122を開口することが困難になる。

[0062] 次に、図5に示す構造を形成するまでの工程を説明する。上記の工程でエッチングストッパ膜122を形成した後、エッチングストッパ膜122の上にフォトレジストを塗布してフォトレジスト膜123を形成する。そして、このフォトレジスト膜123に対し露光及び現像処理を実施して、所定の位置にエッチングストッパ膜122が露出する開口部123aを形成する。その後、フォトレジスト膜123をマスクとしてエッチングを施し、エッチングストッパ膜122の上面から高濃度不純物領域118(トランジスタTのソース/ドレイン)に到達するコンタクトホール121aを形成する。このコンタクトホール121aの直径は、例えば0.55 μm とする。

[0063] なお、本実施形態においては、図5に示すように、周辺回路形成領域において、高濃度不純物領域118に通じるコンタクトホール121aと同時に、エッチングストッパ膜122の上面から素子分離膜111上のゲート電極(シリコン配線)114に到達するコンタクトホール121aを形成している。

[0064] 次に、図6に示す構造を形成するまでの工程を説明する。コンタクトホール121aの形成に用いたフォトレジスト膜123を除去した後、半導体基板110の上側全面に、例えばPVD(Physical Vapor Deposition)法により、厚さが20nmのTi膜と厚さが50nmのTiN膜(いずれも図示せず)とを順次形成する。これにより、コンタクトホール121aの壁面がTi膜及びTiN膜により覆われる。その後、半導体基板110の上側全面に、例えばCVD法によりW(タングステン)を堆積させて、エッチングストッパ膜122の上にW膜を形成するとともに、コンタクトホール121a内にWを充填する。

[0065] 次に、CMP法により、エッチングストッパ膜122の上のW膜、TiN膜及びTi膜を除去する。このようにして、コンタクトホール121a内にWが充填されてなるWプラグ124が形成される。この場合、図6に示すように、Wプラグ124の上面及びエッチングストッパ膜122の上面は、同一平面上に位置する。

[0066] その後、窒素及び酸素を含む雰囲気中で350℃の温度で2分間プラズマアニールを施した後、プラズマCVD法により、半導体基板110の上側全面にSiON膜125を1

00nmの厚さに形成して、Wプラグ124の酸化を防止する。なお、一般的にプラズマCVD法により形成されたSiON膜は水分が透過しにくいという性質があるので、SiON膜125は上下方向への水分の移動を阻止する水分バリア層としても機能する。

[0067] 次に、図7に示す構造を形成するまでの工程を説明する。上記の工程で水分バリア膜125を形成した後、CVD法により、SiON膜125の上にTEOS(酸化シリコン)膜126を100nmの厚さに形成する。その後、脱水処理として、窒素流量が2リットル／分の雰囲気中で650℃の温度で30分間熱処理を施す。次いで、例えばCVD法により、TEOS膜126の上に酸化アルミニウム(例えば、 Al_2O_3)を20nmの厚さに堆積して、水素バリア膜127を形成する。その後、酸素流量が2リットル／分の雰囲気中で60秒間熱処理(RTA処理)を施す。

[0068] 次に、図8に示す構造を形成するまでの工程を説明する。上記の工程で水素バリア膜127を形成した後、水素バリア膜127の上に強誘電体キャパシタの下部電極となる導電体膜128を形成する。この導電体膜128は、例えばPt(白金)、Ir(イリジウム)、Ru(ルテニウム)、Rh(ロジウム)、Re(レニウム)、Os(オスミウム)及びPd(パラジウム)等の金属、又はこれらの金属の酸化物(導電性酸化物)により形成する。本実施形態では、水素バリア膜127の上に、PVD法によりPtを155nmの厚さに堆積させて導電体膜128を形成するものとする。

[0069] 次に、導電体膜128の上に強誘電体膜129を形成する。強誘電体膜129は、PZT、PLZT、BLT、又はSBT等により形成すればよい。本実施形態では、導電体膜128の上に、PVD法によりPZTを150～200nmの厚さに堆積させて強誘電体膜129を形成するものとする。

[0070] このようにして強誘電体膜129を形成した後、酸素含有雰囲気中でRTA処理して強誘電体膜129を結晶化する。本実施形態では、RTA装置内に酸素ガスを0.025リットル／分の流量で供給し、例えば565℃の温度で90秒間加熱するものとする。

[0071] その後、強誘電体膜129の上に、強誘電体キャパシタの上部電極となる導電体膜130を形成する。導電体膜130は、例えばPt、Ir、Ru、Rh、Re、Os及びPd等の金属、又はそれらの金属の酸化物(導電性酸化物)により形成する。本実施形態では、強誘電体膜129の上に、 IrO_2 を50nmの厚さに堆積させて第1の IrO_2 膜を形成する。そ

の後、半導体基板110をRTA装置内に載置し、酸素ガス供給量が0.025リットル／分、温度が725℃、処理時間が20秒の条件でRTA処理を実施する。次に、第1のIrO₂膜の上に、PVD法によりIrO₂を200nmの厚さに堆積させて第2のIrO₂膜を形成する。このようにして、第1及び第2のIrO₂膜を積層した構造の導電体膜130を形成する。

[0072] 次に、図9に示す構造を形成するまでの工程について説明する。上記の工程で導電体膜130を形成した後、フォトリソグラフィ法により、強誘電体キャパシタの上部電極形成領域を覆うレジスト膜(図示せず)を形成する。その後、このレジスト膜をマスクとして導電体膜130をエッチングして、上部電極130aを形成する。次いで、上部電極130aの上のレジスト膜を除去する。

[0073] 次に、強誘電体膜129の回復アニールを実施する。すなわち、半導体基板110を加熱炉内に載置し、酸素供給量が20リットル／分、温度が650℃、処理時間が60分間の条件で熱処理を行う。

[0074] 強誘電体膜129の回復アニール処理後、フォトリソグラフィ法により、強誘電体キャパシタ形成領域の上方を覆うレジスト膜(図示せず)を形成する。そして、このレジスト膜をマスクとして強誘電体膜129をエッチングして、強誘電体膜129を所定の形状にする。その後、レジスト膜を除去する。

[0075] 次に、半導体基板110を加熱炉内に載置し、強誘電体膜129の回復アニールを実施する。この回復アニールは、例えば加熱炉内への酸素供給量が20リットル／分、温度が350℃、処理時間が60分間の条件で行う。

[0076] 次に、図10に示す構造を形成するまでの工程について説明する。上記の工程で強誘電体膜129をパターンニングした後、フォトリソグラフィ法により、強誘電体キャパシタの下部電極形成領域の上方を覆うレジスト膜(図示せず)を形成する。そして、このレジスト膜をマスクとして導電体膜128をエッチングし、下部電極128aを形成する。その後、レジスト膜を除去する。

[0077] 次に、半導体基板110を加熱炉内に載置し、強誘電体膜129の回復アニールを実施する。この回復アニールは、例えば加熱炉内への酸素供給量が20リットル／分、温度が650℃、処理時間が60分間の条件で行う。このようにして、強誘電体キャパシ

タ131が完成する。

[0078] 次に、半導体基板110の上側全面に、例えばプラズマCVD法によりTEOS—NSGを1500nmの厚さに堆積させて層間絶縁膜132を形成し、この層間絶縁膜132により強誘電体キャパシタ131を覆う。その後、CMP法により層間絶縁膜132の上面を平坦化する。

[0079] なお、図10には図示していないが、強誘電体キャパシタ131を形成した後、PVD法により、基板110の上側全面に水素バリア膜(酸化アルミニウム膜)を例えば20nmの厚さに形成することが好ましい。これにより、強誘電体キャパシタ131への水分及び水素の進入をより一層確実に防止することができる。この水素バリア膜を形成した場合は、酸素雰囲気中で550℃の温度で60分間熱処理を実施する。本願の他の実施形態においても、これと同様に強誘電体キャパシタを形成した後、半導体基板の上側全面に水素バリア膜を形成することが好ましい。

[0080] 次に、図11に示す構造を形成するまでの工程について説明する。上記の工程で層間絶縁膜132の表面を平坦化した後、例えば窒素及び酸素を含む雰囲気中で350℃の温度で2分間プラズマアニールを実施し、層間絶縁膜132の表面を窒化処理する。その後、層間絶縁膜132の上にフォトレジストを塗布してフォトレジスト膜133を形成する。そして、このフォトレジスト膜133を露光及び現像処理して、所定の位置に開口部133aを形成する。その後、このフォトレジスト膜133をマスクとしてエッチング処理を実施して、層間絶縁膜132の上面からWプラグ124に到達するコンタクトホール132aを形成する。このコンタクトホール132aの直径はWプラグ124形成時のコンタクトホール121aの直径(0.55 μ m)よりも若干小さくすることが好ましい。本実施形態においては、コンタクトホール132aの直径を0.5 μ mとする。

[0081] このコンタクトホール132a形成時に位置ずれが発生しても、Wプラグ124の周囲にはエッチングストップ膜122が形成されているため、層間絶縁膜121がエッチングされることが回避される。これにより、層間絶縁膜がエッチングされて窪みが発生し、窪みに溜まった水分や不純物により強誘電体キャパシタの特性を劣化させるという問題(図2参照)が解消される。

[0082] 次に、図12に示す構造を形成するまでの工程について説明する。コンタクトホール

132aの形成に用いたレジスト膜133を除去した後、半導体基板110の上側全面に、例えばPVD法により、厚さが20nmのTi膜と厚さが50nmのTiN膜(いずれも図示せず)とを順次形成し、コンタクトホール132aの壁面をこれらのTi膜及びTiN膜で覆う。その後、半導体基板110の上側全面に、例えばCVD法によりW(タングステン)を堆積させて、層間絶縁膜132の上にW膜を形成するとともに、コンタクトホール132a内にWを充填する。

[0083] 次に、CMP法により、層間絶縁膜132の上のW膜、TiN膜及びTi膜を除去する。このようにして、コンタクトホール132a内にWが充填されてなるWプラグ134が形成される。次いで、例えば窒素及び酸素を含む雰囲気中で350℃の温度で2分間プラズマアニールを実施して、層間絶縁膜132の表面を窒化処理した後、層間絶縁膜132の上にCVD法によりSiON膜135を100nmの厚さに形成して、Wプラグ134の酸化を防止する。

[0084] 次に、図13、図14、図15に示す構造を形成するまでの工程について説明する。上記の工程によりSiON膜135を形成した後、図13に示すように、SiON膜135上にフォトリソグレイスを塗布してフォトリソグレイス膜136を形成する。そして、このフォトリソグレイス膜136を露光及び現像処理して、所定の位置に開口部を形成する。その後、このフォトリソグレイス膜136をマスクとしてエッチング処理を実施して、SiON膜135の上面から強誘電体キャパシタ131の上部電極130a及び下部電極128aに到達するコンタクトホール132bをそれぞれ形成する。次いで、フォトリソグレイス膜136を除去した後、強誘電体膜129の回復アニールを実施する。この回復アニールは、例えば酸素雰囲気中で500℃の温度で60分間加熱することにより行われる。

[0085] 次に、図14に示すように、SiON膜135をエッチングにより除去する。その後、図15に示すように、半導体基板110の上側全面に例えばPVD法によりTiNを150nm、Al-Cu合金を550nm、Tiを5nm、TiNを150nmの厚さに順次堆積させて、層間絶縁膜132上にアルミニウム膜137を形成するとともに、コンタクトホール132b内にアルミニウムを充填する。

[0086] 次に、図16に示す構造を形成するまでの工程について説明する。上記の工程でアルミニウム膜137を形成した後、フォトリソグラフィ法及びエッチング法を使用してアル

ミニウム膜137をパターニングし、第1配線層の配線138を形成する。本実施形態では、強誘電体キャパシタ131の上部電極130aは、配線138、Wプラグ134及びWプラグ124を介してトランジスタTの高濃度不純物領域118に電氣的に接続される。このようにして第1配線層の配線138を形成した後、例えば窒素供給量が20リットル／分、温度が350℃、処理時間が30分間の条件で熱処理を実施する。その後、半導体基板110の上側全面に、PVD法により、水素バリア膜139として酸化アルミニウム（例えば、 Al_2O_3 ）膜を20nmの厚さに形成する。

[0087] 次に、図17、図18に示す構造を形成するまでの工程について説明する。上記の工程で水素バリア膜139を形成した後、例えばプラズマCVD法によりTEOS－NSGを約2600nmの厚さに堆積させて、図17に示すように、層間絶縁膜140を形成する。その後、CMP法により、層間絶縁膜140の表面を研磨して平坦化する。次いで、フォトリソグラフィ法及びエッチング法を使用して、層間絶縁膜140の上面から第1配線層の配線138に到達するコンタクトホールを形成する。そして、半導体基板110の上側全面にTi膜を20nm、TiN膜を50nmの厚さに形成した後、CVD法により半導体基板110の上側全面にW（タングステン）を堆積させてコンタクトホール内にWを埋め込み、その後層間絶縁膜140が露出するまでCMP研磨して、Wプラグ141を形成する。

[0088] 次に、第1配線層の配線形成時と同様の方法により、半導体基板110の上側全面にアルミニウム膜を形成する。そして、このアルミニウム膜をパターニングして、図18に示すように第2配線層の配線142を形成する。この図18に示すように、第2配線層の配線142のうちの所定の配線は、Wプラグ141、第1配線層の配線138、Wプラグ134及びWプラグ124を介してトランジスタT（高濃度不純物層118）に電氣的に接続される。

[0089] 次に、図19に示す構造を形成するまでの工程について説明する。上記の工程で第2配線層の配線142を形成した後、例えばプラズマCVD法によりTEOS－NSGを約2200nmの厚さに堆積させて、第2配線層の配線142を覆う層間絶縁膜143を形成する。その後、CMP法により層間絶縁膜143の表面を平坦化する。次いで、フォトリソグラフィ法及びエッチング法を使用して、層間絶縁膜143の上面から第2配線層

の配線142に到達するコンタクトホールを形成し、このコンタクトホール内にW(タングステン)を充填してWプラグ144を形成する。その後、半導体基板110の上側全面にアルミニウム膜を形成し、このアルミニウム膜をパターニングして、第3配線層の配線145及び端子146を形成する。

[0090] 次に、図20に示す構造を形成するまでの工程について説明する。上記の工程で第3配線層の配線145及び端子146を形成した後、プラズマCVD法により、半導体基板110の上側全面にTEOS-NSGを約100nmの厚さに堆積させて、配線145及び端子146を覆う第1のパッシベーション膜147を形成する。そして、この第1のパッシベーション膜147に対して窒素雰囲気中でプラズマアニールを実施する。アニール時の温度は例えば350℃、処理時間は例えば2分間とする。

[0091] その後、第1のパッシベーション膜147の上に例えばプラズマCVD法により、SiNを350nmの厚さに堆積させて、第2のパッシベーション膜148を形成する。

[0092] 次に、図21に示す構造を形成するまでの工程について説明する。上記の工程で第1及び第2のパッシベーション膜147、148を形成した後、フォトリソグラフィ法及びエッチング法を用いて端子146の上の第1及び第2のパッシベーション膜147、148を除去する。その後、半導体基板110の上側全面に感光性ポリイミドを約3.6 μm の厚さに塗布して保護膜149を形成する。そして、露光及び現像処理を実施して、保護膜149に端子146が露出する開口部149aを形成する。次いで、例えば窒素雰囲気中で310℃の温度で40分間熱処理して、保護膜149を構成するポリイミドを硬化させる。このようにして、本実施形態に係る半導体装置(FeRAM)が完成する。なお、保護膜149は、非感光性ポリイミドにより形成してもよい。

[0093] 本実施形態においては、図11に示すように、第1の層間絶縁膜121の上にエッチングストップ膜122を形成するので、第2の層間絶縁膜132にプラグ124に連絡するコンタクトホール132aを形成するときに位置ずれが発生しても、第1の層間絶縁膜121がエッチングされることはなく、図2に示すような窪み21aは発生しない。従って、窪み21aに溜まる水分や不純物による特性の劣化が回避され、半導体装置(FeRAM)の長期間にわたる信頼性を確保することができる。

[0094] また、本実施形態においては、強誘電体キャパシタ131の下方及び上方に水素バ

リア膜127、139が形成されているので、強誘電体キャパシタ131への水分及び水素の進入をより確実に防止できる。これにより、強誘電体キャパシタ131の特性の劣化を抑制することができて、半導体装置の信頼性がより一層向上する。

[0095] (第2の実施形態)

図22は、本発明の第2の実施形態に係る半導体装置の構造を示す模式図である。本実施形態が第1の実施形態と異なる点は、エッチングストップ膜122の上にTEOS(酸化シリコン)膜211が形成されていること、プラグ124とプラグ134との接続部がTEOS膜211の上面と同じ平面上に位置していること、及び第1配線層の配線128と強誘電体キャパシタ131の上部電極130a及び下部電極128aとの間がWプラグ212により接続されていることにあり、その他の構成は基本的に第1の実施形態と同様であるので、図22において図3と同一物には同一符号を付して、その詳しい説明は省略する。

[0096] 本実施形態においては、エッチングストップ膜122を形成した後、このエッチングストップ膜122の上にCVD法によりTEOS膜211を50～100nmの厚さに形成する。その後、フォトリソグラフィ法及びエッチング法を使用して、TEOS膜211の上面から高濃度不純物領域118に到達するコンタクトホールを形成し、このコンタクトホール内にW(タングステン)を充填してWプラグ124を形成する。その後、第1の実施形態と同様に、SiON膜125、TEOS膜126及び水素バリア膜127を形成し、更に強誘電体キャパシタ131及び層間絶縁膜132を形成する。

[0097] 次いで、層間絶縁膜132上にフォトレジスト膜を形成し、露光及び現像処理を実施して、フォトレジスト膜のうちプラグ124の上方の部分に開口部を形成する。そして、このフォトレジスト膜をマスクとしてエッチングを施し、層間絶縁膜132の上面からプラグ124に到達するコンタクトホールを形成する。次いで、フォトレジスト膜を除去した後、コンタクトホール内にW(タングステン)を充填して、Wプラグ124に電氣的に接続するWプラグ134を形成する。

[0098] なお、コンタクトホール形成時に位置ずれが発生してTEOS膜211がエッチングされることが考えられるが、TEOS膜211は50～100nmと極めて薄く、且つその下にエッチングストップ膜122が形成されているため、図2に示すような大きな窪みの発生

が回避される。

[0099] 次に、半導体基板110の上側全面にSiON膜(図示せず)を形成する。そして、このSiON膜の上にフォトレジスト膜を形成し、露光及び現像処理を実施して、フォトレジスト膜のうち強誘電体キャパシタ131の上部電極130a及び下部電極128aの上方の部分に開口部を形成する。そして、このフォトレジスト膜をマスクとしてエッチングを施し、層間絶縁膜132の上面から強誘電体キャパシタ131の上部電極130a及び下部電極128aに到達するコンタクトホールをそれぞれ形成する。次いで、フォトレジスト膜及びSiON膜を除去した後、コンタクトホール内にW(タングステン)を充填して、強誘電体キャパシタ131の上部電極130a及び下部電極128aに電氣的に接続するWプラグ212をそれぞれ形成する。

[0100] その後の工程は第1の実施形態と同じであるので、ここでは説明を省略する。本実施形態においても、第1の実施形態と同様の効果を得ることができる。

[0101] (第3の実施形態)

図23は、本発明の第3の実施形態に係る半導体装置の構造を示す模式図である。本実施形態が第1の実施形態と異なる点は、エッチングストップ膜122の上にSiON膜221が形成されていること、プラグ124とプラグ134との接続部がSiON膜221の上面と同じ平面上に位置していること、及び第1配線層の配線128と強誘電体キャパシタ131の上部電極130a及び下部電極128aとの間がWプラグ212により接続されていることにあり、その他の構成は基本的に第1の実施形態と同様であるので、図23において図3と同一物には同一符号を付して、その詳しい説明は省略する。

[0102] 本実施形態においては、エッチングストップ膜122を形成した後、このエッチングストップ膜122の上にプラズマCVD法によりSiON膜221を50～100nmの厚さに形成する。その後、フォトリソグラフィ法及びエッチング法を使用して、SiON膜221の上面から高濃度不純物領域118に到達するコンタクトホールを形成し、このコンタクトホール内にW(タングステン)を充填してWプラグ124を形成する。その後、第1の実施形態と同様に、SiON膜125、TEOS膜126及び水素バリア膜127を形成し、強誘電体キャパシタ131及び層間絶縁膜132を形成する。

[0103] 次に、層間絶縁膜132上にフォトレジスト膜を形成し、露光及び現像処理を実施し

て、フォトリソ膜のうちプラグ124の上方の部分に開口部を形成する。そして、このフォトリソ膜をマスクとしてエッチングを施し、層間絶縁膜132の上面からプラグ124に到達するコンタクトホールを形成する。次いで、フォトリソ膜を除去した後、コンタクトホール内にW(タングステン)を充填して、プラグ124に電氣的に接続するWプラグ134を形成する。

[0104] 次に、半導体基板110の上側全面にSiON膜(図示せず)を形成する。そして、このSiON膜の上にフォトリソ膜を形成し、露光及び現像処理を実施して、フォトリソ膜のうち強誘電体キャパシタ131の上部電極130a及び下部電極128aの上方の部分に開口部を形成する。そして、このフォトリソ膜をマスクとしてエッチングを施し、層間絶縁膜132の上面から強誘電体キャパシタ131の上部電極130a及び下部電極128aに到達するコンタクトホールをそれぞれ形成する。次いで、フォトリソ膜及びSiON膜を除去した後、コンタクトホール内にW(タングステン)を充填して、強誘電体キャパシタ131の上部電極130a及び下部電極128aに電氣的に接続するWプラグ212をそれぞれ形成する。

[0105] その後の工程は第1の実施形態と同じであるので、ここでは説明を省略する。本実施形態においても、第1の実施形態と同様の効果を得ることができる。

[0106] (第4の実施形態)

図24は、本発明の第4の実施形態に係る半導体装置の構造を示す模式図である。本実施形態が第1の実施形態と異なる点は、トランジスタTの高濃度不純物領域118と電氣的に接続されるプラグの上部形状が異なることにあり、その他の構造は基本的に第1の実施形態と同様であるので、図24において図3と同一物には同一符号を付している。

[0107] 本実施形態においては、図24に示すように、エッチングストップ膜122の上にTEOS(酸化シリコン)膜242が形成されており、その上にSiON膜125、TEOS膜126及び水素バリア膜127が形成されている。プラグ241は、TEOS膜242の上面からトランジスタTの高濃度不純物領域118に到達するコンタクトホール内にW(タングステン)を充填して形成されており、このプラグ241の頭部(エッチングストップ膜122より上の部分)は、他の部分(軸部)よりの大きな径で形成されている。例えば、軸部の直

径は $0.55\mu\text{m}$ 、頭部の直径は $0.7\mu\text{m}$ である。

[0108] 本実施形態においては、第1の実施形態と同様の効果を得ることができるのに加えて、プラグ241の頭部の径が大きく形成されているので、その上に形成されるプラグ134との間に位置ずれが発生しても、プラグ241、134間の電氣的接続を良好な状態に保つことができる。

[0109] 以下、本実施形態の半導体装置の製造方法を3つ説明する。なお、以下の説明では、本発明をプレーナー型強誘電体キャパシタを有するFeRAMに適用した例について説明している。

[0110] (第1の製造方法)

図25～図30は、本実施形態の半導体装置の第1の製造方法を工程順に示す断面図である。

[0111] まず、第1の実施形態と同様の方法により、図25に示すように、半導体基板110に素子分離膜111、pウエル112、ゲート電極114、低濃度不純物領域116、サイドウォール117、高濃度不純物領域118、ストッパ層120及び第1の層間絶縁膜121を形成する。その後、CVD法により層間絶縁膜121の上にエッチングストッパ膜122としてSiON膜を100nmの厚さに形成し、更にその上にCVD法によりTEOS膜242を100nmの厚さに形成する。

[0112] 次に、図26に示すように、TEOS膜242の上にフォトレジストを塗布して、フォトレジスト膜243を形成する。そして、このフォトレジスト膜243を露光及び現像処理して、所定の領域に開口部243aを形成する。その後、フォトレジスト膜243をマスクとしてTEOS膜242をエッチングして、開口部242aを形成する。

[0113] 次に、フォトレジスト膜243を除去した後、図27に示すように、半導体基板110の上側全面にフォトレジストを塗布して、フォトレジスト膜244を形成する。そして、このフォトレジスト膜244を露光及び現像処理して開口部244aを形成する。この開口部244aはTEOS膜242の開口部242aに整合する位置に、開口部242aよりも若干小さい径で形成する。本実施形態では、開口部242aの直径が $0.7\mu\text{m}$ 、開口部244aの直径は $0.55\mu\text{m}$ とする。なお、ここでは下地に段差があるので、反射防止膜(BARC)を塗布した後にフォトレジスト膜を形成したほうがパターンを精度よく形成できる。どち

らの手法を用いてもよい。

- [0114] 次に、図28に示すように、フォトリソ膜244をマスクとしてエッチングを施し、エッチングストップ膜122の上面から高濃度不純物領域118(トランジスタTのソース/ドレイン)に到達するコンタクトホール121aを形成する。ここでは、エッチングストップ膜122の上面から高濃度不純物領域118に到達するコンタクトホール121aと同時に、エッチングストップ膜122の上面から周辺回路形成領域の素子分子膜111上のゲート電極(シリコン配線)114に到達するコンタクトホール121aを形成している。
- [0115] 次に、フォトリソ膜244を除去した後、半導体基板110の上側全面に、例えばPVD法により、厚さが20nmのTi膜と厚さが50nmのTiN膜(いずれも図示せず)とを形成し、コンタクトホール121aの壁面をこれらのTi膜及びTiN膜で被覆する。その後、半導体基板110の上側全面に例えばCVD法によりW(タングステン)を堆積させて、TEOS膜242上にW膜を形成するとともに、コンタクトホール121a内にWを充填する。そして、CMP法によりTEOS膜242上のW膜、TiN膜及びTi膜を除去する。これにより、図29に示すように、コンタクトホール121a内にWが充填されてなるWプラグ241が形成される。このWプラグ241は、その上部(頭部)の直径が他の部分(軸部)の直径よりも大きな形状(リベット状)となる。CMP処理後、窒素及び酸素を含む雰囲気中で350℃の温度で2分間プラズマアニールを施す。
- [0116] 次に、図30に示すように、プラズマCVD法により、半導体基板110の上側全面に厚さが100nmのSiON膜125を形成する。その後、SiON膜125の上に、CVD法によりTEOS膜126を100nmの厚さに形成する。そして、窒素流量が2リットル/分、温度が650℃の条件で30分間加熱する脱水処理を施す。次いで、TEOS膜126の上に、PVD法により酸化アルミニウム(例えば、 Al_2O_3)からなる水素バリア膜127を形成する。その後の工程は第1の実施形態と同様であるので、ここでは説明を省略する。
- [0117] (第2の製造方法)
- 図31～図36は、本実施形態の半導体装置の第2の製造方法を工程順に示す断面図である。
- [0118] まず、第1の実施形態と同様の方法により、図31に示すように、半導体基板110に

素子分離膜111、pウェル112、ゲート電極114、低濃度不純物領域116、サイドウォール117、高濃度不純物領域118、ストップ層120及び第1の層間絶縁膜121等を形成する。その後、CVD法により層間絶縁膜121の上にエッチングストップ膜122としてSiON膜を100nmの厚さに形成する。

[0119] 次に、図32に示すように、エッチングストップ膜122の上にフォトレジストを塗布してフォトレジスト膜251を形成する。そして、このフォトレジスト膜251を露光及び現像処理して、所定の領域に直径が $0.55\mu\text{m}$ の開口部251aを形成する。その後、フォトレジスト膜251をマスクとしてエッチングを施し、エッチングストップ膜122の上面から高濃度不純物領域118に到達するコンタクトホール121aを形成する。ここでは、エッチングストップ膜122の上面から高濃度不純物領域118に到達するコンタクトホール121aと同時に、エッチングストップ膜122の上面から周辺回路形成領域の素子分子膜111上のゲート電極(シリコン配線)114に到達するコンタクトホール121aを形成している。

[0120] 次に、フォトレジスト膜251を除去した後、半導体基板110の上側全面に、例えばPVD法により、厚さが20nmのTi膜と厚さが50nmのTiN膜(いずれも図示せず)とを形成し、コンタクトホール121aの壁面をこれらのTi膜及びTiN膜で被覆する。その後、半導体基板110の上側全面に例えばCVD法によりW(タングステン)を堆積させて、エッチングストップ膜122上にW膜を形成するとともに、コンタクトホール121a内にWを充填する。そして、CMP法によりエッチングストップ膜122上のW膜、TiN膜及びTi膜を除去する。これにより、図33に示すように、コンタクトホール121a内にWが充填されてなるWプラグ241(但し、頭部の部分を除く)が形成される。

[0121] 次に、図34に示すように、CVD法により、半導体基板110の上側全面にTEOS膜242を100nmの厚さに形成する。そして、このTEOS膜242の上にフォトレジスト膜252を形成し、このフォトレジスト膜252を露光及び現像処理して、Wプラグ241に整合する位置に、直径が $0.7\mu\text{m}$ の開口部252aを形成する。その後、フォトレジスト膜252をマスクとしてTEOS膜242をエッチングし、Wプラグ241が露出する開口部242aを形成する。その後、フォトレジスト膜252を除去する。

[0122] 次に、半導体基板110の上側全面に厚さが20nmのTi膜と厚さが50nmのTiN膜(

いずれも図示せず)とを形成する。その後、半導体基板110の上側全面にCVD法によりW(タングステン)を堆積させて、TEOS膜242上にW膜を形成するとともに、開口部242a内にWを充填する。そして、CMP法によりTEOS膜242上のW膜、TiN膜及びTi膜を除去する。これにより、図35に示すように、Wプラグ241の頭部が形成され、Wプラグ241の形状がリベット状になる。その後、窒素及び酸素を含む雰囲気中で350℃の温度で2分間プラズマアニールを施す。

[0123] 次に、図36に示すように、プラズマCVD法により、半導体基板110の上側全面に厚さが100nmのSiON膜125を形成する。その後、SiON125の上に、CVD法によりTEOS膜126を100nmの厚さに形成する。そして、窒素流量が2リットル/分、温度が650℃の条件で30分間過熱する脱水処理を施す。次いで、TEOS膜126の上に、PVD法により酸化アルミニウム(例えば、 Al_2O_3)からなる水素バリア膜127を形成する。その後の工程は第1の実施形態と同様であるので、ここでは説明を省略する。

[0124] (第3の製造方法)

図37～図42は、本実施形態の半導体装置の第3の製造方法を工程順に示す断面図である。なお、ここでは、TEOS膜242に替えて、SiON、SiN又は酸化アルミニウムからなる絶縁膜を形成している。

[0125] まず、第1の実施形態と同様の方法により、図37に示すように、半導体基板110に素子分離膜111、pウェル112、ゲート電極114、低濃度不純物領域116、サイドウォール117、高濃度不純物領域118、ストップ層120及び第1の層間絶縁膜121等を形成する。その後、CVD法により層間絶縁膜121の上にエッチングストップ膜122としてSiON膜を100nmの厚さに形成する。

[0126] 次に、図38に示すように、エッチングストップ膜122の上にフォトレジスト膜261を形成し、このフォトレジスト膜261を露光及び現像処理して、所定の領域に直径が0.55μmの開口部261aを形成する。そして、このフォトレジスト膜261をマスクとしてエッチングを施し、エッチングストップ膜122の上面から高濃度不純物領域118に到達するコンタクトホール121aを形成する。ここでは、エッチングストップ膜122の上面から高濃度不純物領域118に到達するコンタクトホール121aと同時に、エッチングストッ

パ膜122の上面から周辺回路形成領域の素子分離膜111上のゲート電極(シリコン配線)114に到達するコンタクトホール121aを形成している。

[0127] 次に、フォトリジスト膜261を除去した後、半導体基板110の上側全面に、例えばPVD法により、厚さが20nmのTi膜と厚さが50nmのTiN膜(いずれも図示せず)とを形成し、コンタクトホール121aの壁面をこれらのTi膜及びTiN膜で被覆する。その後、半導体基板110の上側全面に例えばCVD法によりW(タングステン)を堆積させて、エッチングストップ膜122上にW膜を形成するとともに、コンタクトホール121a内にWを充填する。そして、CMP法によりエッチングストップ膜122上のW膜、TiN膜及びTi膜を除去する。これにより、図39に示すように、コンタクトホール121内にWが充填されてなるWプラグ241(但し、頭部の部分を除く)が形成される。

[0128] 次に、半導体基板110の上側全面に、例えばPVD法によりTiN膜(図示せず)を50nmの厚さに形成する。その後、図40に示すように、半導体基板110の上側全面に、例えばCVD法によりW(タングステン)膜262を200nmの厚さに形成する。そして、W膜262の上にフォトリジスト塗布し、露光及び現像処理を実施して、W膜262上の所定の領域を覆うフォトリジスト膜263を形成する。このフォトリジスト膜263は、Wプラグ241の上方に直径が $0.7\mu\text{m}$ の大きさに形成する。

[0129] 次に、フォトリジスト膜263をマスクとしてW膜262をエッチングする。これにより、図41に示すように、Wプラグ241の頭部が形成され、Wプラグの形状がリベット状になる。その後、フォトリジスト膜263を除去する。

[0130] 次に、半導体基板110の上側全面に、Wプラグの酸化を防止するための絶縁膜264を形成する。絶縁膜264は、SiON、SiN又は酸化アルミニウム(Al_2O_3 等)により形成する。ここでは、絶縁膜264を酸化アルミニウムにより形成するものとする。半導体基板110の上側全面に絶縁膜242を形成した後、Wプラグ241が露出するまで絶縁膜264を研磨して、表面を平坦化する。

[0131] 次いで、図42に示すように、プラズマCVD法により、半導体基板110の上側全面に厚さが100nmのSiON膜125を形成する。その後、SiON膜125の上に、CVD法によりTEOS膜126を100nmの厚さに形成する。そして、窒素流量が2リットル/分、温度が650℃の条件で30分間加熱する脱水処理を施す。次いで、TEOS膜126の

上に、PVD法により酸化アルミニウム(例えば Al_2O_3)からなる水素バリア膜127を形成する。その後の工程は第1の実施形態と同様であるので、ここでは説明を省略する。

[0132] (第5の実施形態)

図43は、本発明の第5の実施形態に係る半導体装置の構造を示す模式図である。本実施形態が第4の実施形態と異なる点は、エッチングストップ膜122の上にSiON膜271が形成されていることにあり、その他の構成は基本的に第4の実施形態と同様であるので、図43において図24と同一物には同一符号を付してその詳しい説明は省略する。

[0133] 本実施形態においては、エッチングストップ膜122を形成した後、エッチングストップ膜122上にSiON膜271を形成する。そして、このSiON膜271をフォトリソグラフィ法及びエッチング法により加工して、所定の領域にエッチングストップ膜122が露出する開口部を形成する。その後、フォトリソグラフィ法及びエッチング法により、開口部に露出したエッチングストップ膜122の上面から高濃度不純物領域118に到達するコンタクトホールを形成する。

[0134] 次いで、半導体基板110の上側全面にTiN膜及びTi膜を形成してコンタクトホールの壁面をこれらのTiN膜及びTi膜で被覆した後、半導体基板110の上側全面にW(タングステン)を堆積させて、コンタクトホール内にWを埋め込む。その後、CMP法によりエッチングストップ膜122が露出するまで研磨する。このようにして、上部が幅広のリベット状のWプラグ241が形成される。

[0135] その後の工程は第4の実施形態と同様であるので、ここでは説明を省略する。本実施形態においても、第4の実施形態と同様の効果を得ることができる。

[0136] なお、本実施形態の半導体装置は、第4の実施形態で説明した第2の製造方法又は第3の製造方法により形成することも可能である。

[0137] (第6の実施形態)

図44は、本発明の第6の実施形態に係る半導体装置の構造を示す模式図である。本実施形態が第1の実施形態と異なる点は、エッチングストップ膜が強誘電体キャパシタ131の上側に配置されていることにあり、その他の構成は基本的に第1の実施形

態と同様であるので、図44において図3と同一物には同一符号を付してその詳しい説明は省略する。

- [0138] 図44に示すように、本実施形態においては、第1の実施形態と同様の方法により、半導体基板110に素子分離膜111、トランジスタT、ストップ層120及び第1の層間絶縁膜121を形成する。その後、層間絶縁膜121の上面をCMP法により平坦化した後、TEOS膜126及び水素バリア膜127を形成する。
- [0139] 次に、水素バリア膜127の上に、下部電極128a、強誘電体膜129及び上部電極130aにより構成される強誘電体キャパシタ131を形成する。その後、必要に応じて、半導体基板110の上側全面に酸化アルミニウム(Al_2O_3)膜(図示せず)を形成し、この酸化アルミニウム膜により強誘電体キャパシタ131を覆う。
- [0140] 次に、半導体基板110の上側全面にTEOS-NSGからなる層間絶縁膜311を形成する。その後、層間絶縁膜311の表面をCMP法により研磨して平坦化する。そして、この層間絶縁膜311の上に、SiONからなるエッチングストップ膜312を例えば100nmの厚さに形成する。
- [0141] 次に、エッチングストップ膜312の上にフォトレジスト膜を形成し、このフォトレジスト膜を露光及び現像処理して、所定の位置に開口部を形成する。その後、このフォトレジスト膜をマスクとしてエッチングを施し、エッチングストップ膜312の表面から高濃度不純物層118に到達するコンタクトホールを形成する。次いで、このコンタクトホールの壁面をTi膜及びTiN膜により被覆した後、コンタクトホール内にW(タングステン)を充填して、高濃度不純物領域118に電氣的に接続したプラグ313を形成する。その後、プラズマCVD法により、エッチングストップ膜312の上にTEOS-NSGからなる層間絶縁膜314を形成する。
- [0142] 次に、フォトリソグラフィ法及びエッチング法を使用して、層間絶縁膜314の上面からプラグ313に到達するコンタクトホールを形成し、このコンタクトホール内にW(タングステン)を充填して、プラグ313と電氣的に接続するプラグ315を形成する。その後、基板110の上側全面に、バリアメタルとしてTiN膜(図示せず)を形成する。
- [0143] 次に、フォトリソグラフィ法及びエッチング法により、層間絶縁膜314の上面から強誘電体キャパシタ131の上部電極130a及び下部電極128aに到達するコンタクトホ

ールをそれぞれ形成する。その後、半導体基板110の上側全面にアルミニウム(アルミニウム合金)膜を形成するとともに、コンタクトホール内にアルミニウムを埋め込む。そして、フォトリソグラフィ法及びエッチング法によりアルミニウム膜をパターニングして、第1配線層の配線138を形成する。

[0144] その後の工程は第1の実施形態と同様であるので、ここでは説明を省略する。本実施形態においても、第1の実施形態と同様の効果を得ることができる。

[0145] 図45は、第6の実施形態の変形例を示す模式図である。この図45に示すように、エッチングストップ膜312の下にキャップ層351として厚さが50～100nmの酸化膜を形成してもよい。強誘電体キャパシタ131の上に形成された層間絶縁膜311をCMP法により研磨すると、層間絶縁膜311にボイド(空間)が発生し、この空間内に水分又は水素が侵入して強誘電体キャパシタ131の特性が劣化する原因となることがある。図45に示すように層間絶縁膜311の上にキャップ層351を形成してボイドを埋めた後にエッチングストップ膜312を形成することにより、強誘電体キャパシタ131の特性劣化をより確実に防止することができる。

[0146] また、エッチングストップ膜312の上方に、水素バリア膜(図示せず)を形成してもよい。これにより、強誘電体キャパシタ131への水分及び水素の侵入を更に確実に防止することができ、強誘電体キャパシタ131の特性劣化をより確実に防止することができる。

[0147] (第7の実施形態)

図46は、本発明の第7の実施形態に係る半導体装置の構造を示す模式図である。本実施形態が第6の実施形態と異なる点は、エッチングストップ膜312の上にTEOS(酸化シリコン)膜321が形成されていることにあり、その他の構成は基本的に第6の実施形態と同様であるので、図46において図44と同一物には同一符号を付してその詳しい説明は省略する。

[0148] 本実施形態においては、エッチングストップ膜312を形成した後、CVD法によりエッチングストップ膜312の上にTEOS膜321を例えば100nmの厚さに形成する。その後、フォトリソグラフィ法及びエッチング法により、TEOS膜321の上面から高濃度不純物領域118に到達するコンタクトホールを形成し、このコンタクトホール内にW(

タングステン)を充填してプラグ313を形成する。

[0149] 次いで、プラズマCVD法により、半導体基板110の上側全面にTEOS－NSGからなる層間絶縁膜314を形成する。その後、フォトリソグラフィ法及びエッチング法を使用して、層間絶縁膜314の上面からプラグ313に到達するコンタクトホールを形成し、このコンタクトホール内にW(タングステン)を充填して、プラグ313と電氣的に接続するプラグ315を形成する。

[0150] 次に、フォトリソグラフィ法及びエッチング法により、層間絶縁膜314の上面から強誘電体キャパシタ131の上部電極130a及び下部電極128aに到達するコンタクトホールをそれぞれ形成する。その後、半導体基板110の上側全面にアルミニウム(アルミニウム合金)膜を形成するとともに、コンタクトホール内にアルミニウムを埋め込む。そして、フォトリソグラフィ法及びエッチング法によりアルミニウム膜をパターニングして、第1配線層の配線138を形成する。

[0151] その後の工程は第1の実施形態と同様であるので、ここでは説明を省略する。本実施形態においても、第1の実施形態と同様の効果を得ることができる。

[0152] 図47は、第7の実施形態の変形例を示す模式図である。この図47に示すように、エッチングストップ膜312の下にキャップ層351として厚さが50～100nmの酸化膜を形成してもよい。これにより、CMP処理時に発生した層間絶縁膜311のボイドを埋めることができ、強誘電体キャパシタ131の特性劣化をより確実に防止することができる。

[0153] また、エッチングストップ膜312の上方に、水素バリア膜(図示せず)を形成してもよい。これにより、強誘電体キャパシタ131への水分及び水素の侵入を更に確実に防止することができ、強誘電体キャパシタ131の特性劣化をより確実に防止することができる。

[0154] (第8の実施形態)

図48は、本発明の第8の実施形態に係る半導体装置の構造を示す模式図である。本実施形態が第6の実施形態と異なる点は、エッチングストップ膜312の上にSiONからなる水分バリア膜322が形成されていることにあり、その他の構成は基本的に第6の実施形態と同様であるので、図48において図44と同一物には同一符号を付して

その詳しい説明は省略する。

- [0155] 本実施形態においては、エッチングストップ膜312及びWプラグ313を形成した後、プラズマCVD法によりエッチングストップ膜312の上にSiON膜322を例えば100nmの厚さに形成する。その後、プラズマCVD法により、SiON膜322の上にTEOS－NSGからなる層間絶縁膜314を形成する。
- [0156] 次に、フォトリソグラフィ法及びエッチング法を使用して、層間絶縁膜314の上面からプラグ313に到達するコンタクトホールを形成し、このコンタクトホール内にW（タングステン）を充填して、プラグ313と電氣的に接続するプラグ315を形成する。その後、基板110の上側全面に、バリアメタルとしてTiN膜（図示せず）を形成する。
- [0157] 次に、フォトリソグラフィ法及びエッチング法により、層間絶縁膜314の上面から強誘電体キャパシタ131の上部電極130a及び下部電極128aに到達するコンタクトホールをそれぞれ形成する。その後、半導体基板110の上側全面にアルミニウム（アルミニウム合金）膜を形成するとともに、コンタクトホール内にアルミニウムを埋め込む。そして、フォトリソグラフィ法及びエッチング法によりアルミニウム膜をパターニングして、第1配線層の配線138を形成する。
- [0158] その後の工程は第1の実施形態と同様であるので、ここでは説明を省略する。本実施形態においても、第1の実施形態と同様の効果を得ることができる。
- [0159] 図49は、第8の実施形態の変形例を示す模式図である。この図49に示すように、エッチングストップ膜312の下にキャップ層351として厚さが50～100nmの酸化膜を形成してもよい。これにより、CMP処理時に発生した層間絶縁膜311のボイドを埋めることができ、強誘電体キャパシタ131の特性劣化をより確実に防止することができる。
- [0160] また、エッチングストップ膜312の上方に、水素バリア膜（図示せず）を形成してもよい。これにより、強誘電体キャパシタ131への水分及び水素の侵入を更に確実に防止することができる。強誘電体キャパシタ131の特性劣化をより確実に防止することができる。
- [0161] （第9の実施形態）
- 図50は、本発明の第9の実施形態に係る半導体装置の構造を示す模式図である。

本実施形態が第6の実施形態と異なる点は、高濃度不純物領域118に接続されたプラグの断面形状が異なることにあり、その他の構成は基本的に第6の実施形態と同様であるので、図50において図44と同一物には同一符号を付してその詳しい説明は省略する。

- [0162] 本実施形態においては、エッチングストップ膜312を形成した後、エッチングストップ膜312の上にTEOS膜331を形成する。そして、例えば図26～図28に示す方法を用いてTEOS膜311に開口部を形成し、その開口部の内側に露出したエッチングストップ膜312の上面から高濃度不純物領域118に到達するコンタクトホールを形成し、そのコンタクトホール内にW(タングステン)を充填して、上部の径が他の部分の径よりも大きいリベット状のWプラグ332を形成する。
- [0163] 次に、プラズマCVD法により、TEOS膜331の上にTEOS-NSGからなる層間絶縁膜314を形成する。そして、この層間絶縁膜314の上面からプラグ313に到達するコンタクトホールを形成し、このコンタクトホール内にW(タングステン)を充填して、プラグ313と電氣的に接続するプラグ315を形成する。
- [0164] 次いで、フォトリソグラフィ法及びエッチング法により、層間絶縁膜314の上面から強誘電体キャパシタ131の上部電極130a及び下部電極128aに到達するコンタクトホールをそれぞれ形成する。そして、半導体基板110の上側全面にアルミニウム(アルミニウム合金)膜を形成するとともに、コンタクトホール内にアルミニウムを埋め込む。その後、フォトリソグラフィ法及びエッチング法によりアルミニウム膜をパターニングして、第1配線層の配線138を形成する。
- [0165] その後の工程は第1の実施形態と同様であるので、ここでは説明を省略する。本実施形態においても、第1の実施形態と同様の効果を得ることができる。なお、リベット状のWプラグ332は、第4の実施形態において説明した第2の製造方法又は第3の製造方法により形成してもよい。
- [0166] 図51は、第9の実施形態の変形例を示す模式図である。この図51に示すように、エッチングストップ膜312の下にキャップ層351として厚さが50～100nmの酸化膜を形成してもよい。これにより、CMP処理時に発生した層間絶縁膜311のボイドを埋めることができ、強誘電体キャパシタ131の特性劣化をより確実に防止することが

できる。

[0167] また、エッチングストップ膜312の上方に、水素バリア膜(図示せず)を形成してもよい。これにより、強誘電体キャパシタ131への水分及び水素の侵入を更に確実に防止することができて、強誘電体キャパシタ131の特性劣化をより確実に防止することができる。

[0168] (第10の実施形態)

図52は、本発明の第10の実施形態に係る半導体装置の構造を示す模式図である。本実施形態が第9の実施形態と異なる点は、エッチングストップ膜312の上にSiON膜341が形成されていることにあり、その他の構成は基本的に第9の実施形態と同様であるので、図52において図50と同一物には同一符号を付してその詳しい説明は省略する。

[0169] 本実施形態においては、エッチングストップ膜312を形成した後、エッチングストップ膜312上にSiON膜341を形成する。そして、このSiON膜341をフォトリソグラフィ法及びエッチング法により加工して、所定の領域にエッチングストップ膜312が露出する開口部を形成する。その後、フォトリソグラフィ法及びエッチング法により、開口部に露出したエッチングストップ膜312の上面から高濃度不純物領域118に到達するコンタクトホールを形成する。そして、このコンタクトホール内にW(タングステン)を充填して、上部の径が他の部分の径よりも大きいリベット状のWプラグ332を形成する。

[0170] 次に、プラズマCVD法により、TEOS膜331の上にTEOS-NSGからなる層間絶縁膜314を形成する。そして、この層間絶縁膜314の上面からプラグ313に到達するコンタクトホールを形成し、このコンタクトホール内にW(タングステン)を充填して、プラグ313と電氣的に接続するプラグ315を形成する。

[0171] 次いで、フォトリソグラフィ法及びエッチング法により、層間絶縁膜314の上面から強誘電体キャパシタ131の上部電極130a及び下部電極128aに到達するコンタクトホールをそれぞれ形成する。そして、半導体基板110の上側全面にアルミニウム(アルミニウム合金)膜を形成するとともに、コンタクトホール内にアルミニウムを埋め込む。その後、フォトリソグラフィ法及びエッチング法によりアルミニウム膜をパターニングして、第1配線層の配線138を形成する。

[0172] その後の工程は第1の実施形態と同様であるので、ここでは説明を省略する。本実施形態においても、第1の実施形態と同様の効果を得ることができる。

[0173] 図53は、第10の実施形態の変形例を示す模式図である。この図53に示すように、エッチングストップ膜312の下にキャップ層351として厚さが50～100nmの酸化膜を形成してもよい。これにより、CMP処理時に発生した層間絶縁膜311のボイドを埋めることができ、強誘電体キャパシタ131の特性劣化をより確実に防止することができる。

[0174] また、エッチングストップ膜312の上方に、水素バリア膜(図示せず)を形成してもよい。これにより、強誘電体キャパシタ131への水分及び水素の侵入を更に確実に防止することができる、強誘電体キャパシタ131の特性劣化をより確実に防止することができる。

[0175] (その他の実施形態)

上記実施形態ではいずれも水素バリア膜(水素バリア膜127, 134)、SiON膜(SiON膜125, 135, 221, 271, 322, 341)膜及びエッチングストップ膜(エッチングストップ膜122, 312)を切断する工程がなく、これらの膜が半導体基板の上側全面に形成されているものとしている。しかしながら、図54に示すように、これらの膜を半導体基板上の一部のみに配置してもよい、図54は、半導体基板の1チップ分のチップ形成領域410を示す上面図であり、411はメモリセル形成領域、412は周辺回路領域、413は端子形成領域を示している。この図54では図中網掛けした部分、すなわちメモリセル形成領域411のみに水素バリア膜、SiON膜及びエッチングストップ膜を形成した例を示している。

[0176] また、図55に示すように、スクライブ領域320には水素バリア膜、SiON膜及びエッチングストップ膜が存在しないようにしてもよい。すなわち、CVD法等により半導体基板の上側全面にこれらの膜を形成した後、エッチングによりスクライブ領域320の膜を除去してもよい。

[0177] また、上述の実施形態ではいずれも本発明をプレーナ型強誘電体キャパシタを有するFeRAMに適用した場合について説明したが、本発明をスタック型キャパシタを有するFeRAMに適用できることは勿論である。

請求の範囲

- [1] 半導体基板と、
前記半導体基板に形成されたトランジスタと、
前記半導体基板の上に形成されて前記トランジスタを覆う第1の絶縁膜と、
前記第1の絶縁膜の上に形成されたエッチングストップ膜と、
前記エッチングストップ膜の上面から前記トランジスタを構成する不純物領域に到達するコンタクトホール内に導電体材料を充填して形成された第1のプラグと、
前記エッチングストップ膜の上に形成された強誘電体キャパシタと、
前記エッチングストップ膜の上に形成されて前記強誘電体キャパシタの上を覆う第2の絶縁膜と、
前記第2の絶縁膜の上面から前記第1のプラグに到達するコンタクトホール内に導電体材料を充填して形成された第2のプラグと
を有することを特徴とする半導体装置。
- [2] 半導体基板にトランジスタを形成する工程と、
前記半導体基板の上に前記トランジスタを被覆する第1の絶縁膜を形成する工程と、
、
前記第1の絶縁膜の上にエッチングストップ膜を形成する工程と、
前記エッチングストップ膜の上面から前記トランジスタを構成する不純物領域に到達する第1のコンタクトホールを形成する工程と、
前記第1のコンタクトホール内に導電体材料を充填して第1のプラグを形成する工程と、
前記エッチングストップ膜の上に、下部電極、強誘電体膜及び上部電極により構成される強誘電体キャパシタを形成する工程と、
前記エッチングストップ膜の上に前記強誘電体キャパシタを被覆する第2の絶縁膜を形成する工程と、
前記第2の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールをエッチング法により形成する工程と、
前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工

程と

を有することを特徴とする半導体装置の製造方法。

[3] 半導体基板と、

前記半導体基板に形成されたトランジスタと、

前記半導体基板の上に形成されて前記トランジスタを覆う第1の絶縁膜と、

前記第1の絶縁膜の上に形成されたエッチングストップ膜と、

前記エッチングストップ膜の上に形成された第2の絶縁膜と、

前記第2の絶縁膜の上面から前記トランジスタを構成する不純物領域に到達するコンタクトホール内に導電体材料を充填して形成された第1のプラグと、

前記第2の絶縁膜の上に形成された強誘電体キャパシタと、

前記第2の絶縁膜の上に形成されて前記強誘電体キャパシタを覆う第3の絶縁膜と

、

前記第3の絶縁膜の上面から前記第1のプラグに到達するコンタクトホール内に導電体材料を充填して形成された第2のプラグと

を有することを特徴とする半導体装置。

[4] 前記第2の絶縁膜の厚さが100nm以下であることを特徴とする請求項3に記載の半導体装置。

[5] 半導体基板にトランジスタを形成する工程と、

前記半導体基板の上に前記トランジスタを覆う第1の絶縁膜を形成する工程と、

前記第1の絶縁膜の上にエッチングストップ膜を形成する工程と、

前記エッチングストップ膜の上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜の上面から前記トランジスタを構成する不純物領域に到達する第1のコンタクトホールを形成する工程と、

前記第1のコンタクトホール内に導電体材料を充填して第1のプラグを形成する工程と、

前記第2の絶縁膜の上に、下部電極、強誘電体膜及び上部電極により構成される強誘電体キャパシタを形成する工程と、

前記第2の絶縁膜の上に前記強誘電体キャパシタを覆う第3の絶縁膜を形成する

工程と、

前記第3の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールをエッチング法により形成する工程と、

前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工程と

を有することを特徴とする半導体装置の製造方法。

- [6] 前記第2の絶縁膜の厚さが100nm以下であることを特徴とする請求項5に記載の半導体装置の製造方法。

- [7] 半導体基板と、

前記半導体基板に形成されたトランジスタと、

前記半導体基板の上に形成されて前記トランジスタを覆う第1の絶縁膜と、

前記第1の絶縁膜の上に形成されたエッチングストップ膜と、

前記エッチングストップ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールと、

前記エッチングストップ膜の上に形成され、前記第1のコンタクトホールに整合する位置に前記コンタクトホールよりも大きな径の開口部を有する第2の絶縁膜と、

前記第1のコンタクトホール内及び前記開口部内に導電体材料を充填して形成された第1のプラグと、

前記第2の絶縁膜の上に形成された強誘電体キャパシタと、

前記第2の絶縁膜の上に形成されて前記強誘電体キャパシタを覆う第3の絶縁膜と、

、

前記第3の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールと

、

前記第2のコンタクトホール内に導電体材料を充填して形成された第2のプラグと

を有することを特徴とする半導体装置。

- [8] 半導体基板にトランジスタを形成する工程と、

前記半導体基板の上に前記トランジスタを覆う第1の絶縁膜を形成する工程と、

前記第1の絶縁膜の上にエッチングストップ膜を形成する工程と、

前記エッチングストップ膜の上に第2の絶縁膜を形成する工程と、
前記第2の絶縁膜に前記エッチングストップ膜が露出する開口部を形成する工程と、
、
前記開口部の内側に、前記開口部の径よりも小さな径で、前記エッチングストップ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールを形成する工程と、
前記第1のコンタクトホール内及び前記開口部内に導電体材料を充填して第1のプラグを形成する工程と、
前記第2の絶縁膜の上に、下部電極、強誘電体膜及び上部電極により構成される強誘電体キャパシタを形成する工程と、
前記第2の絶縁膜の上に前記強誘電体キャパシタを覆う第3の絶縁膜を形成する工程と、
前記第3の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールをエッチング法により形成する工程と、
前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工程と
を有することを特徴とする半導体装置の製造方法。

- [9] 半導体基板にトランジスタを形成する工程と、
前記半導体基板の上に前記トランジスタを覆う第1の絶縁膜を形成する工程と、
前記第1の絶縁膜の上にエッチングストップ膜を形成する工程と、
前記エッチングストップ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールを形成する工程と、
前記第1のコンタクトホール内に導電体材料を充填してプラグ軸部を形成する工程と、
、
前記エッチングストップ膜の上に第2の絶縁膜を形成する工程と、
前記第2の絶縁膜をエッチングして、前記プラグ軸部が露出する開口部を前記プラグ軸部よりも大きな径で形成する工程と、
前記開口部に導電体材料を充填し、前記プラグ軸部と一体になって第1のプラグを

構成するプラグ頭部を形成する工程と、

前記第2の絶縁膜の上に、下部電極、強誘電体膜及び上部電極により構成される強誘電体キャパシタを形成する工程と、

前記第2の絶縁膜の上に前記強誘電体キャパシタを覆う第3の絶縁膜を形成する工程と、

前記第3の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールをエッチング法により形成する工程と、

前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工程と

を有することを特徴とする半導体装置の製造方法。

[10] 半導体基板にトランジスタを形成する工程と、

前記半導体基板の上に前記トランジスタを覆う第1の絶縁膜を形成する工程と、

前記第1の絶縁膜の上にエッチングストッパ膜を形成する工程と、

前記エッチングストッパ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールを形成する工程と、

前記第1のコンタクトホール内に導電体材料を充填してプラグ軸部を形成する工程と、

前記エッチングストッパ膜及び前記プラグ軸部の上に導電体膜を形成する工程と、

前記導電体膜をパターンニングして、前記プラグ軸部よりも径が大きく、前記プラグ軸部と一体になって第1のプラグを構成するプラグ頭部を形成する工程と、

前記半導体基板の上側全面に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜を研磨して前記第1のプラグを露出させる工程と、

前記第2の絶縁膜の上に、下部電極、強誘電体膜及び上部電極により構成される強誘電体キャパシタを形成する工程と、

前記第2の絶縁膜の上に前記強誘電体キャパシタを覆う第3の絶縁膜を形成する工程と、

前記第3の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールをエッチング法により形成する工程と、

前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工程と

を有することを特徴とする半導体装置の製造方法。

[11] 半導体基板と、

前記半導体基板の上に形成されたトランジスタと、

前記半導体基板の上に形成されて前記トランジスタを覆う第1の絶縁膜と、

前記第1の絶縁膜の上に形成された強誘電体キャパシタと、

前記第1の絶縁膜の上に形成されて前記強誘電体キャパシタを覆う第2の絶縁膜と

、

前記第2の絶縁膜の上に形成されたエッチングストップ膜と、

前記エッチングストップ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールと、

前記第1のコンタクトホール内に導電体材料を充填して形成された第1のプラグと、

前記エッチングストップ膜の上に形成された第3の絶縁膜と、

前記第3の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールと

、

前記第2のコンタクトホール内に導電体材料を充填して形成された第2のプラグと

を有することを特徴とする半導体装置。

[12] 半導体基板にトランジスタを形成する工程と、

前記半導体基板の上に前記トランジスタを覆う第1の絶縁膜を形成する工程と、

前記第1の絶縁膜の上に、下部電極、強誘電体膜及び上部電極により構成される強誘電体キャパシタを形成する工程と、

前記第1の絶縁膜の上に前記強誘電体キャパシタを覆う第2の絶縁膜を形成する工程と、

前記第2の絶縁膜の上にエッチングストップ膜を形成する工程と、

前記エッチングストップ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールを形成する工程と、

前記第1のコンタクトホール内に導電体材料を充填して第1のプラグを形成する工

程と、

前記エッチングストッパ膜の上に第3の絶縁膜を形成する工程と、

前記第3の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールをエッチング法により形成する工程と、

前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工程と

を有することを特徴とする半導体装置の製造方法。

[13] 半導体基板と、

前記半導体基板に形成されたトランジスタと、

前記半導体基板の上に形成されて前記トランジスタを覆う第1の絶縁膜と、

前記第1の絶縁膜の上に形成された強誘電体キャパシタと、

前記第1の絶縁膜の上に形成されて前記強誘電体キャパシタを覆う第2の絶縁膜と

、

前記第2の絶縁膜の上に形成されたエッチングストッパ膜と、

前記エッチングストッパ膜の上に形成された第3の絶縁膜と、

前記第3の絶縁膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールと、

前記第1のコンタクトホール内に導電体材料を充填して形成された第1のプラグと、

前記第3の絶縁膜の上に形成された第4の絶縁膜と、

前記第4の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールと

、

前記第2のコンタクトホール内に導電体材料を充填して形成された第2のプラグと

を有することを特徴とする半導体装置。

[14] 前記第3の絶縁膜の厚さが100nm以下であることを特徴とする請求項13に記載の半導体装置。

[15] 半導体基板にトランジスタを形成する工程と、

前記半導体基板の上に前記トランジスタを覆う第1の絶縁膜を形成する工程と、

前記第1の絶縁膜の上に、下部電極、強誘電体膜及び上部電極により構成される

強誘電体キャパシタを形成する工程と、

前記第1の絶縁膜の上に、前記強誘電体キャパシタを覆う第2の絶縁膜を形成する工程と、

前記第2の絶縁膜の上にエッチングストップ膜を形成する工程と、

前記エッチングストップ膜の上に第3の絶縁膜を形成する工程と、

前記第3の絶縁膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールを形成する工程と、

前記第1のコンタクトホール内に導電体材料を充填して第1のプラグを形成する工程と、

前記第3の絶縁膜の上に第4の絶縁膜を形成する工程と、

前記第4の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールをエッチング法により形成する工程と、

前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工程と

を有することを特徴とする半導体装置の製造方法。

[16] 前記第3の絶縁膜の厚さが100nm以下であることを特徴とする請求項15に記載の半導体装置の製造方法。

[17] 半導体基板と、

前記半導体基板に形成されたトランジスタと、

前記半導体基板の上に形成されて前記トランジスタを覆う第1の絶縁膜と、

前記第1の絶縁膜の上に形成された強誘電体キャパシタと、

前記第1の絶縁膜の上に形成されて前記強誘電体キャパシタを覆う第2の絶縁膜と

、

前記第2の絶縁膜の上に形成されたエッチングストップ膜と、

前記エッチングストップ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールと、

前記エッチングストップ膜の上に形成され、前記第1のコンタクトホールに整合する位置に前記第1のコンタクトホールよりも大きな径の開口部を有する第3の絶縁膜と、

前記第1のコンタクトホール内及び前記開口部内に導電体材料を充填して形成された第1のプラグと、

前記第3の絶縁膜の上に形成された第4の絶縁膜と、

前記第4の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールと

、

前記第2のコンタクトホール内に導電体材料を充填して形成された第2のプラグとを有することを特徴とする半導体装置。

[18] 半導体基板にトランジスタを形成する工程と、

前記半導体基板の上に前記トランジスタを覆う第1の絶縁膜を形成する工程と、

前記第1の絶縁膜の上に、下部電極、強誘電体膜及び上部電極により構成される強誘電体キャパシタを形成する工程と、

前記第1の絶縁膜の上に、前記強誘電体キャパシタを覆う第2の絶縁膜を形成する工程と、

前記第2の絶縁膜の上にエッチングストップ膜を形成する工程と、

前記エッチングストップ膜の上に第3の絶縁膜を形成する工程と、

前記第3の絶縁膜に、前記エッチングストップ膜が露出する開口部を形成する工程と、

前記開口部の内側に、前記エッチングストップ膜の上面から前記トランジスタの不純物領域に到達する第1のコンタクトホールを前記開口部よりも小さな径で形成する工程と、

前記第1のコンタクトホール内及び前記開口部内に導電体材料を充填して第1のプラグを形成する工程と、

前記第3の絶縁膜の上に第4の絶縁膜を形成する工程と、

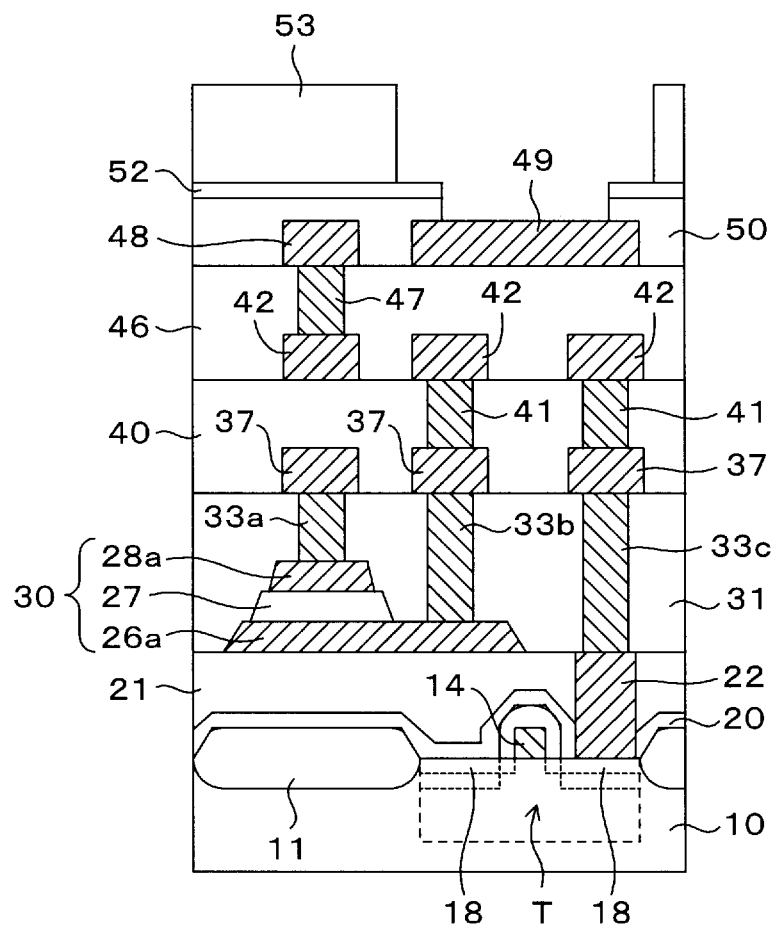
前記第4の絶縁膜の上面から前記第1のプラグに到達する第2のコンタクトホールをエッチング法により形成する工程と、

前記第2のコンタクトホール内に導電体材料を充填して第2のプラグを形成する工程と

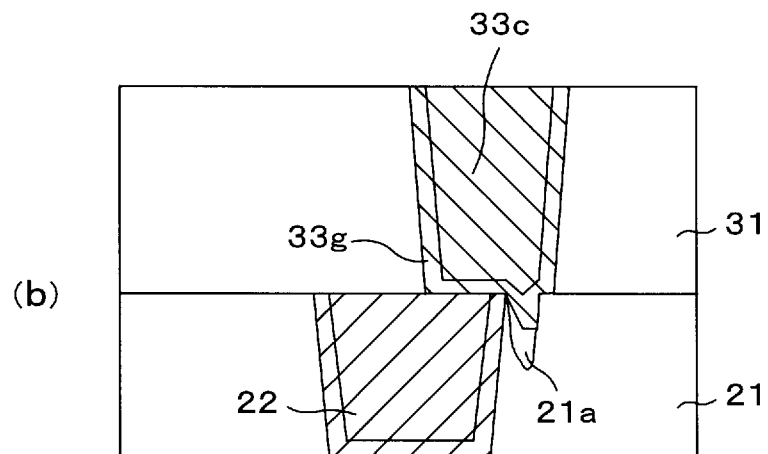
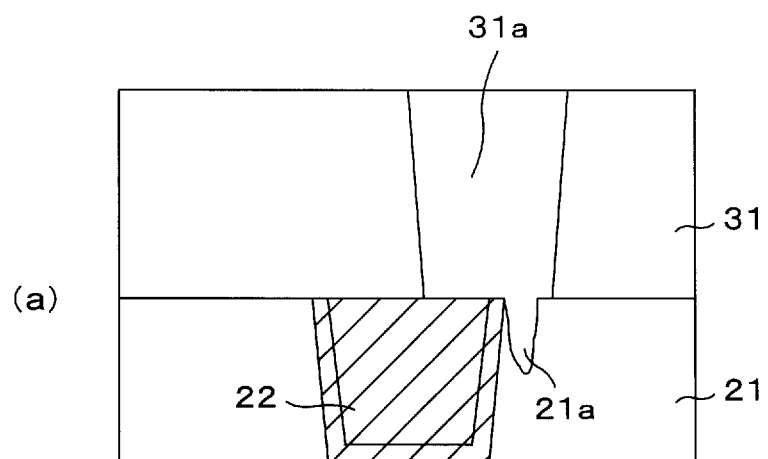
を有することを特徴とする半導体装置の製造方法。

- [19] 前記エッチングストップ膜が、SiON、SiN、AlO_x、TiO_x、ZrO_x、MgO_x及びMgTiO_xからなる群から選択されたいずれか1種の絶縁材料により形成されていることを特徴とする請求項1、3、7、11、13、17のいずれか1項に記載の半導体装置。
- [20] 前記エッチングストップ膜の厚さが20nm以上、150nm以下であることを特徴とする請求項1、3、7、11、13、17のいずれか1項に記載の半導体装置。
- [21] 前記エッチングストップ膜と前記強誘電体キャパシタとの間に形成されて、上方への水分又は水素の進入を阻止するバリア膜を有することを特徴とする請求項1、3、7のいずれか1項に記載の半導体装置。
- [22] 前記強誘電体キャパシタの上方に形成されて下方への水分又は水素の進入阻止するバリア膜を有することを特徴とする請求項1、3、7のいずれか1項に記載の半導体装置。
- [23] 前記エッチングストップ膜を、SiON、SiN、AlO_x、TiO_x、ZrO_x、MgO_x及びMgTiO_xからなる群から選択されたいずれか1種の絶縁材料により形成することを特徴とする請求項2、5、8、9、10、12、15、18のいずれか1項に記載の半導体装置の製造方法。
- [24] 前記エッチングストップ膜と前記強誘電体キャパシタとの間に、上方への水分又は水素の進入を阻止するバリア膜を形成することを特徴とする請求項2、5、8、9、10のいずれか1項に記載の半導体装置の製造方法。
- [25] 前記強誘電体キャパシタの上方に、下方への水分又は水素の進入阻止するバリア膜を形成することを特徴とする請求項2、5、8、9、10、12、15、18のいずれか1項に記載の半導体装置の製造方法。

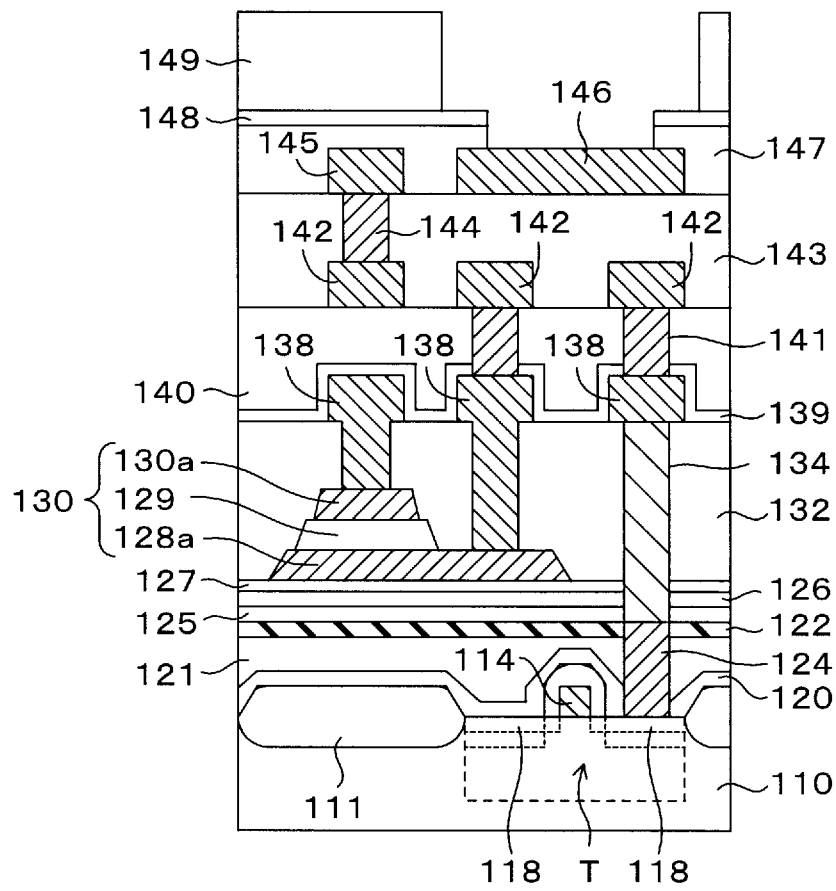
[図1]



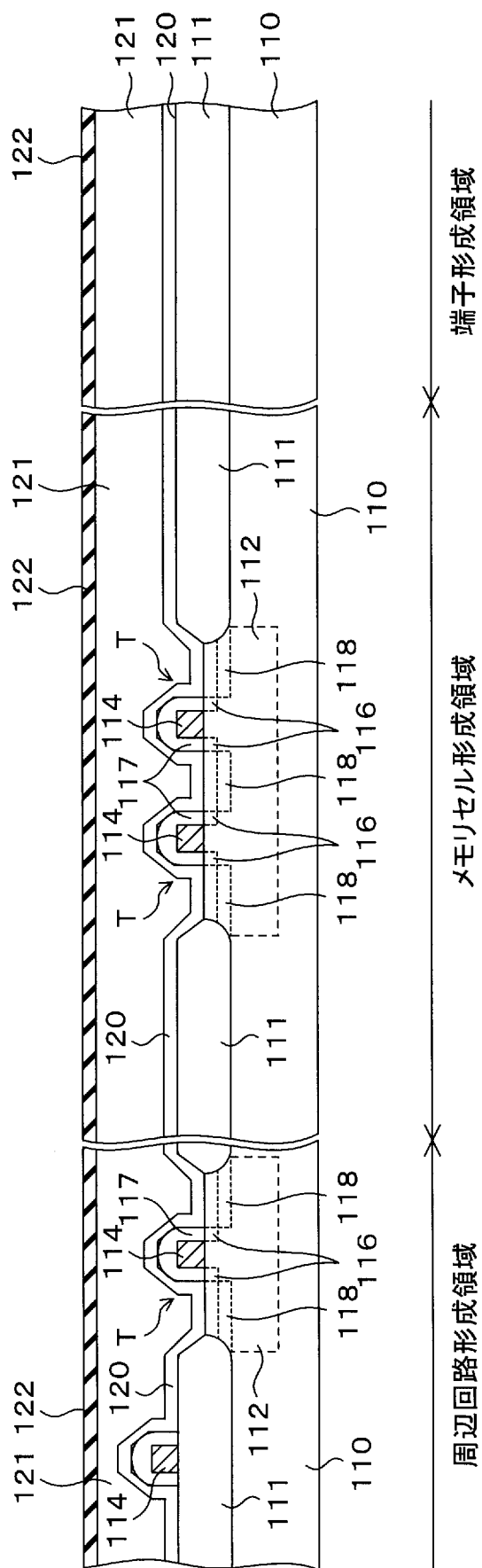
[図2]



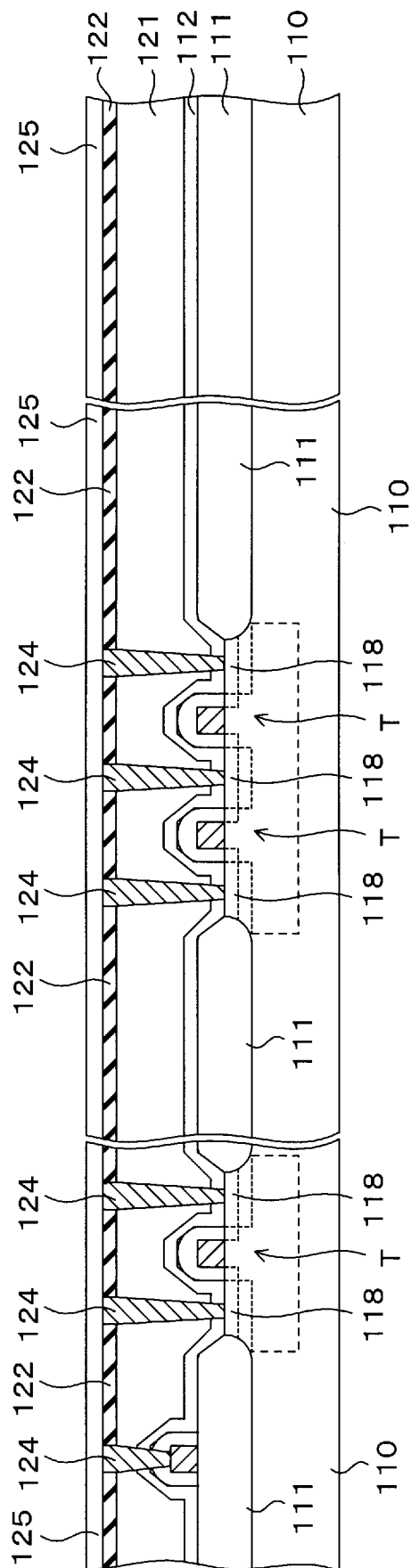
[図3]



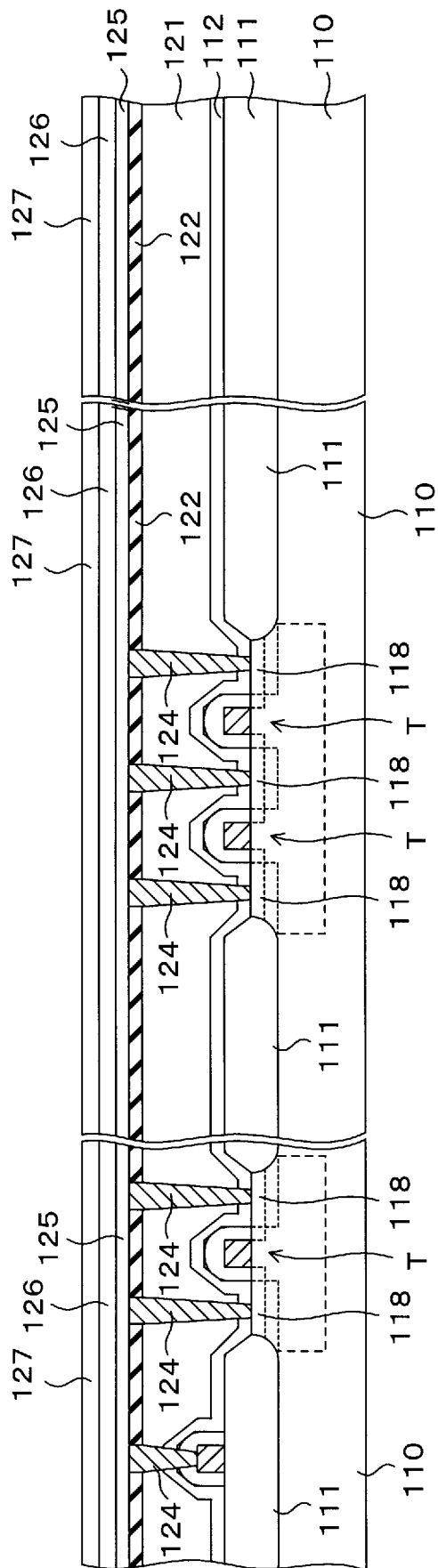
[図4]



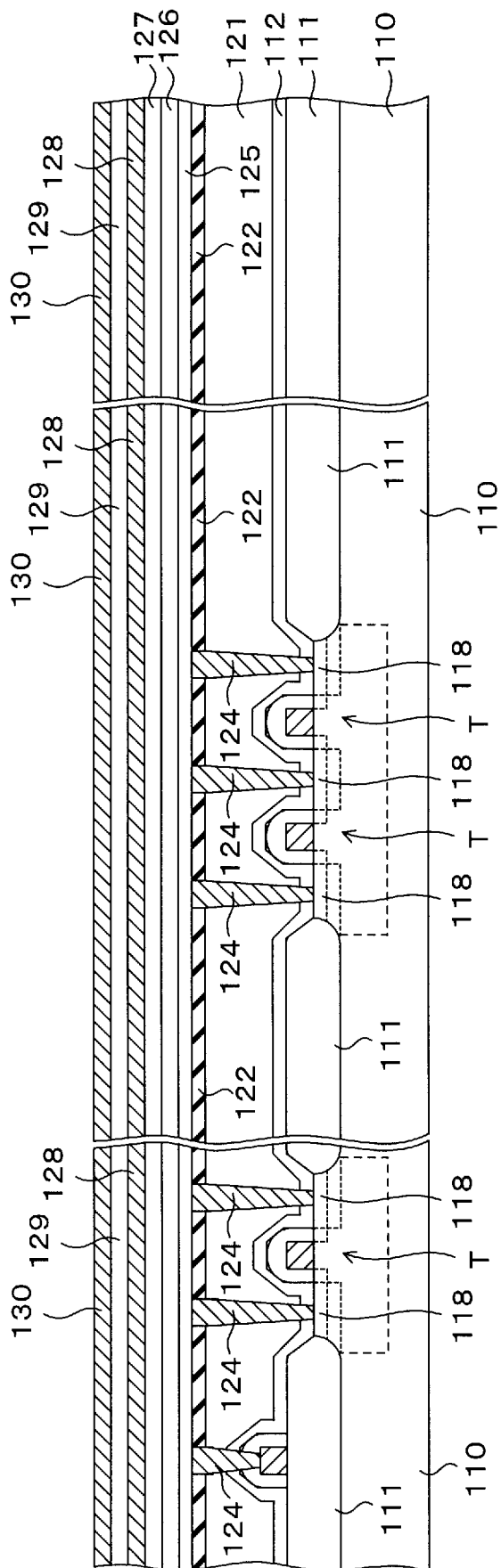
[図6]



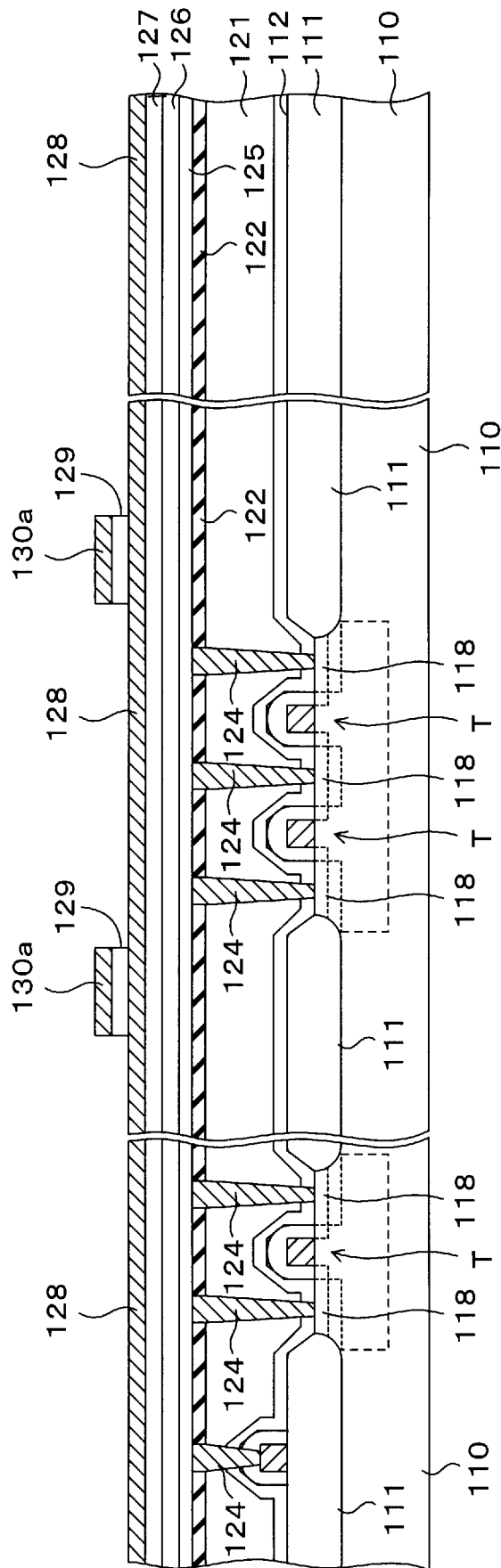
[図7]



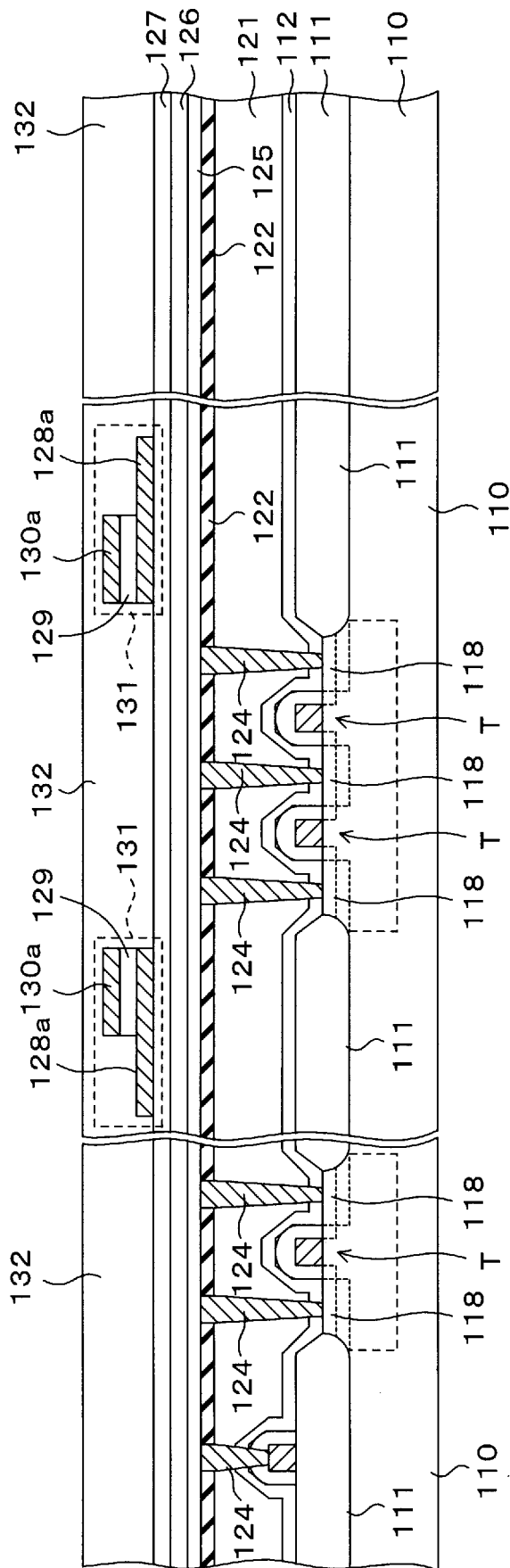
[図8]



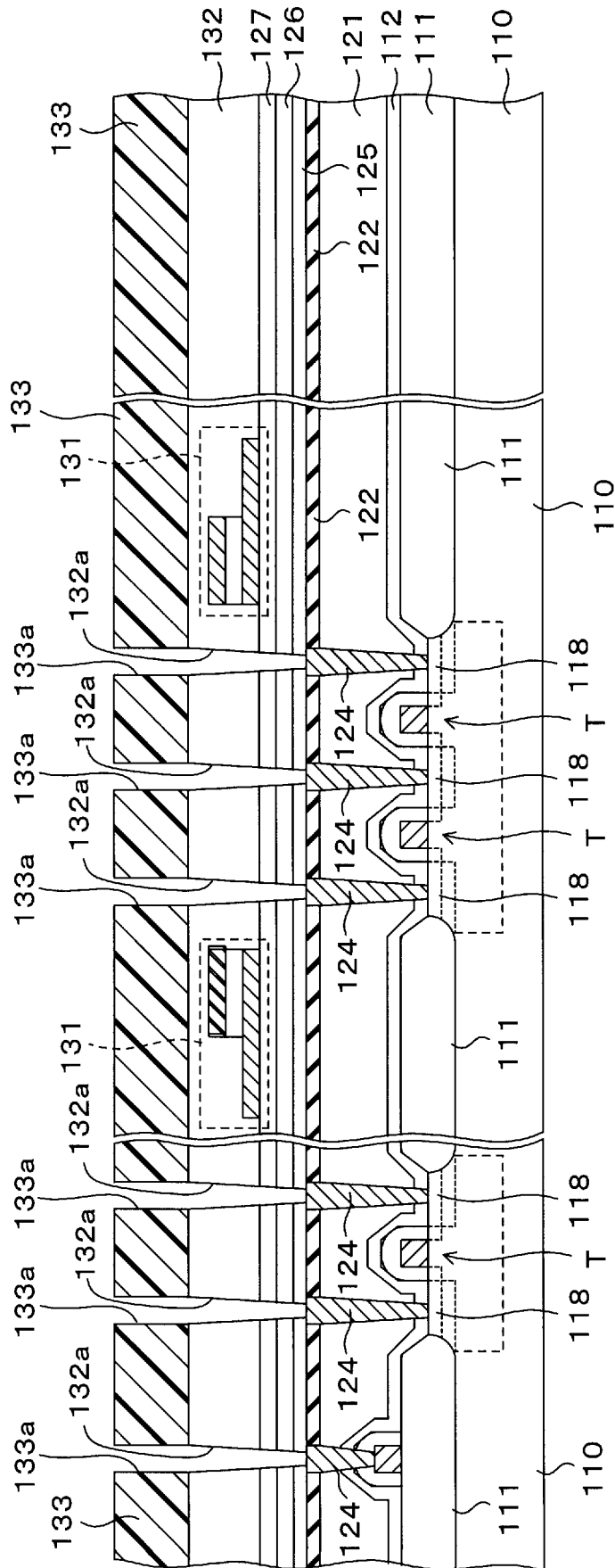
[図9]



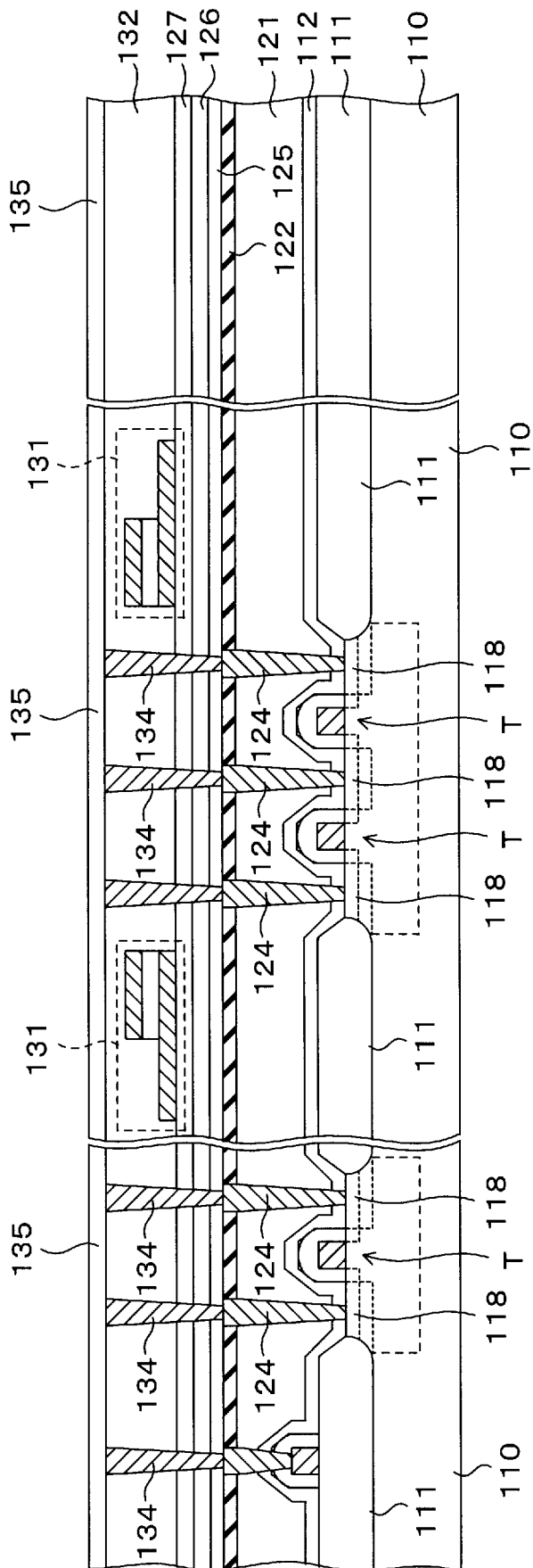
[図10]



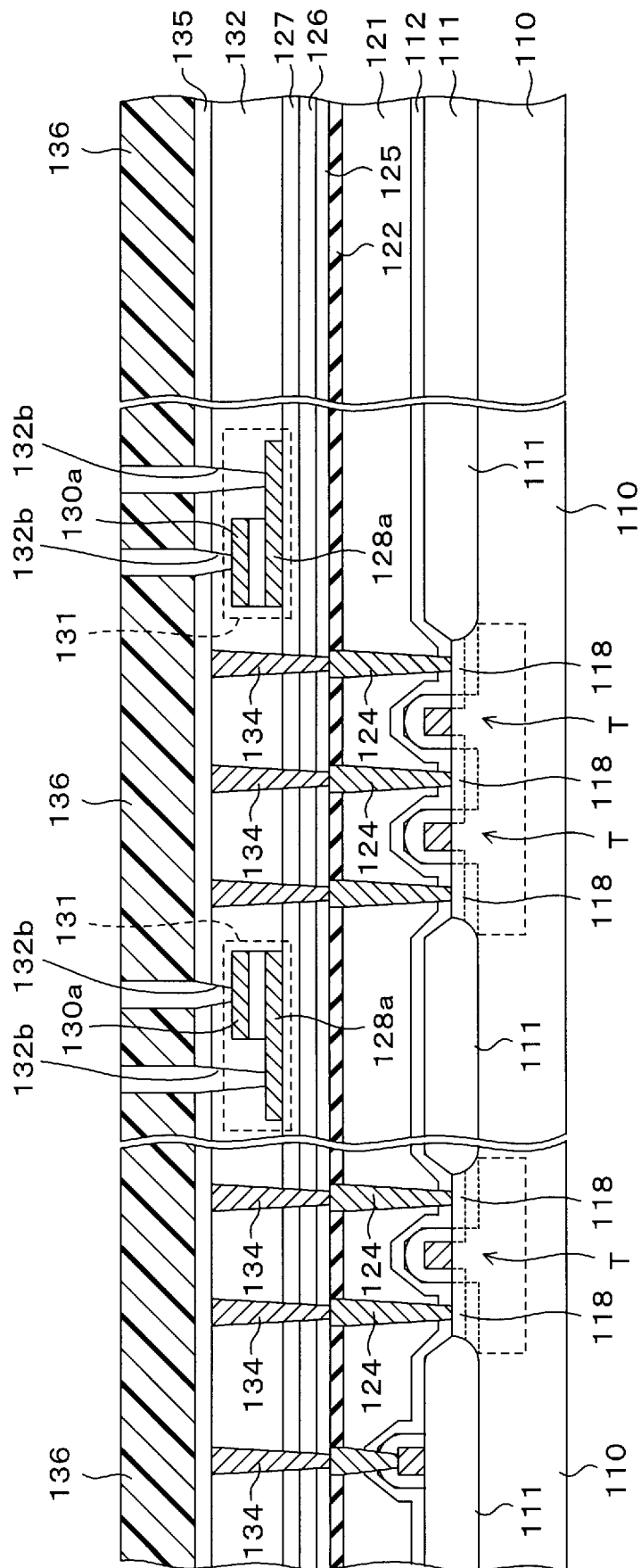
[図11]



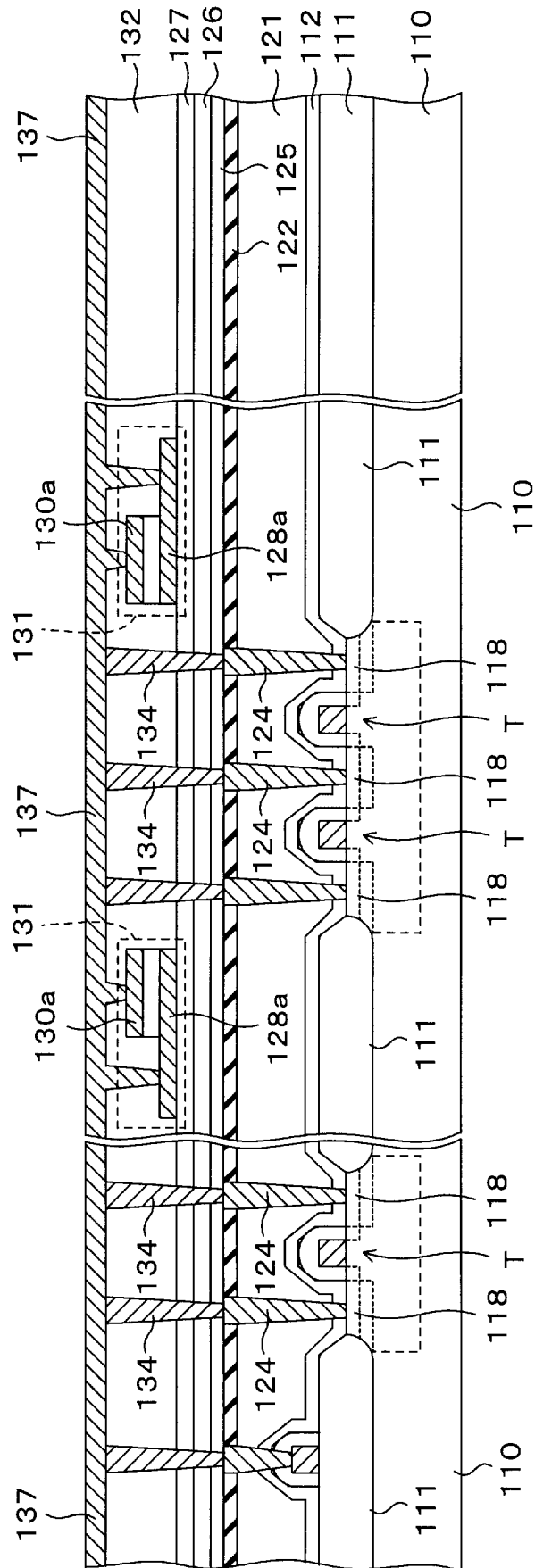
[図12]



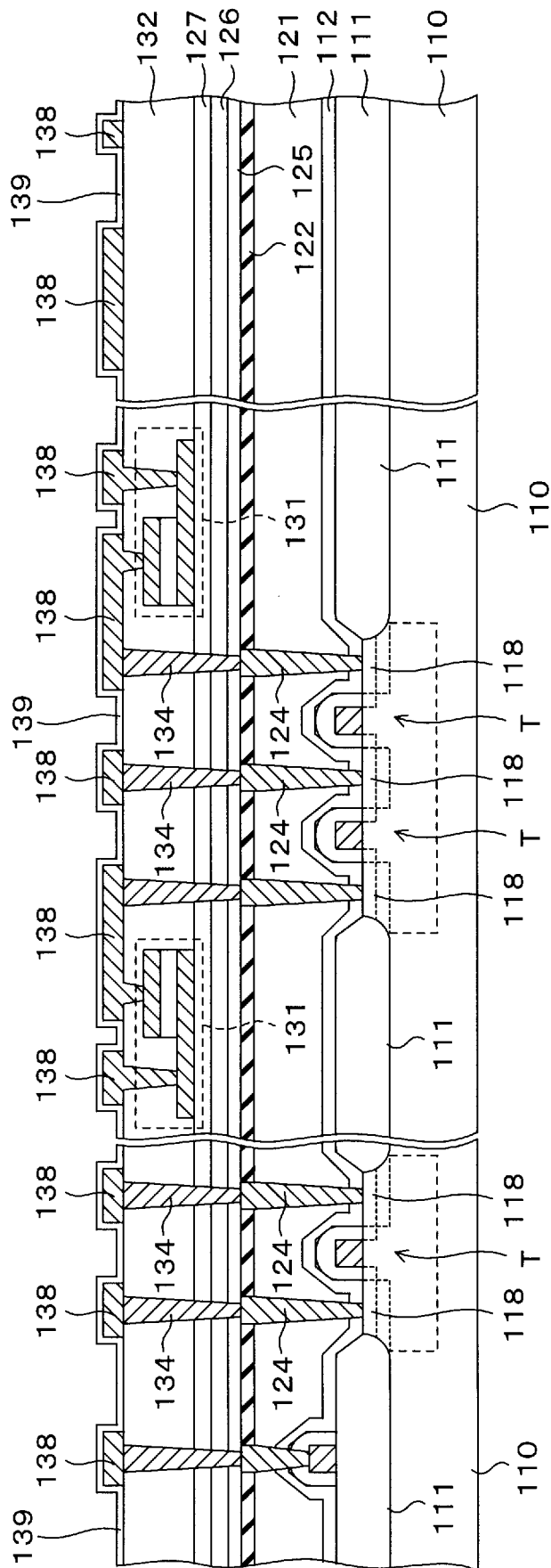
[図13]



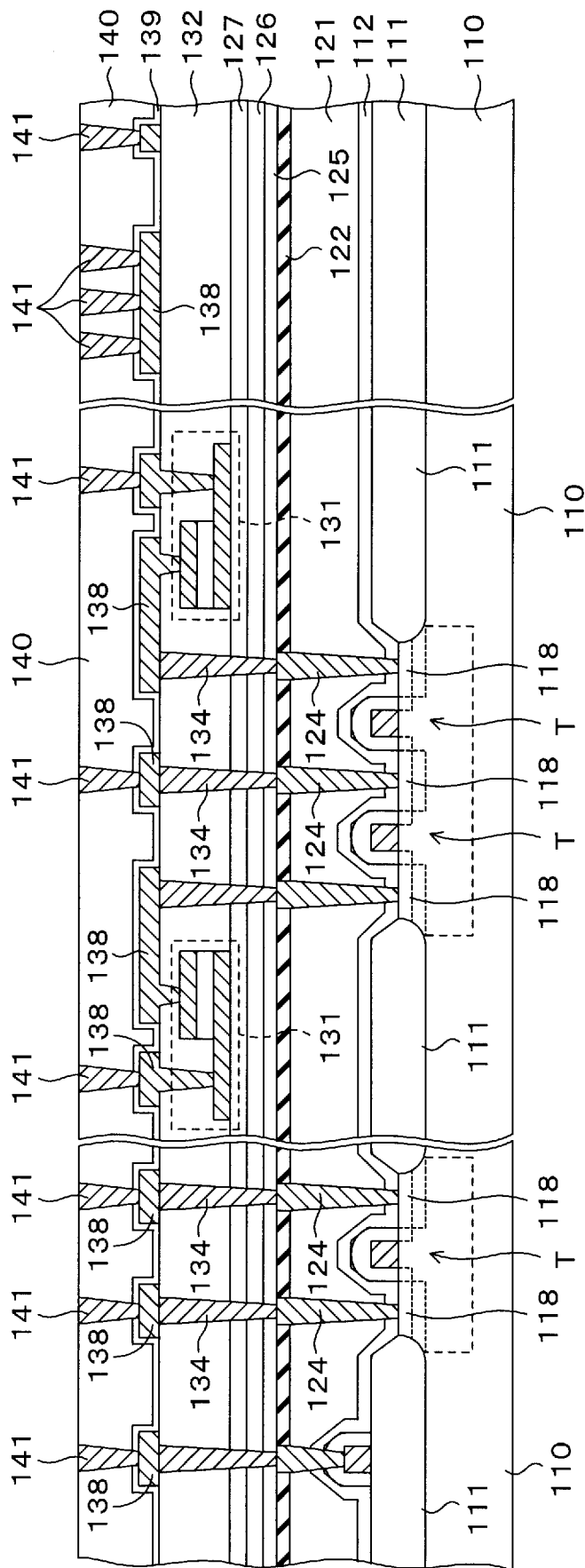
[図15]



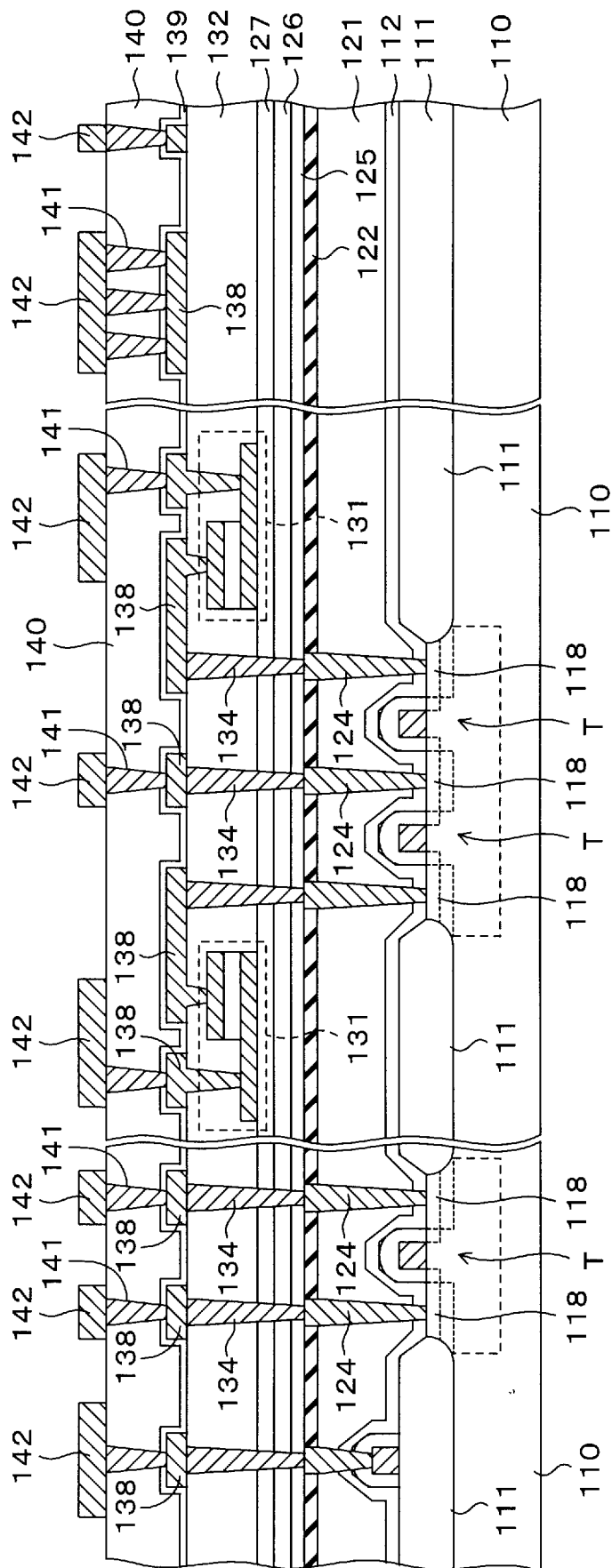
[図16]



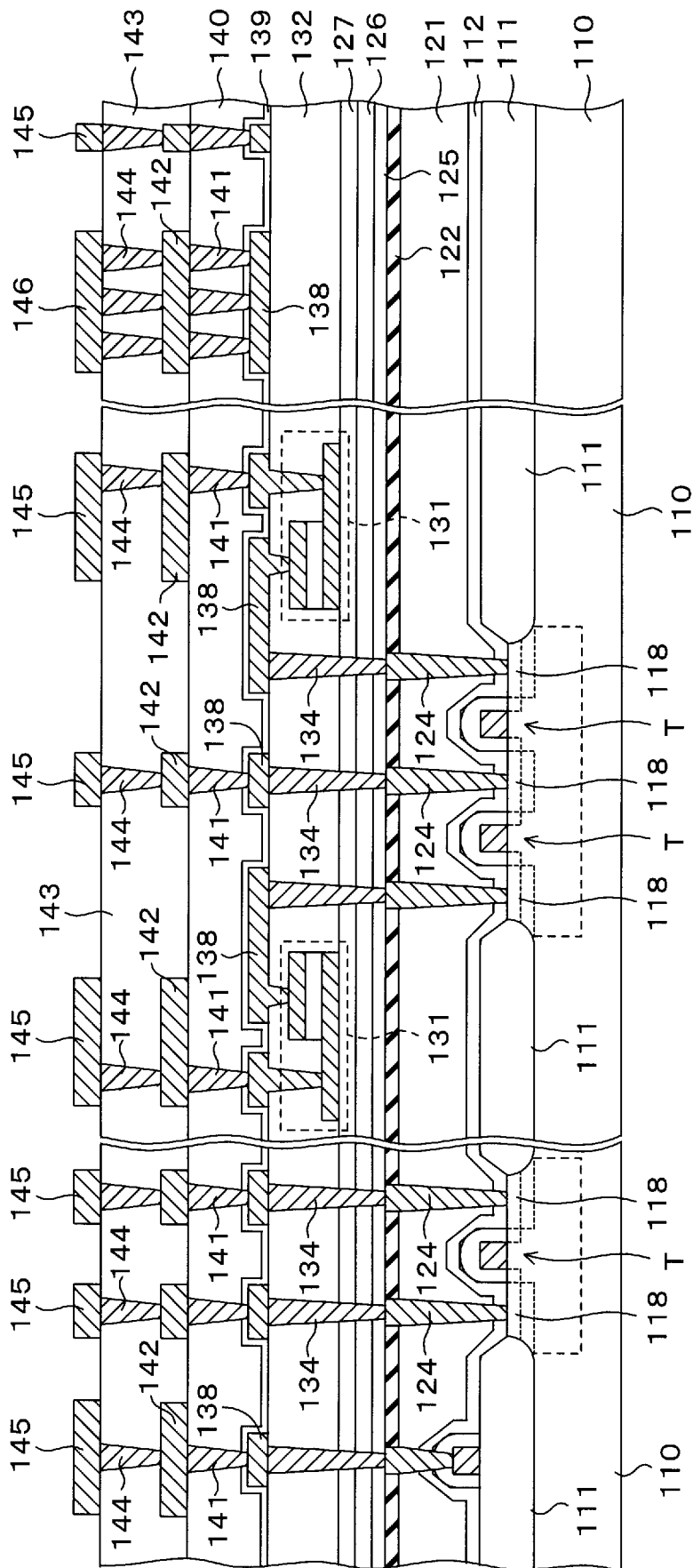
[図17]



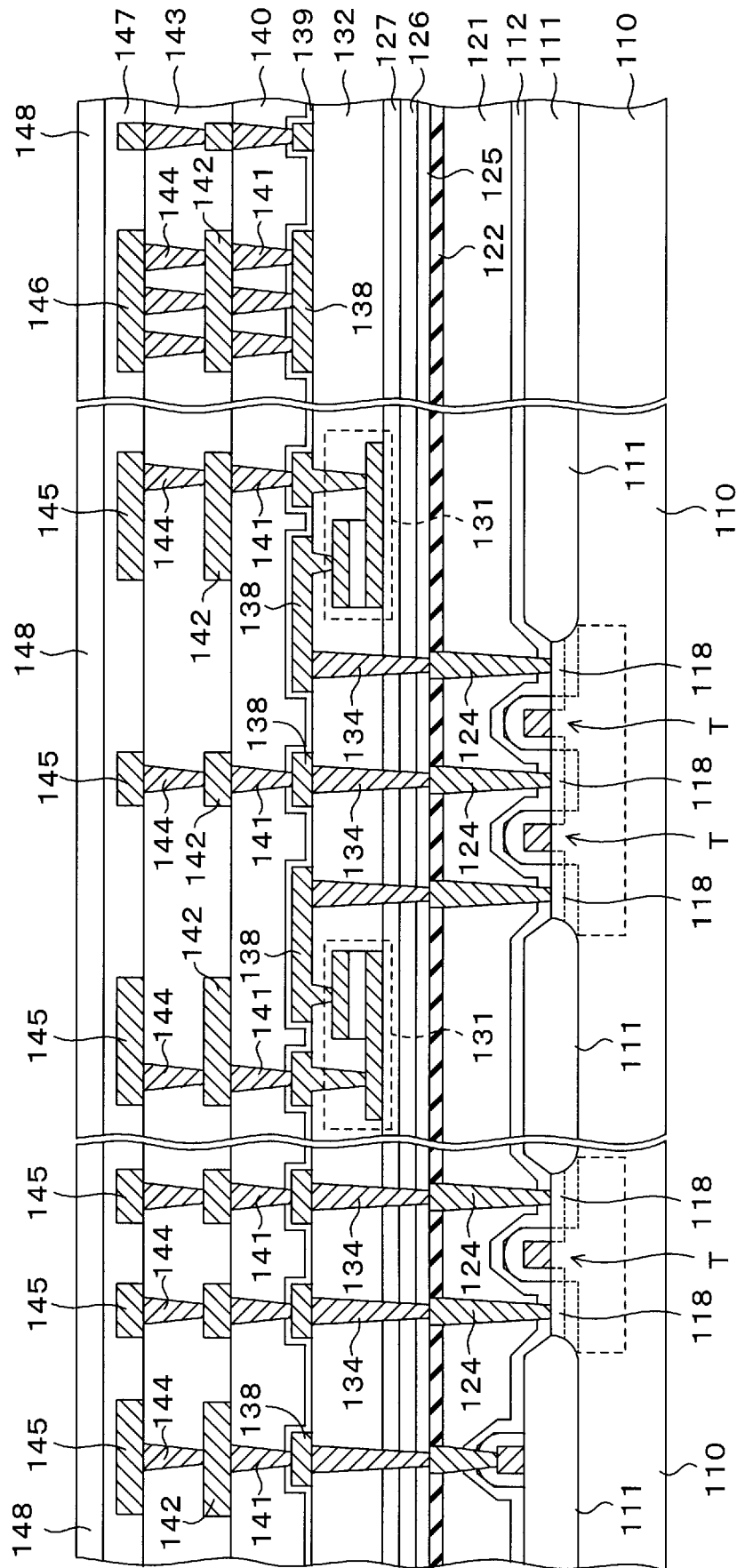
[図18]



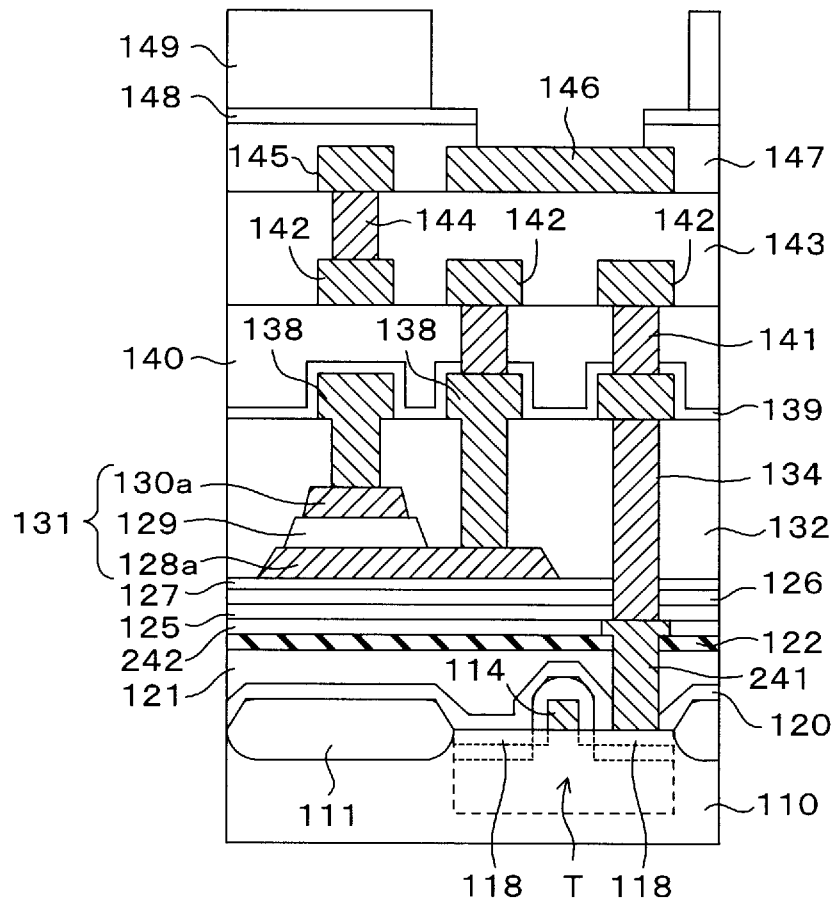
[図19]



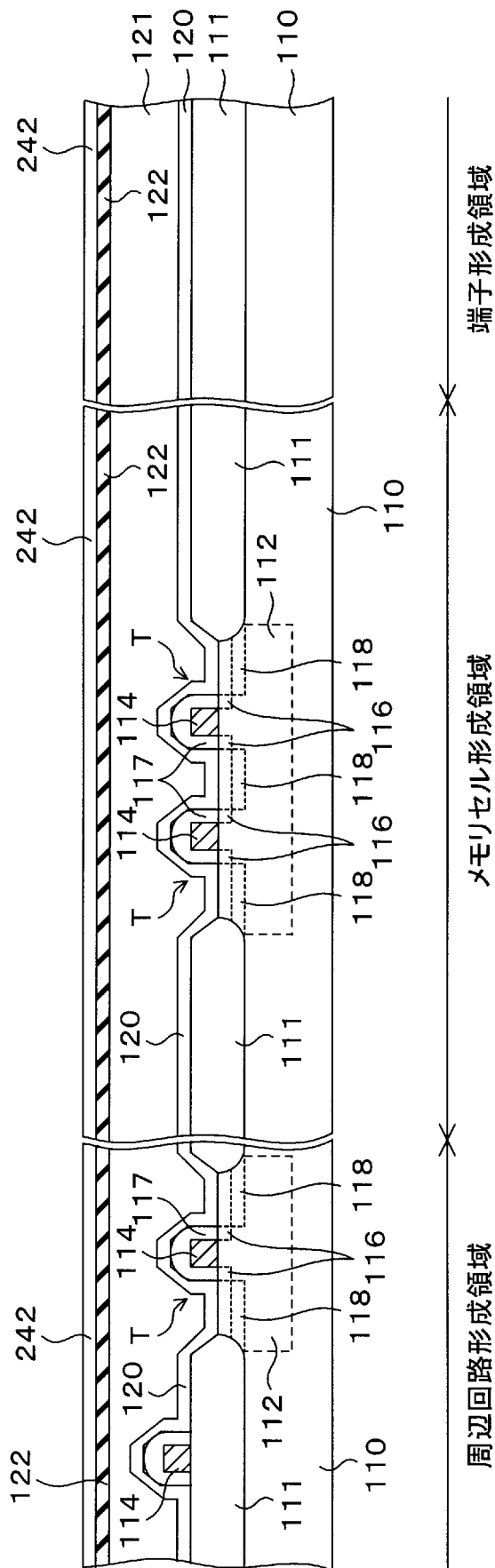
[図20]



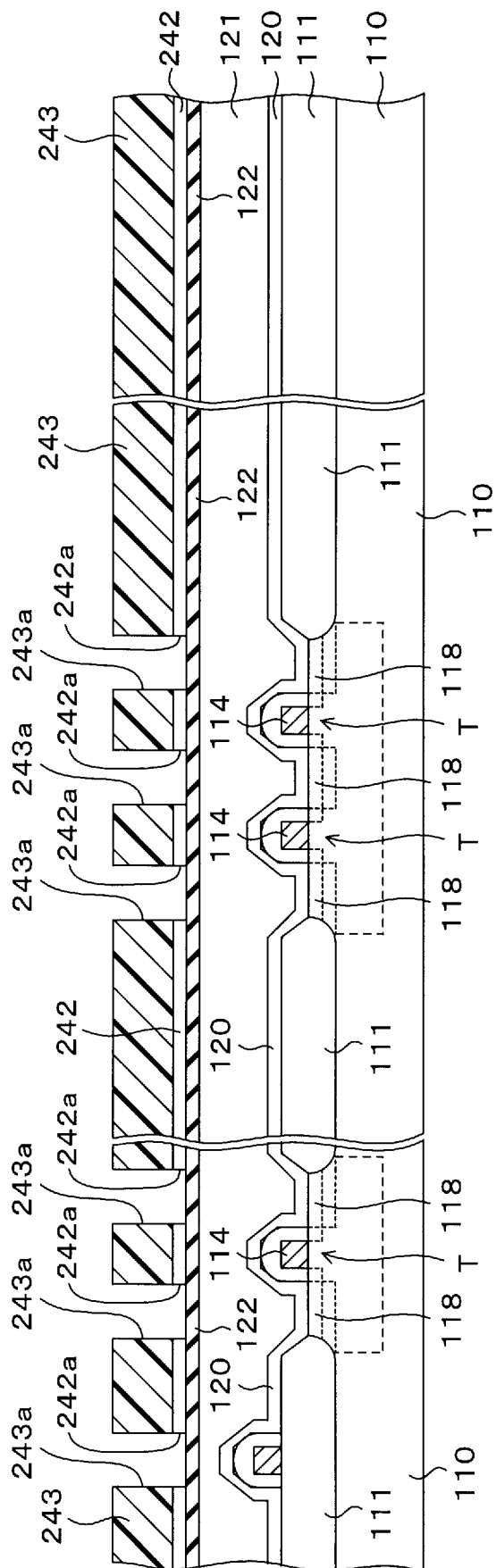
[図24]



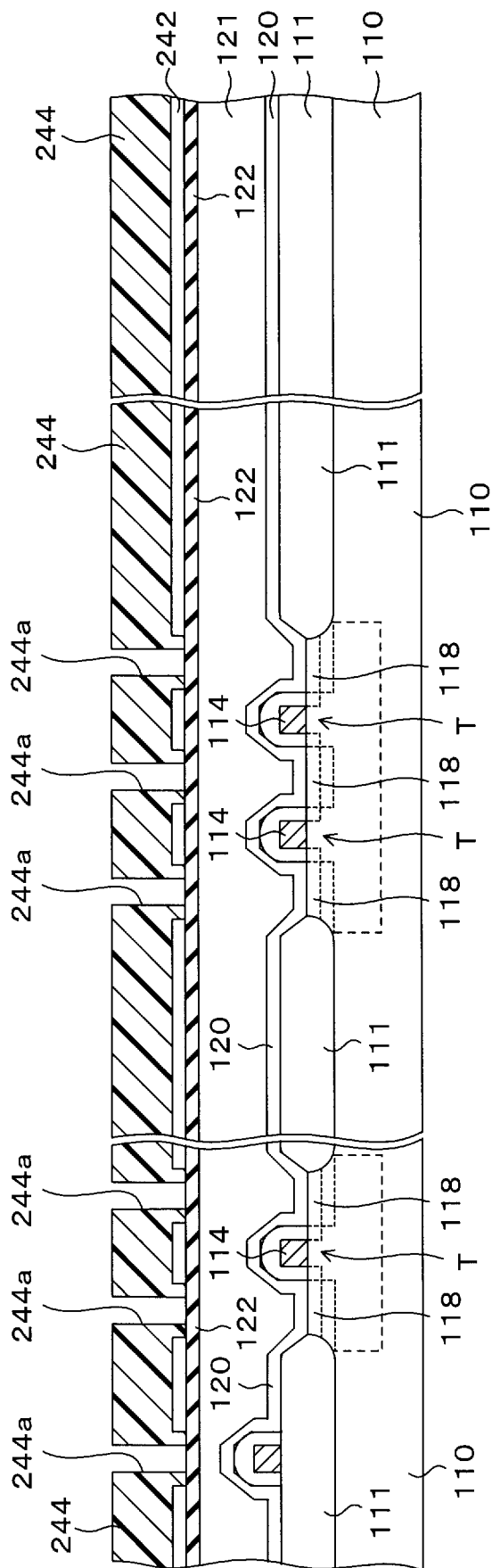
[図25]



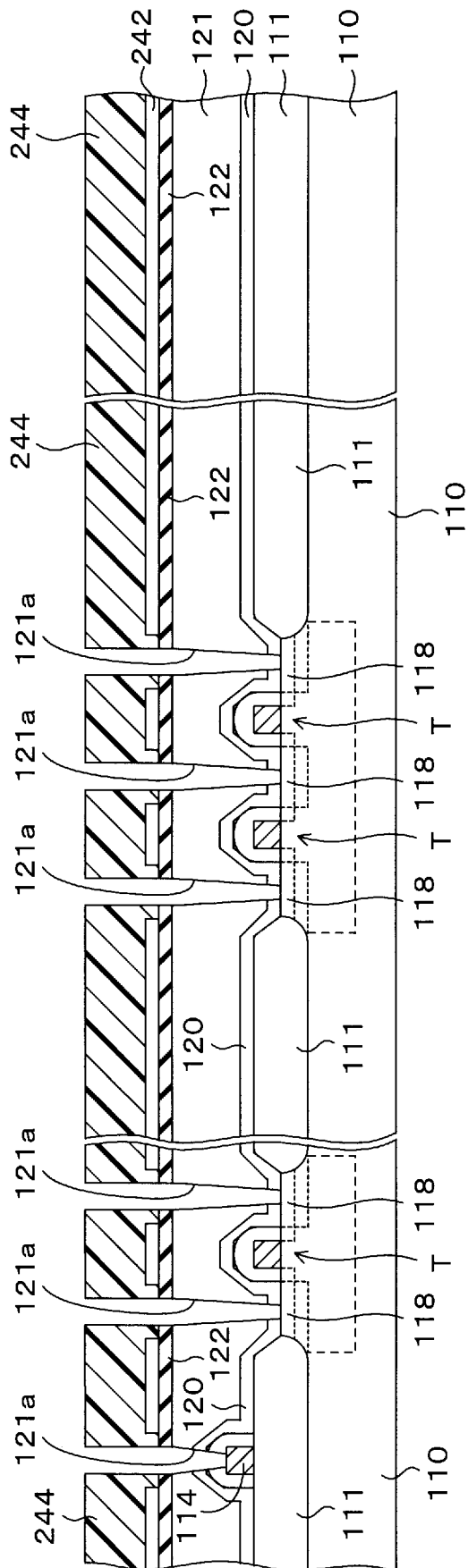
[図26]



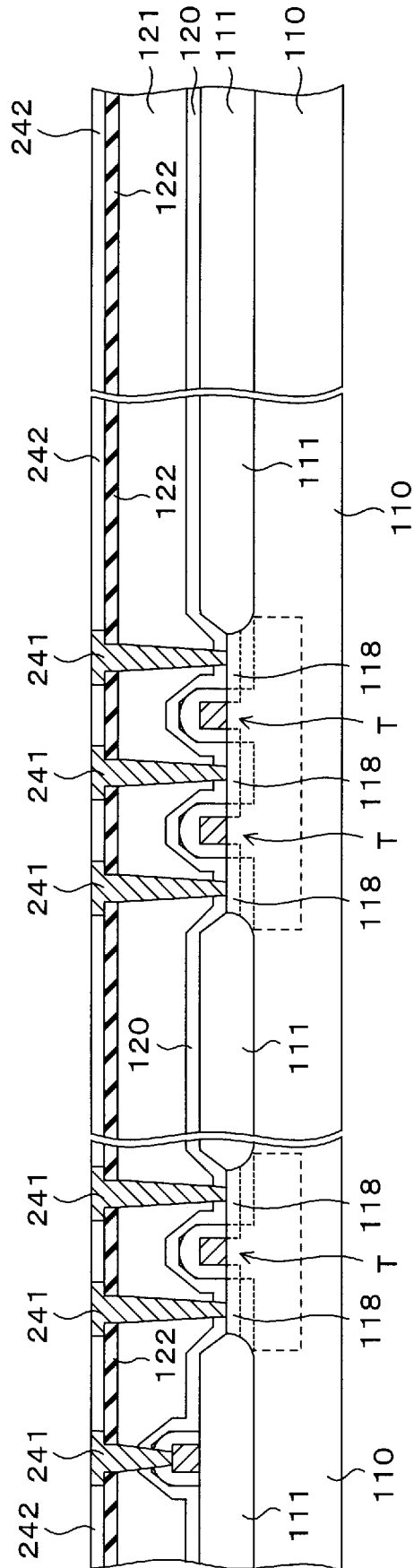
[図27]



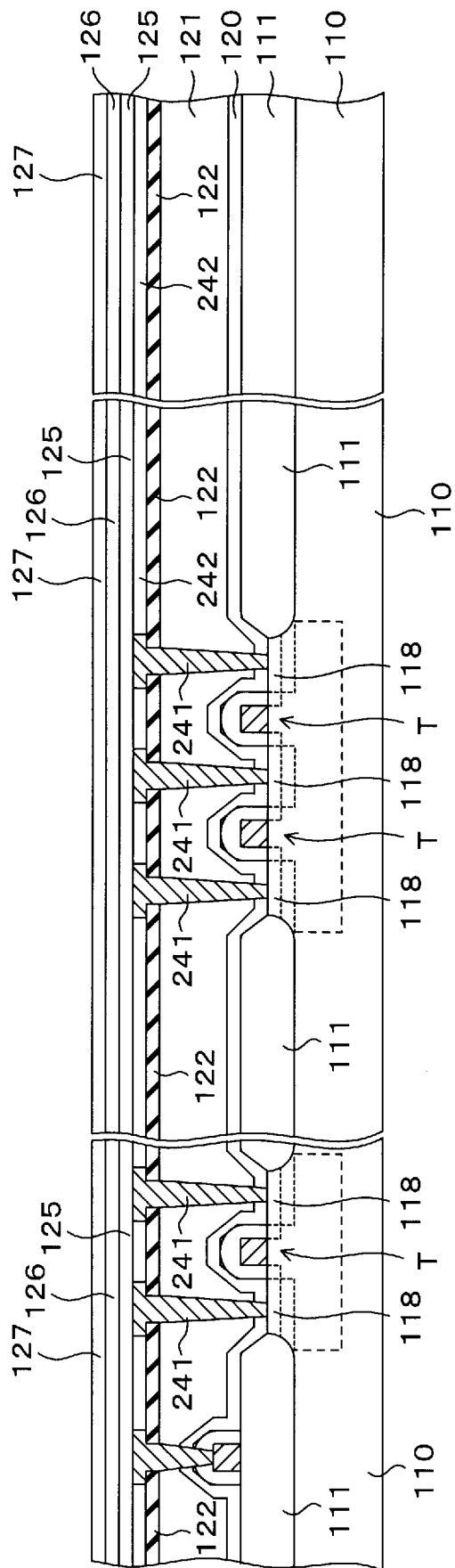
[図28]



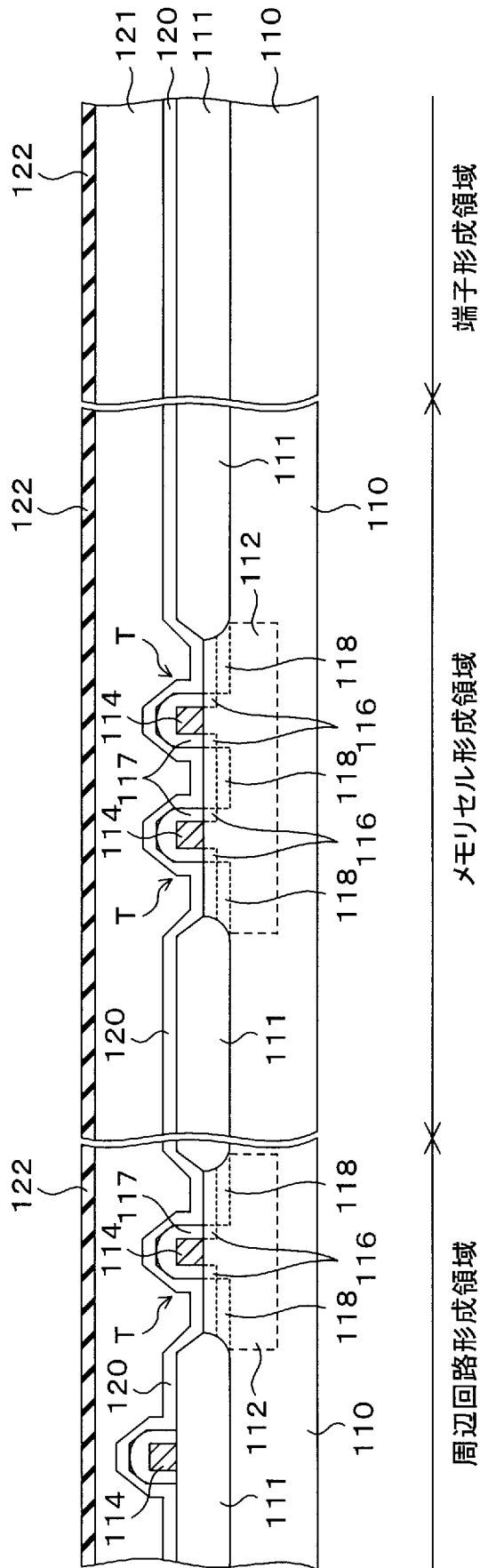
[図29]



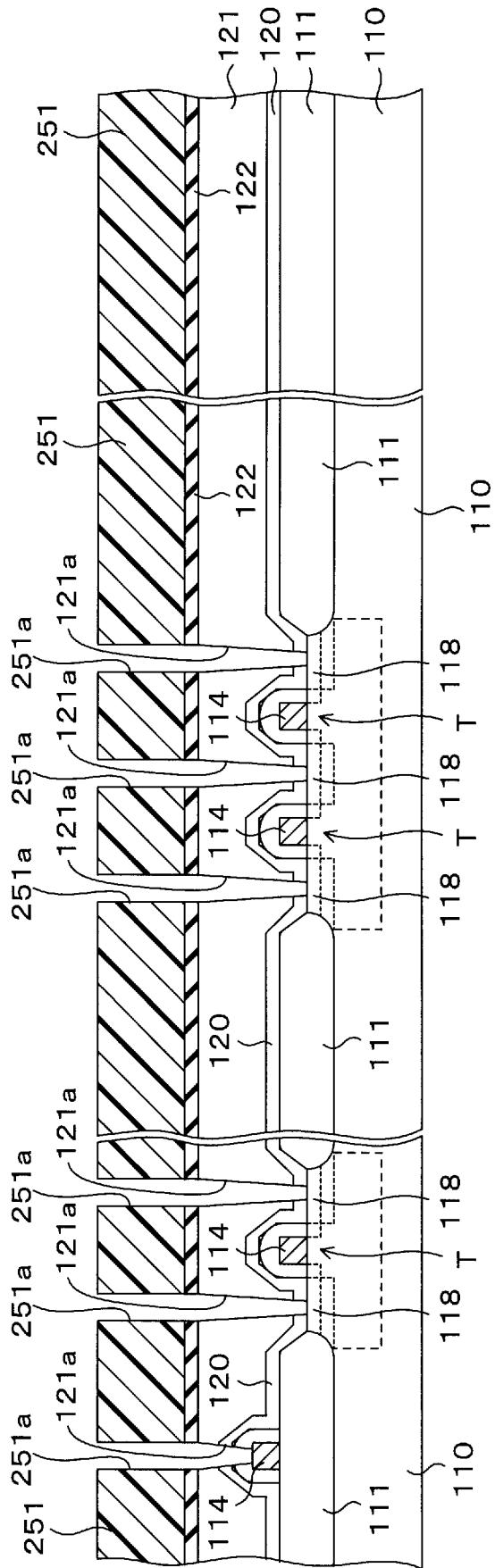
[図30]



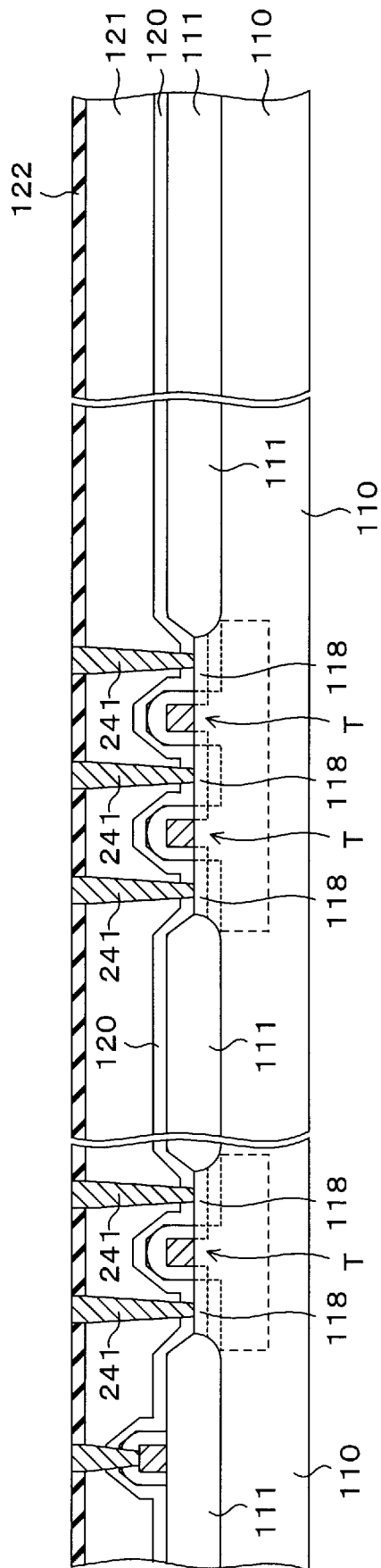
[図31]



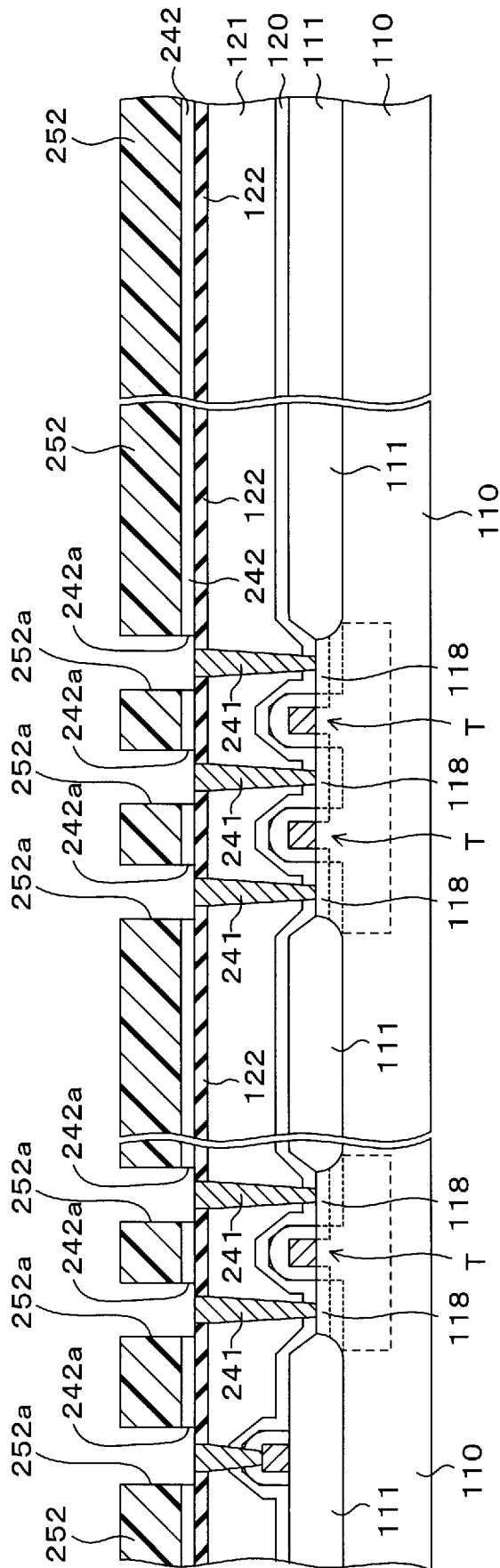
[図32]



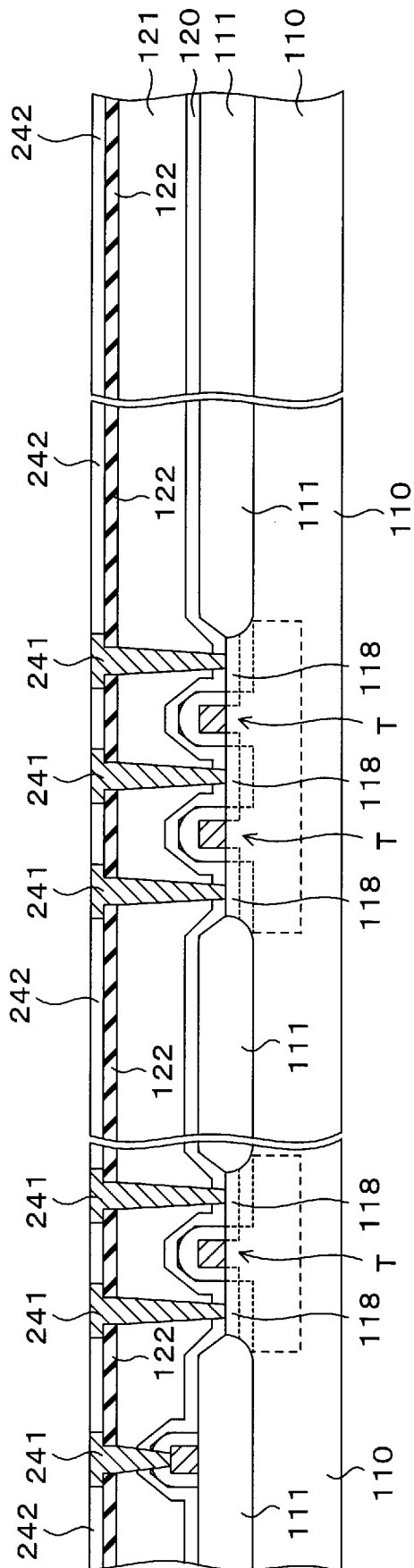
[図33]



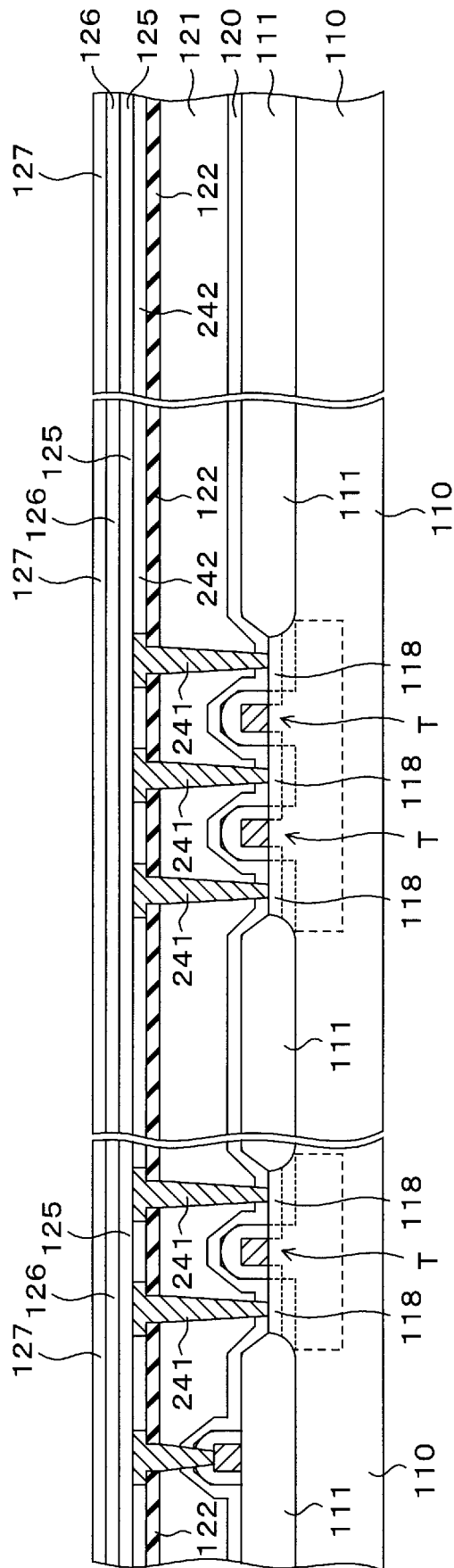
[図34]



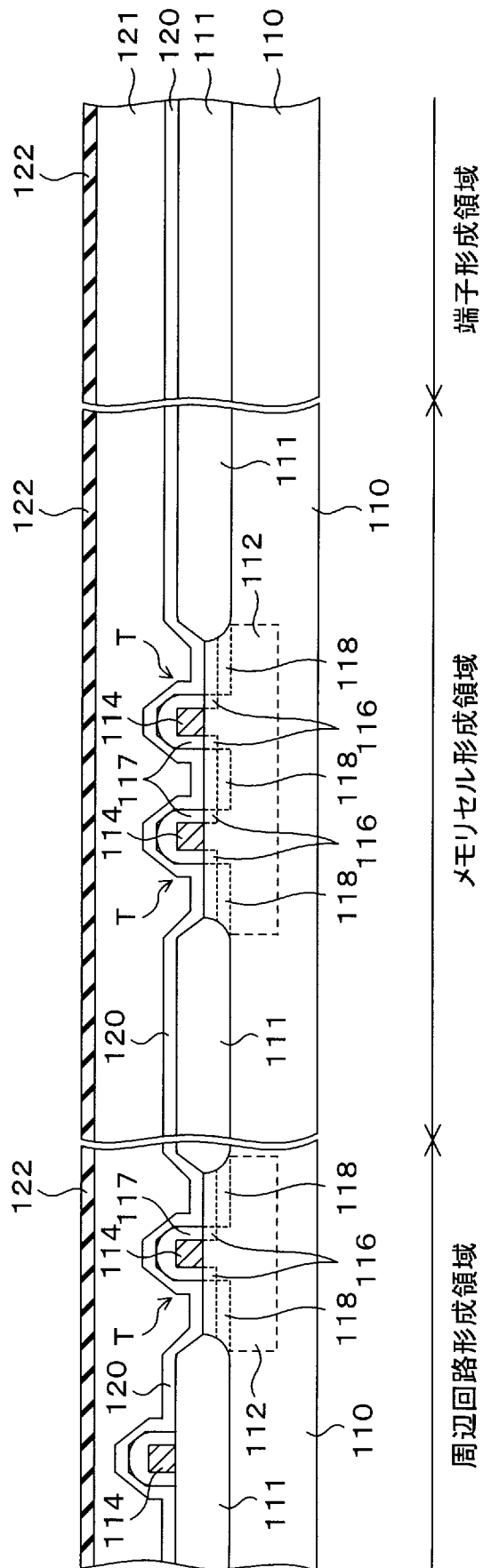
[図35]



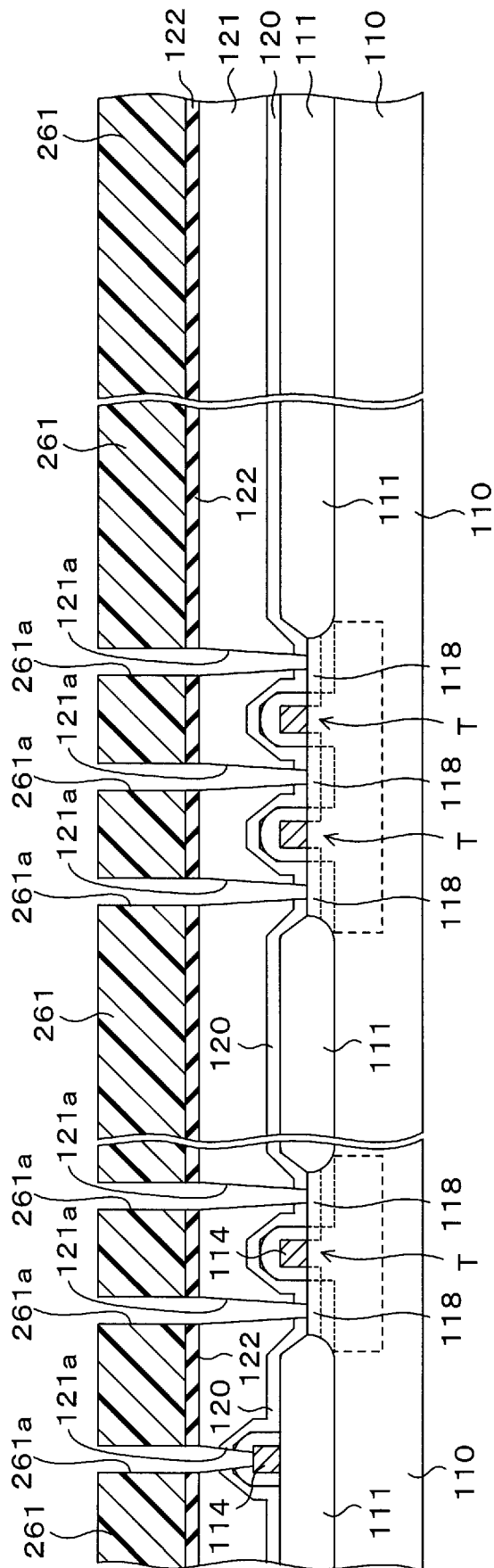
[図36]



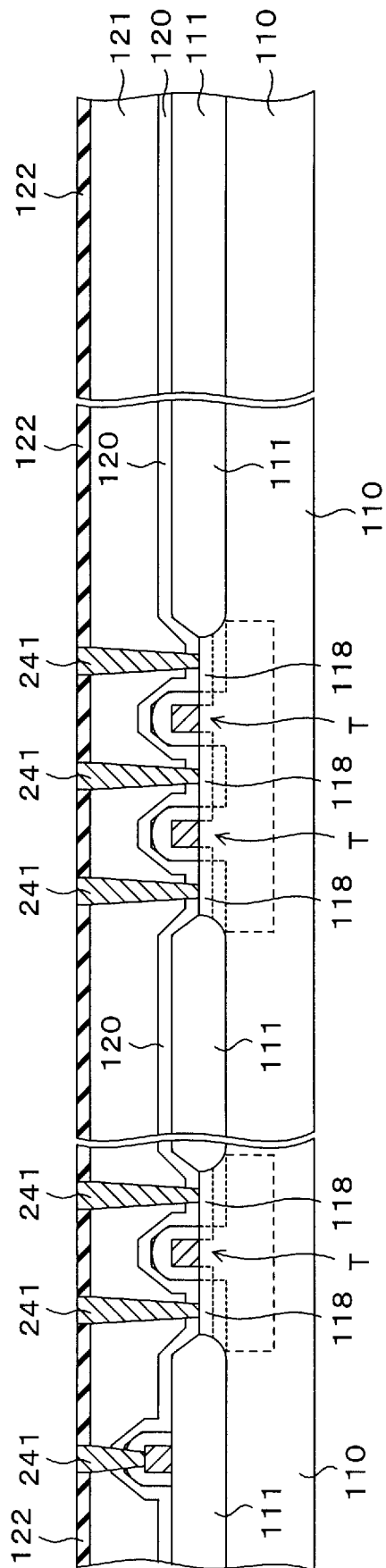
[図37]



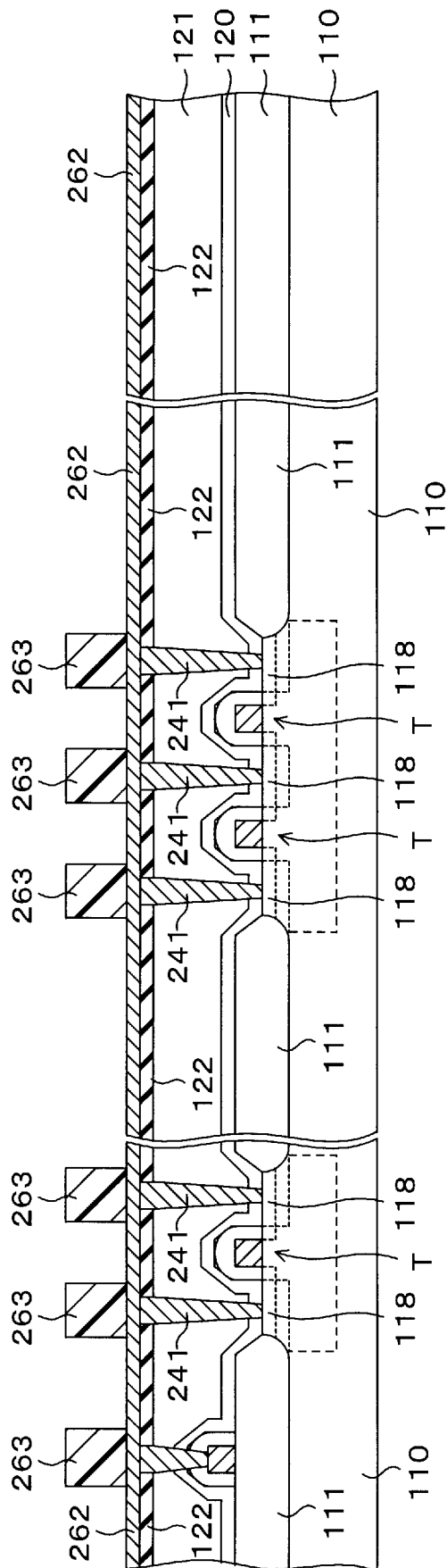
[図38]



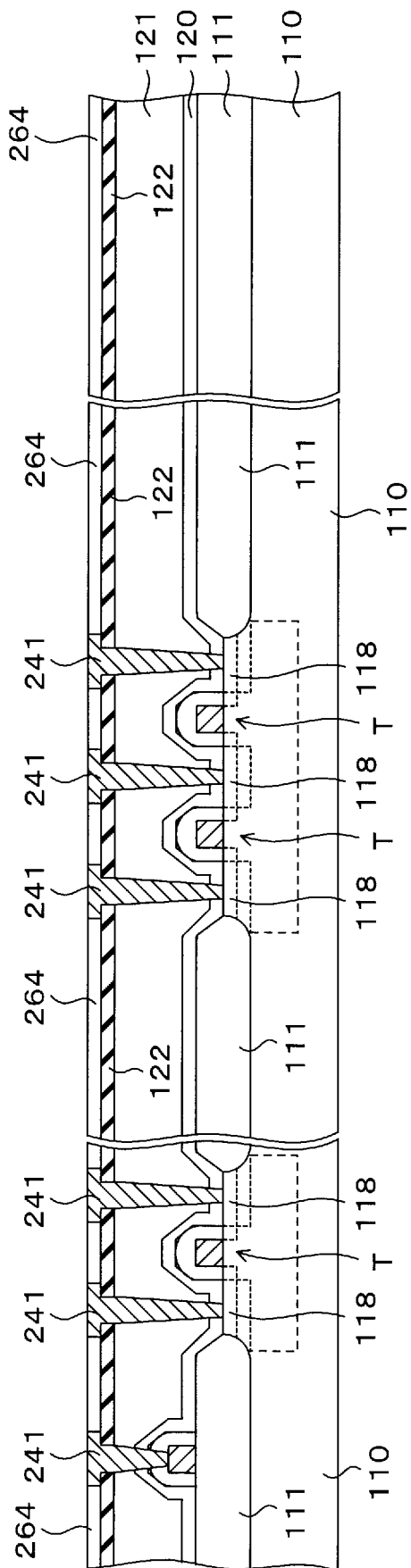
[図39]



[図40]

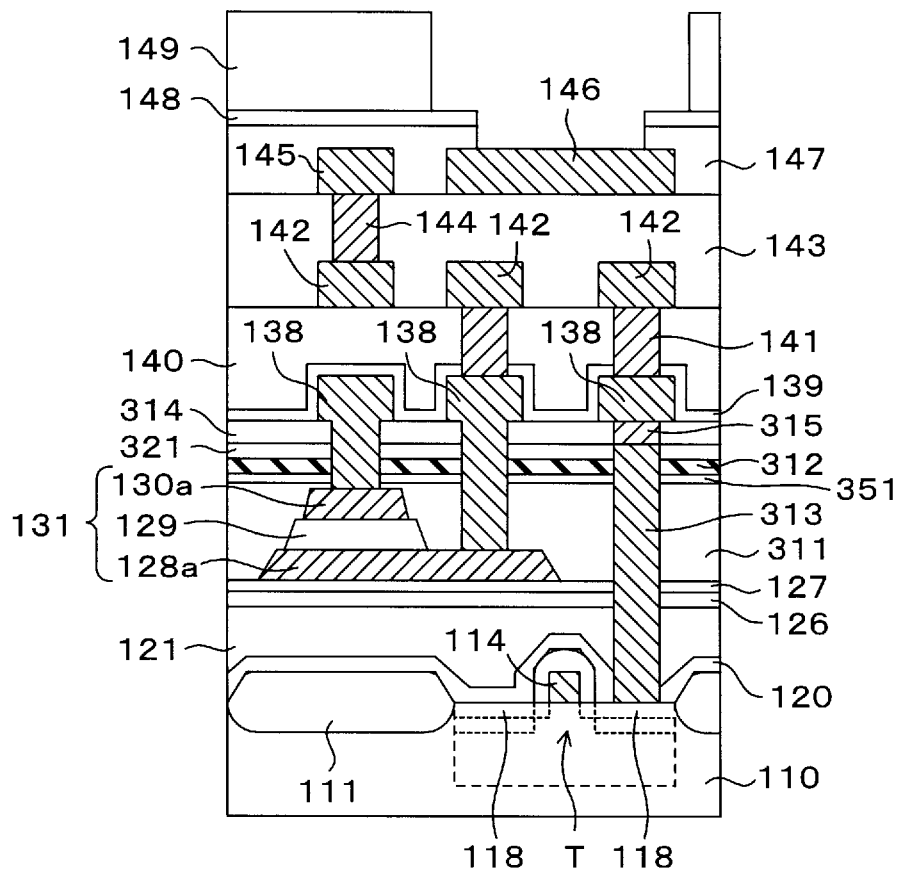


[図41]



[illegible]

[図47]



[図48]

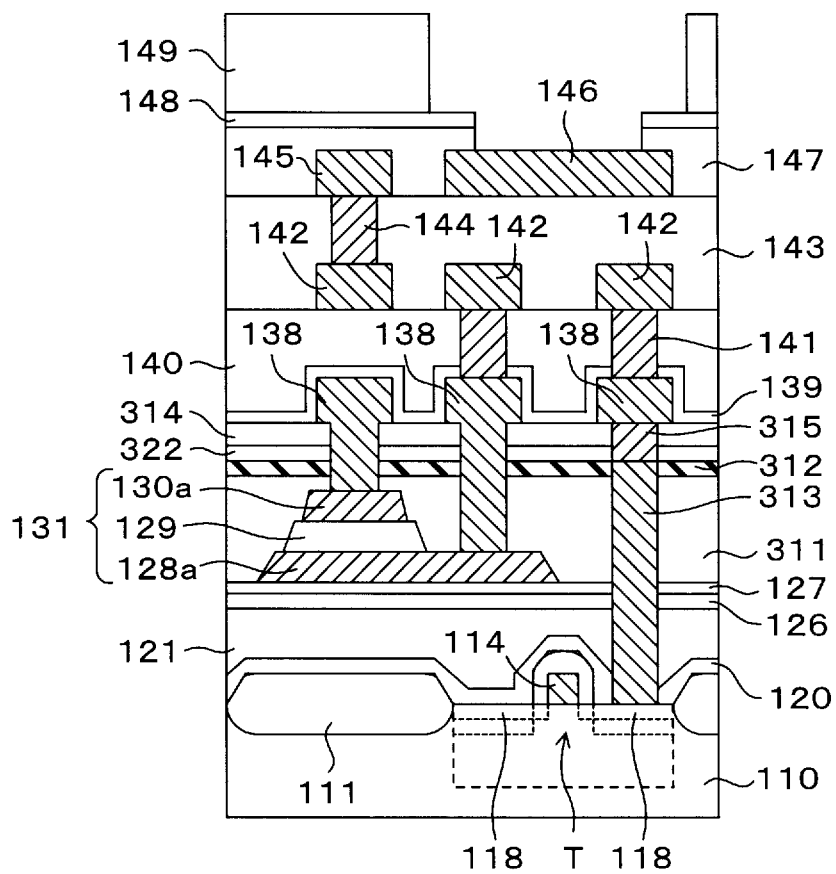
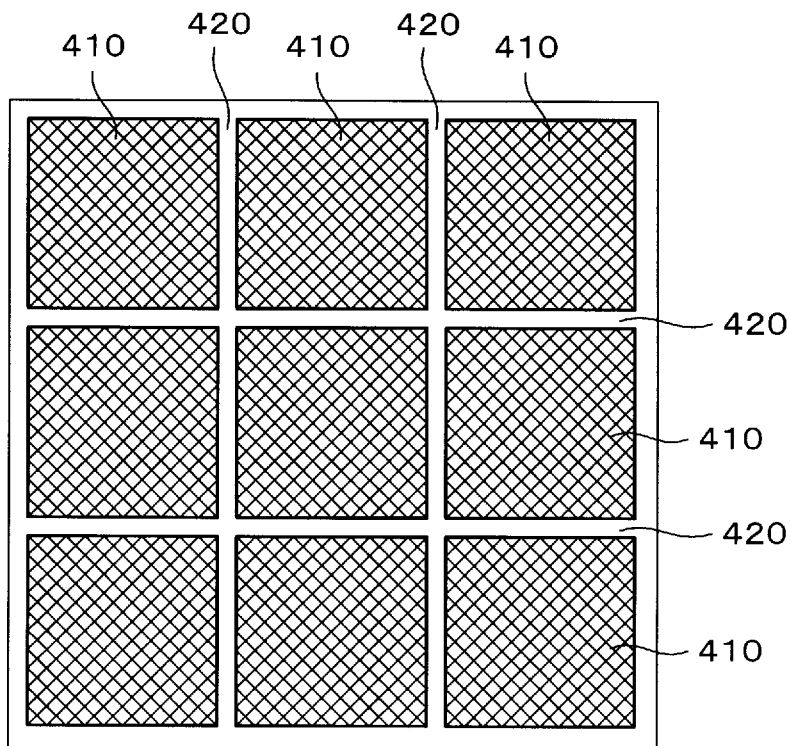


FIG. 1 is a plan view of a substrate 410. The substrate 410 is a rectangular frame containing a grid of 64 square openings, arranged in 8 rows and 8 columns. A dashed rectangular boundary 412 is located within the substrate, enclosing a central area. Within this dashed boundary, there is a cross-hatched rectangular region 411 in the upper-left corner, a small rectangular region in the lower-left corner, and a large rectangular region in the lower-right corner. A label 413 points to the right side of the substrate 410.

[図55]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/053138

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8246(2006.01) i, H01L27/105(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8246, H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 8-23079 A (Hitachi, Ltd.), 23 January, 1996 (23.01.96), Full text; all drawings (Family: none)	1, 19
X	JP 8-204012 A (NEC Corp.), 09 August, 1996 (09.08.96), Par. Nos. [0044] to [0061], [0078], [0081]; Figs. 5 to 9 & US 5907788 A	1, 19

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
07 May, 2007 (07.05.07)

Date of mailing of the international search report
22 May, 2007 (22.05.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/053138

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 and 19

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee..
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/053138

Continuation of Box No. III of continuation of first sheet (2)

The matter (a) common to independent claims 1, 2, 3, 5, 7, 8, 9, 10, 11, 12, 13, 15, 17 and 18 is a semiconductor device with transistor and ferroelectric capacitor disposed on a semiconductor substrate, wherein an etching stopper film is disposed on an insulating film covering the semiconductor substrate; a first plug is provided in a contact hole extending from the superior face of the etching stopper film to impurity region of the transistor; another insulating film is disposed on the etching stopper film; and a second plug is provided in a contact hole extending from the superior face of the other insulating film to the first plug.

However, the above matter (a) cannot be found to be a "special technical feature" within the meaning of PCT Rule 13.2, second sentence as disclosed in the reference (1): JP 8-23079 A (Hitachi, Ltd.) 23 January, 1996 (23.01.96), whole description, all drawings, and the reference (2): JP 8-204012 A (NEC Corp.) 9 August, 1996 (09.08.96), Paragraph 0044-Paragraph 0061, Paragraph 0078, Paragraph 0081 and Figs. 5-9.

Accordingly, it cannot be stated that among the invention of claims 1 and 19-22, invention of claims 2 and 23-25, and respective inventions of claims 3-4, claims 5-6, claim 7, claim 8, claim 9, claim 10, claim 11, claim 12, claims 13-14, claims 15-16, claim 17 and claim 18, there are the same or corresponding special technical features.

Further, as the matter common to claims 1 and 19, claim 20, claim 21 and claim 22 is also the above matter (a), it cannot be stated that among the inventions of these claims, there are the same or corresponding special technical features.

Still further, as the matter common to claims 2 and 23, claim 24 and claim 25 is also the above matter (a), it cannot be stated that among the inventions of these claims, there are the same or corresponding special technical features.

Therefore, the inventions of claims 1-25 do not satisfy the requirement of unity of invention, and eventually, the claims 1-25 claim nineteen inventions classified into those of [claims 1, 19], [claims 2, 23], [claims 3-4], [claims 5-6], [claim 7], [claim 8], [claim 9], [claim 10], [claim 11], [claim 12], [claims 13-14], [claims 15-16], [claim 17], [claim 18], [claim 20], [claim 21], [claim 22], [claim 24] and [claim 25].

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. H01L21/8246(2006.01)i, H01L27/105(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8246, H01L27/105

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 8-23079 A（株式会社日立製作所）1996.01.23, 全文、全図 （ファミリーなし）	1, 19
X	JP 8-204012 A（日本電気株式会社）1996.08.09, 0044 段落-0061 段落, 0078 段落, 0081 段落, 図5-図9 & US 5907788 A	1, 19

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

07.05.2007

国際調査報告の発送日

22.05.2007

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

瀧内 健夫

電話番号 03-3581-1101 内線 3462

4M

9054

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2) (a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
（特別ページ参照）

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1, 19

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付を伴う異議申立てがなかった。

独立請求の範囲 1, 2, 3, 5, 7, 8, 9, 10, 11, 12, 13, 15, 17 及び 18 に共通する事項 (a) は、半導体基板に形成されたトランジスタと強誘電体キャパシタとを有する半導体装置において、半導体基板を覆う絶縁膜の上にエッチングストップ膜が形成され、前記エッチングストップ膜の上面から前記トランジスタの不純物領域に到達するコンタクトホール内に第 1 のプラグが設けられ、前記エッチングストップ膜の上に他の絶縁膜が形成され、前記他の絶縁膜の上面から前記第 1 のプラグに到達するコンタクトホール内に第 2 のプラグが設けられることである。

しかし、上記事項 (a) は、文献 1 : JP 8-23079 A (株式会社日立製作所) 1996.01.23, 全文、全図、及び、文献 2 : JP 8-204012 A (日本電気株式会社) 1996.08.09, 0044 段落-0061 段落, 0078 段落, 0081 段落, 図 5-図 9 に開示されているから、PCT 規則 13.2 の第 2 文の意味において「特別な技術的特徴」とは認められない。

よって、請求の範囲 1 及び 19-22 に係る発明、請求の範囲 2 及び 23-25 に係る発明、及び、請求の範囲 3-4、請求の範囲 5-6、請求の範囲 7、請求の範囲 8、請求の範囲 9、請求の範囲 10、請求の範囲 11、請求の範囲 12、請求の範囲 13-14、請求の範囲 15-16、請求の範囲 17 及び請求の範囲 18 の各請求の範囲に係る発明の間に、同一又は対応する特別な技術的特徴が存在するということとはできない。

次に、請求の範囲 1 及び 19、請求の範囲 20、請求の範囲 21 及び請求の範囲 22 に共通する事項も上記事項 (a) であるから、これらの請求の範囲に係る発明の間に、同一又は対応する特別な技術的特徴が存在するということとはできない。

さらに、請求の範囲 2 及び 23、請求の範囲 24 及び請求の範囲 25 に共通する事項も上記事項 (a) であるから、これらの請求の範囲に係る発明の間に、同一又は対応する特別な技術的特徴が存在するということとはできない。

以上のとおり、請求の範囲 1-25 に係る発明は、発明の単一性を満たしておらず、結局、請求の範囲 1-25 には、[1, 19]、[2, 23]、[3-4]、[5-6]、[7]、[8]、[9]、[10]、[11]、[12]、[13-14]、[15-16]、[17]、[18]、[20]、[21]、[22]、[24] 及び [25] に区分される 19 個の発明が記載されている。