

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016년 9월 1일 (01.09.2016)



(10) 국제공개번호
WO 2016/137123 A1

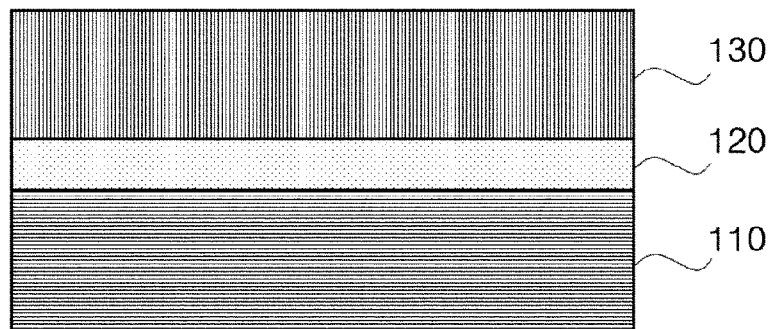
- (51) 국제특허분류: *H01L 29/49* (2006.01) *H01L 21/314* (2006.01)
H01L 29/66 (2006.01)
- (21) 국제출원번호: PCT/KR2016/000700
- (22) 국제출원일: 2016년 1월 22일 (22.01.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2015-0025561 2015년 2월 24일 (24.02.2015) KR
- (71) 출원인: 고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) [KR/KR]; 02841 서울시 성북구 안암로 145, Seoul (KR). 인하대학교 산학협력단 (INHA-INDUSTRY PARTNERSHIP INSTITUTE) [KR/KR]; 22212 인천시 남구 인하로 100, Incheon (KR).
- (72) 발명자: 유현용 (YU, Hyun-Yong); 06592 서울시 서초구 사평대로 240, 503 동 706 호, Seoul (KR). 김광식 (KIM, Gwang-Sik); 02843 서울시 성북구 인촌로 13길 18-20, 406 호, Seoul (KR). 김승환 (KIM, Seung-Hwan); 02843 서울시 성북구 인촌로 17길 27, 204 호, Seoul (KR). 최리노 (CHOI, Rino); 03916 서울시 마포구 월드컵북로 502-37, 1105 동 305 호, Seoul (KR).
- (74) 대리인: 특허법인 충현 (CHUNG HYUN PATENT & LAW FIRM); 06779 서울시 서초구 동산로 23 베텔회관 8층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: METAL-DIELECTRIC LAYER-SEMICONDUCTOR STRUCTURE OF SOURCE-AND-DRAIN CONTACT FOR THREE-DIMENSIONAL SINGLE INTEGRATED LOW TEMPERATURE PROCESS TECHNOLOGY AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭 : 3 차원 단일 집적 저온 공정 기술을 위한 소스와 드레인 컨택의 금속-유전층-반도체 구조 및 그 제조 방법



(57) Abstract: The present invention relates to a semiconductor device in which a source or a drain is formed, and may provide a semiconductor device which includes a semiconductor layer, a metal layer which forms a source or a drain of the semiconductor device, and a dielectric layer formed between the metal layer and the semiconductor layer. Therefore, the semiconductor device can implement low contact resistance through only a low temperature process.

(57) 요약서: 본 발명은 소스 또는 드레인이 형성되는 반도체 소자에 관한 것으로, 반도체층, 반도체 소자의 소스 또는 드레인을 형성하는 금속층, 및 상기 금속층과 상기 반도체층 사이에 형성되는 유전층을 포함함으로써, 저온 공정만으로 낮은 컨택 저항을 구현하는 반도체 소자를 제공할 수 있다.



WO 2016/137123 A1

명세서

발명의 명칭: 3차원 단일 집적 저온 공정 기술을 위한 소스와 드레인 컨택의 금속-유전층-반도체 구조 및 그 제조 방법 기술분야

- [1] 본 발명은 소스 또는 드레인이 형성되는 반도체 소자에 관한 것으로서, 보다 구체적으로, 금속층과 반도체층 사이에 유전층을 적층하여 저온 공정만으로 낮은 컨택 저항을 구현하는 반도체 소자 및 제조방법에 관한 것이다.

배경기술

- [2] 최근 3차원 단일 집적 기술이 활발하게 개발되고 있는데 3차원으로 공정을 하게 될 경우 각 소자의 공정이 서로 영향을 미칠 수 있다는 단점이 있다. 그 중 온도가 가장 치명적인 역할을 하게 되는데, 예를 들어 첫 번째로 제작된 소자가 열에 약한 특성을 가지고 있을 때, 그 윗 층의 공정에서 고온 공정이 요구된다면 3차원으로 집적할 수가 없게 된다. 일반적으로 소스와 드레인의 금속과의 접합에서 오믹 컨택을 형성시키기 위해 고온 공정을 필요로 하는데 이는 3차원 단일 집적 공정 기술에 치명적인 단점이 된다.
- [3] 종래에 주로 사용하고 있는 소스와 드레인 오믹 컨택 기술 연구는 모두 고온 공정을 필요로 한다. 또한, 고온 공정은 단일 집적 기술에 치명적인 단점으로 지적되고 있다. 특히, 3차원 단일 집적 기술은 소자를 층으로 쌓아가며 공정하기 때문에 후반부의 공정이 전반부에 완성한 소자에 피해를 주면 완성된 소자가 망가지게 된다. 실리콘의 경우 NiSi 혹은 SiGe와 같은 혼합물을 사용하여 소스와 드레인의 오믹 컨택을 형성해왔지만, 고온 공정 및 피닝 현상을 완전히 차단시키지 못했다. 이러한 단점들 때문에 고온 공정 기술들을 사용하는 소자들은 3차원 단일 집적 공정 기술에 접목시킬 수 없게 되고, 차세대 기술로의 발전을 저해시킬 수 있다.
- [4] MOSFET이나 FinFET와 같은 반도체 소자들은 스위칭을 위한 게이트와 스위칭에 의해 생성되는 채널을 통해 전류를 전달시키기 위해 형성한 소스와 드레인(Source와 Drain)으로 이루어져 있다.
- [5] 반도체 소자들이 작동할 때 전력 소모를 감소시키기 위해서 소스와 드레인에서의 컨택 저항 감소는 필연적인데, 그를 위해 NMOS의 경우 n형 고도핑을, PMOS의 경우 p형 고도핑을 해준다. 하지만 고도핑을 해주더라도 금속과 반도체 사이의 쇼트키(Schottky) 장벽으로 인한 컨택 저항 증가도 발생한다.
- [6] 쇼트키 장벽의 경우, 이상적일 때 금속의 일함수를 조절해줌으로써 해결해 줄 수 있지만, 실제로 금속과 반도체 사이에는 MIGS(Metal Induced Gap States)라는 효과가 존재하기 때문에 쇼트키 장벽을 효과적으로 감소시킬 수 없다.
- [7] MIGS는 반도체에 접합한 금속에 의해 반도체의 표면에 상태 밀도를 유도하여

페르미-레벨(Fermi-level)이 각 반도체 물질의 고유 특성인 CNL(Charge Neutral Level)에 가까워지게 만든다. 이를 페르미-레벨 피닝(Fermi-level Pinning)이라고 한다.

발명의 상세한 설명

기술적 과제

- [8] 본 발명이 해결하고자 하는 첫 번째 과제는 금속층과 반도체층 사이에 유전층을 적층하여 저온 공정만으로 낮은 콘택 저항을 구현하는 반도체 소자를 제공하는 것이다.
- [9] 본 발명이 해결하고자 하는 두 번째 과제는 금속층과 반도체층 사이에 유전층을 적층하여 저온 공정만으로 낮은 콘택 저항을 구현하는 반도체 소자를 제조하는 제조방법을 제공하는 것이다.

과제 해결 수단

- [10] 본 발명은 상기 첫 번째 과제를 해결하기 위하여, 소스 또는 드레인이 형성되는 반도체 소자에 있어서, 반도체층; 반도체 소자의 소스 또는 드레인을 형성하는 금속층; 상기 금속층과 상기 반도체층 사이에 형성되는 유전층을 포함하는 반도체 소자를 제공한다.
- [11] 본 발명의 다른 실시예에 의하면, 상기 유전층은, 원자층 증착 공정(ALD)을 통해 형성되는 것을 특징으로 하는 반도체 소자일 수 있다.
- [12] 본 발명의 다른 실시예에 의하면, 상기 유전층은, 상기 반도체층과의 전도띠 오프셋(CBO)이 임계치 이하인 물질로 형성되거나, 임계치 이상의 밴드갭 에너지를 갖는 물질로 형성되거나, 콘택저항이 최소가 되는 두께로 형성되는 것을 특징으로 하는 반도체 소자일 수 있다.
- [13] 본 발명의 다른 실시예에 의하면, 상기 유전층은, 도핑, 특히 플라즈마 도핑이 수행되는 것을 특징으로 하는 반도체 소자일 수 있다.
- [14] 본 발명의 다른 실시예에 의하면, 상기 금속층은, 상기 반도체가 n형 반도체인 경우, 상기 반도체층의 전자친화도와 차이가 임계치 이하인 금속으로 형성되고, 상기 반도체가 p형 반도체인 경우, 상기 반도체층의 전자친화도 및 밴드갭 에너지의 합과의 차이가 임계치 이하인 금속으로 형성되는 것을 특징으로 하는 반도체 소자일 수 있다.
- [15] 본 발명은 상기 두 번째 과제를 해결하기 위하여, 반도체 소자에 소스 또는 드레인을 형성하는 방법에 있어서, 반도체층 상에 유전층을 적층하는 단계; 및 상기 유전층 상에 소스 또는 드레인을 형성하는 금속층을 적층하는 단계를 포함하는 방법을 제공한다.
- [16] 본 발명의 다른 실시예에 의하면, 상기 유전층에 도핑을 수행하는 단계를 더 포함하는 방법일 수 있다.

발명의 효과

- [17] 본 발명에 따르면, 저온 공정만으로 낮은 콘택 저항을 구현함으로써 고온

공정으로 인한 피해를 최소화할 수 있다. 또한, 쇼트키 장벽을 낮춰 오믹 콘택을 형성할 수 있다. 반도체와의 CBO가 매우 작은 유전층을 증착시켜, 그 유전층을 도핑해줄 경우 더욱 낮은 콘택 저항을 추출할 수 있다. MIS 구조를 도입한 n형 실리콘에 작은 일함수를 가진 금속과 p형 실리콘에 큰 일함수를 가진 금속을 접합하여 n형과 p형 반도체 모두 오믹 콘택을 형성할 수 있다. MIS 구조는 유전층의 증착만으로 오믹 콘택을 형성할 수 있고, 고온 공정으로 인한 피해를 최소화 할 수 있기 때문에 공정의 편리성과 소자의 효율성 모두 향상시킬 수 있다. 저온 공정만으로도 낮은 콘택 저항을 추출할 수 있는바, 대부분의 반도체 소자가 가지고 있는 소스와 드레인에 MIS 구조를 적용할 수 있으므로 차세대 공정 기술에 효과적인 방안이 될 수 있으며, 특히 3차원 단일 집적 공정 기술의 발전에 도모할 수 있게 될 것이다.

도면의 간단한 설명

- [18] 도 1은 본 발명의 일 실시예에 따른 반도체 구조이다.
- [19] 도 2는 금속과 반도체 사이의 MIGS(Metal Induced Gap States) 효과를 나타낸 것이다.
- [20] 도 3은 금속-유전층-반도체에서의 MIGS(Metal Induced Gap States) 효과의 변화를 나타낸 것이다.
- [21] 도 4 내지 6은 유전층의 두께에 따른 콘택 저항의 변화를 나타낸 것이다.
- [22] 도 7 내지 8은 유전층의 두께에 따른 콘택 저항의 변화를 나타낸 것이다.
- [23] 도 9 내지 10은 도핑에 따른 콘택 저항의 변화를 나타낸 것이다.
- [24] 도 11은 본 발명의 실시예에 따른 반도체 구조이다.
- [25] 도 12는 본 발명의 일 실시예에 따른 반도체 구조 제조방법의 흐름도이다.
- [26] 도 13은 본 발명의 다른 실시예에 따른 반도체 구조 제조방법의 흐름도이다.

발명의 실시를 위한 최선의 형태

- [27] 본 발명의 일 실시예에 따른 소스 또는 드레인이 형성되는 반도체 소자는 반도체층, 반도체 소자의 소스 또는 드레인을 형성하는 금속층, 및 상기 금속층과 상기 반도체층 사이에 형성되는 유전층을 포함한다.

발명의 실시를 위한 형태

- [28] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하고자 하는 과제의 해결 방안의 개요 혹은 기술적 사상의 핵심을 우선 제시한다.
- [29] 본 발명의 일 실시예에 따른 소스 또는 드레인이 형성되는 반도체 소자는 반도체층, 반도체 소자의 소스 또는 드레인을 형성하는 금속층, 및 상기 금속층과 상기 반도체층 사이에 형성되는 유전층을 포함한다.
- [30] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 실시 예를 상세히 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본

발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.

- [31] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명의 바람직한 실시예에 대한 동작 원리를 상세하게 설명함에 있어 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[32]

- [33] 도 1은 본 발명의 일 실시예에 따른 반도체 구조이다.

- [34] 본 발명의 일 실시예에 따른 반도체 구조는 반도체층(110), 금속층(130), 및 유전층(120)으로 구성된다.

- [35] 금속층(130)은 반도체 소자의 소스 또는 드레인을 형성한다.

- [36] 유전층(120)은 금속층(130)과 반도체층(110) 사이에 형성된다.

- [37] 보다 구체적으로, 금속층(130)과 반도체층(110) 사이에 유전층(120)을 형성함으로써 금속층(130)과 반도체층(110)을 직접 접촉하도록 적층한 경우, 발생하는 문제점을 해결한다.

- [38] 유전층(120)은 원자층 증착 공정(ALD)을 통해 형성될 수 있다. 먼저, 하드 마스크 패턴을 통해 소스와 드레인에 고도핑을 해주고 ALD(Atomic Layer Deposition) 공정 방식을 이용하여 얇은 유전층을 증착시켜준다. 원자층 증착 공정의 경우, 복잡한 형상의 3차원 구조에서도 뛰어난 균일도를 가지는 나노 두께의 박막 증착이 가능하기 때문에 나노급 반도체 소자 제조의 적합하다. 박막 형성에 필요한 원소를 번갈아 공급하여 한 원자층씩 흡착되도록 하는 기술로, AX와 BY라는 기체의 형태의 물질을 원료로 이용하여 AB라는 고체물질로 된 박막을 증착하고 부산물로 기체 형태의 XY를 생성하는 방식으로 $AX(\text{기체}) + BY(\text{기체}) \rightarrow AB(\text{고체}) + XY(\text{기체})$ 의 반응을 통해 원자층을 적층한다. 증착과정에서 원료 공급 단계에서 원료의 공급이 충분하다면 박막의 성장 속도는 원료 공급 주기의 횟수에만 비례하기 때문에 박막의 두께는 수 Å(앙스트롬) 단위로 정밀하게 제어할 수 있다. 박막의 두께와 조성을 정밀하게 조정할 수 있고, 불순물이 적고, 편 홀 등의 결함이 없는 양질의 박막제조가 가능하다. 또한, 3차원 구조도 균일하게 적층이 가능하며 대면적 증착도 가능하다. 스퍼터(Sputter)나 증착기(Evaporator)와 같은 물리적 방식의 공정 장비를 사용할 시, 유전층의 특성이 좋지 않고, 증착률이 높아 얇은 층을 형성하기 힘들다. 유전층 증착 후, n형과 p형 반도체 소자에 따라 각각에 알맞은 금속을 증착시킨다.

- [39] 금속층(130)과 반도체층(110)을 직접 접촉하는 경우, 도 2a와 같이 금속과 반도체 사이에 쇼트키(schottky) 장벽으로 인한 컨택 저항 증가가 발생한다. 또한,

금속과 반도체 사이에는 MIGS(Metal Induced Gap States)라는 효과가 존재하기 때문에 쇼트키 장벽을 효과적으로 감소시킬 수 없다. MIGS는 반도체에 접합한 금속에 의해 반도체의 표면에 상태 밀도를 유도하여 페르미-레벨(Fermi-level)이 각 반도체 물질의 고유 특성인 CNL(Charge Neutral Level)에 가까워지게 만든다. 이를 페르미-레벨 피닝(Fermi-level Pinning)이라고 한다. MIGS는 도 2b와 도 2c와 같이 나타난다.

- [40] 실리콘의 경우, CNL이 가전자대(Valence Band) 쪽에 존재한다. 도 2d와 같이 n형 실리콘과 금속 사이에는 페르미-레벨 피닝으로 인해 쇼트키 장벽이 커지는 것을 확인할 수 있고, 도 2e와 같이 p형 실리콘과 금속 사이에서도 페르미-레벨 피닝으로 인해 쇼트키 장벽이 커지는 것을 확인할 수 있다.
- [41] 금속층(130)과 반도체층(110) 사이에 유전층(120)을 삽입하여 MIS(Metal-Inter layer-Semiconductor) 구조를 형성함으로써 MIGS 현상으로 인한 페르미-레벨 피닝을 감소시킬 수 있다.
- [42] 도 3a와 도 3b와 같이, 유전층을 삽입할 경우, MIGS를 효과적으로 감소시킬 수 있고, 전자가 터널링(tunneling)을 통해 쉽게 통과할 수 있기 때문에 콘택 저항을 감소시킬 수 있다. 하지만, 유전층이 두꺼워질 경우, 전자가 뚫고 지나갈 수 없기 때문에 오히려 콘택저항이 다시 증가할 수 있다. 따라서, 이러한 문제점을 해결하기 위하여, 유전층(120)은 콘택저항이 최소가 되는 두께로 형성되거나, 임계치 이상의 밴드갭 에너지를 갖는 물질로 형성될 수 있다. 밴드갭 에너지의 임계치는 실험 등을 통해 설정되거나, 반도체 소자를 제조하는 제조자에 의해 미리 설정될 수 있다. 또한, 복수의 물질 중 밴드갭 에너지가 가장 큰 물질을 이용하여 유전층을 형성할 수 있다.
- [43] MIGS 밀도는 다른 물질로 침투될 때 지수적으로 감소하게 되는데, 다음 수학적 1에서 볼 수 있듯이 침투되는 물질의 두께와 밴드갭 에너지의 크기에 대해 달라진다.
- [44] 수학적 1
[수식1]

$$D_{MIGS}(d_i) = D_{MIGS0IL} \exp(-d_i/\delta_{IL})$$
- [45] 밴드갭 에너지가 큰 물질을 반도체와 금속 사이에 증착하면 금속으로부터 유도되는 피닝 현상을 감소시킬 수 있다. 또한, 수학적 2에서 볼 수 있듯이 S 값은 수학적 1의 MIGS 밀도에 대한 식으로 나타낼 수 있는데, S 값이 0에 가까울수록 CNL로 완전히 피닝되고, 1에 가까울수록 이상적으로 접합할 수 있다.
- [46] 수학적 2
[수식2]

$$S = (1 + q^2 \frac{D_{MIGS}(d_i)(\delta_{\geq \epsilon_{IL}} + d_i \epsilon_{\geq})}{\epsilon_0(\epsilon_{IL} + \epsilon_{\geq})})^{-1}$$
- [47] 도 2b와 2c에서와 같은 쇼트키 장벽은 피닝 현상에 의해 수학적 3처럼 금속

고유의 일함수가 아닌 상대적인 금속 일함수를 가지게 된다.

[48] 수학적식 3

[수식3]

$$\Phi_{Meff} = S\Phi_M + (1 - S)\Phi_{CNL}$$

[49] 수학적식 2의 S값이 1에 가까울수록 수학적식 3에서의 CNL 일함수가 작아져 고유의 금속 일함수에 맞게 접합이 되는 것을 알 수 있다.

[50] 실리콘의 경우, S 값이 0.3 정도이기 때문에 CNL로 피닝되기 쉽고, 금속의 일함수와 무관하게 쇼트키 장벽은 커진다. 밴드갭이 넓은 유전층을 실리콘 위에 얇게 증착하면, MIGS의 침투를 효과적으로 차단하고, 그로 인해 페르미-레벨 피닝을 감소시켜 쇼트키 장벽을 낮출 수 있다.

[51] 도 4를 보면 유전층의 두께에 따라 컨택 저항이 바뀌는 것을 볼 수 있는데, 두께가 너무 얇을 경우 MIGS를 충분히 낮춰 주지 못해 여전히 높은 쇼트키 장벽을 가지고 있어 컨택 저항이 높고, 두께가 너무 두꺼울 경우 전자가 터널링하여 통과하지 못해 높은 컨택 저항을 가지게 된다.

[52] 도 5와 도 6은 n형 반도체와 p형 반도체에 유전층을 증착했을 때, 유전층의 두께에 따른 컨택 저항의 변화가 도 4와 일치하는지를 시뮬레이션으로 보여주는 결과이다. n형과 p형 반도체 소스와 드레인의 도핑 농도는 각각 $1 \times 10^{19} \text{cm}^{-3}$ 으로 시뮬레이션을 했다.

[53] n형 실리콘에 유전층을 증착한 후, 옴릭(Ohmic) 컨택을 하기 위해서는 일함수가 작은 금속을 사용해야 한다. 하지만 p형 실리콘에 같은 일함수를 갖는 금속을 사용한다면, 정공이 바라보는 가전자대 쪽의 쇼트키 장벽이 크기 때문에 일함수가 큰 금속을 사용해야 한다. 즉, n형과 p형 반도체 장치는 금속과 반도체의 접합 시에 형성되는 페르미-레벨 일치에 따라 달라지는 터널링 쇼트키 장벽으로 인해 다른 일함수를 가진 금속을 사용해야 한다. 따라서, 금속층은 상기 반도체가 n형 반도체인 경우, 상기 반도체층의 전자친화도와 차이가 임계치 이하인 금속으로 형성되고, 상기 반도체가 p형 반도체인 경우, 상기 반도체층의 전자친화도 및 밴드갭 에너지의 합과의 차이가 임계치 이하인 금속으로 형성될 수 있다. 상기 금속을 선정하는 임계치는 실험 등을 통해 설정되거나, 반도체 소자를 제조하는 제조자에 의해 미리 설정될 수 있다. 또한, 복수의 물질 중 반도체층의 전자친화도와 차이가 또는 반도체층의 전자친화도 및 밴드갭 에너지의 합과의 차이가 가장 작은 물질을 이용하여 금속층을 형성할 수 있다.

[54] 도 5는 n형 반도체의 소스와 드레인에 대한 것이므로 반도체의 전자친화도와 비슷한 일함수를 가진 금속으로 시뮬레이션된 것이다. 도 6은 p형 반도체의 소스와 드레인에 대한 것이므로 반도체의 전자친화도와 밴드갭 에너지의 합의 크기와 비슷한 일함수를 가진 금속으로 시뮬레이션된 것이다. 실제로 n형 반도체에 적절한 금속으로는 Ti나 Al 등이 있고, p형 반도체에 적절한 금속으로는 Pt 등이 있다.

- [55] 유전층(120)은 반도체층(110)과의 전도띠 오프셋(CBO, Conduction Band Offset)이 임계치 이하인 물질로 형성될 수 있다. 유전층과 반도체의 CBO가 작을 경우 전자가 터널링하기 쉬워져 콘택 저항을 더 감소시킬 수 있다. 유전층(120)으로 반도체와 CBO(Conduction Band Offset)이 매우 작은 물질을 사용하면 도 7과 같이 도 3a에 비해 터널링 두께가 줄어들게 된다. 또한 반도체와의 CBO가 작은 물질을 사용하면 터널링 두께가 얇기 때문에 어느 정도 두꺼워져도 낮은 콘택 저항 값을 유지하게 된다. 실리콘과 CBO가 매우 작은 차이를 가지고 있는 유전층으로는 ZnO나 TiO₂와 같은 물질들이 있다. 반도체와의 CBO가 작은 유전층을 사용할 경우 터널링 두께가 얇기 때문에 두께가 두꺼워 질수록 도 4와 같은 곡선의 형태를 띄지 않고, 도 8과 같이 낮은 콘택 저항에서 포화상태가 된다. 전도띠 오프셋의 임계치는 실험 등을 통해 설정되거나, 반도체 소자를 제조하는 제조자에 의해 미리 설정될 수 있다. 또한, 복수의 물질 중 반도체층과의 전도띠 오프셋가 가장 작은 물질을 이용하여 유전층을 형성할 수 있다.
- [56] 유전층(120)은 도핑이 수행될 수 있다. 유전층(120)에 도핑을 해주면 매우 낮은 콘택 저항을 구현할 수 있다. 반도체와의 CBO가 작은 물질들에 도핑을 해줄 경우 전도대가 휘어져 터널링 두께가 더 얇아지게 되는데, MIGS 차단과 얇은 터널링 두께로 인해 매우 낮은 콘택 저항을 추출할 수 있다. ZnO나 TiO₂와 같은 물질에 도핑을 해주게 된다면 도 9와 같이 전도대가 휘어지게 되고, 그로 인해 터널링 두께가 확연히 줄어들게 된다. 도 10은 유전층의 도핑 농도에 따라 그리고 두께에 따라 쇼트키 장벽이 어떻게 달라지는 지를 확인할 수 있는 그래프로, 쇼트키 장벽이 줄어들면 전자가 쉽게 통과할 수 있게 되고, 콘택 저항이 감소하게 된다. 실리콘과 CBO 차이가 거의 없는 ZnO 물질로 시뮬레이션을 해서 두께가 어느 정도 두꺼워져도 콘택 저항 값은 큰 차이가 없는 것을 볼 수 있지만, ZnO의 도핑 농도가 커질수록 콘택 저항이 낮아지는 것을 확인할 수 있다.
- [57] 유전층(120)은 대부분 산화막으로 이루어져 있기 때문에 일반적인 반도체 도핑 공정 방식으로 도핑을 하게 된다면 유전층이 깨지게 되어 본 발명에서 원했던 역할을 할 수 없게 된다. 따라서, 플라즈마 도핑을 해주게 된다면 산소 공핍층이 생겨 유전층의 특성을 유지하면서 도핑을 할 수 있다. 또한 ZnO의 경우 AZO(Aluminium doped ZnO) 증착이 가능하다면 증착과 동시에 고도핑이 가능하기 때문에 공정 방식이 용이해진다. 하지만 AZO 물질도 스퍼터나 증착기를 이용하여 증착할 경우 특성이 좋지 않아, 화학적 증착 방식인 ALD를 사용하는 것이 바람직하다.
- [58] 도 11은 가장 기본적인 반도체 소자인 MOSFET 구조의 소스와 드레인에 MIS 구조를 도입한 그림이다. 이와 같이 유전층을 삽입하면 금속에 의한 MIGS를 차단하여 금속의 일함수에 일치하는 지점으로 접합이 되고, 결국 낮은 쇼트키 장벽을 만들 수 있다.

- [59] 본 발명의 실시예에 따른 MIS 구조를 이용한 소스와 드레인의 오믹 컨택 기술은 저온 공정으로 구현이 가능하고, 저온 공정 방식을 이용한 MIS 구조를 제작해 여러 반도체 소자에 적용함으로써, 단일 집적 공정 기술 특히 3차원 단일 집적 기술의 발전에 큰 기여를 할 수 있다. 본 발명의 실시예에 따른 MIS 구조는 일반적인 MOSFET 구조에 국한하는 것이 아니라, 소스와 드레인이 필요한 반도체 소자 (예를 들면 FinFET, HEMT, JFET과 같은 트랜지스터)에 적용이 가능하며, 유전층의 경우 HfO_2 , Al_2O_3 , SiN , ZrO_2 등과 같은 밴드갭 에너지가 큰 유전층 물질은 모두 이에 이용될 수 있다.
- [60]
- [61] 도 12는 본 발명의 일 실시예에 따른 반도체 구조 제조방법의 흐름도이다.
- [62] 1210 단계는 반도체층 상에 유전층을 적층하는 단계이다.
- [63] 보다 구체적으로, 반도체층 상에 소스 또는 드레인을 형성할 위치에 유전층을 적층하는 단계이다. 원자층 증착 공정(ALD)을 통해 상기 유전층을 적층할 수 있다. 유전층은 반도체층과 전도띠 오프셋(CBO)가 임계치 이하인 물질로 형성될 수 있다. 유전층은 임계치 이상의 밴드갭 에너지를 갖는 물질로 형성될 수 있다. 유전층은 컨택 저항이 최소가 되는 두께로 형성될 수 있다. 본 단계에 대한 상세한 설명은 도 1 내지 도 11에 상세한 설명에 대응하는바, 중복되는 설명은 생략한다.
- [64] 1220 단계는 유전층 상에 소스 또는 드레인을 형성하는 금속층을 적층하는 단계이다.
- [65] 보다 구체적으로, 유전층 상에 소스 또는 드레인을 형성하는 금속층을 적층하여 반도체 소자의 소스 또는 드레인을 형성한다. 금속층은 상기 반도체가 n형 반도체인 경우, 상기 반도체층의 전자친화도와와의 차이가 임계치 이하인 금속으로 형성되고, 상기 반도체가 p형 반도체인 경우, 상기 반도체층의 전자친화도 및 밴드갭 에너지의 합과의 차이가 임계치 이하인 금속으로 형성될 수 있다. 본 단계에 대한 상세한 설명은 도 1 내지 도 11에 상세한 설명에 대응하는바, 중복되는 설명은 생략한다.
- [66] 도 13은 본 발명의 다른 실시예에 따른 반도체 구조 제조방법의 흐름도이다.
- [67] 1310 단계는 상기 유전층에 도핑을 수행하는 단계이다.
- [68] 보다 구체적으로, 유전층에 도핑을 하여 컨택 저항을 더 낮출 수 있다. 도핑을 수행함에 있어서, 플라즈마 도핑을 수행할 수 있다. 본 단계에 대한 상세한 설명은 도 1 내지 도 11에 상세한 설명에 대응하는바, 중복되는 설명은 생략한다.
- [69]
- [70] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

- [71] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

산업상 이용가능성

- [72] 본 발명은 소스 또는 드레인이 형성되는 반도체 소자에 관한 것으로, 반도체층, 반도체 소자의 소스 또는 드레인을 형성하는 금속층, 및 상기 금속층과 상기 반도체층 사이에 형성되는 유전층을 포함함으로써, 저온 공정만으로 낮은 컨택 저항을 구현하는 반도체 소자를 제공할 수 있다.

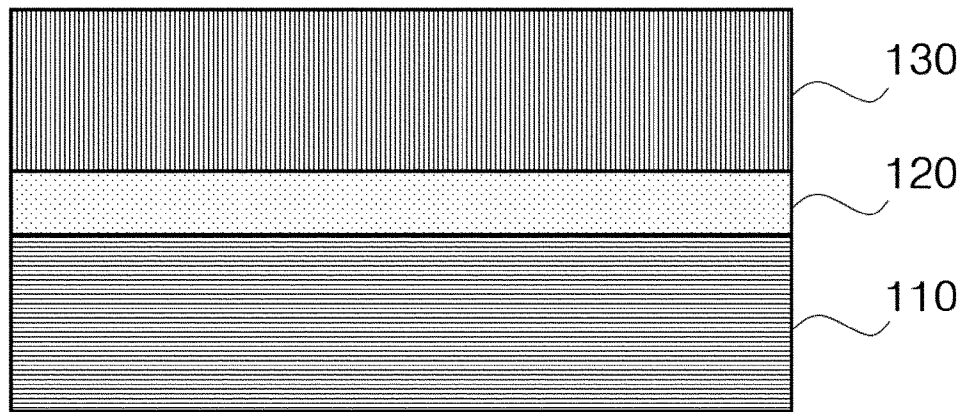
[73]

청구범위

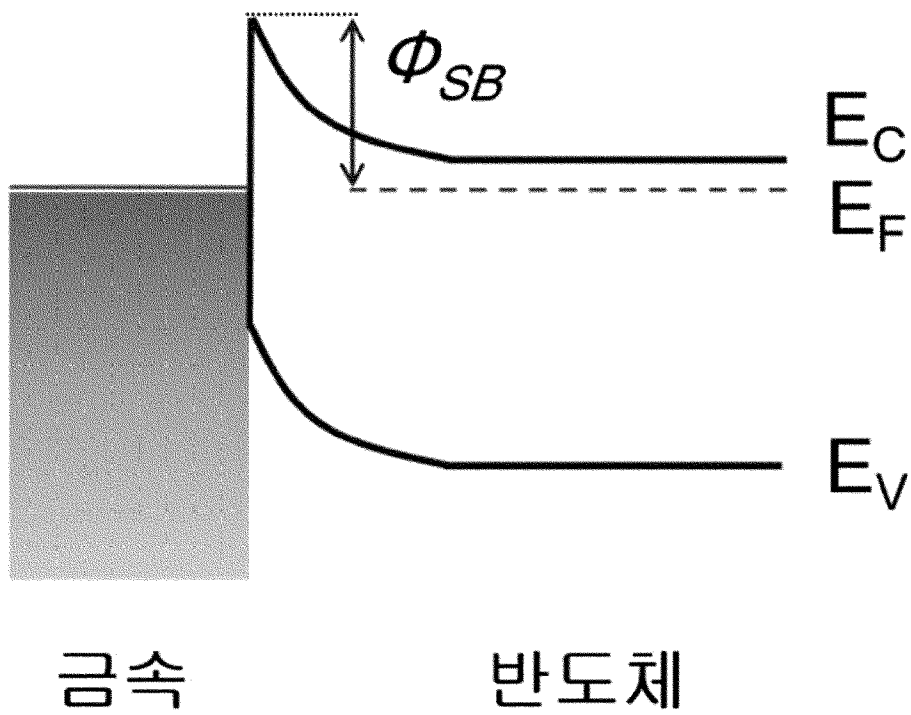
- [청구항 1] 소스 또는 드레인이 형성되는 반도체 소자에 있어서,
반도체층;
반도체 소자의 소스 또는 드레인을 형성하는 금속층; 및
상기 금속층과 상기 반도체층 사이에 형성되는 유전층을 포함하는
반도체 소자.
- [청구항 2] 제 1 항에 있어서,
상기 유전층은,
원자층 증착 공정(ALD)을 통해 형성되는 것을 특징으로 하는 반도체
소자.
- [청구항 3] 제 1 항에 있어서,
상기 유전층은,
상기 반도체층과의 전도띠 오프셋(CBO)이 임계치 이하인 물질로
형성되는 것을 특징으로 하는 반도체 소자.
- [청구항 4] 제 1 항에 있어서,
상기 유전층은,
임계치 이상의 밴드갭 에너지를 갖는 물질로 형성되는 것을 특징으로
하는 반도체 소자.
- [청구항 5] 제 1 항에 있어서,
상기 유전층은,
컨택저항이 최소가 되는 두께로 형성되는 것을 특징으로 하는 반도체
소자.
- [청구항 6] 제 1 항에 있어서,
상기 유전층은,
도핑이 수행되는 것을 특징으로 하는 반도체 소자.
- [청구항 7] 제 1 항에 있어서,
상기 금속층은,
상기 반도체가 n형 반도체인 경우, 상기 반도체층의 전자친화도와
차이가 임계치 이하인 금속으로 형성되고,
상기 반도체가 p형 반도체인 경우, 상기 반도체층의 전자친화도 및
밴드갭 에너지의 합과의 차이가 임계치 이하인 금속으로 형성되는 것을
특징으로 하는 반도체 소자.
- [청구항 8] 반도체 소자에 소스 또는 드레인을 형성하는 방법에 있어서,
반도체층 상에 유전층을 적층하는 단계; 및
상기 유전층 상에 소스 또는 드레인을 형성하는 금속층을 적층하는
단계를 포함하는 방법.
- [청구항 9] 제 8 항에 있어서,

- 상기 유전층에 도핑을 수행하는 단계를 더 포함하는 방법.
- [청구항 10] 제 8 항에 있어서,
상기 유전층을 적층하는 단계는,
원자층 증착 공정(ALD)을 통해 상기 유전층을 적층하는 것을 특징으로 하는 방법.
- [청구항 11] 제 8 항에 있어서,
상기 유전층은,
상기 반도체층과 전도띠 오프셋(CBO)가 임계치 이하인 물질로 형성되는 것을 특징으로 하는 방법.
- [청구항 12] 제 8 항에 있어서,
상기 유전층은,
임계치 이상의 밴드갭 에너지를 갖는 물질로 형성되는 것을 특징으로 하는 방법.
- [청구항 13] 제 8 항에 있어서,
상기 유전층은,
컨택저항이 최소가 되는 두께로 형성되는 것을 특징으로 하는 방법.

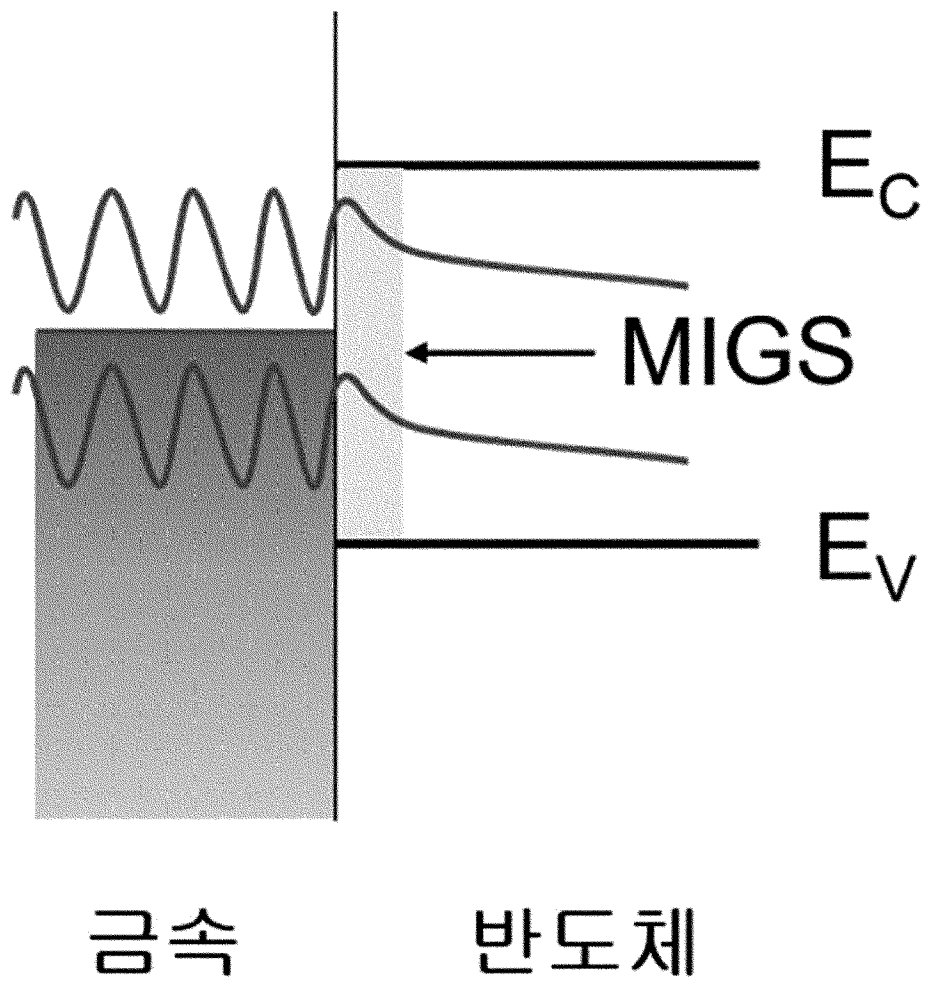
[도1]



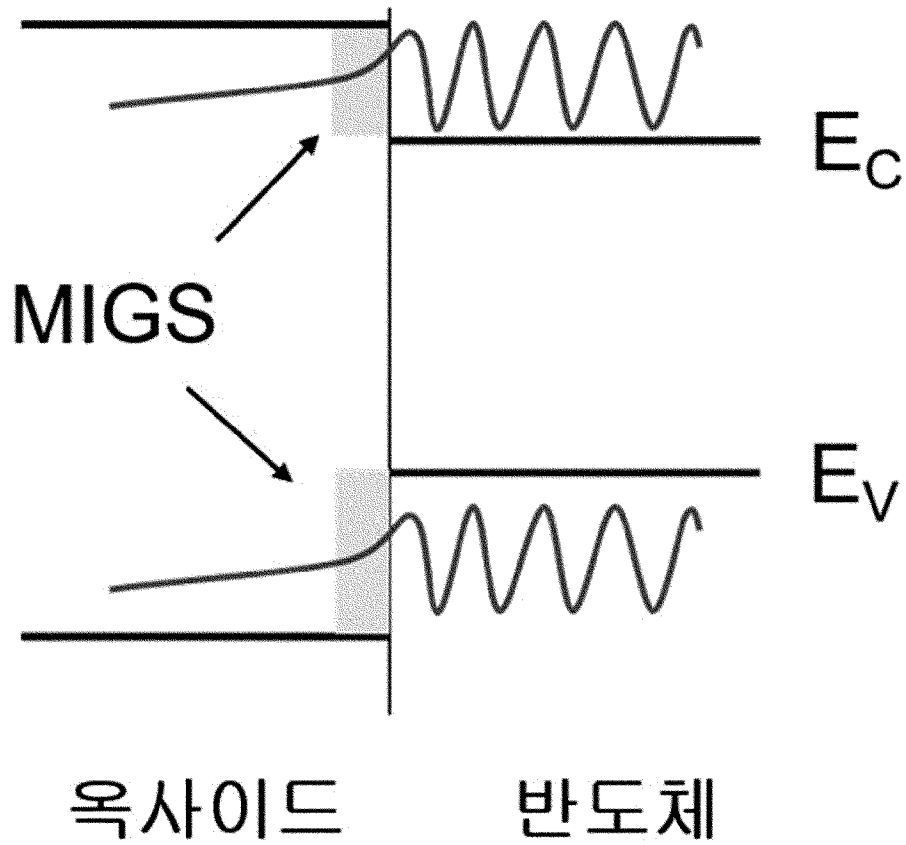
[도2a]



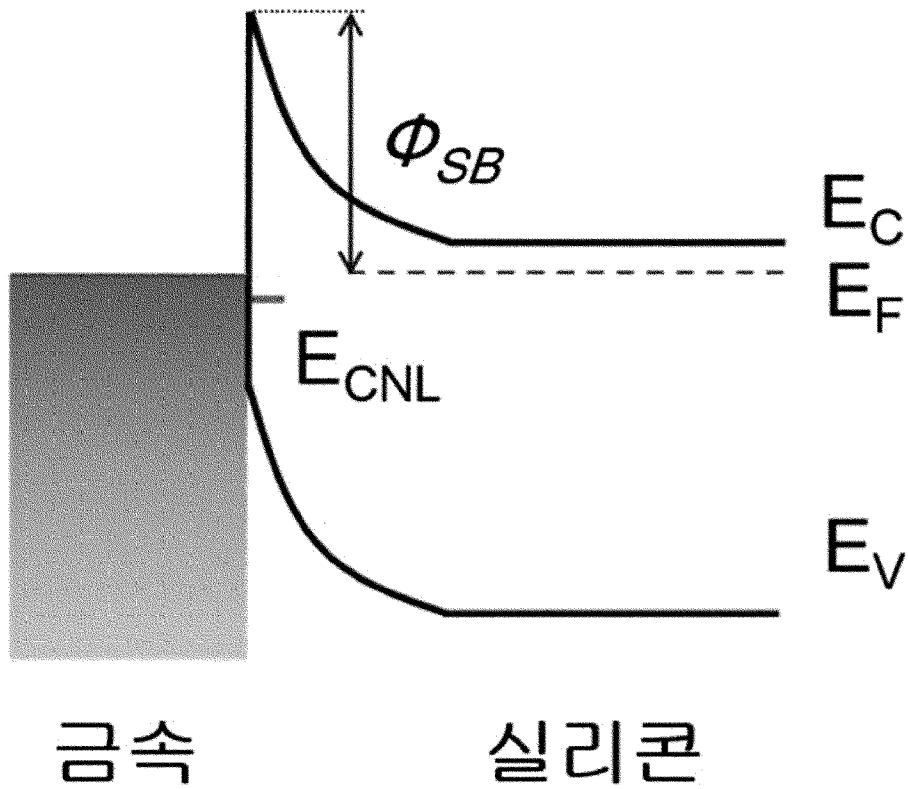
[도2b]



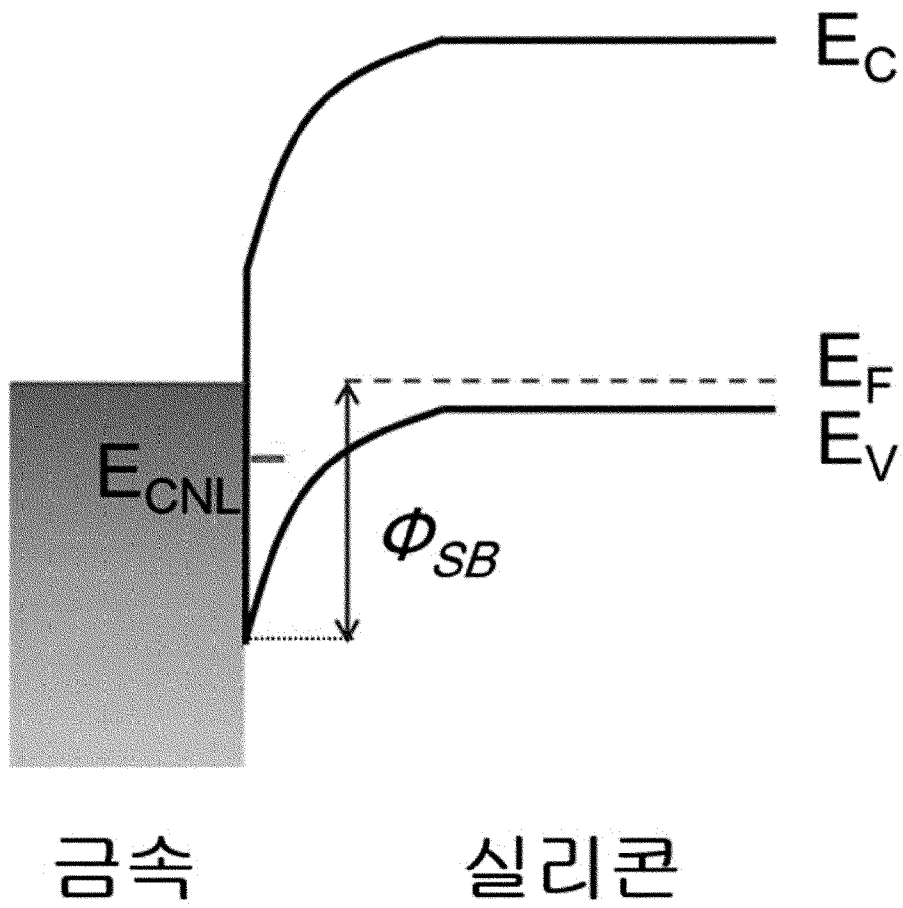
[도2c]



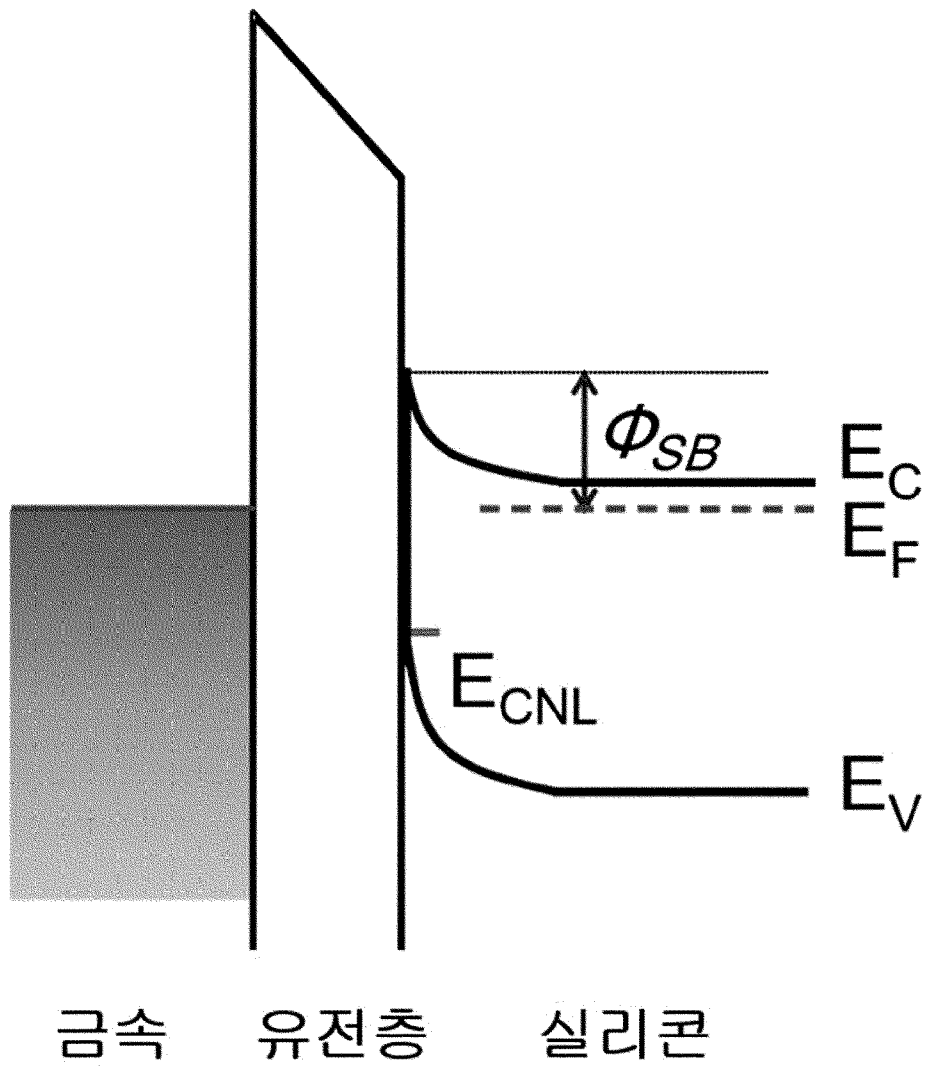
[도2d]



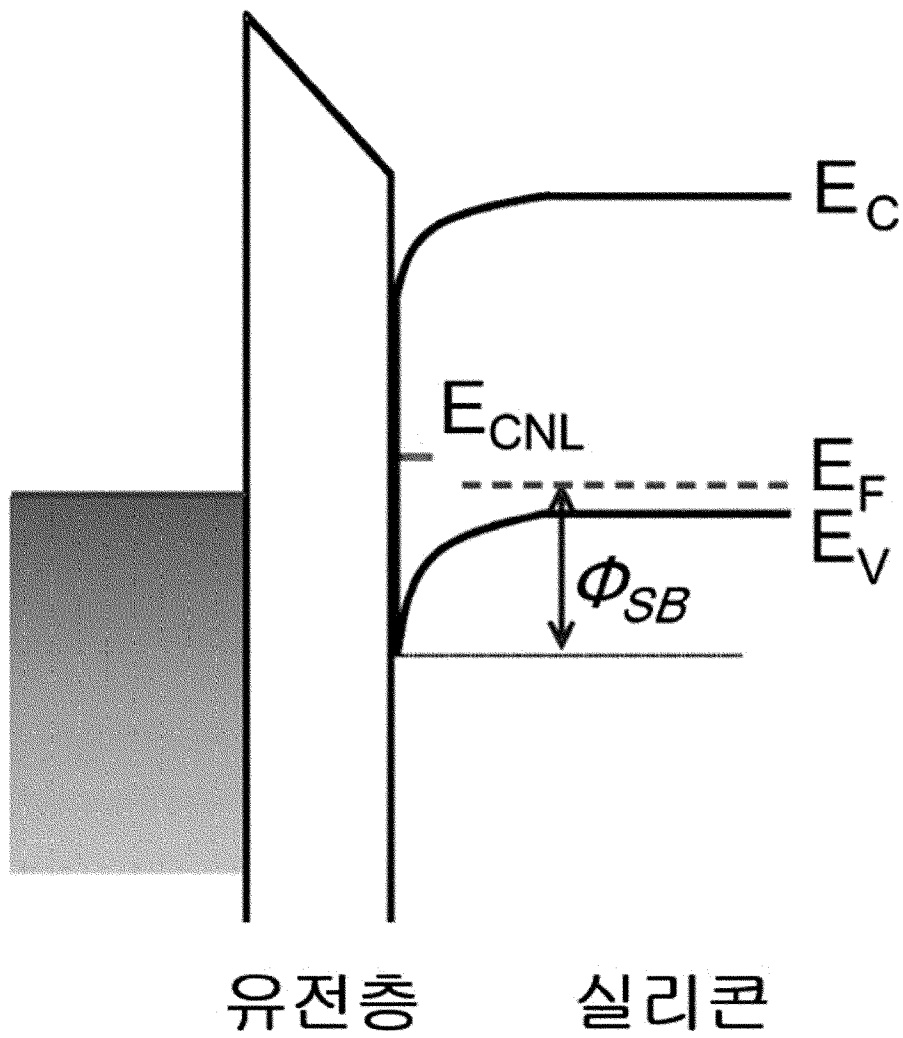
[도2e]



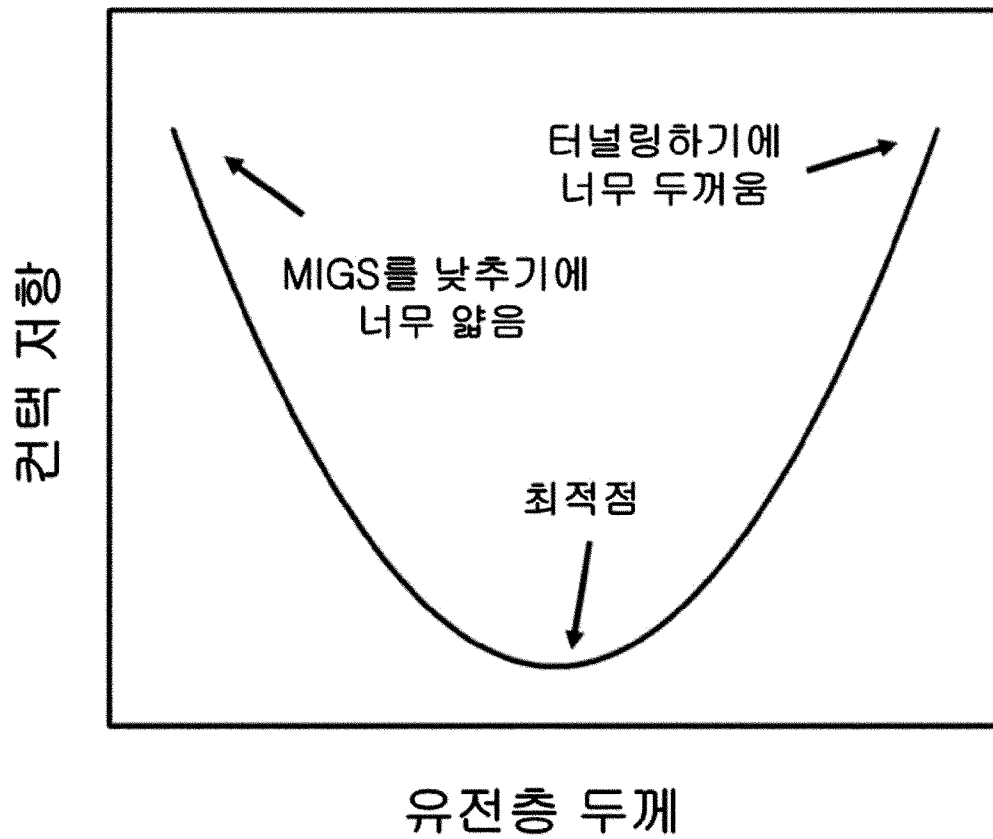
[도3a]



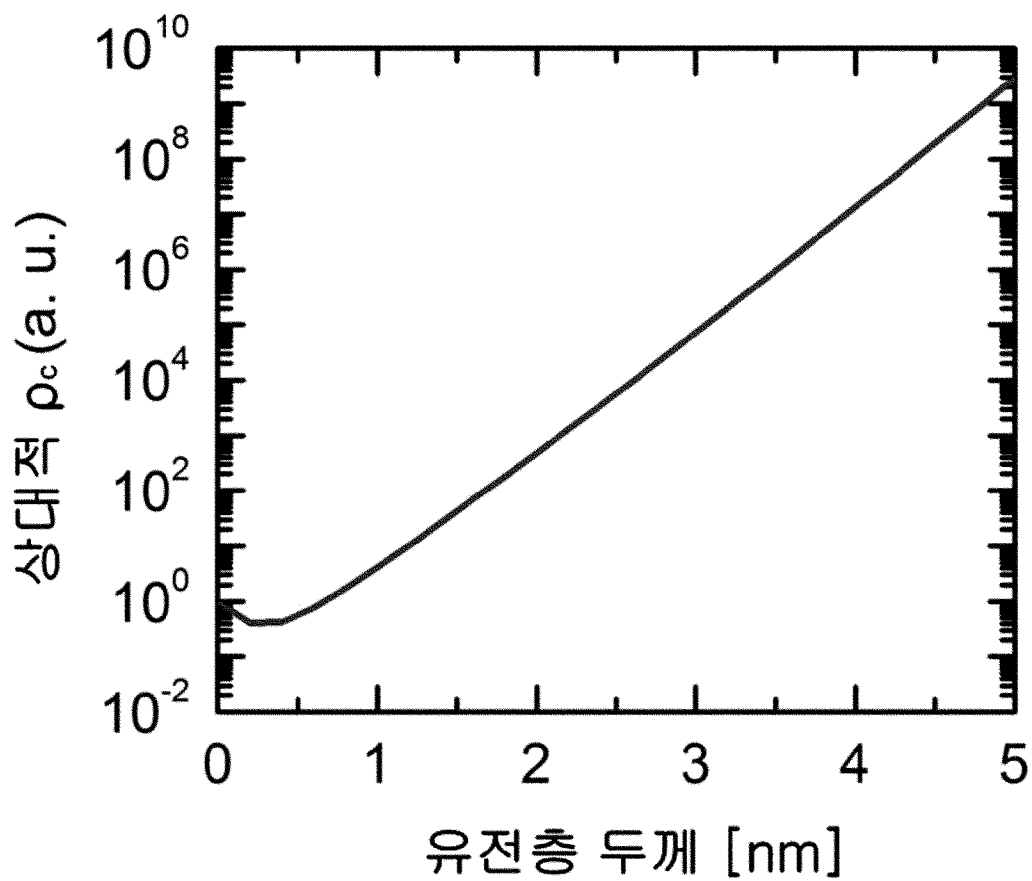
[도3b]



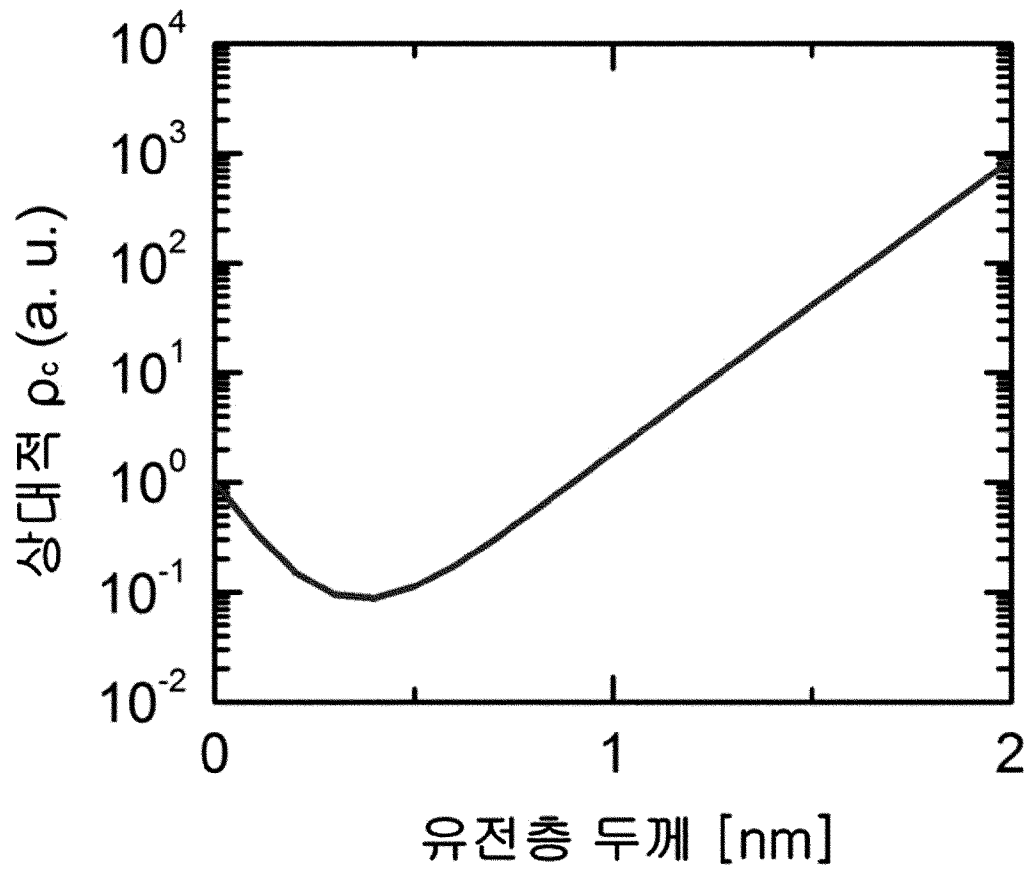
[도4]



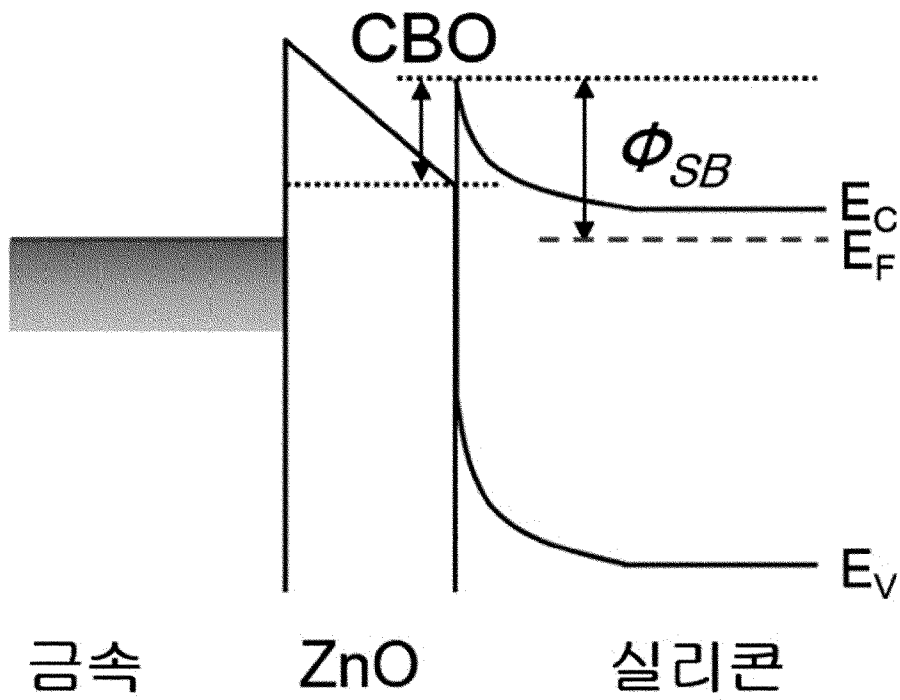
[도5]



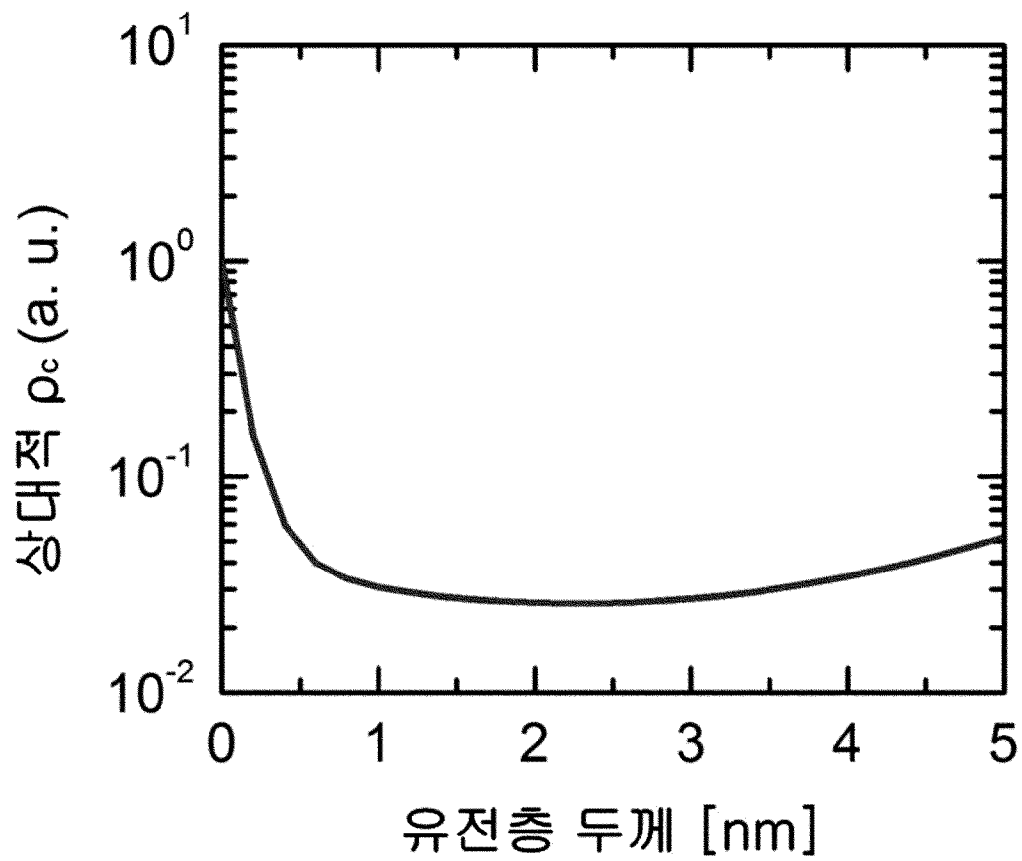
[도6]



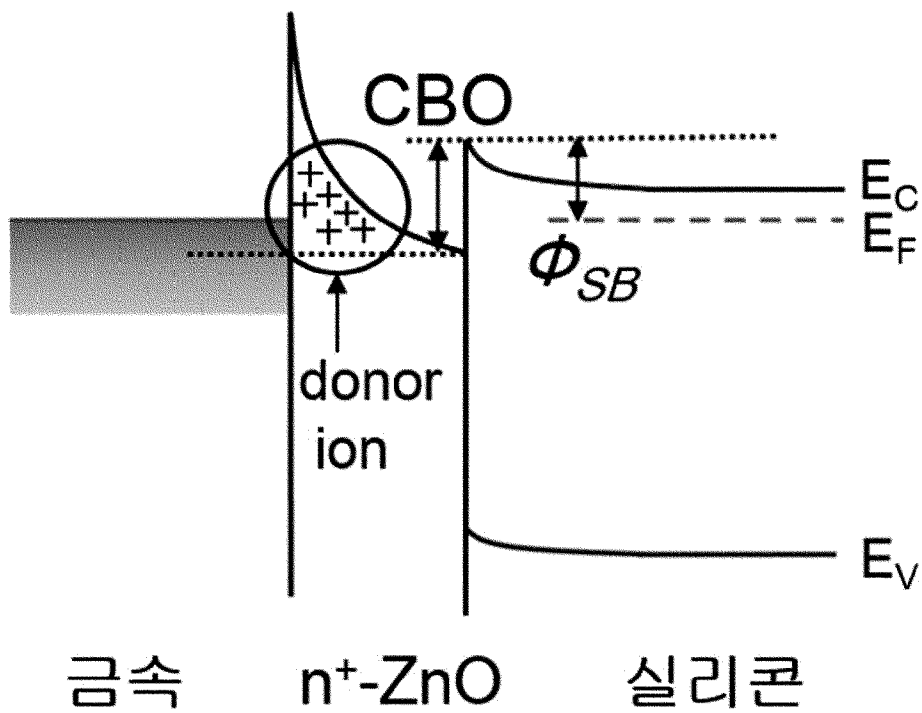
[도7]



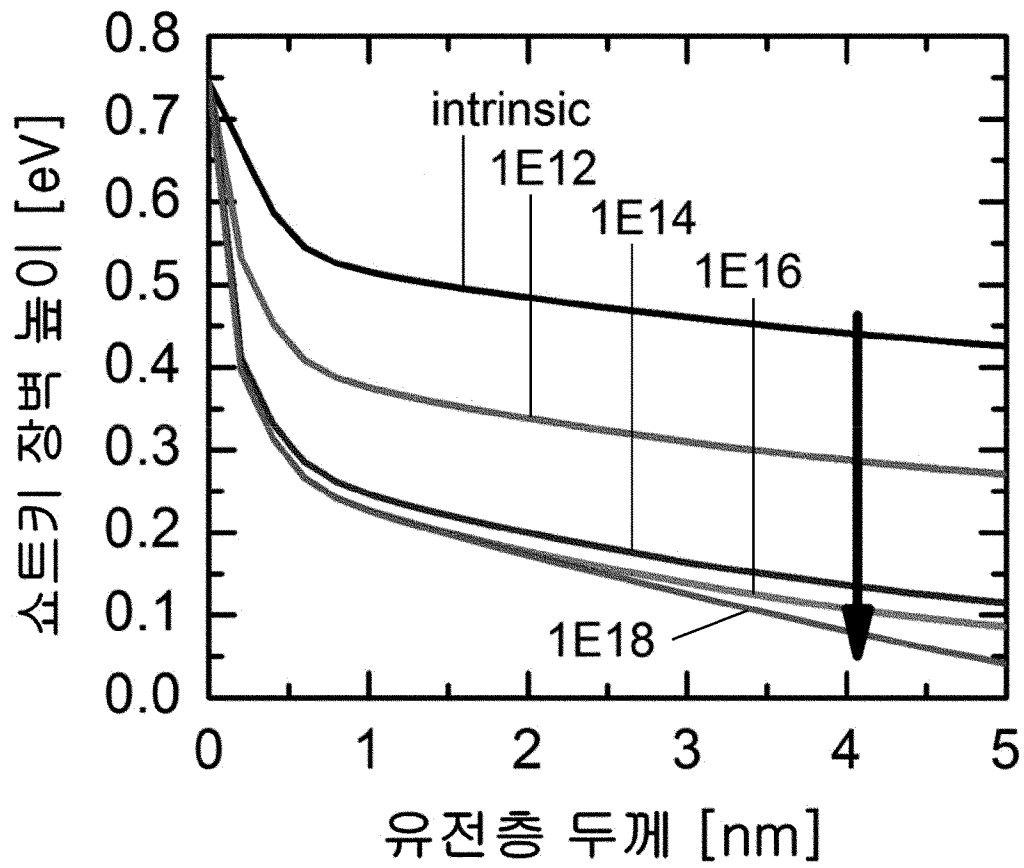
[도8]



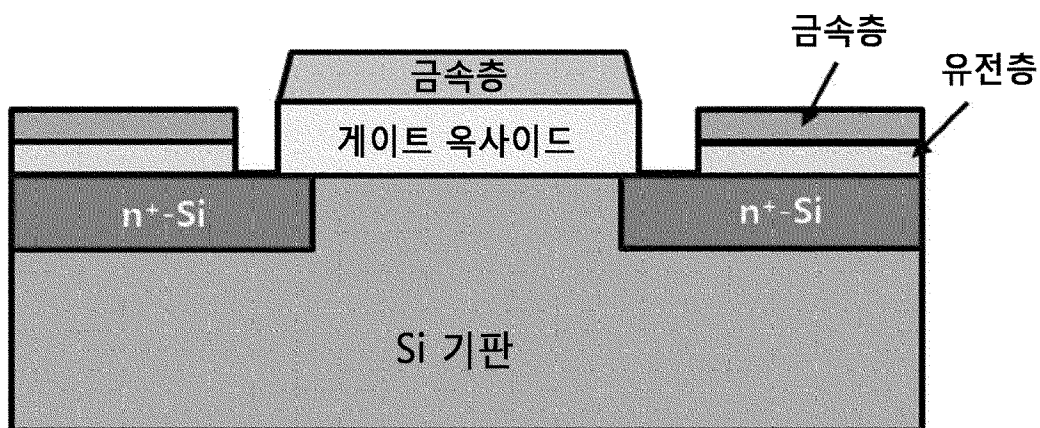
[도9]



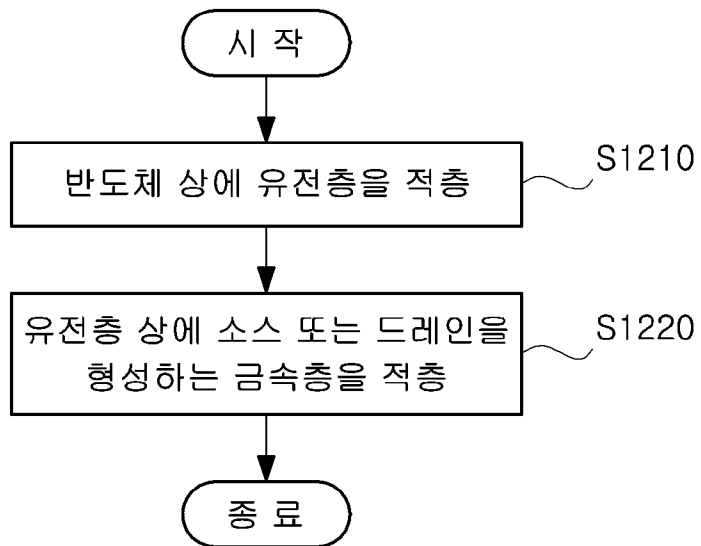
[도10]



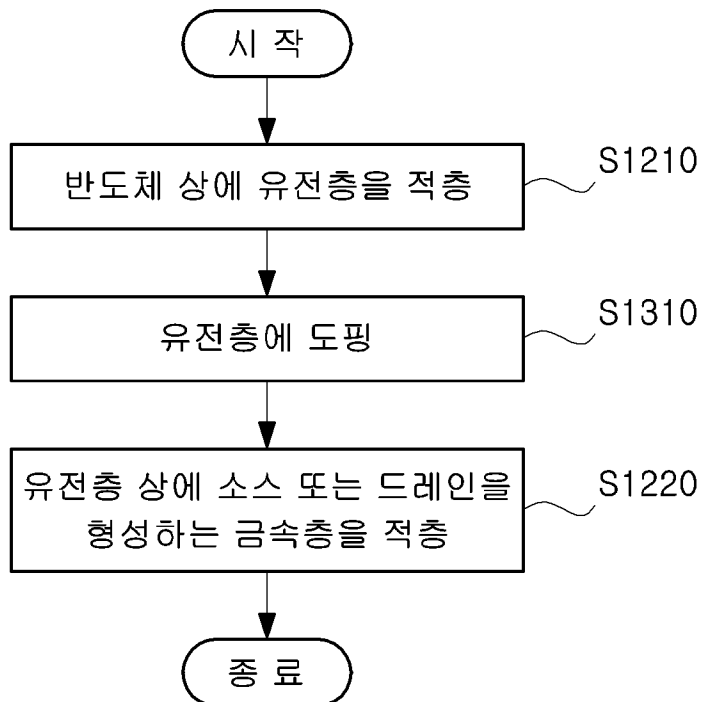
[도11]



[도12]



[도13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/000700**A. CLASSIFICATION OF SUBJECT MATTER****H01L 29/49(2006.01)i, H01L 29/66(2006.01)i, H01L 21/314(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/49; H01L 21/28; H01L 21/31; H01L 21/8238; H01L 21/786; H01L 49/02; H01L 29/66; H01L 21/314

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: semiconductor layer, source, drain, metal layers, dielectric layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2015-0010546 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 28 January 2015 See abstract, paragraphs [0005], [0009], [0018] and figures 1, 5a.	1-2,6-10
Y		3-5,11-13
Y	AGRAWAL, Ashish et al. "A Unified Model for Insulator Selection to form Ultra-Low Resistivity Metal-Insulator-Semiconductor Contacts to n-Si, n-Ge, and n-InGaAs" APPLIED PHYSICS LETTERS 101, 042108 (2012) See pages 1-4 and figures 1-4.	3-5,11-13
Y	US 2013-0127015 A1 (INTERMOLECULAR INC.) 23 May 2013 See paragraph [0011].	3,11
A	KR 10-2010-0082941 A (SAMSUNG MOBILE DISPLAY CO., LTD.) 21 July 2010 See abstract, paragraphs [0019]-[0026] and figures 1-2.	1-13
A	KR 10-2014-0086804 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 08 July 2014 See abstract, paragraphs [0012]-[0018] and figure 1.	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

03 JUNE 2016 (03.06.2016)

Date of mailing of the international search report

03 JUNE 2016 (03.06.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/000700

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2015-0010546 A	28/01/2015	KR 10-1583118 B1 US 2015-0021757 A1 US 8927418 B1	07/01/2016 22/01/2015 06/01/2015
US 2013-0127015 A1	23/05/2013	US 2013-0071987 A1 US 8772123 B2 US 8878269 B2	21/03/2013 08/07/2014 04/11/2014
KR 10-2010-0082941 A	21/07/2010	KR 10-1048996 B1 US 2010-0176394 A1 US 2013-0277660 A1	12/07/2011 15/07/2010 24/10/2013
KR 10-2014-0086804 A	08/07/2014	CN 103915438 A KR 10-1496560 B1 US 2014-0183645 A1	09/07/2014 26/02/2015 03/07/2014

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 29/49(2006.01)i, H01L 29/66(2006.01)i, H01L 21/314(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 29/49; H01L 21/28; H01L 21/31; H01L 21/8238; H01L 21/786; H01L 49/02; H01L 29/66; H01L 21/314

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 반도체층, 소스, 드레인, 금속층, 유전층

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2015-0010546 A (타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드) 2015.01.28 요약, 단락 [0005], [0009], [0018] 및 도면 1, 5a 참조.	1-2,6-10
Y		3-5,11-13
Y	ASHISH AGRAWAL 등 "a unified model for insulator selection to form ultra-low resistivity metal-insulator-semiconductor contacts to n-Si, n-Ge, and n-InGaAs" APPLIED PHYSICS LETTERS 101, 042108 (2012) 페이지 1-4 및 도면 1-4 참조.	3-5,11-13
Y	US 2013-0127015 A1 (INTERMOLECULAR INC.) 2013.05.23 단락 [0011] 참조.	3,11
A	KR 10-2010-0082941 A (삼성모바일디스플레이주식회사) 2010.07.21 요약, 단락 [0019]-[0026] 및 도면 1-2 참조.	1-13
A	KR 10-2014-0086804 A (타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드) 2014.07.08 요약, 단락 [0012]-[0018] 및 도면 1 참조.	1-13

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 06월 03일 (03.06.2016)

국제조사보고서 발송일

2016년 06월 03일 (03.06.2016)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

김기호

전화번호 +82-42-481-8691



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2015-0010546 A	2015/01/28	KR 10-1583118 B1 US 2015-0021757 A1 US 8927418 B1	2016/01/07 2015/01/22 2015/01/06
US 2013-0127015 A1	2013/05/23	US 2013-0071987 A1 US 8772123 B2 US 8878269 B2	2013/03/21 2014/07/08 2014/11/04
KR 10-2010-0082941 A	2010/07/21	KR 10-1048996 B1 US 2010-0176394 A1 US 2013-0277660 A1	2011/07/12 2010/07/15 2013/10/24
KR 10-2014-0086804 A	2014/07/08	CN 103915438 A KR 10-1496560 B1 US 2014-0183645 A1	2014/07/09 2015/02/26 2014/07/03