

(21)申請案號：102118455

(22)申請日：中華民國 102 (2013) 年 05 月 24 日

(51)Int. Cl. : H01L23/48 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2012/05/25 南韓

10-2012-0056356

(71)申請人：L G 伊諾特股份有限公司 (南韓) LG INNOTEK CO., LTD. (KR)

南韓

(72)發明人：柳盛旭 RYU, SUNG WUK (KR)；金東先 KIM, DONG SUN (KR)；申承烈 SHIN, SEUNG YUL (KR)

(74)代理人：陳瑞田

申請實體審查：有 申請專利範圍項數：22 項 圖式數：26 共 39 頁

(54)名稱

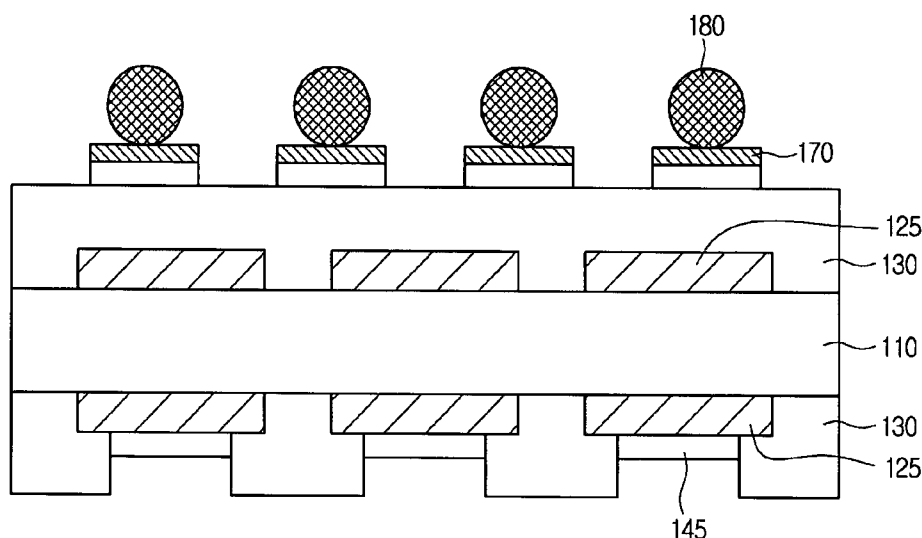
半導體封裝基板，使用其之封裝系統及其製造方法

SEMICONDUCTOR PACKAGE SUBSTRATE, PACKAGE SYSTEM USING THE SAME AND METHOD FOR MANUFACTURING THEREOF

(57)摘要

本發明揭露一種半導體封裝基板，使用其之封裝系統，及其製造方法。此半導體封裝基板包括一絕緣基板；一電路圖案，在該絕緣基板上；一保護層，形成在該絕緣基板上，以覆蓋在該絕緣基板上的該電路圖案；一焊墊，形成在該保護層上，同時自該保護層之一表面突出；以及一黏著件在該焊墊上。

100



100：半導體封裝基板

110：絕緣基板

125：電路圖案

130：保護層

145：第一黏著件

170：焊墊

180：第二黏著件

圖 2

(21)申請案號：102118455

(22)申請日：中華民國 102 (2013) 年 05 月 24 日

(51)Int. Cl. : H01L23/48 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2012/05/25 南韓

10-2012-0056356

(71)申請人：L G 伊諾特股份有限公司 (南韓) LG INNOTEK CO., LTD. (KR)

南韓

(72)發明人：柳盛旭 RYU, SUNG WUK (KR)；金東先 KIM, DONG SUN (KR)；申承烈 SHIN, SEUNG YUL (KR)

(74)代理人：陳瑞田

申請實體審查：有 申請專利範圍項數：22 項 圖式數：26 共 39 頁

(54)名稱

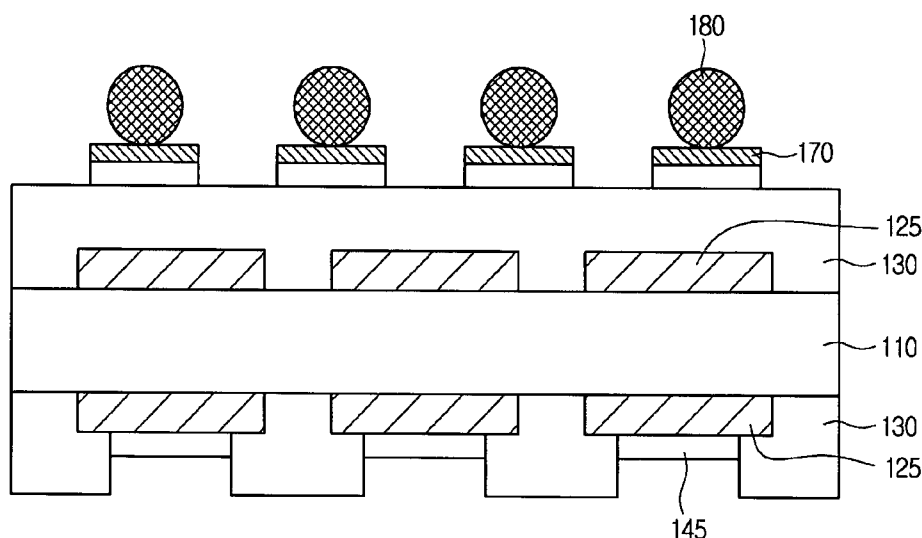
半導體封裝基板，使用其之封裝系統及其製造方法

SEMICONDUCTOR PACKAGE SUBSTRATE, PACKAGE SYSTEM USING THE SAME AND METHOD FOR MANUFACTURING THEREOF

(57)摘要

本發明揭露一種半導體封裝基板，使用其之封裝系統，及其製造方法。此半導體封裝基板包括一絕緣基板；一電路圖案，在該絕緣基板上；一保護層，形成在該絕緣基板上，以覆蓋在該絕緣基板上的該電路圖案；一焊墊，形成在該保護層上，同時自該保護層之一表面突出；以及一黏著件在該焊墊上。

100



100：半導體封裝基板

110：絕緣基板

125：電路圖案

130：保護層

145：第一黏著件

170：焊墊

180：第二黏著件

圖 2

發明摘要

※ 申請案號： 102118455

※ 申請日： 102.5.24

※IPC 分類： H01L 23/48 (2006.01)

H01L 21/60 (2006.01)

【發明名稱】(中文/英文)

半導體封裝基板，使用其之封裝系統及其製造方法/

SEMICONDUCTOR PACKAGE SUBSTRATE, PACKAGE SYSTEM USING
THE SAME AND METHOD FOR MANUFACTURING THEREOF

【中文】

本發明揭露一種半導體封裝基板，使用其之封裝系統，及其製造方法。此半導體封裝基板包括一絕緣基板；一電路圖案，在該絕緣基板上；一保護層，形成在該絕緣基板上，以覆蓋在該絕緣基板上的該電路圖案；一焊墊，形成在該保護層上，同時自該保護層之一表面突出；以及一黏著件在該焊墊上。

【英文】

Disclosed are a semiconductor package substrate, a package system using the same, and a method of fabricating the same. The semiconductor package substrate includes an insulating substrate, a circuit pattern on the insulating substrate, a protective layer formed on the insulating substrate to cover the circuit pattern on the insulating substrate, a pad formed on the protective layer while protruding from a surface of the protective layer, and an adhesive member on the pad.

【代表圖】

【本案指定代表圖】：圖 2。

【本代表圖之符號簡單說明】：

100	半導體封裝基板
110	絕緣基板
125	電路圖案
130	保護層
145	第一黏著件
170	焊墊
180	第二黏著件

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體封裝基板，使用其之封裝系統及其製造方法/

SEMICONDUCTOR PACKAGE SUBSTRATE, PACKAGE SYSTEM USING
THE SAME AND METHOD FOR MANUFACTURING THEREOF

【技術領域】

【0001】 本發明係主張關於 2012 年 05 月 25 日申請之韓國專利案號 No. 10-2012-0056356 之優先權。藉以引用的方式併入本文用作參考。

【0002】 本發明係關於一半導體基板，特別是用於快取記憶體之一半導體封裝基板、使用其之一快取記憶體、及其製造方法。

【先前技術】

【0003】 當電子/電器產已演進到具高性能，關於黏著大量封裝件於有尺寸限制之基板的技術已被提出與研討。然而，由於僅能嵌入一半導體晶片於一封裝件中的規則，因而限制了所欲想達到的容量。

【0004】 如增加記憶晶片容量的方法，也就是，如達成高整合性之方法，將大量的晶格(cells)安裝於一限制空間中的技術對於熟知此技藝者已為習知技術。然而，此方法需要高階技術，例如：精準的設計規則、以及較久的發展時間。因此，作為一易達成高整合性之方法，已發展出一堆疊技術，而對於該堆疊技術之研發到現在還是非常活躍地進行中。

【0005】 為此目的，近來，已利用一多晶片封裝(Multi Chip Package)技術來進行。

【0006】 多晶片封裝是藉由堆疊數個記憶體晶片，並以一封裝件的形式所形成的半導體產品，所以多晶片封裝不只是能減少半導體產品的體積，也能增加資料儲存容量，以使多晶片封裝主要被使用在可攜式電子產品上，如手機。

【0007】 在此情況下，因要堆疊數十個半導體晶片穩定地操作，同時

其厚度要最小化，則從設計端至生產端都被要求高技術。

【0008】 圖 1 係根據習知技術繪示一封裝系統圖。

【0009】 參考圖 1，封裝系統包括一半導體封裝基板 10、一虛擬晶片 (dummy die) 20、以及一記憶體晶片(memory chip)30。

【0010】 半導體封裝基板 10 包括形成在一絕緣基板上之至少一電路圖案。用以保護該電路圖案之一保護層形成在該電路圖案(半導體封裝基板 10 之最上層)上。

【0011】 記憶體晶片 30 可為一 NAND 快取記憶體晶片。

【0012】 虛擬晶片 20 形成在半導體基板 10 與記憶體晶片 30 之間。

【0013】 虛擬晶片 20 提供一黏著空間，以使記憶體 30 黏著在半導體基板 10 之上，同時將半導體基板 10 與記憶體晶片 30 間隔開。

【0014】 然而，因上述的封裝系統必需在半導體基板 10 與記憶體 30 之間形成虛擬晶片 20 用以堆疊記憶體 30，除了用以製造半導體基板 10 之製程外，還加上一額外製程，以致於降低生產率。

【0015】 再者，因虛擬晶片 20 由昂貴的矽材料所形成，增加了整體封裝系統之成本。

【0016】 此外，因矽虛擬晶片 20 具有一預設厚度，增加了封裝系統的整個厚度。

【發明內容】

【0017】 本發明提供一具有新穎結構之半導體基板、使用其之封裝系統、以及其製造方法。

【0018】 另外，本發明提供一半導體封裝基板，能夠改善封裝系統之生產率，且減少封裝系統之成本。

【0019】 在所提出之實施例中將達成的技術標的並不限於上述，且包括對於熟知此技藝者是顯而易知之其它未提及的技術標的。

【0020】 根據實施例，提出一半導體基板，其包括一絕緣基板；一電路圖案，在該絕緣基板上；一保護層，形成在該絕緣基板上，用以覆蓋在該絕緣基板上之電路圖案；一焊墊，形成在該保護層上同時自該保護層之

一表面突出；以及一黏著件，在該焊墊上。

【0021】 另外，該焊墊具有一柱狀(column)，且具有彼此相同的一下部寬度與一上部寬度。

【0022】 再者，該黏著件在該焊墊與附著在該焊墊上之該半導體晶片之間提供一黏著強度。

【0023】 另外，該焊墊包括一電鍍種子層，形成在該焊墊之一下部。

【0024】 另外，該焊墊包括一第一焊墊，形成在該保護層之上並具有一第一寬度、以及一第二焊墊其，形成在該第一焊墊上，並具有不同於該第一寬度之一第二寬度。

【0025】 再者，該第二焊墊之第二寬度係窄於該第一焊墊之第一寬度。

【0026】 另外，該黏著件包括一焊錫球、一微型球、一黏著劑、以及一銅核心焊錫球其中一者。

【0027】 另外，該保護層包括阻焊劑(SR)、氧化物(oxide)以及金(Au)其中一者。

【0028】 再者，該焊墊與該保護層之一上表面接觸，而沒有與該電路圖案以及該絕緣基板接觸。

【0029】 同時，根據實施例，提供一封裝系統，其包括：一半導體封裝基板，其包含一絕緣基板、一電路圖案在該絕緣基板之一表面上、以及一保護層形成在該絕緣基板上，以覆蓋該電路圖案；以及一半導體晶片，附著於該半導體封裝基板。該半導體封裝基板包括一焊墊，經由一電鍍法而形成在該保護層上、以及一黏著件，形成在該焊墊上；以及藉由該黏著件，該半導體晶片附著在形成於該半導體封裝基板上該焊墊之上。

【0030】 另外，該焊墊具有一柱狀，具有彼此相同的一下部寬度以及一上部寬度。

【0031】 另外，焊墊包括一第一焊墊，形成在該保護層上，且具有一第一寬度、以及一第二焊墊，形成在該第一焊墊上且具有不同於該第一寬度之一第二寬度，且其中藉由形成在該第二焊墊上之黏著件，將該半導體晶片附著在該第二焊墊之上。

【0032】 再者，該第二焊墊之第二寬度窄於該第一焊墊之第一寬度。

【0033】 另外，該黏著件包括一焊錫球、一微型球、一黏著劑、以及一銅核心焊錫球其中一者。

【0034】 另外，該焊墊與該保護層之上表面接觸，而沒有與該電路圖案以及該絕緣基板接觸。

【0035】 同時，根據實施例，提供一製造封裝系統之方法。該方法包括：形成一電路圖案在一絕緣基板之至少一表面上；形成一保護層在該絕緣基板之上，以覆蓋該電路圖案；黏著一乾膜在該保護層上，該乾膜具有一開口以暴露出用於形成一焊墊的區域；藉由填充該乾膜之開口而在保護層之上形成該焊墊；以及形成一黏著件在形成的該焊墊上。

【0036】 另外，該乾膜之開口具有彼此相同的一下部寬度與一上部寬度，而該焊墊具有一柱狀，對應於該開口之形狀，且該焊墊具有彼此相同的一上部寬度與下部寬度。

【0037】 再者，在藉由填充該乾膜之開口而在該保護層上形成該焊墊中，該焊墊與該保護層接觸，而沒有與該絕緣基板與該電路圖案接觸。

【0038】 此外，該方法更包括：形成一電鍍種子層在該保護層上，其中形成的該焊墊包括該電鍍種子層，其形成在該焊墊之一下部。

【0039】 再者，黏著該乾膜在該保護層上，該乾膜具有開口以暴露出用於形成該焊墊的區域，包括：形成一第一乾膜在該保護層上，其中該乾膜具有一第一寬度之一開口、以及形成一第二乾膜在該第一乾膜上，其中該第二乾膜具有一第二寬度之一開口。該第一寬度與該第二寬度不相同。

【0040】 另外，藉由填充該乾膜之開口來形成該焊墊在該保護層上，包括：藉由填充該第一乾膜的開口來形成一第一焊墊、以及藉由填充該第二乾膜之開口來形成一第二焊墊。該第二焊墊窄於該第一焊墊。

【0041】 再者，形成該黏著件在形成的該焊墊上，包括：形成一焊錫球、一微型球、一黏著劑、以及一銅核心焊錫球其中一者在該焊墊上。

【0042】 此外，該方法更包括：附著一半導體晶片在該黏著件上。

【0043】 如上述所述，根據實施例，銅焊墊以及黏著件形成在半導體封裝基板上，而沒有昂貴的虛擬晶片，如此封裝系統之生產率能夠被改善

以及產品成本能夠減少。

【0044】 此外，根據實施例，焊墊藉由使用具有不同寬度的多層之堆疊結構，因此改善與黏著件之黏著強度，以致於半導體封裝之可靠度能夠被改善。

【0045】 再者，根據實施例，以銅球取代昂貴的虛擬晶片，進而能夠實現微細間距(fine pitch)。

【0046】 此外，根據實施例，第二黏著件藉由使用銅核心焊錫球而形成，以致於在迴焊製程進行後，能夠維持高間隙(high stand-off height)。據此，能夠改善半導體封裝基板之可靠度。

【圖式簡單說明】

【0047】

圖 1 係根據習知技術繪示一封裝系統視圖。

圖 2 係根據第一實施例繪示一半導體封裝基板之一剖面圖。

圖 3 至圖 15 係繪示於圖 2 中之半導體封裝基板，依製造程序之製造方法之剖面圖。

圖 16 係根據第二實施例之一半導體封裝基板視圖。

圖 17 至圖 23 係繪示於圖 16 中之半導體封裝基板，依製造程序之製造方法之剖面圖。

圖 24 與圖 25 係根據實施例之一封裝系統視圖。

圖 26 係繪示習知技術之封裝系統圖與本實施例之封裝系統圖之間的比較。

【實施方式】

【0048】 以下，將參照附圖詳細描述實施例，以使對於熟知此技術者可藉由實例而輕易執行。然而，實施例可為各種修正、並且非限制於所繪示實施例。

【0049】 以下說明，當預設部件「包括」一預設元件時，該預設部件並非排除其它元件，而是若有相對描述之說明時，就更包括其它元件。

【0050】 為了方便或清楚地說明，顯示於附圖中之各層之厚度與尺寸

可能被誇大、省略或圖示地描繪。此外，元件的尺寸並非全然反映實際尺寸。所有圖示中，相同元件符號將用於相同元件。

【0051】 在實施例的描述中，應予理解，當提及一層、一膜或一板在另一層、另一膜、另一區域或另一板「之上」或「之下」時，它能夠「直接地」或「間接地」在另一層、膜、區域、板，或者存在一或多個介入層。參照附圖說明之位置。

【0052】 實施例提供一半導封裝基板，透過一混合凸塊技術(hybrid bump technology)而無需使用一昂貴的虛擬晶片，來形成一銅焊墊與一黏著件在半導體封裝基板上，進而能夠改善一封裝系統之生產率，以及減少產品成本。

【0053】 圖 2 係根據第一實施例繪示一半導體封裝基板之一視圖。

【0054】 參照圖 2，根據第一實施例之一半導體封裝基板 100 包括一絕緣基板 110、一電路圖案 125，形成在絕緣基板 110 之至少一表面上、一保護層 130，形成在絕緣基板 110 上，以保護電路圖案 125、一第一黏著件 145，形成在於絕緣基板 110 中電路圖案 125 上，該電路圖案 125 係形成在其上具有一半導體晶片 300(將於後文中描述)之表面的一相對表面(opposite surface)上、一焊墊 170，在保護層 130 上，其中該保護層 130 被提供在絕緣基板 110 之上表面上、以及一第二黏著件 180，形成在焊墊 170 上。

【0055】 絕緣基板 110 可包括一熱固性基板、一熱塑性高分子基板、一陶瓷基板、一有機-無機合成材料基板、或一玻璃纖維填充基板。若絕緣基板 110 包括一高分子樹脂，則絕緣基板 110 可包括一環氧基絕緣樹脂、或可包括聚亞醯胺基樹脂。

【0056】 絕緣基板 110 的至少一表面上形成有電路圖案 125。

【0057】 此外，電路圖案 125 可包括導電材料，以及可藉由同時地將形成在絕緣基板 110 之雙面上之一銅膜圖案化而形成。

【0058】 電路圖案 125 可由包括銅合金所構成，以及可具有表面粗糙(roughness)。

【0059】 絕緣基板 110 上提供有保護層 130，以覆蓋形成在絕緣基板 110 上表面上的電路圖案 125，同時暴露形成在絕緣基板 110 底表面上之電

路圖案 125 之表面之一部分。

【0060】 保護層 130 用來保護絕緣基板 110 之表面。保護層 130 形成遍及絕緣基板 110 的整面。保護層 130 具有一開口(未圖示)，以開放將暴露出之電路圖案 125 的表面，也就是說，形成在絕緣基板 110 底表面上之電路圖案 125 之堆疊結構的表面。

【0061】 保護層 130 可包括至少一層其包括阻焊劑(SR)、氧化物以及金(Au)其中一者。

【0062】 第一黏著件 145 形成在從保護層 130 暴露出之電路圖案 125 的表面上。

【0063】 第一黏著件 145 爲了附著一導電球於絕緣基板 110 之目的而形成，以便於將半導體封裝基板 100 與之後的一額外基板一起封裝。

【0064】 保護層 130 上提供有焊墊 170。

【0065】 焊墊 170 形成在保護層 130 之上，以覆蓋電路圖案 125 之整個表面，且沒有與絕緣基板 110 或電路圖案 125 接觸。

【0066】 焊墊 170 可包含一導電材料。舉例來說，焊墊 170 可包含銅。

【0067】 焊墊 170 形成在保護層 130 上，乃爲了之後將半導體晶片附著於半導體封裝基板 100 上之目的。

【0068】 換句話說，根據習知技術，無視於半導體封裝基板 100 的製造，爲了附著半導體晶片 300，包含矽之一虛擬晶片形成在半導體封裝基板上。然而，根據實施例，在半導體封裝之製程中，經由一混合凸塊(hybrid bump)技術，將焊墊形成在保護層 130 上來取代虛擬晶片。

【0069】 第二黏著件 180 形成在焊墊 170 上。

【0070】 第二黏著件 180 形成在焊墊 170 上，以提供在半導體晶片 300 與半導體封裝基板 100 之間的黏著強度。

【0071】 第二黏著件 180 可具有焊錫球之基本形式。或者，第二黏著件 180 可藉由使用一黏著劑或一銅核心焊錫球而形成。

【0072】 此外，黏著劑可包括一導電材料，用於電性導通。若黏著劑包括導電材料，導電材料可包括選自由銅、銀、金、鋁、奈米碳管所組成之群組，以及其組合物。

【0073】 如上述所述，根據實施例，銅焊墊與黏著件被形成在半導體封裝基板上，而沒有使用昂貴虛擬晶片，以使能夠改善封裝系統之生產率，以及能夠減少產品成本。

【0074】 此外，如上述所述，根據實施例，使用銅球取代昂貴的虛擬晶片，而可實現微細間隔。

【0075】 再者，如上述所述，根據實施例，第二黏著件藉由使用一銅核心焊錫球 188 而形成，以使進行迴焊製造之後，能夠維持高間隙(high stand-off height)。據此，半導體封裝基板之可靠性能夠改善。

【0076】 圖 3 至圖 15 係繪示於圖 2 中之半導體封裝基板，依製造程序之製造方法之剖面圖。

【0077】 首先，如圖 3 所示，在準備絕緣基板 110 之後，一金屬層 120 堆疊在絕緣基板 110 之至少一表面上。

【0078】 若絕緣基板 110 包括一絕緣層，絕緣層與金屬層 120 之堆疊結構可為一銅箔基板(CCL)結構。

【0079】 此外，金屬層 120 可藉由進行一無電電鍍法(an electroless plating scheme)而形成在絕緣基板 110 上。若金屬層 120 藉由無電電鍍法而形成，可在絕緣基板 110 之表面形成表面粗糙，以使電鍍製程能夠順利進行。

【0080】 絕緣基板 110 可包括環氧基樹脂或聚亞醯胺基樹脂(polyimide-based resin)來取代具有高熱傳導之昂貴的陶瓷材料。金屬層 120 可包括一銅箔膜，其包含具有高導電率與低電阻的銅。

【0081】 之後，如圖 4 所示，電路圖案 125 以一預設圖案藉由蝕刻金屬層 120 而形成，其中電路圖案 125 係形成在絕緣基板 110 之上部與下部。

【0082】 在本例中，電路圖案 125 可藉由以光微影製程為基礎之蝕刻製程而形成、或經由使用雷射之一雷射製程直接形成圖案。

【0083】 此外，電路圖案 125 可被形成在絕緣基板 110 之上部與下部之上。或者，電路圖案 125 可僅形成在絕緣基板 110 之上部上。

【0084】 接著，如圖 5 所示，保護層 130 形成在絕緣基板 110 之上部與下部，以將電路圖案 125 掩埋。

【0085】 保護層 130 用來保護絕緣基板 110 或電路圖案 125 之表面。

保護層 130 可包括至少一層，其包含阻焊劑(SR)、氧化物以及金(Au)其中一者。

【0086】 接著，如圖 6 所示，處理形成在絕緣基板 110 之下部之上之保護層 130，藉以將形成在絕緣基板 110 之底面上之電路圖案 125 的表面暴露出。

【0087】 換句話說，藉由一雷射來處理形成在絕緣基板 110 之下的保護層 130 以形成開口 140，開口 140 用來將形成在絕緣基板 110 之下的電路圖案 125 表面暴露出。

【0088】 雷射製程係為一種切割法，透過集中光能量在一表面上，以熔化與蒸發材料之一部分，而使表面具有一所欲想之形狀。根據雷射製程，透過一電腦程式，可輕易處理複雜的形狀，以及能夠處理無法藉由其他方法輕易切割的混合材料。

【0089】 此外，雷射製程具有一特點在於形成之切割直徑至少 0.005mm。

【0090】 較佳者，用於雷射製程之一雷射鑽孔包括一鈮鋁石榴石(YAG)雷射、二氧化碳雷射或者紫外線雷射。鈮鋁石榴石(YAG)雷射可處理銅膜與絕緣層兩者，而二氧化碳雷射僅能處理絕緣層。

【0091】 在本例中，較佳地，藉由使用紫外光雷射而進行雷射製程，以形成小直徑之開口 140。

【0092】 此外，開口 140 可僅暴露部份的電路圖案 125。

【0093】 換句話說，開口 140 可具有窄於電路圖案 125 之寬度，以使電路圖案 125 之邊緣區域可藉由保護層 130 而被保護。

【0094】 因此，如圖 7 所示，第一黏著件 145 藉由開口 145 而形成在電路圖案 125 之上。

【0095】 第一黏著件 145 可藉由塗佈一黏著劑而形成在電路圖案 125 之上，其中電路圖案 125 藉由使用保護層 130 作為光罩透過開口 140 而暴露出。

【0096】 使用第一黏著件 145 以附著焊錫球在半導體封裝基板 100 與另一基板之間，其中第一黏著件 145 提供一黏著強度，以使半導體封裝基

板 100 被附著於該基板。

【0097】 之後，如圖 8 所示，一電鍍種子層 150 形成在絕緣基板 110 上部的保護層 130 上。

【0098】 電鍍種子層 150 可透過化學銅電鍍法而形成。

【0099】 依序以去油污製程(degreasing process)、軟蝕刻製程、預催化製程(pre-catalyst process)、催化處理製程、加速製程(accelerator process)、無電電鍍製程(electroless plating process)以及抗氧處理製程來進行化學銅電鍍法。

【00100】 此外，銅電鍍法，依據厚度，分為重銅電鍍法(厚度約 2 μm)、一中銅電鍍法(厚度約 1 μm 至 2 μm)以及輕銅電鍍法(厚度 1 μm 或少於 1 μm 約)。在此情況下，具有厚度 0.5 μm 至 1.5 μm 之電鍍種子層 150，透過中銅電鍍法或輕銅電鍍法而形成。

【00101】 之後，如圖 9 所示，一乾膜 160 被形成在電鍍種子層 150 上。

【00102】 乾膜 160 可具有一窗口，以將一相對於形成有焊墊 170 之區域之部分暴露出。

【00103】 在本例中，乾膜 160 可圍繞電鍍種子層 150 之整個表面，所以可形成用以暴露焊墊 170 區域的窗口。

【00104】 之後，如圖 10 所示，焊墊 170 形成在電鍍種子層 150，以掩埋在乾膜 160 之窗口。

【00105】 焊墊 170 可使用電鍍種子層 150，作為一種子層，藉由無電電鍍金屬(如銅)而形成。

【00106】 之後，如圖 11 所示，乾膜 160 係被去除。

【00107】 接著，如圖 12 所示，除了焊墊 170 之外的區域，移除形成在剩餘區域上之電鍍種子層 150。

【00108】 在本例中，部份的電鍍種子層 150 存在於焊墊 170 之下方，所以焊墊 170 的整個結構包含電鍍種子層 150。

【00109】 如上述所述，包含電鍍種子層 150 之焊墊 170 形成在保護層 130 上。

【00110】 接著，如圖 13 所示，第二黏著件 180 形成在焊墊 170 上。

【00111】 在本例中，依據第一實施例的第二黏著件 180 可藉由一焊錫球或一微米球而形成。

【00112】 第二黏著件 180 可透過一助焊劑(flux printing)法、一球印刷法(ball printing scheme)、一迴鍍法(reflow scheme)、一去焊劑法(deflux scheme)、一壓印加工法(coining scheme)而形成在焊墊 170 上。

【00113】 或者，如圖 14 所示，第二黏著件 180 可藉由塗佈黏著劑 182 在焊墊 170 上而形成在焊墊 170 上。

【00114】 此外，如圖 15 所示，第二黏著件 180 可藉由使用包含銅球 184 和圍繞銅球 184 周長之焊錫球 186 的一銅核心焊錫球 188 而形成在焊墊 170 上。

【00115】 如上述所述，構成根據第一實施例之半導體封裝基板 100 之焊墊 170，自保護層 130 突出，且上表面與下表面有相同的寬度。

【00116】 如上述所述，根據實施例，銅墊與黏著件形成在半導體封裝基板，透過混合凸塊技術(hybrid bump technology)而不用昂貴的虛擬晶片，以使一封裝系統生產率能夠改善以及產品成本能夠降低。

【00117】 此外，如上述所述，第二黏著件 180 藉由使用銅核心焊錫球 188 而形成，以致於在迴焊製程進行後，能夠維持高間隙(high stand-off height)。據此，半導體基板之可靠度能夠被改善。

【00118】 圖 16 係根據第二實施例之一半導體封裝基板圖。

【00119】 參照圖 16，根據第二實施例之一半導體封裝基板 200 包括一絕緣基板 210；一電路圖案 225，形成在絕緣基板 210 之至少一表面上；一保護層 230，形成在絕緣基板 210 上，以保護電路圖案 225；一第一黏著件 245，形成在電路圖案 225 上，而該電路圖案 225 形成在將設置一半導體晶片 300(將於稍後描述)之表面之相對面，於絕緣基板 210 中；一焊墊 270，形成在絕緣基板 210 上表面的保護層 230 上；以及一第二黏著件 280，形成在焊墊 270 上。

【00120】 焊墊 270 包括形成在保護層 230 上之一第一焊墊 272，以及形成在第一焊墊 272 上之一第二焊墊 274。

【00121】 絕緣板 210 可包括一熱固化基板、一熱塑化高分子基板、一

陶瓷基板、一有機-無機組成材料基板或一玻璃纖維填充基板。若絕緣板 210 包括一高分子樹脂，絕緣板 210 可包括一環氧基絕緣樹脂、或可包括聚亞醯胺基樹脂。

【00122】 電路圖案 225 形成在絕緣基板 210 之至少一表面上。

【00123】 此外，電路圖案 225 可包括導電材料，以及可藉由依序將形成在絕緣基板 210 兩表面上之一銅薄膜圖案化而形成。

【00124】 電路圖案 225 可由包含銅之合金所製成，且可具有表面粗糙(roughness)。

【00125】 絕緣基板 210 上提供有保護層 230，以覆蓋形成在絕緣基板 210 之上表面上的電路圖案 225，同時將形成在絕緣基板 210 之底面上之電路圖案 225 之表面的一部分暴露出。

【00126】 保護層 230 用以保護絕緣基板 210 之表面。保護層 230 形成遍及絕緣基板 210 之整個表面。保護層 230 具有一開口(未繪示)以開放將暴露出之電路圖案 225 之表面，也就是，形成在絕緣基板 210 底表面上之電路圖案 225 之堆疊結構的表面。

【00127】 保護層 230 可包括至少一層其包括阻焊劑(SR)、氧化劑、以及金(Au)其中一者。

【00128】 第一黏著件 245 形成在從保護層 230 暴露出之電路圖案 225 的表面上。

【00129】 第一黏著件 245 是爲了附著一導電球至絕緣基板 210 之目的而形成，以便於將半導體基板 200 與之後的一額外基板一起封裝。

【00130】 保護層 230 上提供有焊墊 270。

【00131】 焊墊 270 形成在保護層 230 之上，以覆蓋電路圖案 225 之整個表面，且沒有與絕緣基板 210 或電路圖案 225 接觸。

【00132】 焊墊 270 可包括一導電材料。舉例來說，焊墊 270 可包含銅。

【00133】 焊墊 270 形成在保護層 230 上，乃爲了之後將半導體晶片 300 附著於半導體基板 200 上之目的。

【00134】 在本例中，焊墊 270 包括複數個層。

【00135】 換句話說，焊墊 270 包括形成在保護層 230 上的第一焊墊

272、以及形成在第一焊墊 272 上的第二焊墊 274。

【00136】 第一焊墊 272 的上表面與底面具有相同的寬度，且形成在保護層 230 上。

【00137】 即使第二焊墊 274 的上表面與底面具有相同的寬度，並且形成在第一焊墊 272 上。

【00138】 在本例中，第一焊墊 272 之寬度可具有第一寬度，而第二焊墊 274 可具有窄於該第一寬度之寬度。

【00139】 換句話說，根據第一實施例，焊墊 170 以單層方式形成，其乃爲了附著至半導體晶片 300 之目的。

【00140】 然而，根據第二實施例，第一焊墊 272 與第二焊墊 274 以多層方式形成，乃爲了附著至半導體晶片 300 之目的。在此情況下，第二焊墊 274 之寬度窄於第一焊墊 272 之寬度，以致於將於之後形成之第二黏著件的黏著強度可得到改善。

【00141】 第二黏著件 280 形成在第二焊墊 274 上。

【00142】 第二黏著件 280 形成在第二焊墊 274 上，以提供在半導體晶片 300 與半導體封裝基板 200 之間的黏著強度。

【00143】 第二黏著件 280 可具有一典型的焊錫球。或者，第二黏著件 280 可藉由使用黏著劑或銅核心焊錫球而形成。

【00144】 此外，黏著劑可包括一導電材料，用以電性導通。若黏著劑包括導電材料，則該導電材料可較佳包含選自由銅、銀、金、鋁、奈米碳管以及其組合所組成之群組。

【00145】 如上述所述，根據實施例，銅焊墊與黏著件透過混合凸塊技術而被形成在半導體封裝基板上，而無需使用昂貴的虛擬晶片，所以封裝系統之生產率能夠被改善，產品成本能夠降低。

【00146】 圖 17 至圖 23 係繪示於圖 16 中之半導體封裝基板，依製造程序之製造方法之剖面圖。

【00147】 首先，在準備如圖 17 所示之絕緣基板 210 後，一金屬層 220 堆疊在絕緣基板 110 之至少一表面上。

【00148】 若絕緣基板 210 包括一絕緣層，該絕緣層與金屬層 120 之堆

疊結構可爲一典型的銅箔基板結構(CCL)。

【00149】 此外，金屬層 220 可藉由一無電電鍍法而形成在絕緣基板 210 上。若金屬層 220 藉由無電電鍍法而形成，則在絕緣基板 210 之表面上可形成表面粗糙，以使電鍍製程能夠順利進行。

【00150】 絕緣基板 210 可包括環氧基樹脂或聚亞醯胺基樹脂來取代具有高熱傳導之昂貴的陶瓷材料。金屬層 220 可包括一銅箔膜，其包含具有高導電率與低電阻的銅。

【00151】 之後，如圖 4 所示，電路圖案 225 以一預設圖案藉由蝕刻金屬層 220 而形成，其中電路圖案 225 係形成在絕緣基板 210 之上部與下部。

【00152】 在本例中，電路圖案 225 可藉由以光微影製程爲基礎之蝕刻製程而形成、或經由使用雷射之一雷射製程直接形成圖案。

【00153】 此外，電路圖案 225 可被形成在絕緣基板 210 之上部與下部之上。或者，電路圖案 225 可僅形成在絕緣基板 210 之上部上。

【00154】 接著，保護層 230 形成在絕緣基板 210 之上部與下部，用以將電路圖案 225 掩埋。

【00155】 保護層 230 用來保護絕緣基板 210 或電路圖案 225 之表面。保護層 230 可包括至少一層，其包含阻焊劑(SR)、氧化物以及金(Au)其中之一者。

【00156】 接著，處理形成在絕緣基板 210 之下部上之保護層 230，藉以將形成在絕緣基板 210 之底面上之電路圖案 225 的表面暴露出。

【00157】 之後，第一黏著件 245 形成在電路圖案 225 上。

【00158】 之後，如圖 18 所示，電鍍種子層 250 形成在形成於絕緣基板 210 上部的保護層 230 上。

【00159】 電鍍種子層 250 可透過化學銅電鍍法而形成。

【00160】 化學銅電鍍法可以去油污製程(degreasing process)、軟蝕刻製程、預催化製程(pre-catalyst process)、催化處理製程、加速製程(accelerator process)、無電電鍍製程(electroless plating process)以及抗氧處理製程依序進行。

【00161】 此外，銅電鍍法依據厚度區分爲一重銅電鍍法(厚度約爲 2

μm)、一中銅電鍍法(厚度約為 1 μm至 2 μm)以及輕銅電鍍法(厚度約為 1 μm或更少)。在本例中，具有 0.5 μm至 1.5 μm之厚度的電鍍種子層 250 透過中銅電鍍法或輕銅電鍍法而形成 0.5 μm至 1.5 μm之厚度。

【00162】 之後，如第一實施例所述，一乾膜可形成在電鍍種子層 250 上。在本例中，乾膜(未圖示)可具有一窗口，以將一相對於形成有焊墊 270 之區域之部分開放。

【00163】 之後，第一焊墊 272 填入該乾膜之窗口。

【00164】 第一焊墊 272 可使用電鍍種子層 250 作為一種子層，透過無電鍍金屬(如銅)而形成。

【00165】 之後，將該乾膜移除。

【00166】 之後，如圖 19 所示，乾膜 260 形成在電鍍種子層 250 上。

【00167】 在本例中，乾膜 260 可將第一焊墊 272 之表面的部分掩埋。

【00168】 換句話說，乾膜 260 可具有一開口，以將第一焊墊 272 之表面暴露出。在本例中，乾膜 260 之開口的寬度係窄於第一焊墊 272 上表面之寬度。

【00169】 之後，如圖 20 所示，第二焊墊 274 藉由使用乾膜 260 作為一光罩而形成在第一焊墊 272 上，以致於第二焊墊 274 被填入於該開口。

【00170】 在本例中，該開口的寬度係窄於第一焊墊 272 上表面的寬度。因此，第二焊墊 274 之寬度係窄於第一焊墊 272 的寬度。

【00171】 焊墊 270 包括第一焊墊 272 和第二焊墊 274。第一焊墊 272 具有不同於第二焊墊 274 之寬度，因為增加了與第二黏著件 280 之黏著強度，以致於半導體封裝基板 200 之可靠性能夠被改善。

【00172】 接著，如圖 21 所示，除了用於第一焊墊 272 之區域外，將電鍍種子層 25 從剩餘的部分移除。

【00173】 在本例中，部份的電鍍種子層 250 存在於第一焊墊 272 之下，以使第一焊墊 272 之整個表面包括該電鍍種子層。

【00174】 如上述所述，包含電鍍種子層 250 之第一焊墊 272 形成在保護層 230 上，而第二焊墊 274 形成在第一焊墊 272 上，第二焊墊 274 寬度係窄於第一焊墊 272 之寬度。

【00175】 接著，如圖 23 所示，第二黏著件 280 形成在焊墊 27 上。

【00176】 在本例中，第二黏著件 280 可藉由使用焊錫球或微米球而形成。

【00177】 若第二黏著件藉由使用焊錫球或微米球而形成時，第二黏著件 280 可透過如一助焊劑(flux printing)法、一球印刷法(ball printing scheme)、一迴錫法(reflow scheme)、一去焊劑法(deflux scheme)、一壓印加工法(coining scheme)的製程而形成。

【00178】 或者，第二黏著件可藉由塗佈黏著劑而形成。此外，第二黏著件可藉由使用包含銅球和圍繞銅球周長之焊錫球的一銅核心焊錫球而形成。

【00179】 如上述所述，根據實施例，銅墊與黏著件透過混合凸塊技術而無需使用昂貴的虛擬晶片而形成在半導體封裝基板上，因此封裝系統之生產率能夠改善，產品成本能夠降低。

【00180】 此外，根據實施例，焊墊藉由使用多層堆疊結構而形成，藉此改善與黏著件之黏著強度，因此能改善半導體封裝基板的可靠度。

【00181】 圖 24 與圖 25 係根據實施例之一封裝系統的視圖。

【00182】 參照圖 24 和圖 25，封裝系統包括半導體封裝基板 100 以及形成在半導體封裝基板 100 之記憶體晶片 300。

【00183】 記憶體晶片 300 可包括一 NAND 快取記憶體晶片。

【00184】 在本例中，記憶體晶片 300 藉由形成在半導體封裝基板 100 上的焊墊 170 和第二黏著件 180 而附著於半導體封裝基板 100 上。

【00185】 如上述所述，在製造半導體封裝基板 100 的製造過程中，透過一混合凸塊技術而無需使用昂貴的虛擬晶片而將記憶體晶片 300 附著至焊墊 170 和第二黏著件 180，而有別於爲了附著記憶體晶片 300 之製造半導體封裝基板 100 的製程。

【00186】 圖 26 係繪示習知技術之封裝系統圖與本實施例之封裝系統圖之間的比較。

【00187】 參考圖 26，根據習知技術，一昂貴的虛擬晶片 20 形成在封

裝基板 10 上，而一記憶體晶片 30 形成在虛擬晶片 20 上。

【00188】 據此，根依據習知技術，封裝系統製造程序主要地分為三個步驟。

【00189】 第一步驟係製造封裝基板 10。

【00190】 此外，第二步驟係形成虛擬晶片 20 在封裝基板 10 上。在本例中，由於製程特性，第一和第二步驟並非立即進行，而是透過複數個子步驟進行。

【00191】 第三步驟係形成半導體晶片 30 在虛擬晶片 20 上。

【00192】 然而，根據本發明實施例，記憶體晶片 300 透過混合凸塊技術而附著於焊墊 170 與第二黏著件 180 上。

【00193】 據此，根據本發明實施例之製造封裝系統之製程主要地分為二個子步驟。

【00194】 第一步驟係製造封裝基板 100。在本例中，製造封裝基板 100 之步驟包括透過混合凸塊技術而形成焊墊 170 與第二黏著件 180 之步驟。

【00195】 此外，第二步驟係附著記憶體晶片 300 於透過混合凸塊技術而形成之焊墊 170 與第二黏著件 180 上。

【00196】 如上述所述，根據本發明實施例，記憶體晶片 300 附著於透過混合凸塊技術而無需使用昂貴虛擬晶片形成之焊墊 170 與第二黏著件 180 上，所以製造成本能夠降低，且製程能夠被簡化。

【00197】 因此，關於本發明之各種修改與變化均應被視為落入本發明之申請範圍內。雖然參考實施例之許多說明性實施例來描述實施例，但應理解，熟習此項技藝者可想出將落入本發明之原理的精神及範疇內的眾多其他修改及實施例。更特定言之，在本發明、圖式及所附申請專利範圍之範疇內，所主張組合配置之零部件及/或配置的各種變化及修改為可能的。對於熟悉此項技術者而言，除了零部件及/或配置之變化及修改外，替代用途亦將顯而易見。

【符號說明】

【00198】

10	半導體封裝基板
20	虛擬晶片
30	記憶體晶片
100	半導體封裝基板
110	絕緣基板
120	金屬層
125	電路圖案
130	保護層
145	第一黏著件
150	電鍍種子層
160	乾膜
170	焊墊
180	第二黏著件
182	黏著劑
184	銅球
186	焊錫球
188	銅核心焊錫球
200	半導體封裝基板
210	絕緣基板
225	電路圖案
230	保護層
245	第一黏著件
250	電鍍種子層
260	乾膜
270	焊墊
272	第一焊墊
274	第二焊墊
280	第二黏著件
300	半導體晶片

·
·
【生物材料寄存】

·
·
國內寄存資訊【請依寄存機構、日期、號碼順序註記】

·
·
國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】 (請換頁單獨記載)

申請專利範圍

1. 一種半導體封裝基板，包括：
 - 一絕緣基板；
 - 一電路圖案，在該絕緣基板上；
 - 一保護層，形成在該絕緣基板上，以覆蓋在該絕緣基板上的該電路圖案；
 - 一焊墊，形成在該保護層上，同時自該保護層之一表面突出；以及
 - 一黏著件在該焊墊上。
2. 如申請專利範圍第1項所述之半導體封裝基板，其中該焊墊具有一下部寬度與一上部寬度彼此相同之一柱狀。
3. 如申請專利範圍第1項所述之半導體封裝基板，其中該黏著件在該焊墊與附著在該焊墊上之一半導體晶片之間提供一黏著強度。
4. 如申請專利範圍第1項所述之半導體封裝基板，其中該焊墊包括一電鍍種子層，該電鍍種子層形成在該焊墊之一下部。
5. 如申請專利範圍第1項所述之半導體封裝基板，其中該焊墊包括一第一焊墊，其中該第一焊墊形成在該保護層上，且具有一第一寬度、以及一第二焊墊，其中該第二焊墊形成在該第一焊墊上，且具有不同於該第一寬度之一第二寬度。
6. 如申請專利範圍第5項所述之半導體封裝基板，其中該第二焊墊之該第二寬度係窄於該第一焊墊之該第一寬度。
7. 如申請專利範圍第1項所述之半導體封裝基板，其中該黏著件包括一焊錫球、一微米球、一黏著劑以及一銅核心焊錫球其中之一者。
8. 如申請專利範圍第1項所述之半導體封裝基板，其中該保護層包括阻焊劑、氧化劑以及金其中之一者。
9. 如申請專利範圍第1項所述之半導體封裝基板，其中該焊墊與該保護層之一上表面接觸，而未與該電路圖案以及該絕緣基板接觸。
10. 一種封裝系統，包括：

一半導體封裝基板，包括一絕緣基板；一電路圖案，在該絕緣基板之一表面上；以及一保護層，形成在該絕緣基板上，以覆蓋該電路圖案；以及

一半導體晶片，附著於該半導體封裝基板，

其中該半導體封裝基板包括一焊墊，該焊墊透過一電鍍法而形成在該保護層上、以及一黏著件，形成在該焊墊上，以及

其中該半導體晶片藉由該黏著件附著於該焊墊上，其中該焊墊形成在該半導體封裝基板上。

11. 如申請專利範圍第10項所述之封裝系統，其中該焊墊具有一下部寬度與一上部寬度彼此相同之一柱狀。
12. 如申請專利範圍第10項所述之封裝系統，其中該焊墊包括一第一焊墊，該第一焊墊形成在該保護層上且具有一第一寬度、以及一第二焊墊，該第二焊墊形成在該第一焊墊上且具有一第二寬度，該第二寬度不同於該第一寬度，以及其中該半導體晶片藉由形成在該第二焊墊上之該黏著件而附著於該第二焊墊上。
13. 如申請專利範圍第12項所述之封裝系統，其中該第二焊墊之該第二寬度係窄於該第一焊墊之該第一寬度。
14. 如申請專利範圍第10項所述之封裝系統，其中該黏著件包括一焊錫球、一微米球、一黏著劑以及一銅核心焊錫球其中一者。
15. 如申請專利範圍第10項所述之封裝系統，其中該焊墊與該保護層之一上表面接觸，而未與該電路圖案以及該絕緣基板接觸。
16. 一種製造封裝系統之方法，該方法包括：
 - 形成一電路圖案在一絕緣基板之至少一表面上；
 - 形成一保護層，在絕緣基板上，以覆蓋該電路圖案；
 - 附著一乾膜，其中該乾膜具有一開口，將用來形成一焊墊之一區域暴露出；
 - 藉由填充該乾膜之該開口來形成該焊墊在該保護層上；以及
 - 形成一黏著件在所形成的該焊墊上。
17. 如申請專利範圍第16項所述之方法，其中該乾膜之該開口具有彼此相同

- 的一下部寬度與一上部寬度，且該焊墊具有一柱狀對應於該開口之形狀，其中該柱狀具有彼此相同的一下部寬度與一上部寬度。
18. 如申請專利範圍第16項所述之方法，其中藉由填充該乾膜之該開口而在該保護層上形成該焊墊中，該焊墊與該保護層接觸，而未與該絕緣基板與該電路圖案接觸。
19. 如申請專利範圍第16項所述之方法，更包括形成一電鍍種子層在該保護層上，其中所形成的該焊墊包括形成在該焊墊之一下部的該電鍍種子層。
20. 如申請專利範圍第16項所述之方法，其中在附著具有該開口之該乾膜，將用來形成該焊墊之該區域暴露出，包括：
- 形成一第一乾膜在該保護層上，其中該第一乾膜具有一第一寬度之一開口；以及
- 形成一第二乾膜在該第一乾膜上，其中該第二乾膜具有一第二寬度之一開口；
- 其中該第一寬度不同於該第二寬度。
21. 如申請專利範圍第20項所述之方法，其中藉由填充該乾膜之該開口，形成該焊墊在該保護層上，包括：
- 藉由填充該第一乾膜之該開口來形成一第一焊墊；
- 藉由填充該第二乾膜之該開口來形成一第二焊墊；以及
- 其中該第二焊墊係窄於該第一焊墊。
22. 如申請專利範圍第16項所述之方法，其中形成該黏著件在所形成的該焊墊上，包括：形成一焊錫球、一微米球、一黏著劑以及一銅核心焊錫球其中至少一者在該焊墊上。
23. 如申請專利範圍第16項所述之方法，更包括附著一半導體晶片在該黏著件上。

圖式

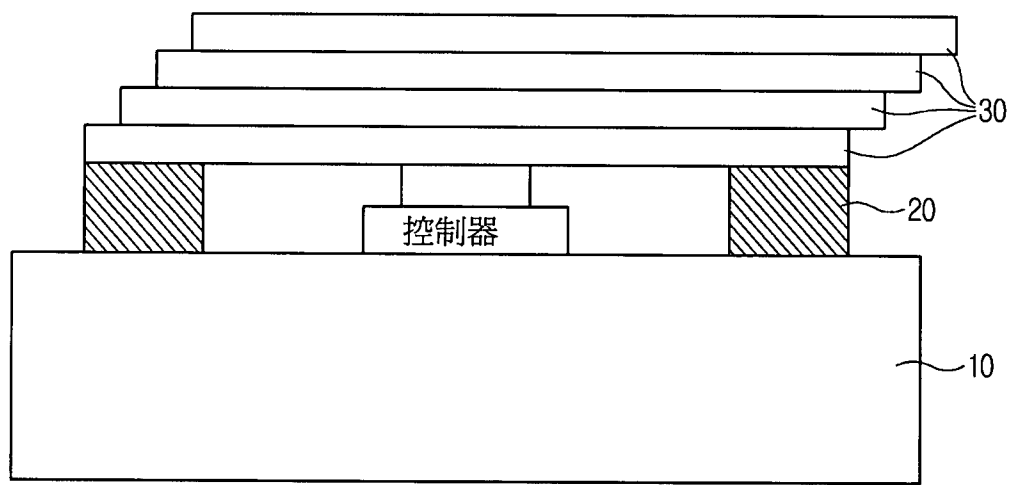


圖 1

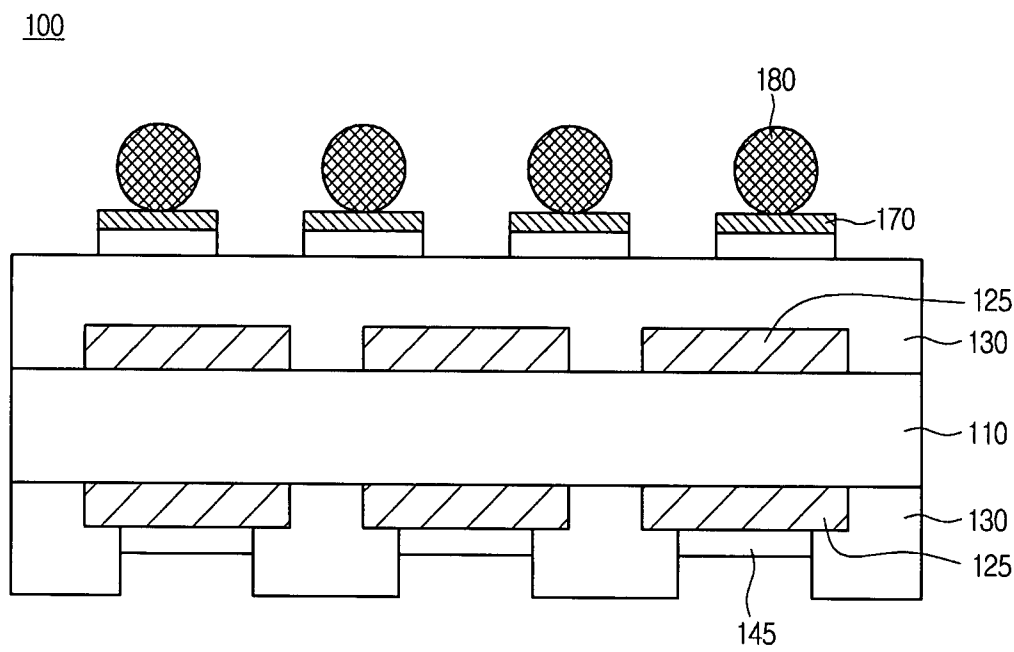


圖 2

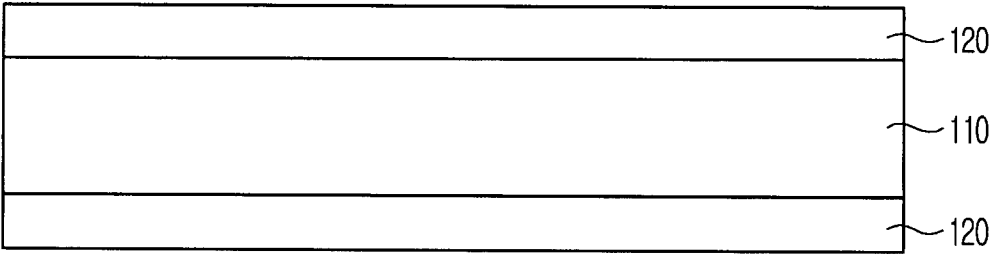


圖 3

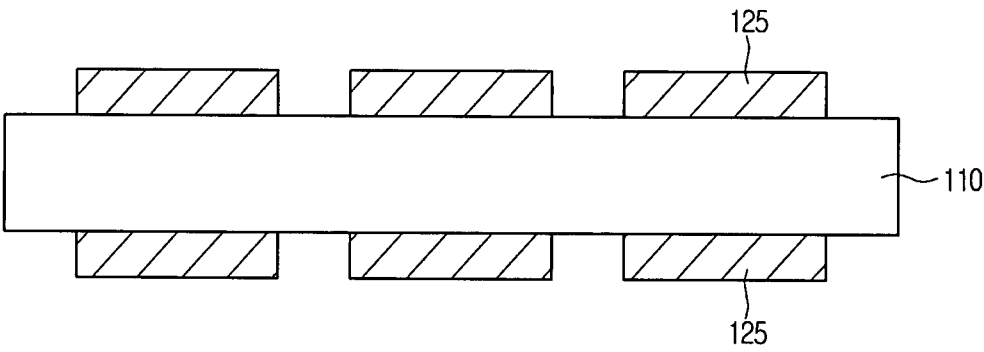


圖 4

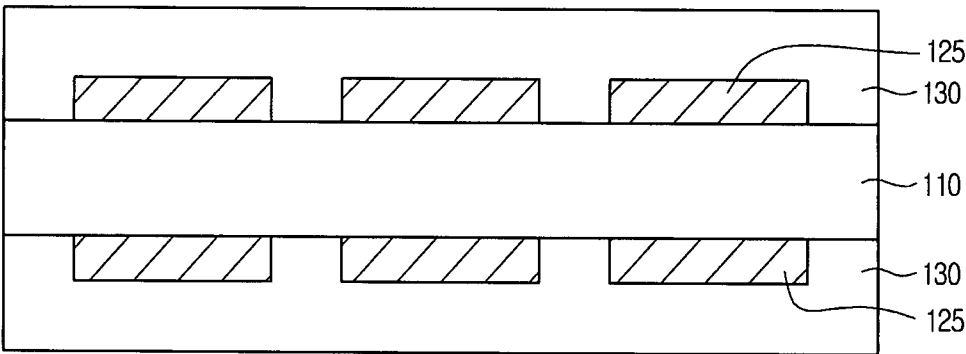


圖 5

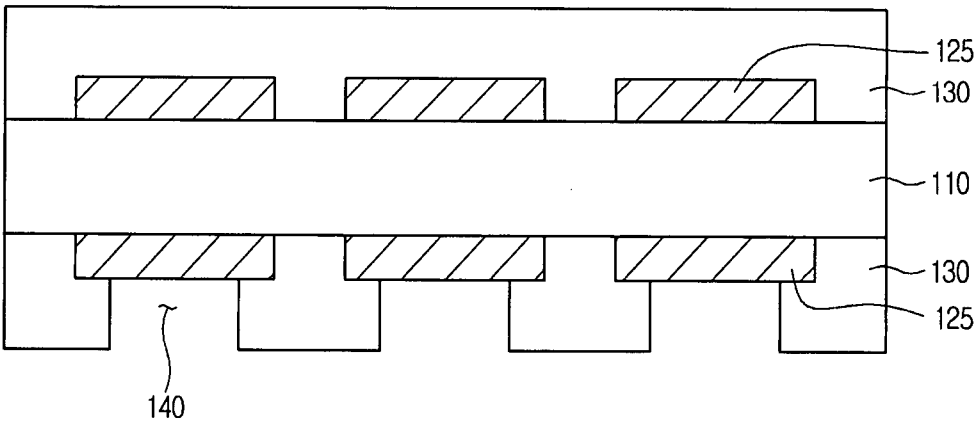


圖 6

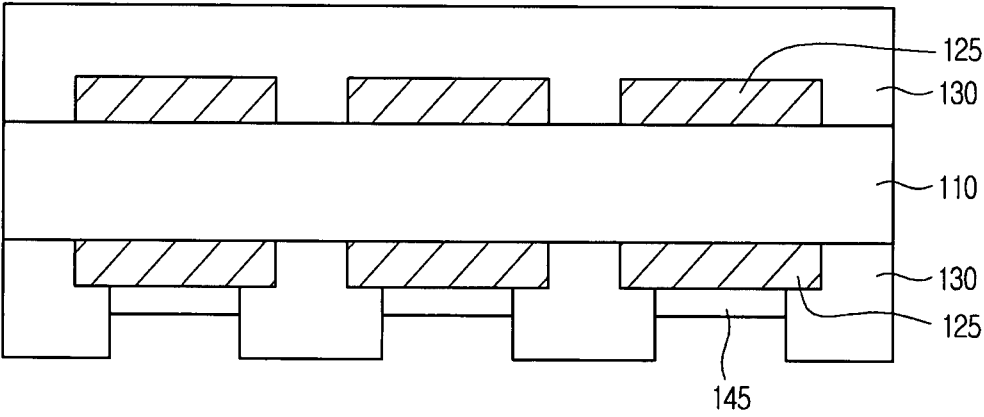


圖 7

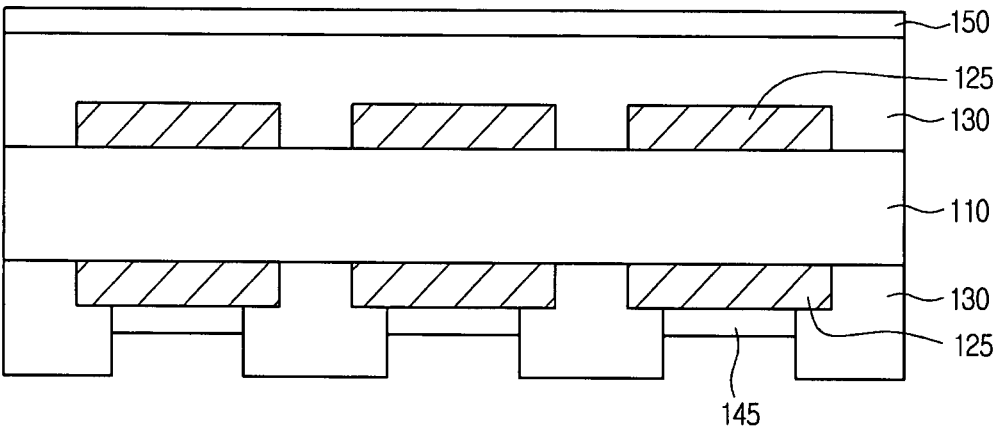


圖 8

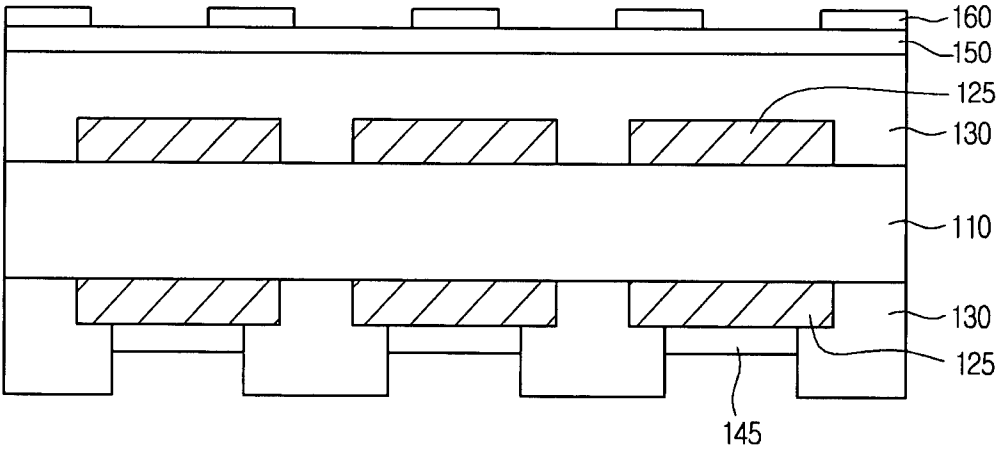


圖 9

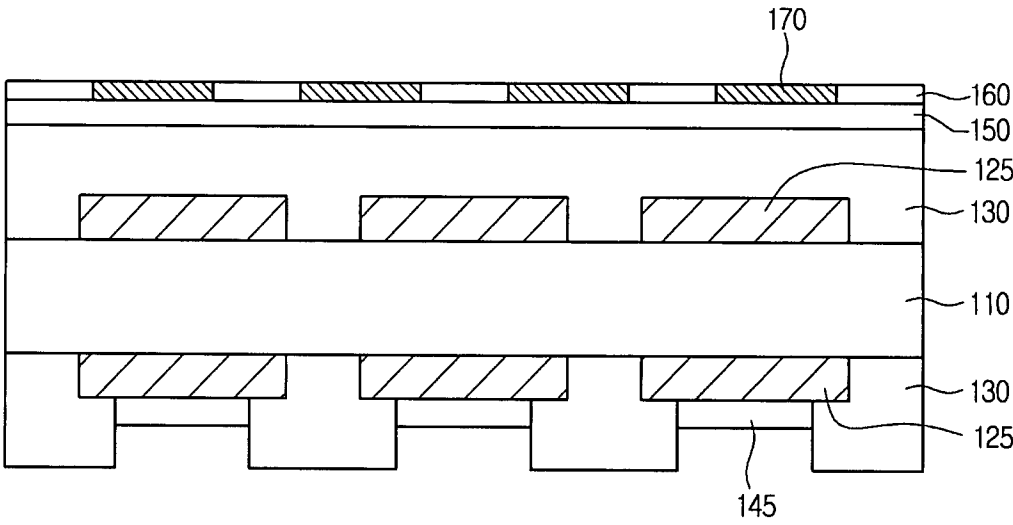


圖 10

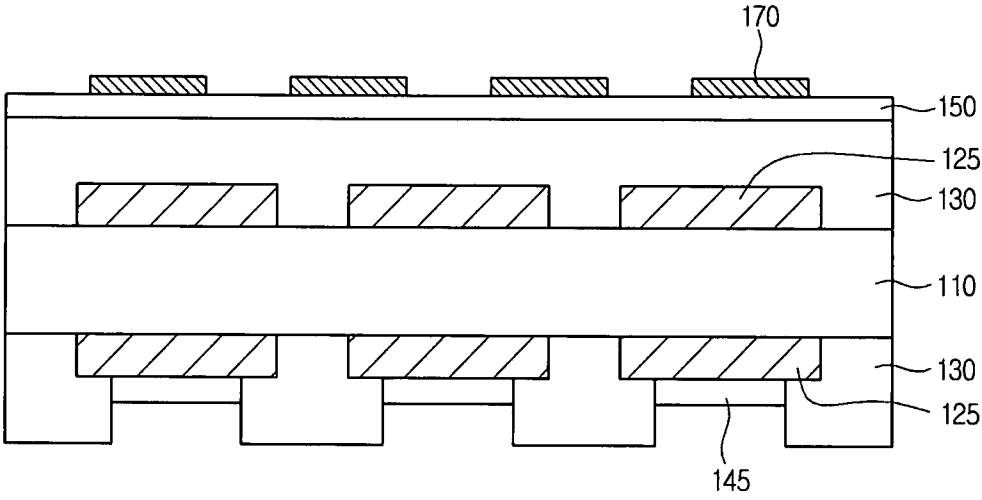


圖 11

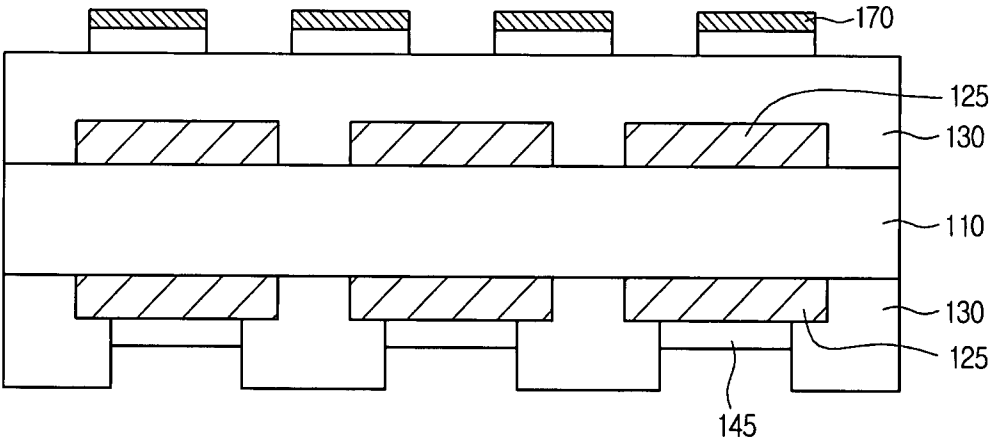


圖 12

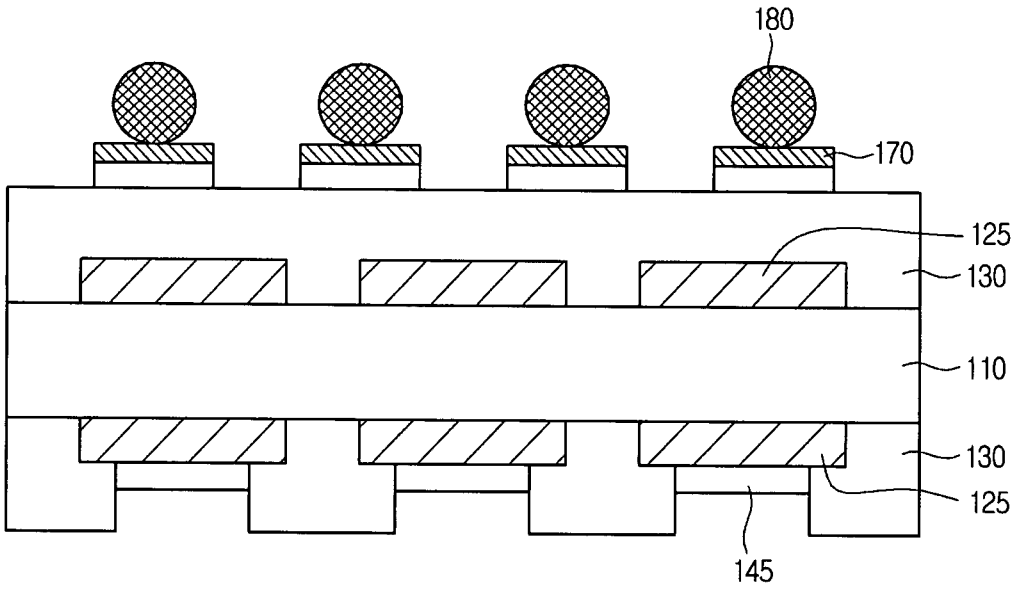


圖 13

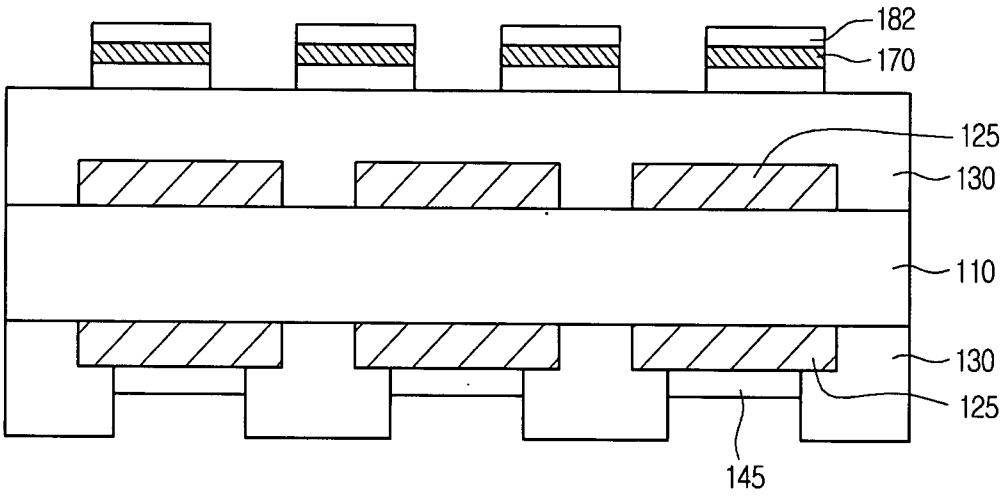


圖 14

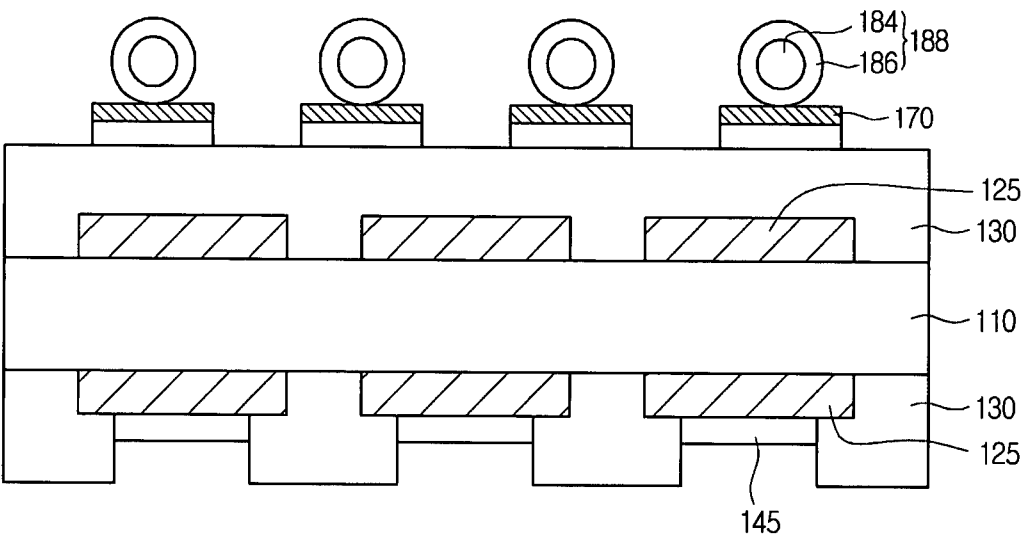


圖 15

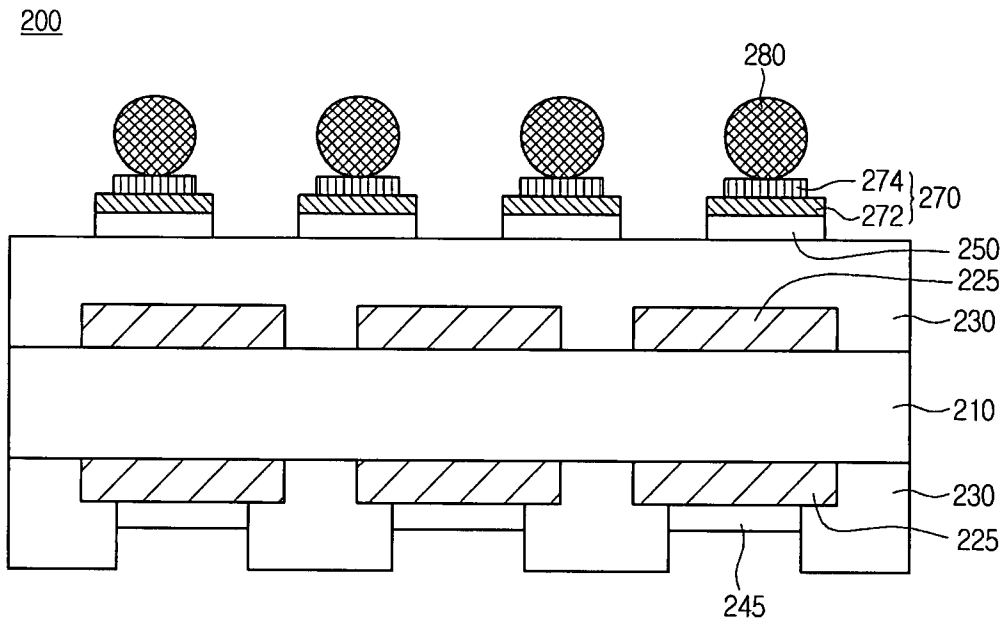


圖 16

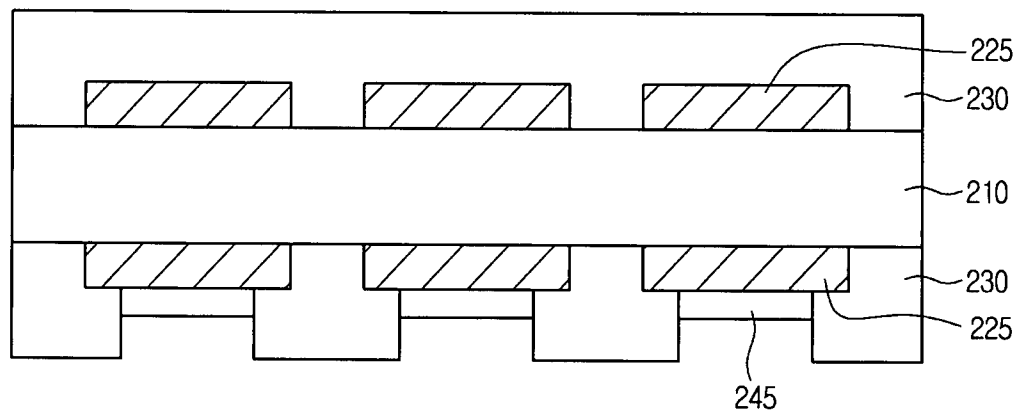


圖 17

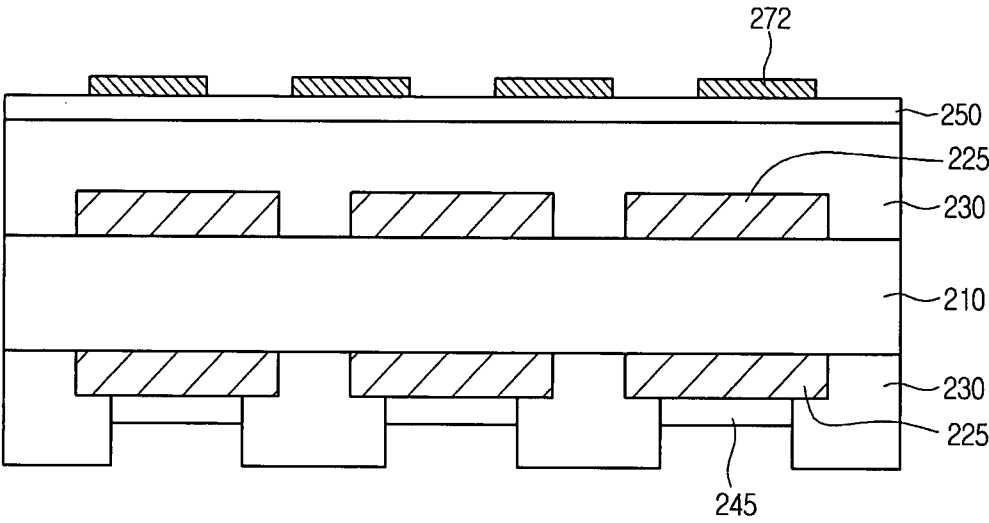


圖 18

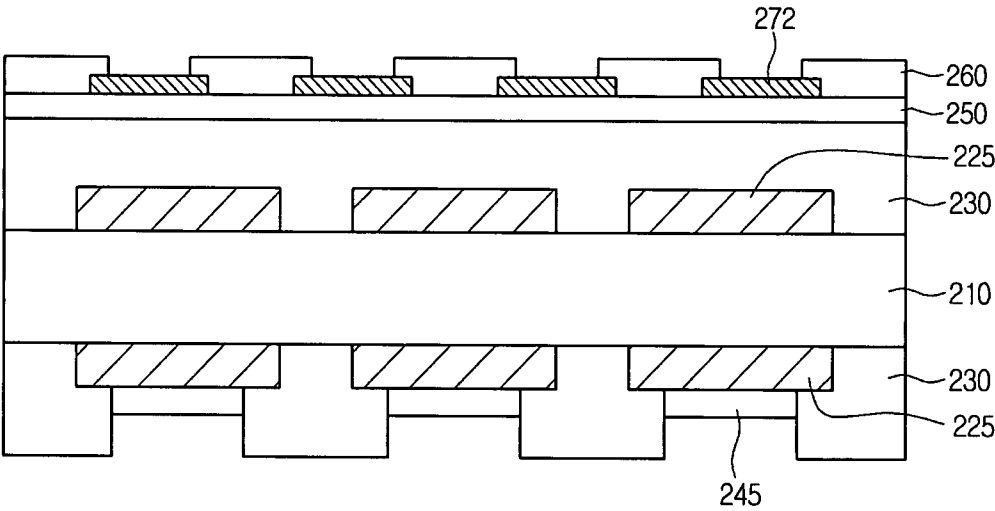


圖 19

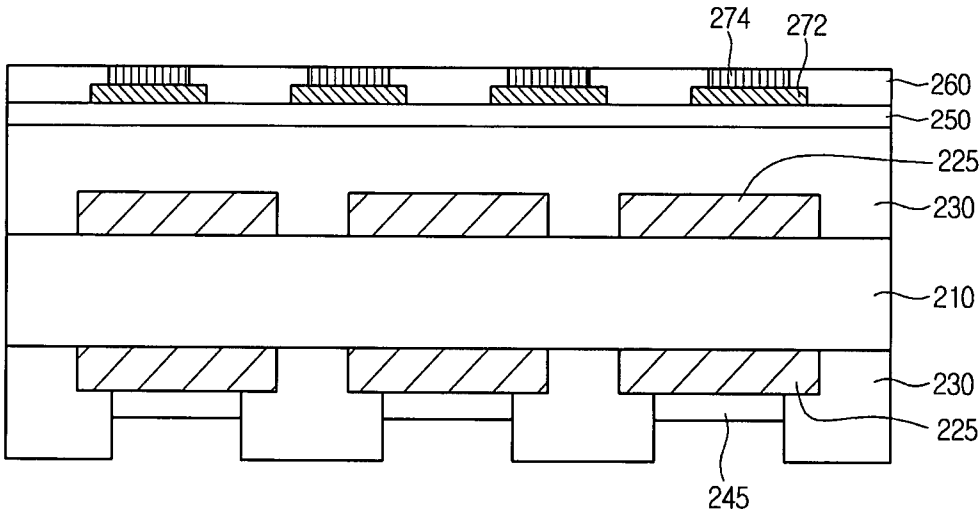


圖 20

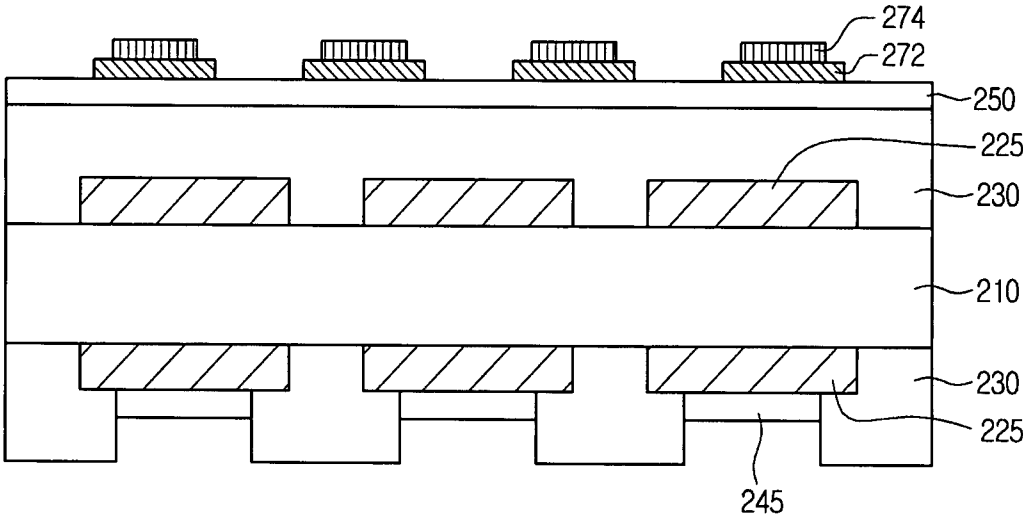


圖 21

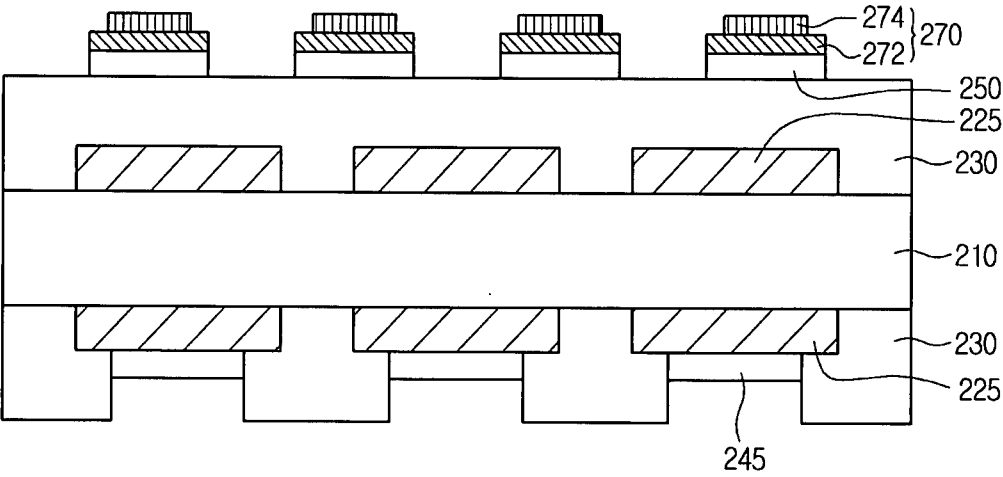


圖 22

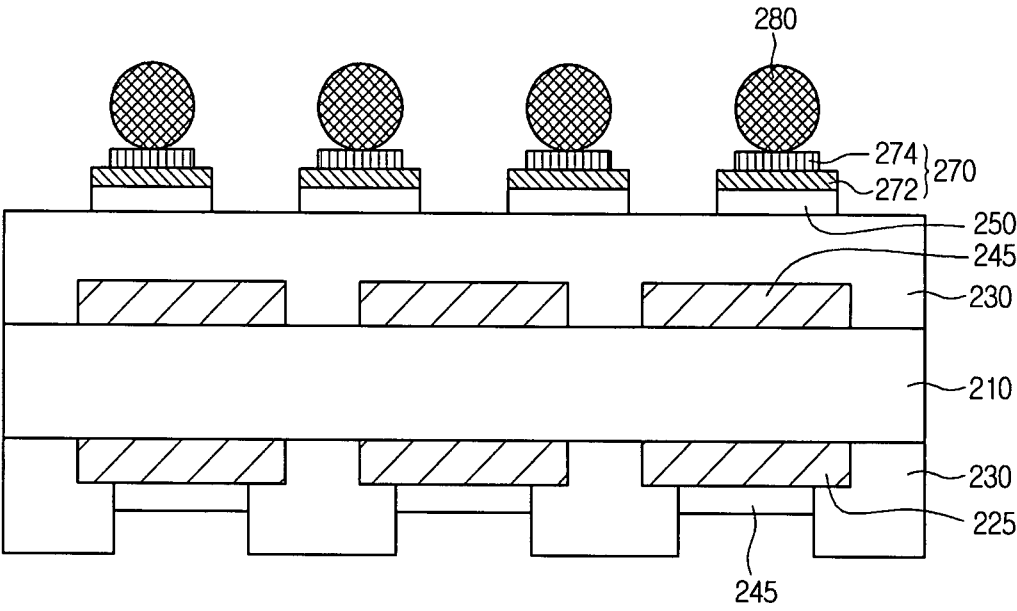


圖 23

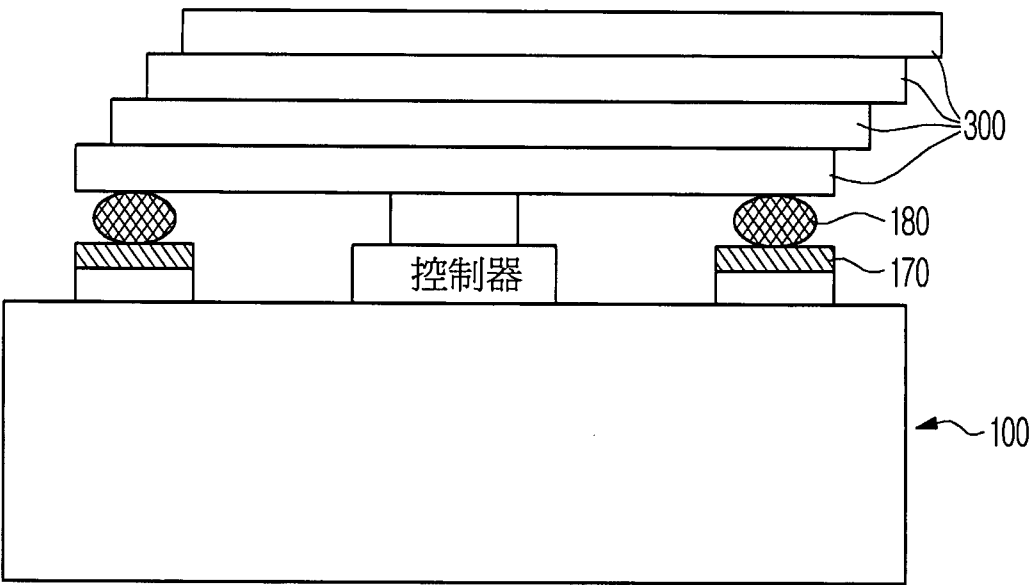


圖 24

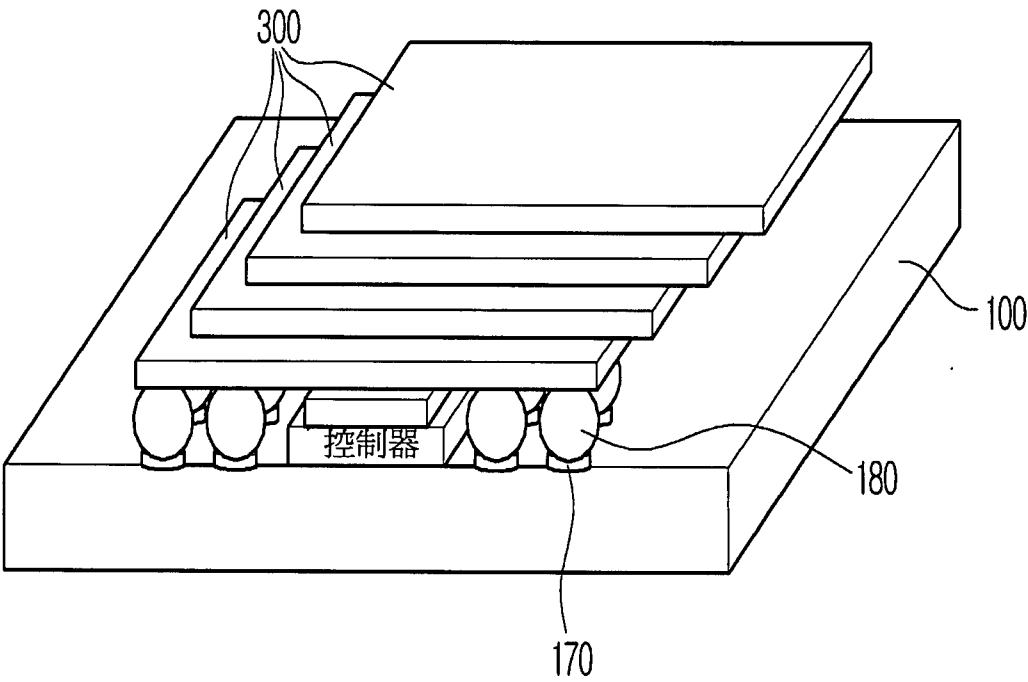


圖 25

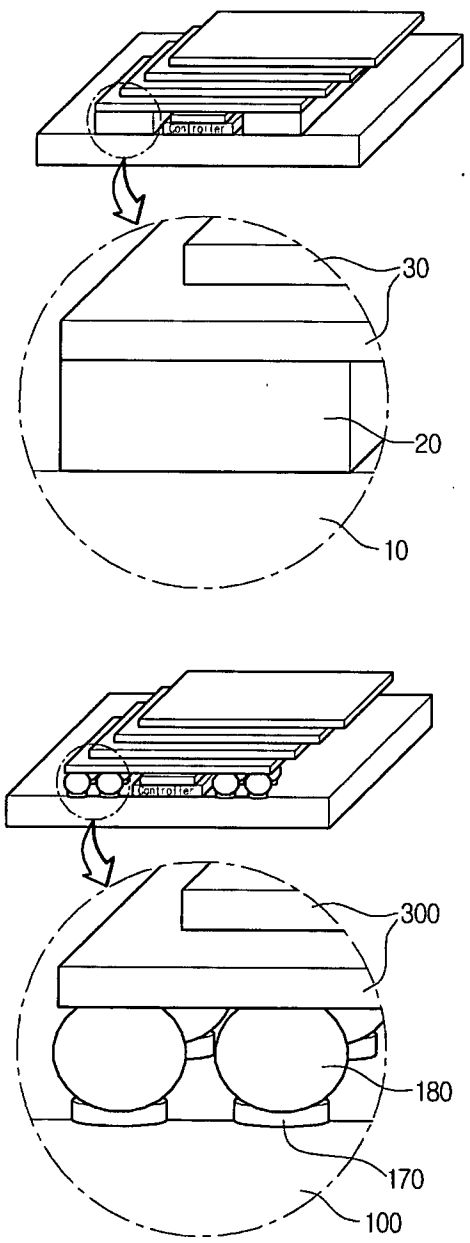


圖 26

板 100 被附著於該基板。

【0097】 之後，如圖 8 所示，一電鍍種子層 150 形成在絕緣基板 110 上部的保護層 130 上。

【0098】 電鍍種子層 150 可透過化學銅電鍍法而形成。

【0099】 依序以去油污製程(degreasing process)、軟蝕刻製程、預催化製程(pre-catalyst process)、催化處理製程、加速製程(accelerator process)、無電電鍍製程(electroless plating process)以及抗氧處理製程來進行化學銅電鍍法。

【0100】 此外，銅電鍍法，依據厚度，分為重銅電鍍法(厚度約 2 μm)、一中銅電鍍法(厚度約 1 μm 至 2 μm)以及輕銅電鍍法(厚度 1 μm 或少於 1 μm 約)。在此情況下，具有厚度 0.5 μm 至 1.5 μm 之電鍍種子層 150，透過中銅電鍍法或輕銅電鍍法而形成。

【0101】 之後，如圖 9 所示，一乾膜 160 被形成在電鍍種子層 150 上。

【0102】 乾膜 160 可具有一窗口，以將一相對於形成有焊墊 170 之區域之部分暴露出。

【0103】 在本例中，乾膜 160 可圍繞電鍍種子層 150 之整個表面，所以可形成用以暴露焊墊 170 區域的窗口。

【0104】 之後，如圖 10 所示，焊墊 170 形成在電鍍種子層 150，以掩埋在乾膜 160 之窗口。

【0105】 焊墊 170 可使用電鍍種子層 150，作為一種子層，藉由無電電鍍金屬(如銅)而形成。

【0106】 之後，如圖 11 所示，乾膜 160 係被去除。

【0107】 接著，如圖 12 所示，除了焊墊 170 之外的區域，移除形成在剩餘區域上之電鍍種子層 150。

【0108】 在本例中，部份的電鍍種子層 150 存在於焊墊 170 之下方，所以焊墊 170 的整個結構包含電鍍種子層 150。

【0109】 如上述所述，包含電鍍種子層 150 之焊墊 170 形成在保護層 130 上。

【0110】 接著，如圖 13 所示，第二黏著件 180 形成在焊墊 170 上。

【0111】 在本例中，依據第一實施例的第二黏著件 180 可藉由一焊錫球或一微米球而形成。

【0112】 第二黏著件 180 可透過一助焊劑(flux printing)法、一球印刷法(ball printing scheme)、一迴焊法(reflow scheme)、一去焊劑法(deflux scheme)、一壓印加工法(coining scheme)而形成在焊墊 170 上。

【0113】 或者，如圖 14 所示，第二黏著件 180 可藉由塗佈黏著劑 182 在焊墊 170 上而形成在焊墊 170 上。

【0114】 此外，如圖 15 所示，第二黏著件 180 可藉由使用包含銅球 184 和圍繞銅球 184 周長之焊錫球 186 的一銅核心焊錫球 188 而形成在焊墊 170 上。

【0115】 如上述所述，構成根據第一實施例之半導體封裝基板 100 之焊墊 170，自保護層 130 突出，且上表面與下表面有相同的寬度。

【0116】 如上述所述，根據實施例，銅墊與黏著件形成在半導體封裝基板，透過混合凸塊技術(hybrid bump technology)而不用昂貴的虛擬晶片，以使一封裝系統生產率能夠改善以及產品成本能夠降低。

【0117】 此外，如上述所述，第二黏著件 180 藉由使用銅核心焊錫球 188 而形成，以致於在迴焊製程進行後，能夠維持高間隙(high stand-off height)。據此，半導體基板之可靠度能夠被改善。

【0118】 圖 16 係根據第二實施例之一半導體封裝基板圖。

【0119】 參照圖 16，根據第二實施例之一半導體封裝基板 200 包括一絕緣基板 210；一電路圖案 225，形成在絕緣基板 210 之至少一表面上；一保護層 230，形成在絕緣基板 210 上，以保護電路圖案 225；一第一黏著件 245，形成在電路圖案 225 上，而該電路圖案 225 形成在將設置一半導體晶片 300(將於稍後描述)之表面之相對面，於絕緣基板 210 中；一焊墊 270，形成在絕緣基板 210 上表面的保護層 230 上；以及一第二黏著件 280，形成在焊墊 270 上。

【0120】 焊墊 270 包括形成在保護層 230 上之一第一焊墊 272，以及形成在第一焊墊 272 上之一第二焊墊 274。

【0121】 絕緣板 210 可包括一熱固化基板、一熱塑化高分子基板、一

陶瓷基板、一有機-無機組成材料基板或一玻璃纖維填充基板。若絕緣板 210 包括一高分子樹脂，絕緣板 210 可包括一環氧基絕緣樹脂、或可包括聚亞醯胺基樹脂。

【0122】 電路圖案 225 形成在絕緣基板 210 之至少一表面上。

【0123】 此外，電路圖案 225 可包括導電材料，以及可藉由依序將形成在絕緣基板 210 兩表面上之一銅薄膜圖案化而形成。

【0124】 電路圖案 225 可由包含銅之合金所製成，且可具有表面粗糙(roughness)。

【0125】 絕緣基板 210 上提供有保護層 230，以覆蓋形成在絕緣基板 210 之上表面上的電路圖案 225，同時將形成在絕緣基板 210 之底面上之電路圖案 225 之表面的一部分暴露出。

【0126】 保護層 230 用以保護絕緣基板 210 之表面。保護層 230 形成遍及絕緣基板 210 之整個表面。保護層 230 具有一開口(未繪示)以開放將暴露出之電路圖案 225 之表面，也就是，形成在絕緣基板 210 底表面上之電路圖案 225 之堆疊結構的表面。

【0127】 保護層 230 可包括至少一層其包括阻焊劑(SR)、氧化劑、以及金(Au)其中一者。

【0128】 第一黏著件 245 形成在從保護層 230 暴露出之電路圖案 225 的表面上。

【0129】 第一黏著件 245 是爲了附著一導電球至絕緣基板 210 之目的而形成，以便於將半導體基板 200 與之後的一額外基板一起封裝。

【0130】 保護層 230 上提供有焊墊 270。

【0131】 焊墊 270 形成在保護層 230 之上，以覆蓋電路圖案 225 之整個表面，且沒有與絕緣基板 210 或電路圖案 225 接觸。

【0132】 焊墊 270 可包括一導電材料。舉例來說，焊墊 270 可包含銅。

【0133】 焊墊 270 形成在保護層 230 上，乃爲了之後將半導體晶片 300 附著於半導體基板 200 上之目的。

【0134】 在本例中，焊墊 270 包括複數個層。

【0135】 換句話說，焊墊 270 包括形成在保護層 230 上的第一焊墊

272、以及形成在第一焊墊 272 上的第二焊墊 274。

【0136】 第一焊墊 272 的上表面與底面具有相同的寬度，且形成在保護層 230 上。

【0137】 即使第二焊墊 274 的上表面與底面具有相同的寬度，並且形成在第一焊墊 272 上。

【0138】 在本例中，第一焊墊 272 之寬度可具有第一寬度，而第二焊墊 274 可具有窄於該第一寬度之寬度。

【0139】 換句話說，根據第一實施例，焊墊 170 以單層方式形成，其乃爲了附著至半導體晶片 300 之目的。

【0140】 然而，根據第二實施例，第一焊墊 272 與第二焊墊 274 以多層方式形成，乃爲了附著至半導體晶片 300 之目的。在此情況下，第二焊墊 274 之寬度窄於第一焊墊 272 之寬度，以致於將於之後形成之第二黏著件的黏著強度可得到改善。

【0141】 第二黏著件 280 形成在第二焊墊 274 上。

【0142】 第二黏著件 280 形成在第二焊墊 274 上，以提供在半導體晶片 300 與半導體封裝基板 200 之間的黏著強度。

【0143】 第二黏著件 280 可具有一典型的焊錫球。或者，第二黏著件 280 可藉由使用黏著劑或銅核心焊錫球而形成。

【0144】 此外，黏著劑可包括一導電材料，用以電性導通。若黏著劑包括導電材料，則該導電材料可較佳包含選自由銅、銀、金、鋁、奈米碳管以及其組合所組成之群組。

【0145】 如上述所述，根據實施例，銅焊墊與黏著件透過混合凸塊技術而被形成在半導體封裝基板上，而無需使用昂貴的虛擬晶片，所以封裝系統之生產率能夠被改善，產品成本能夠降低。

【0146】 圖 17 至圖 23 係繪示於圖 16 中之半導體封裝基板，依製造程序之製造方法之剖面圖。

【0147】 首先，在準備如圖 17 所示之絕緣基板 210 後，一金屬層 220 堆疊在絕緣基板 110 之至少一表面上。

【0148】 若絕緣基板 210 包括一絕緣層，該絕緣層與金屬層 120 之堆

疊結構可爲一典型的銅箔基板結構(CCL)。

【0149】 此外，金屬層 220 可藉由一無電電鍍法而形成在絕緣基板 210 上。若金屬層 220 藉由無電電鍍法而形成，則在絕緣基板 210 之表面上可形成表面粗糙，以使電鍍製程能夠順利進行。

【0150】 絕緣基板 210 可包括環氧基樹脂或聚亞醯胺基樹脂來取代具有高熱傳導之昂貴的陶瓷材料。金屬層 220 可包括一銅箔膜，其包含具有高導電率與低電阻的銅。

【0151】 之後，如圖 4 所示，電路圖案 225 以一預設圖案藉由蝕刻金屬層 220 而形成，其中電路圖案 225 係形成在絕緣基板 210 之上部與下部。

【0152】 在本例中，電路圖案 225 可藉由以光微影製程爲基礎之蝕刻製程而形成、或經由使用雷射之一雷射製程直接形成圖案。

【0153】 此外，電路圖案 225 可被形成在絕緣基板 210 之上部與下部之上。或者，電路圖案 225 可僅形成在絕緣基板 210 之上部上。

【0154】 接著，保護層 230 形成在絕緣基板 210 之上部與下部，用以將電路圖案 225 掩埋。

【0155】 保護層 230 用來保護絕緣基板 210 或電路圖案 225 之表面。保護層 230 可包括至少一層，其包含阻焊劑(SR)、氧化物以及金(Au)其中一者。

【0156】 接著，處理形成在絕緣基板 210 之下部上之保護層 230，藉以將形成在絕緣基板 210 之底面上之電路圖案 225 的表面暴露出。

【0157】 之後，第一黏著件 245 形成在電路圖案 225 上。

【0158】 之後，如圖 18 所示，電鍍種子層 250 形成在形成於絕緣基板 210 上部的保護層 230 上。

【0159】 電鍍種子層 250 可透過化學銅電鍍法而形成。

【0160】 化學銅電鍍法可以去油污製程(degreasing process)、軟蝕刻製程、預催化製程(pre-catalyst process)、催化處理製程、加速製程(accelerator process)、無電電鍍製程(electroless plating process)以及抗氧處理製程依序進行。

【0161】 此外，銅電鍍法依據厚度區分爲一重銅電鍍法(厚度約爲 2

μm)、一中銅電鍍法(厚度約為 $1\ \mu\text{m}$ 至 $2\ \mu\text{m}$)以及輕銅電鍍法(厚度約為 $1\ \mu\text{m}$ 或更少)。在本例中，具有 $0.5\ \mu\text{m}$ 至 $1.5\ \mu\text{m}$ 之厚度的電鍍種子層 250 透過中銅電鍍法或輕銅電鍍法而形成 $0.5\ \mu\text{m}$ 至 $1.5\ \mu\text{m}$ 之厚度。

【0162】 之後，如第一實施例所述，一乾膜可形成在電鍍種子層 250 上。在本例中，乾膜(未圖示)可具有一窗口，以將一相對於形成有焊墊 270 之區域之部分開放。

【0163】 之後，第一焊墊 272 填入該乾膜之窗口。

【0164】 第一焊墊 272 可使用電鍍種子層 250 作為一種子層，透過無電電鍍金屬(如銅)而形成。

【0165】 之後，將該乾膜移除。

【0166】 之後，如圖 19 所示，乾膜 260 形成在電鍍種子層 250 上。

【0167】 在本例中，乾膜 260 可將第一焊墊 272 之表面的部分掩埋。

【0168】 換句話說，乾膜 260 可具有一開口，以將第一焊墊 272 之表面暴露出。在本例中，乾膜 260 之開口的寬度係窄於第一焊墊 272 上表面之寬度。

【0169】 之後，如圖 20 所示，第二焊墊 274 藉由使用乾膜 260 作為一光罩而形成在第一焊墊 272 上，以致於第二焊墊 274 被填入於該開口。

【0170】 在本例中，該開口的寬度係窄於第一焊墊 272 上表面的寬度。因此，第二焊墊 274 之寬度係窄於第一焊墊 272 的寬度。

【0171】 焊墊 270 包括第一焊墊 272 和第二焊墊 274。第一焊墊 272 具有不同於第二焊墊 274 之寬度，因為增加了與第二黏著件 280 之黏著強度，以致於半導體封裝基板 200 之可靠性能夠被改善。

【0172】 接著，如圖 21 所示，除了用於第一焊墊 272 之區域外，將電鍍種子層 25 從剩餘的部分移除。

【0173】 在本例中，部份的電鍍種子層 250 存在於第一焊墊 272 之下，以使第一焊墊 272 之整個表面包括該電鍍種子層。

【0174】 如上述所述，包含電鍍種子層 250 之第一焊墊 272 形成在保護層 230 上，而第二焊墊 274 形成在第一焊墊 272 上，第二焊墊 274 寬度係窄於第一焊墊 272 之寬度。

【0175】 接著，如圖 23 所示，第二黏著件 280 形成在焊墊 27 上。

【0176】 在本例中，第二黏著件 280 可藉由使用焊錫球或微米球而形成。

【0177】 若第二黏著件藉由使用焊錫球或微米球而形成時，第二黏著件 280 可透過如一助焊劑(flux printing)法、一球印刷法(ball printing scheme)、一迴錫法(reflow scheme)、一去焊劑法(deflux scheme)、一壓印加工法(coining scheme)的製程而形成。

【0178】 或者，第二黏著件可藉由塗佈黏著劑而形成。此外，第二黏著件可藉由使用包含銅球和圍繞銅球周長之焊錫球的一銅核心焊錫球而形成。

【0179】 如上述所述，根據實施例，銅墊與黏著件透過混合凸塊技術而無需使用昂貴的虛擬晶片而形成在半導體封裝基板上，因此封裝系統之生產率能夠改善，產品成本能夠降低。

【0180】 此外，根據實施例，焊墊藉由使用多層堆疊結構而形成，藉此改善與黏著件之黏著強度，因此能改善半導體封裝基板的可靠度。

【0181】 圖 24 與圖 25 係根據實施例之一封裝系統的視圖。

【0182】 參照圖 24 和圖 25，封裝系統包括半導體封裝基板 100 以及形成在半導體封裝基板 100 之記憶體晶片 300。

【0183】 記憶體晶片 300 可包括一 NAND 快取記憶體晶片。

【0184】 在本例中，記憶體晶片 300 藉由形成在半導體封裝基板 100 上的焊墊 170 和第二黏著件 180 而附著於半導體封裝基板 100 上。

【0185】 如上述所述，在製造半導體封裝基板 100 的製造過程中，透過一混合凸塊技術而無需使用昂貴的虛擬晶片而將記憶體晶片 300 附著至焊墊 170 和第二黏著件 180，而有別於爲了附著記憶體晶片 300 之製造半導體封裝基板 100 的製程。

【0186】 圖 26 係繪示習知技術之封裝系統圖與本實施例之封裝系統圖之間的比較。

【0187】 參考圖 26，根據習知技術，一昂貴的虛擬晶片 20 形成在封

裝基板 10 上，而一記憶體晶片 30 形成在虛擬晶片 20 上。

【0188】 據此，根依據習知技術，封裝系統製造程序主要地分為三個步驟。

【0189】 第一步驟係製造封裝基板 10。

【0190】 此外，第二步驟係形成虛擬晶片 20 在封裝基板 10 上。在本例中，由於製程特性，第一和第二步驟並非立即進行，而是透過複數個子步驟進行。

【0191】 第三步驟係形成半導體晶片 30 在虛擬晶片 20 上。

【0192】 然而，根據本發明實施例，記憶體晶片 300 透過混合凸塊技術而附著於焊墊 170 與第二黏著件 180 上。

【0193】 據此，根據本發明實施例之製造封裝系統之製程主要地分為二個子步驟。

【0194】 第一步驟係製造封裝基板 100。在本例中，製造封裝基板 100 之步驟包括透過混合凸塊技術而形成焊墊 170 與第二黏著件 180 之步驟。

【0195】 此外，第二步驟係附著記憶體晶片 300 於透過混合凸塊技術而形成之焊墊 170 與第二黏著件 180 上。

【0196】 如上述所述，根據本發明實施例，記憶體晶片 300 附著於透過混合凸塊技術而無需使用昂貴虛擬晶片形成之焊墊 170 與第二黏著件 180 上，所以製造成本能夠降低，且製程能夠被簡化。

【0197】 因此，關於本發明之各種修改與變化均應被視為落入本發明之申請範圍內。雖然參考實施例之許多說明性實施例來描述實施例，但應理解，熟習此項技藝者可想出將落入本發明之原理的精神及範疇內的眾多其他修改及實施例。更特定言之，在本發明、圖式及所附申請專利範圍之範疇內，所主張組合配置之零部件及/或配置之各種變化及修改為可能的。對於熟悉此項技術者而言，除了零部件及/或配置之變化及修改外，替代用途亦將顯而易見。

【符號說明】