

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2020년 2월 13일 (13.02.2020) **WIPO | PCT**



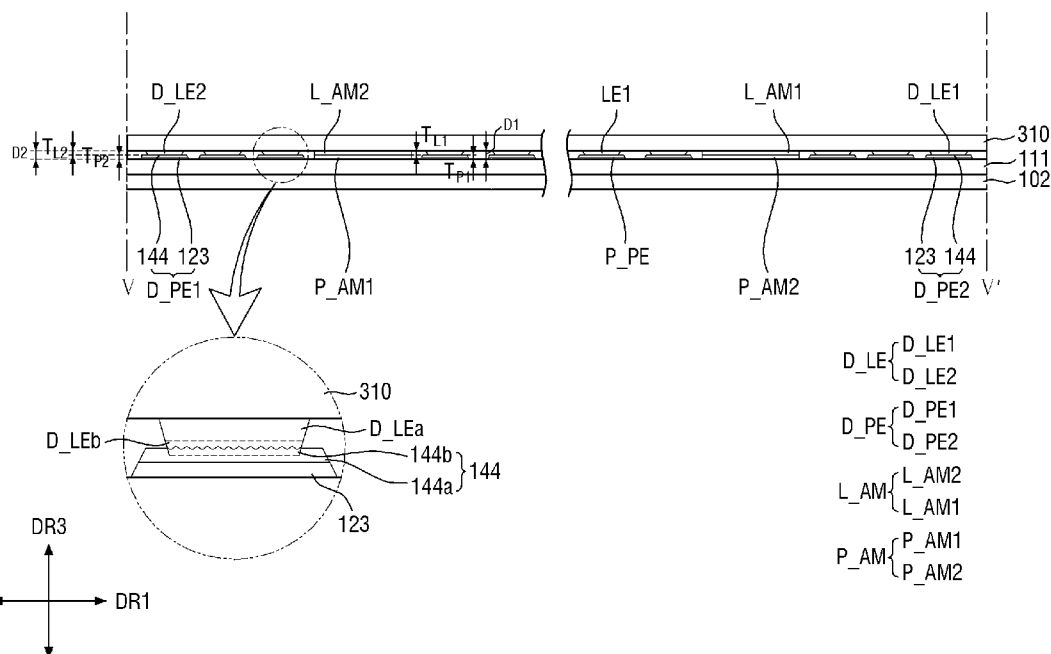
(10) 국제공개번호
WO 2020/032340 A1

- (51) 국제특허분류: *H01L 27/32* (2006.01) *H01L 51/52* (2006.01)
- (21) 국제출원번호: PCT/KR2019/003077
- (22) 국제출원일: 2019년 3월 18일 (18.03.2019)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2018-0093249 2018년 8월 9일 (09.08.2018) KR
- (71) 출원인: 삼성디스플레이 주식회사 (**SAMSUNG DISPLAY CO., LTD.**) [KR/KR]; 17113 경기도 용인시 기흥구 삼성로1, Gyeonggi-do (KR).
- (72) 발명자: 김병용 (**KIM, Byoung Yong**); 08725 서울시 관악구 구암길 98 138동 1001호, Seoul (KR). 유봉현 (**YOU, Bong Hyun**); 06599 서울시 서초구 서초중앙로 220 105동 3201호, Seoul (KR).
- (74) 대리인: 특허법인 가산 (**KASAN IP & LAW FIRM**); 06719 서울시 서초구 남부순환로 2423 한원빌딩 7층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

(54) Title: DISPLAY APPARATUS

(54) 발명의 명칭: 표시 장치

1



(57) Abstract: A display device is provided. The display device comprises: a display panel including a display area and a pad area disposed around the display area; and a circuit board attached to the pad area, wherein the pad area comprises: at least one signal pad terminal electrically connected to a first signal line passing through the display area; and at least one dummy pad terminal separated from the first signal line, and wherein the circuit board comprises: a signal lead terminal connected to the signal pad terminal; and a dummy lead terminal connected to the dummy pad terminal.

[다음 쪽 계속]

FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 표시 장치가 제공된다. 상기 표시 장치는 표시 영역, 및 상기 표시 영역 주변에 배치된 패드 영역을 포함하는 표시 패널; 상기 패드 영역에 부착되는 회로 기판을 포함하되, 상기 패드 영역은 상기 표시 영역을 지나는 제1 신호 배선과 전기적으로 연결된 적어도 하나의 신호 패드 단자, 및 상기 제1 신호 배선과 분리된 적어도 하나의 더미 패드 단자를 포함하고, 상기 회로 기판은 상기 신호 패드 단자와 접속되는 신호 리드 단자, 및 상기 더미 패드 단자와 접속되는 더미 리드 단자를 포함한다.

명세서

발명의 명칭: 표시 장치

기술분야

- [1] 본 발명은 표시 장치에 관한 것이다.

배경기술

- [2] 표시 장치는 데이터를 시각적으로 표시하는 장치이다. 이러한 표시 장치는 표시 영역과 비표시 영역으로 구획된 기판을 포함한다. 상기 표시 영역에서 상기 기판 상에는 복수의 화소가 배치되며, 상기 비표시 영역에서 상기 기판 상에는 복수의 패드(pad) 등이 배치된다. 상기 복수의 패드에는 구동 회로 등이 장착된 가요성 필름(COF Film) 등이 결합되어 상기 화소에 구동 신호를 전달한다.
- [3] 상기 가요성 필름은 상기 복수의 패드와 결합되는 복수의 리드들을 포함하고, 각 리드는 서로 분리된 패드에 본딩될 수 있다. 상기 본딩은 초음파 본딩 공정으로 이루어질 수 있다.
- [4] 다만, 상기 가요성 필름의 상기 패드에 부착되는 부착부가 충분한 영역을 갖고 형성되지 않는 경우, 상기 가요성 필름과 상기 패드가 배치된 상기 비표시 영역 간 부착이 약할 수 있다.

발명의 상세한 설명

기술적 과제

- [5] 본 발명이 해결하고자 하는 과제는 표시 패널과 가요성 인쇄 회로 필름 간의 부착력을 높일 수 있는 표시 장치를 제공하는데 있다.
- [6] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

- [7] 상기 과제를 해결하기 위한 일 실시예에 따른 표시 장치는 표시 영역, 및 상기 표시 영역 주변에 배치된 패드 영역을 포함하는 표시 패널; 상기 패드 영역에 부착되는 회로 기판을 포함하되, 상기 패드 영역은 상기 표시 영역을 지나는 제1 신호 배선과 전기적으로 연결된 적어도 하나의 신호 패드 단자, 및 상기 제1 신호 배선과 분리된 적어도 하나의 더미 패드 단자를 포함하고, 상기 회로 기판은 상기 신호 패드 단자와 접속되는 신호 리드 단자, 및 상기 더미 패드 단자와 접속되는 더미 리드 단자를 포함한다.
- [8] 상기 회로 기판은 구동 집적 회로, 및 상기 구동 집적 회로와 상기 신호 리드 단자를 전기적으로 연결하는 제2 신호 배선을 더 포함할 수 있다.
- [9] 상기 더미 패드 단자는 상기 구동 집적 회로와 분리될 수 있다.
- [10] 상기 신호 패드 단자, 및 상기 더미 패드 단자는 직접 접속될 수 있다.
- [11] 상기 신호 패드 단자는 복수개이고, 상기 복수의 신호 패드 단자는 제1 방향을

따라 배열될 수 있다.

- [12] 상기 적어도 하나의 더미 패드 단자는 상기 복수의 신호 패드 단자 배열의 상기 제1 방향 일측에 배치되는 제1 더미 패드 단자를 포함할 수 있다.
- [13] 상기 적어도 하나의 더미 패드 단자는 상기 복수의 신호 패드 단자 배열의 상기 제1 방향 타측에 배치되는 제2 더미 패드 단자를 더 포함할 수 있다.
- [14] 상기 표시 패널은 상기 신호 패드 단자 배열과 상기 제1 더미 패드 단자 사이에 배치된 제1 패드 얼라인 마크, 및 상기 신호 패드 단자 배열과 상기 제2 더미 패드 단자 사이에 배치된 제2 패드 얼라인 마크를 포함하고, 상기 제1 및 제2 패드 얼라인 마크는 상기 신호 패드 단자와 형상이 상이할 수 있다.
- [15] 상기 회로 기판은 상기 제1 패드 얼라인 마크와 직접 접촉하는 제1 리드 얼라인 마크, 및 상기 제2 패드 얼라인 마크와 직접 접촉하는 제2 리드 얼라인 마크를 포함할 수 있다.
- [16] 상기 제1 패드 얼라인 마크와 상기 제1 리드 얼라인 마크의 평면상 크기는 동일하고, 상기 제2 패드 얼라인 마크와 상기 제2 리드 얼라인 마크의 평면상 크기는 동일할 수 있다.
- [17] 상기 더미 패드 단자는 Ti/Al/Ti, Mo/Al/Mo, Mo/AlGe/Mo, Ti/Cu 중에서 선택된 제1 물질을 포함할 수 있다.
- [18] 상기 더미 리드 단자는 Ag, Au 또는 Cu 중에서 선택된 제2 물질을 포함할 수 있다.
- [19] 상기 더미 패드 단자 및 상기 더미 리드 단자 사이에 상기 제1 물질과 상기 제2 물질이 섞인 영역을 포함할 수 있다.
- [20] 상기 신호 패드 단자의 두께와 상기 신호 리드 단자의 두께의 합은 상기 더미 패드 단자의 두께와 상기 더미 리드 단자의 두께의 합과 동일할 수 있다.
- [21] 상기 더미 패드 단자의 평면상 크기는 상기 더미 리드 단자의 평면상 크기보다 클 수 있다.
- [22] 상기 더미 패드 단자는 상기 더미 리드 단자와 두께 방향으로 중첩하는 제1 영역, 및 그 주변에 배치된 제2 영역을 포함할 수 있다.
- [23] 상기 제1 영역에서 상기 더미 패드 단자와 상기 더미 리드 단자는 직접 접촉될 수 있다.
- [24] 상기 제1 영역에서 상기 더미 패드 단자와 상기 더미 리드 단자는 초음파 접합될 수 있다.
- [25] 상기 더미 패드 단자는 상기 제2 영역에서 상기 회로 기판과 마주보는 일면에 스크래치를 더 포함할 수 있다.
- [26] 상기 더미 패드 단자의 상기 제1 영역의 일면의 제1 거칠기는 상기 더미 패드 단자의 상기 제2 영역의 일면의 제2 거칠기보다 작을 수 있다.
- [27] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [28] 본 발명의 실시예들에 의하면 표시 패널과 가요성 인쇄 회로 필름 간의 부착력을 높일 수 있는 표시 장치를 제공할 수 있다.
- [29] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [30] 도 1은 일 실시예에 따른 표시 장치의 평면 배치도이다.
- [31] 도 2는 도 1의 표시 장치의 단면도이다.
- [32] 도 3은 표시 장치의 다른 단면도이다.
- [33] 도 4는 도 1의 제1 회로 기관 및 제2 회로 기관의 평면 배치도이다.
- [34] 도 5는 도 1의 V-V'를 따라 자른 단면도이다.
- [35] 도 6은 하나의 패널 패드 단자 및 리드 단자가 본딩된 상태를 나타낸 평면도이다.
- [36] 도 7는 도 6의 VII-VII'을 따라 자른 단면도이다.
- [37] 도 8은 다른 실시예에 따른 제1 및 제2 회로 기관의 평면 배치도이다.
- [38] 도 9는 다른 실시예에 따른 표시 장치의 단면도이다.
- [39] 도 10은 또 다른 실시예에 따른 제1 및 제2 회로 기관의 평면 배치도이다.
- [40] 도 11은 또 다른 실시예에 따른 표시 장치의 단면도이다.
- [41] 도 12는 또 다른 실시예에 따른 제1 및 제2 회로 기관의 평면 배치도이다.
- [42] 도 13은 또 다른 실시예에 따른 표시 장치의 단면도이다.
- [43] 도 14는 또 다른 실시예에 따른 제1 및 제2 회로 기관의 평면 배치도이다.
- [44] 도 15는 또 다른 실시예에 따른 표시 장치의 단면도이다.
- [45] 도 16은 또 다른 실시예에 따른 제1 및 제2 회로 기관의 평면 배치도이다.
- [46] 도 17은 또 다른 실시예에 따른 표시 장치의 단면도이다.

발명의 실시를 위한 형태

- [47] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다른 형태로 구현될 수도 있다. 즉, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [48] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위 뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [49] 명세서 전체를 통하여 동일하거나 유사한 부분에 대해서는 동일한 도면 부호를 사용한다.
- [50] 이하, 도면을 참조하여 본 발명의 실시예들에 대하여 설명한다.
- [51] 도 1은 일 실시예에 따른 표시 장치의 평면 배치도이고, 도 2는 도 1의 제1 및

제2 회로 기관의 평면 배치도이다.

- [52] 표시 장치(1)는 동영상이나 정지영상을 표시하는 장치로서, 표시 장치는 모바일 폰, 스마트 폰, 태블릿 PC(Personal Computer), 및 스마트 워치, 워치 폰, 이동 통신 단말기, 전자 수첩, 전자 책, PMP(Portable Multimedia PC), 네비게이션, UMPC(Ultra Mobile PC) 등과 같은 휴대용 전자 기기 뿐만 아니라 텔레비전, 노트북, 모니터, 광고판, 사물 인터넷 등의 다양한 제품의 표시 화면으로 사용될 수 있다.
- [53] 도 1을 참조하면, 표시 장치(1)는 화상을 표시하는 표시 패널(100), 표시 패널(100)의 하부에 배치되는 패널 하부 시트(200), 표시 패널(100)과 연결되는 제1 회로 기관(300) 및 제1 회로 기관(300)과 연결되고 패널 하부 시트(200)의 하면에 부착되는 제2 회로 기관(400)을 포함할 수 있다.
- [54] 표시 패널(100)은 예를 들어, 유기 발광 표시 패널이 적용될 수 있다. 이하의 실시예에서는 표시 패널(100)로서 유기 발광 표시 패널이 적용된 경우를 예시하지만, 이에 제한되지 않고, 액정 디스플레이(LCD), 퀀텀닷 유기 발광 표시 패널(QD-OLED), 퀀텀닷 액정 디스플레이(QD-LCD), 퀀텀 나노 발광 표시 패널(QNED), 마이크로 엘이디(Micro LED) 등 다른 종류의 표시 패널이 적용될 수도 있다.
- [55] 표시 패널(100)은 화상을 표시하는 표시 영역(DA)과, 표시 영역(DA)의 주변에 배치된 비표시 영역(NA)을 포함한다. 표시 영역(DA)은 평면상 모서리가 수직인 직사각형 또는 모서리가 둥근 직사각형 형상일 수 있다. 표시 영역(DA)은 단변과 장변을 가질 수 있다. 표시 영역(DA)의 단변은 제1 방향(DR1)으로 연장된 변일 수 있다. 표시 영역(DA)의 장변은 제2 방향(DR2)으로 연장된 변일 수 있다. 다만, 표시 영역(DA)의 평면 형상은 직사각형에 제한되는 것은 아니고, 원형, 타원형이나 기타 다양한 형상을 가질 수 있다. 비표시 영역(NA)은 표시 영역(DA)의 양 단변 및 양 장변에 인접 배치될 수 있다. 이 경우, 표시 영역(DA)의 모든 변을 둘러싸고, 표시 영역(DA)의 테두리를 구성할 수 있다. 다만, 이에 제한되지 않고 비표시 영역(NA)은 표시 영역(DA)의 양 단변 또는 양 장변에만 인접 배치될 수도 있다.
- [56] 비표시 영역(NA)은 표시 패널(100)의 제2 방향(DR2) 일측에 패널 패드 영역(P_PA)을 더 포함할 수 있다. 표시 패널(100)은 적어도 하나의 패널 패드 단자(도 3의 'P_PE' 참조) 및 더미 패드 단자(도 3의 'D_PE' 참조)들을 포함할 수 있다. 패널 패드 단자(P_PE) 및 더미 패드 단자(D_PE)는 패널 패드 영역(P_PA)에 배치될 수 있다.
- [57] 표시 패널(100)의 패널 패드 영역(P_PA)의 상면에는 제1 회로 기관(300)이 배치될 수 있다. 제1 회로 기관(300)은 패널 패드 영역(P_PA)의 상면과 연결될 수 있다.
- [58] 제1 회로 기관(300)은 패널 패드 영역(P_PA)에 부착되는 제1 회로 영역(CA1), 후술할 제2 회로 기관(400)과 부착될 제2 회로 영역(CA2) 및 제1 회로

영역(CA1)과 제2 회로 영역(CA2) 사이에 배치된 제3 회로 영역(CA3)을 포함할 수 있다. 제1 회로 영역(CA1)은 패널 패드 영역(P_PA)과 두께 방향으로 중첩할 수 있다. 제2 회로 영역(CA2)은 후술할 제2 회로 기관(400)의 회로 패드 영역(C_PA)과 두께 방향으로 중첩할 수 있다.

[59] 제1 회로 기관(300)은 리드 단자(도 3의 'LE1','LE2' 참조), 더미 리드 단자(도 3의 'D_LE' 참조)들을 포함할 수 있다. 후술하는 바와 같이 리드 단자(LE)는 제1 회로 영역(CA1)에 배치된 제1 리드 단자(LE1)와 제2 회로 영역(CA2)에 배치된 제2 리드 단자(LE2)를 포함할 수 있다.

[60] 제1 회로 기관(300)은 제1 회로 기관(300)의 일면 상에 배치되는 데이터 구동 집적 회로(390)를 포함할 수 있다. 데이터 구동 집적 회로(390)는 데이터 구동 칩으로 구현되어, 제1 회로 기관(300)을 통해 표시 패널에 부착되는 칩 온 필름(Chip on film, COF) 방식이 적용될 수 있다. 다만, 이에 제한되지 않고, 데이터 구동 집적 회로(390)는 칩 온 플라스틱(chip on pCAstic, COP)이나, 칩 온 글래스(chip on gCAss, COG) 방식으로 플라스틱 기관 또는 유리 기관에 부착될 수도 있다.

[61] 제1 회로 기관(300)의 제2 회로 영역(CA2) 상에는 제2 회로 기관(400)이 배치될 수 있다. 도면에서 제2 회로 기관(400)은 제1 회로 기관(300)의 타면 상에 배치됨을 도시하였지만, 이에 제한되지 않고 제1 회로 기관(300)의 일면 상에도 배치될 수 있다.

[62] 제2 회로 기관(400)은 제1 회로 기관(300)의 제2 회로 영역(CA2)과 부착되는 회로 패드 영역(C_PA)을 포함할 수 있다. 제2 회로 기관(400)은 회로 패드 영역(C_PA)에 배치된 회로 패드 단자(미도시)들을 포함할 수 있다.

[63] 이하, 표시 패널(100), 패널 하부 시트(200), 제1 회로 기관(300) 및 제2 회로 기관(400)의 구성에 대해 설명한다.

[64] 도 2는 도 1의 표시 장치를 제2 방향으로 따라 자른 단면도이고, 도 3은 표시 장치의 다른 단면도이다.

[65] 도 2 및 도 3은 도 1의 일 화소 영역 및 패널 패드 영역(P_PA)의 단면 형상을 보여준다. 나아가, 도 2 및 도 3은 패널 패드 영역(P_PA) 상에 배치되는 제1 회로 기관(300) 및 제2 회로 기관(400)을 도시한다. 도 2는 패널 패드 영역(P_PA)에서 후술할 패널 패드 단자(P_PE)와 제1 리드 단자(LE1)가 결합된 상태를 나타낸다. 도 3은 패널 패드 영역(P_PA)에서 후술할 더미 패드 단자(D_PE)와 더미 리드 단자(D_LE)가 결합된다는 점을 제외하고 도 2의 설명이 그대로 적용될 수 있다.

[66] 도 2 및 도 3을 참조하면, 표시 패널(100)은 베이스 기관(101), 복수의 도전층, 이를 절연하는 복수의 절연층 및 유기층(EL) 등을 포함할 수 있다.

[67] 베이스 기관(101)은 표시 영역(DA) 및 비표시 영역(NA) 전체에 걸쳐 배치된다. 베이스 기관(101)은 상부에 배치되는 여러 엘리먼트들을 지지하는 기능을 할 수 있다. 일 실시예에서 베이스 기관(101)은 연성 유리, 석영 등의 리지드한 물질을 포함하는 리지드 기관일 수 있다. 다만, 이에 제한되지 않고 베이스 기관(101)은

일부 연성 물질을 포함하는 반연성 기판 또는 연성 기판일 수 있다. 이 경우, 베이스 기판(101)은 폴리에틸렌테레프탈레이트(PET), 폴리이미드(PI), 폴리카보네이트(PC), 폴리에틸렌(PE), 폴리프로필렌(PP), 폴리술폰(PSF), 폴리메틸메타크릴레이트(PMMA), 트리아세틸셀룰로오스(TAC), 시클로올레핀 폴리머(COP) 등을 포함할 수 있다.

[68] 버퍼층(102)은 베이스 기판(101) 상에 배치될 수 있다. 버퍼층(102)은 베이스 기판(101)을 통한 외부로부터의 수분 및 산소의 침투를 방지할 수 있다. 또한, 버퍼층(102)은 베이스 기판(101)의 표면을 평탄화할 수 있다. 버퍼층(102)은 일 실시예로 질화 규소(SiN_x)막, 산화 규소(SiO_2)막 및 산질화규소(SiO_xNy)막 중 어느 하나를 포함할 수 있다.

[69] 버퍼층(102) 상에는 반도체층(105)이 배치될 수 있다. 반도체층(105)은 박막 트랜지스터의 채널을 이룬다. 반도체층(105)은 표시 영역(DA)의 각 화소에 배치되고, 경우에 따라 비표시 영역(NA)에도 배치될 수 있다. 반도체층(105)은 소스/드레인 영역 및 활성 영역을 포함할 수 있다. 반도체층(105)은 다결정 실리콘을 포함할 수 있다.

[70] 반도체층(105) 상에는 제1 절연층(111)이 배치될 수 있다. 제1 절연층(111)은 베이스 기판(101)의 전체면에 걸쳐 배치될 수 있다. 제1 절연층(111)은 게이트 절연 기능을 갖는 게이트 절연막일 수 있다. 제1 절연층(111)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들면, 제1 절연층(111)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[71] 제1 절연층(111) 상에는 제1 도전층(120)이 배치될 수 있다. 일 실시예에서 제1 도전층(120)은 박막 트랜지스터(TFT)의 게이트 전극(121), 유지 커패시터(Cst)의 제1 전극(122) 및 제1 패드 전극(123)을 포함할 수 있다. 제1 도전층(120)은 금속 물질을 포함할 수 있다. 제1 도전층(120)은 각각 몰리브덴(Mo), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 칼슘(Ca), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제1 도전층(120)은 상기 예시된 물질로 이루어진 단일막 또는 적층막일 수 있다.

[72] 제1 도전층(120) 상에는 제2 절연층(112)이 배치될 수 있다. 제2 절연층(112)은 제1 도전층(120)과 제2 도전층(130)을 절연시킬 수 있다. 제2 절연층(112)은 제1 절연층(111)의 예시된 물질 중에서 선택될 수 있다.

[73] 제2 절연층(112) 상에는 제2 도전층(130)이 배치될 수 있다. 제2 도전층(130)은 유지 커패시터(Cst)의 제2 전극(131)을 포함할 수 있다. 제2 도전층(130)의 물질은 상술한 제1 도전층(120)의 예시된 물질 중에서 선택될 수 있다. 유지 커패시터(Cst)의 제1 전극(122)과 유지 커패시터(Cst)의 제2 전극(131)은 제2 절연층(112)을 통해 커패시터를 형성할 수 있다.

- [74] 제2 도전층(130) 상에는 제3 절연층(113)이 배치될 수 있다. 제3 절연층(113)은 상술한 제1 절연층(111)의 예시된 물질을 포함할 수 있다.
- [75] 제3 절연층(113) 상에는 제3 도전층(140)이 배치될 수 있다. 제3 도전층(140)은 소스 전극(141), 드레인 전극(142), 전원 전압 전극(143) 및 제2 패드 전극(144)을 포함할 수 있다. 제3 도전층(140)은 상술한 제1 도전층(120)의 예시 물질을 포함할 수 있다. 제3 도전층(140)은 상기 예시된 물질로 이루어진 단일막일 수 있다. 이에 제한되지 않고 제3 도전층(140)은 적층막일 수 있다. 예를 들어, 제3 도전층(140)은 Ti/Al/Ti, Mo/Al/Mo, Mo/AlGe/Mo, Ti/Cu 등의 적층 구조로 형성될 수 있다.
- [76] 제2 패드 전극(144)은 두께 방향으로 대응되는 제1 패드 전극(123) 상면에 배치될 수 있다. 두께 방향으로 중첩되는 제1 패드 전극(123)과 제2 패드 전극(144)은 패널 패드 단자(P_PE) 및 더미 패드 단자(D_PE)를 구성할 수 있다. 제2 패드 전극(144)의 제2 방향(DR2) 폭은 제1 패드 전극(123)의 제2 방향(DR2) 폭보다 작을 수 있다. 제1 패드 전극(123)의 적어도 일 측면은 제2 패드 전극(144)의 적어도 일 측면에 비해 외측으로 돌출될 수 있다. 패널 패드 단자(P_PE) 및 더미 패드 단자(D_PE)에 대해서는 후술하기로 한다.
- [77] 한편, 상술한 바와 같이 제2 도전층(130) 상에는 제3 절연층(113)이 배치되는데, 패널 패드 영역(P_PA)에서 제3 절연층(113)을 포함한 제2 도전층(130) 상부에 배치되는 구조들은 생략되거나 제거될 수 있다. 이로 인해, 상기 생략되거나 제거된 구조들은 패널 패드 영역(P_PA)에 배치된 패널 패드 단자(P_PE)와 더미 패드 단자(D_PE)를 노출할 수 있다.
- [78] 후술하는 바와 같이 제1 리드 단자(LE1)는 노출된 패널 패드 단자(P_PE)와 결합하고, 더미 리드 단자(D_LE)는 노출된 더미 패드 단자(D_PE)와 결합할 수 있다. 일 실시예에서 제1 리드 단자(LE1)는 초음파 본딩을 통해 제1 리드 단자(LE1)와 패널 패드 단자(P_PE) 사이에 임의의 구성이나 층을 개재하지 않고 패널 패드 단자(P_PE)와 직접 결합될 수 있다. 더미 리드 단자(D_LE) 역시, 초음파 본딩을 통해 더미 패드 단자(D_PE)와 더미 리드 단자(D_LE) 사이에 임의의 구성이나 층을 개재하지 않고 더미 패드 단자(D_PE)와 직접 결합될 수 있다.
- [79] 제3 도전층(140) 상에는 제1 비아층(151)이 배치될 수 있다. 제1 비아층(151)은 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리아이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly phenylenethers resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin) 또는 벤조사이클로부텐(benzocyclobutene, BCB) 등의 유기 절연 물질을 포함할 수 있다.
- [80] 제1 비아층(151) 상에는 제4 도전층(160)이 배치될 수 있다. 제4 도전층(160)은 전원 전압 라인(161, 163), 연결 전극(162)을 포함할 수 있다. 전원 전압

라인(161)은 제1 비아층(151)을 관통하는 컨택홀을 통해 박막 트랜지스터(TFT)의 소스 전극(141)과 전기적으로 연결될 수 있다. 연결 전극(162)은 제1 비아층(151)을 관통하는 컨택홀을 통해 박막 트랜지스터(TFT)의 드레인 전극(142)과 전기적으로 연결될 수 있다. 전원 전압 라인(163)은 제1 비아층(151)을 관통하는 컨택홀을 통해 전원 전압 전극(143)과 전기적으로 연결될 수 있다.

- [81] 제4 도전층(160)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 칼슘(Ca), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 몰리브덴(Mo) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제4 도전층(160)이 단일막일 수 있지만, 이에 제한되는 것은 아니고, 다층막으로 이루어질 수도 있다. 예를 들어, 제4 도전층(160)은 Ti/Al/Ti, Mo/Al/Mo, Mo/AlGe/Mo, Ti/Cu 등의 적층 구조로 형성될 수 있다.
- [82] 제4 도전층(160) 상에는 제2 비아층(152)이 배치된다. 제2 비아층(152)은 상술한 제1 비아층(151)의 예시된 물질을 포함할 수 있다. 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리아미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(polyphenylenethers resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin) 또는 벤조사이클로부텐(benzocyclobutene, BCB) 등의 유기 절연 물질을 포함할 수 있다.
- [83] 제2 비아층(152) 상에는 애노드 전극(ANO)이 배치된다. 애노드 전극(ANO)은 제2 비아층(152)을 관통하는 컨택홀을 통해 연결 전극(162)과 전기적으로 연결될 수 있다.
- [84] 애노드 전극(ANO) 상에는 화소 정의막(PDL)이 배치될 수 있다. 화소 정의막(PDL)은 애노드 전극(ANO)을 노출하는 개구부를 포함할 수 있다. 화소 정의막(PDL)은 유기 절연 물질 또는 무기 절연 물질로 이루어질 수 있다. 일 실시예로, 화소 정의막(PDL)은 포토 레지스트, 폴리아미드계 수지, 아크릴계 수지, 실리콘 화합물, 폴리아크릴계 수지 등의 재료를 포함할 수 있다.
- [85] 애노드 전극(ANO) 상면 및 화소 정의막(PDL)의 개구부 내에는 유기층(EL)이 배치될 수 있다. 유기층(EL)과 화소 정의막(PDL) 상에는 캐소드 전극(CAT)이 배치된다. 캐소드 전극(CAT)은 복수의 화소에 걸쳐 배치된 공통 전극일 수 있다.
- [86] 캐소드 전극(CAT) 상에는 박막 봉지층(170)이 배치된다. 박막 봉지층(170)은 유기 발광 소자(OLED)를 덮을 수 있다. 박막 봉지층(170)은 무기막과 유기막이 교대로 적층된 적층막일 수 있다. 예컨대, 박막 봉지층(170)은 순차 적층된 제1 무기막(171), 유기막(172), 및 제2 무기막(173)을 포함할 수 있다.
- [87] 상술한 패널 패드 영역(P_PA)에는 패널 패드 단자(P_PE) 및 더미 패드 단자(D_PE)가 배치될 수 있다. 패널 패드 단자(P_PE)는 제1 패드 전극(123) 상에 제2 패드 전극(144)이 적층된 구조를 가질 수 있다.

- [88] 또한, 패널 패드 단자(P_PE)는 하나의 제1 패드 전극(123) 및 제2 패드 전극(144)로 형성될 수 있다. 패널 패드 전극(P_PE)의 평면 형상은 평면 시점에서 외측으로 돌출되는 프로파일을 따라 정해질 수 있다.
- [89] 일 실시예에서는 제1 패드 전극(123) 및 제2 패드 전극(144)은 모두 측면이 테이퍼(taper)진 형상을 가지고, 제2 패드 전극(144)과 제1 패드 전극(123)의 측면이 정렬될 수 있다. 이 경우, 패널 패드 단자(P_PE)의 평면 형상은 제1 패드 전극(123)의 하면이 제2 패드 전극(144)의 하면에 비해 외측으로 돌출되어, 제1 패드 전극(123)의 외측 프로파일에 의해 정해질 수 있다.
- [90] 다만, 이에 제한되지는 않고, 제1 패드 전극(123) 및 제2 패드 전극(144)의 측면이 테이퍼진 형상이 아닐 수 있고, 제2 패드 전극(144)의 측면이 제1 패드 전극(123)의 측면보다 내측에 위치하거나 제2 패드 전극(144)의 측면이 제1 패드 전극(123)의 측면보다 외측으로 돌출하여 위치할 수도 있다. 이 경우, 패널 패드 전극(P_PE)의 평면 형상은 평면 시점에서 외측으로 돌출되는 프로파일을 따라 정해지기 때문에 그 평면 형상도 다양하게 변형될 수 있다.
- [91] 다만, 이에 제한되지 않고 패널 패드 단자(P_PE)의 적층 구조 및 형상은 또 다르게 변형될 수 있다. 일례로, 제1 패드 전극(123)은 복수의 패턴을 포함하고, 제1 패드 전극(123) 상에 배치되는 제2 패드 전극(144)은 상기 패턴의 단차를 반영하여 표면 요철을 가질 수 있다.
- [92] 다른예로, 제1 패드 전극(123)과 제2 패드 전극(144) 사이에 제2 절연층(112)이 연장되어 배치될 수 있다. 제2 절연층(112)은 복수의 컨택홀을 포함할 수 있다. 다르게 말하면, 제2 절연층(112)은 복수의 절연 패턴을 포함한다고도 볼 수 있다. 이 경우에도, 제2 절연층(112) 상에 배치되는 제2 패드 전극(144)은 제2 절연층의 상기 절연 패턴에 의한 표면 단차를 반영하여 표면 요철을 가질 수 있다.
- [93] 또 다른예로, 제1 패드 전극(123)과 제2 패드 전극(144) 사이에 제3 패드 전극을 더 포함할 수도 있다. 제3 패드 전극은 제2 도전층(130)에 포함될 수 있다.
- [94] 이외에도, 제1 패드 전극(123)은 제2 도전층(130)으로 구성될 수 있고, 제2 패드 전극(123)은 제4 도전층(160)으로 구성될 수도 있다.
- [95] 도 3에 도시된 바와 같이, 더미 패드 단자(D_PE)도 패널 패드 단자(P_PE)와 동일한 적층된 구조를 가질 수 있지만, 이에 제한되지 않고 더미 패드 전극(D_PE)은 제1 패드 전극(123)으로만 형성될 수 있고, 제2 패드 전극(144)으로만 형성될 수도 있다.
- [96] 상술한 바와 같이, 표시 패널(100)의 패널 패드 영역(P_PA) 상에는 제1 회로 기관(300)이 배치될 수 있다. 제1 회로 기관(300)의 일단은 패널 패드 영역(P_PA)에 부착되고 베이스 기관(101)의 일 측면을 감싸듯이 벤딩되어 제1 회로 기관(300)의 타단은 패널 하부 시트(200)의 하면에 중첩 배치될 수 있다. 제1 회로 기관(300)은 베이스 필름(310)과 베이스 필름(310)의 일면 상에 배치되는 다양한 엘리먼트들을 포함할 수 있다.
- [97] 제1 회로 기관(300)의 타단은 제2 회로 기관(400)과 연결될 수 있다. 제2 회로

기관(400)은 패널 하부 시트(200)의 하면에 부착될 수 있다.

[98] 패널 패드 영역(P_PA) 및 회로 영역(CA)을 설명하기 위해 도 4 및 도 5가 참조된다.

[99] 도 4는 도 1의 제1 및 제2 회로 기관의 평면 배치도이고, 도 5는 도 1의 V-V'를 따라 자른 단면도이다.

[100] 도 4 및 도 5를 참조하면, 패널 패드 영역(P_PA) 상에 패널 패드 단자(P_PE), 더미 패드 단자(D_PE)가 배치될 수 있다. 표시 패널(100)은 패널 얼라인 마크(P_AM)를 더 포함할 수 있다. 패널 얼라인 마크(P_AM)는 패널 패드 영역(P_PA)에 배치된다. 표시 패널(100)은 패널 패드 단자(P_PE)와 표시 영역(DA)을 연결하는 제1 신호 배선(L1)을 더 포함할 수 있다.

[101] 또한, 제1 회로 영역(CA1) 상에 제1 리드 단자(LE), 제2 회로 영역(CA2) 상에 제2 리드 단자(LE2)가 배치될 수 있다. 제1 회로 기관(300)은 리드 얼라인 마크(L_AM)를 더 포함할 수 있다. 리드 얼라인 마크(L_AM)는 제1 회로 영역(CA)에 배치된다. 제1 회로 기관(300)은 제3 회로 영역(CA3)에 데이터 구동 집적 회로(390)를 더 포함할 수 있다. 제1 회로 기관(300)은 제1 리드 단자(LE1)와 데이터 구동 집적 회로(390)를 연결하는 제2 신호 배선(L2)과 단자(P_PE)와 제2 리드 단자(LE2)와 데이터 구동 집적 회로(390)를 연결하는 제3 신호 배선(L3)을 더 포함할 수 있다.

[102] 패널 패드 단자(P_PE)는 패널 패드 영역(P_PA)의 중심부에 배치될 수 있다. 패널 패드 단자(P_PE)는 제1 신호 배선(L1)을 통해 표시 영역(DA)에 배치된 적어도 하나의 트랜지스터(TR, 미도시)와 전기적으로 연결될 수 있다.

[103] 패널 패드 단자(P_PE)는 장변과 단변을 포함할 수 있다. 상기 장변은 제2 방향(DR2) 연장된 변이고, 상기 단변은 제1 방향(DR1) 연장된 변일 수 있으나, 제한되지 않는다. 패널 패드 단자(P_PE)의 평면 형상은 직사각형일 수 있으나, 이에 제한되지 않고, 정사각형일 수 있다.

[104] 패널 얼라인 마크(P_AM)는 패널 패드 단자(P_PE)를 사이에 두고 이격하여 배치되는 제1 패널 얼라인 마크(P_AM1)와 제2 패널 얼라인 마크(P_AM2)를 포함할 수 있다.

[105] 패널 얼라인 마크(P_AM)는 패널 패드 단자(P_PE)의 양 측에 각각 배치되고, 패널 패드 단자(P_PE)를 표식할 수 있다. 또한, 패널 얼라인 마크(P_AM)는 리드 얼라인 마크(L_AM)와 두께 방향으로 중첩 배치될 수 있다. 패널 얼라인 마크(P_AM)는 리드 얼라인 마크(L_AM)와 함께 패널 패드 단자(P_PE)와 제1 리드 단자(LE1)가 두께 방향으로 대응되도록 얼라인(align) 시킬 수 있다.

[106] 패널 얼라인 마크(P_AM)는 패널 패드 단자(P_PE)와 동일 또는 유사한 적층 구조를 가질 수 있다. 다만, 이에 제한되지 않고 패널 얼라인 마크(P_AM)는 제1 패드 전극(123)으로만 형성될 수 있고, 제2 패드 전극(144)으로만 형성될 수도 있다. 또한, 패널 얼라인 마크(P_AM)는 제1 패드 전극(123) 및 제2 패드 전극(144)과 상이한 도전 물질로도 이루어질 수 있다.

- [107] 도면에서, 패널 얼라인 마크(P_AM)는 제1 방향(DR1)으로 연장되는 기준면과 상기 기준면에서 제2 방향(DR2)으로 돌출된 돌출면을 포함한 형상을 가지는 것으로 도시되었지만, 이에 제한되지 않고 패널 얼라인 마크(P_AM)는 다양한 형상을 가질 수 있다.
- [108] 패널 얼라인 마크(P_AM)는 패널 패드 단자(P_PE)와 달리, 표시 영역(DA)에 배치된 적어도 하나의 트랜지스터(TR)와 전기적으로 연결되지 않는다. 즉, 패널 얼라인 마크(P_AM)는 플로팅(floating)될 수 있다.
- [109] 도면에서는 각각 하나의 제1 및 제2 패널 얼라인 마크(P_AM1, P_AM2)가 도시되었지만, 이에 제한되지 않고 제1 및 제2 패널 얼라인 마크(P_AM1, P_AM2)는 2개 이상일 수 있다.
- [110] 더미 패드 단자(D_PE)는 베이스 기관(101)의 장변(베이스 기관(101)의 테두리)에 인접하여 배치될 수 있다. 더미 패드 단자(D_PE)는 패널 얼라인 마크(P_AM)를 사이에 두고 패널 패드 단자(P_PE)와 이격되어 배치될 수 있다.
- [111] 더미 패드 단자(D_PE)는 상술한 패널 패드 단자(P_PE)와 실질적으로 평면 형상이 동일할 수 있으나, 이에 제한되지 않는다.
- [112] 도면에서는 각각 세 개의 제1 및 제2 더미 패드 단자(D_PE1, D_PE2)가 도시되었지만, 이에 제한되지 않고 제1 및 제2 더미 패드 단자(D_PE1, D_PE2)는 2개, 또는 4개 이상일 수 있다.
- [113] 더미 패드 단자(D_PE)는 패널 패드 단자(P_PE)와 달리, 표시 영역(DA)에 배치된 적어도 하나의 트랜지스터(TR)와 전기적으로 연결되지 않는다. 즉, 더미 패드 단자(D_PE)는 플로팅(floating)될 수 있다.
- [114] 제1 리드 단자(LE1)는 제1 회로 영역(CA1)의 중심부에 배치될 수 있다. 제1 리드 단자(LE1)는 제2 신호 배선(L2)을 통해 데이터 구동 집적 회로(390)와 전기적으로 연결될 수 있다.
- [115] 제1 리드 단자(LE1)는 금속 물질을 포함할 수 있다. 제1 리드 단자(LE1)는 각각 몰리브덴(Mo), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 칼슘(Ca), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제1 리드 단자(LE1)는 상기 예시된 물질로 이루어진 단일막 또는 적층막일 수 있다. 일 실시예에서 제1 리드 단자(LE1)가 포함하는 물질은 제1 리드 단자(LE1)와 결합되는 패널 패드 단자(P_PE)가 포함하는 물질과 상이할 수 있다. 예를 들어, 제1 리드 단자(LE1)는 은(Ag), 금(Au) 또는 구리(Cu)를 포함하고, 패널 패드 단자(P_PE)는 Ti/Al/Ti, Mo/Al/Mo, Mo/AlGe/Mo, Ti/Cu를 포함할 수 있다.
- [116] 제2 리드 단자(LE2)는 제2 회로 영역(CA2)의 중심부에 배치될 수 있다. 제2 리드 단자(LE2)는 제3 신호 배선(L3)을 통해 데이터 구동 집적 회로(390)와 전기적으로 연결될 수 있다.
- [117] 제2 리드 단자(LE2)는 상술한 제1 리드 단자(LE1)로서 예시된 물질을 포함하여 이루어질 수 있다.

- [118] 제1 및 제2 리드 단자(LE1, LE2)는 상술한 패널 패드 단자(P_PE)와 실질적으로 동일한 평면 형상을 가질 수 있다. 다만, 리드 단자(LE1, LE2)의 평면상 크기는 패널 패드 단자(P_PE)의 평면상 크기보다 작을 수 있다.
- [119] 리드 얼라인 마크(L_AM)는 제1 내지 제4 리드 얼라인 마크(L_AM1-L_AM4)를 포함할 수 있다. 제1 및 제2 리드 얼라인 마크(L_AM1, L_AM2)는 제1 리드 단자(LE1)를 사이에 두고 이격하여 배치될 수 있다. 제3 및 제4 리드 얼라인 마크(L_AM3, L_AM4)는 제2 리드 단자(LE2)를 사이에 두고 이격하여 배치될 수 있다.
- [120] 제1 및 제2 리드 얼라인 마크(L_AM1, L_AM2)는 제1 리드 단자(LE1)의 양 측에 각각 배치되고, 제1 리드 단자(LE1)를 표식할 수 있다. 또한, 제1 및 제2 리드 얼라인 마크(L_AM1, L_AM2)는 상술한 바와 같이 패널 얼라인 마크(P_AM)와 두께 방향으로 중첩 배치되고, 제1 리드 단자(LE1)를 패널 패드 단자(P_PE)와 두께 방향으로 대응되도록 얼라인(align) 시킬 수 있다.
- [121] 제3 및 제4 리드 얼라인 마크(L_AM3, L_AM4)는 제2 리드 단자(LE2)의 양 측에 각각 배치되고, 제2 리드 단자(LE2)를 표식할 수 있다.
- [122] 리드 얼라인 마크(L_AM)는 제1 리드 단자(LE1)와 동일 또는 유사한 적층 구조를 가지고, 동일한 물질로 이루어질 수 있다.
- [123] 도면에서, 리드 얼라인 마크(L_AM)는 상술한 패널 얼라인 마크(P_AM)와 동일한 형상을 가질 수 있다.
- [124] 다만, 이에 제한되지 않고 리드 얼라인 마크(L_AM)는 패널 얼라인 마크(P_AM)와 상이한 형상일 가질 수 있다. 다만 이 경우에도 리드 얼라인 마크(L_AM)는 패널 얼라인 마크(P_AM)와 얼라인되기 위한 형상을 가질 수 있다. 예를 들어, 리드 얼라인 마크(L_AM)는 패널 얼라인 마크(P_AM)의 적어도 한 변과 두께 방향으로 정렬되도록 그 형상을 가질 수 있다.
- [125] 도면에서는 각각 하나의 제1 내지 제4 리드 얼라인 마크(L_AM1-L_AM4)가 도시되었지만, 이에 제한되지 않고 2개 이상일 수 있다.
- [126] 리드 얼라인 마크(L_AM)는 리드 단자(LE)와 달리, 데이터 구동 집적 회로(390)와 전기적으로 연결되지 않는다. 즉, 리드 얼라인 마크(L_AM)는 플로팅(floating)될 수 있다.
- [127] 더미 리드 단자(D_LE)는 베이스 기관(101)의 장변(베이스 기관(101)의 테두리)에 인접하여 배치될 수 있다. 더미 리드 단자(D_LE)는 제1 리드 얼라인 마크(L_AM1)와 베이스 기관(101)의 일 장변 사이에 배치된 제1 더미 리드 단자(D_LE1) 및 제2 리드 얼라인 마크(L_AM2)와 베이스 기관(101)의 타 장변 사이에 배치된 제2 더미 리드 단자(D_LE2)를 포함할 수 있다. 더미 리드 단자(D_LE)는 리드 얼라인 마크(L_AM)를 사이에 두고 제1 리드 단자(LE1)와 이격되어 배치될 수 있다.
- [128] 더미 리드 단자(D_LE)는 상술한 리드 단자(LE)와 실질적으로 평면 형상이 동일할 수 있으나, 이에 제한되지 않는다.

- [129] 도면에서는 각각 세 개의 제1 및 제2 더미 리드 단자(D_LE1, D_LE2)가 도시되었지만, 이에 제한되지 않고 제1 및 제2 더미 리드 단자(D_LE1, D_LE2)는 2개, 또는 4개 이상일 수 있다.
- [130] 더미 리드 단자(D_LE)는 제1 리드 단자(LE1)와 달리, 데이터 구동 집적 회로(390)와 전기적으로 연결되지 않는다. 즉, 더미 리드 단자(D_LE)는 플로팅(floating)될 수 있다.
- [131] 도 5를 참조하면, 상술한 바와 같이 제1 리드 단자(LE1)는 제1 회로 기관(300)의 중심부에서 패널 패드 단자(P_PE) 사이에 임의의 구성이나 층을 개재하지 않고 패널 패드 단자(P_PE)와 직접 결합될 수 있다.
- [132] 더미 리드 단자(D_LE1, D_LE2)는 제1 회로 기관(300)의 테두리부에서 더미 패드 단자(D_PE1, D_PE2)와 임의의 구성이나 층을 개재하지 않고 더미 패드 단자(D_PE1, D_PE2)와 직접 결합될 수 있다.
- [133] 나아가, 리드 얼라인 마크(L_AM1, L_AM2)는 더미 리드 단자(D_LE1, D_LE2)와 제1 리드 단자(LE1) 사이 영역부에서 패널 얼라인 마크(P_AM1, P_AM2)와 임의의 구성이나 층을 개재하지 않고 직접 결합할 수 있다.
- [134] 패널 패드 단자(P_PE)와 제1 리드 단자(LE1), 더미 리드 단자(D_LE1, D_LE2), 더미 패드 단자(D_PE1, D_PE2)는 초음파 본딩으로써 직접 결합될 수 있다.
- [135] 도 2를 다시 참조하면, 상기 초음파 본딩은 초음파 장치(500)를 통해 수행될 수 있다.
- [136] 도 2에 도시된 바와 같이, 초음파 장치(500)는 진동 생성부(510), 진동 생성부(510)와 연결된 진동부(520), 진동부(520)의 진동폭을 증폭시키는 가압부(530), 진동부(520)와 연결된 진동 전달부(540)를 포함할 수 있다.
- [137] 진동 생성부(510)는 전기적 에너지를 진동 에너지로 변환할 수 있다. 진동부(520)는 진동 생성부(510)에서 변환된 진동 에너지로 진동할 수 있다. 진동부(520)는 일정한 진동 방향을 갖고 소정의 진폭을 가지며 진동할 수 있다. 진동부(520)는 진동부(520)와 연결된 가압부(530)를 통해 상기 진동 방향과 나란한 방향으로 상기 진폭이 증폭될 수 있다. 진동 전달부(540)는 진동부(520)의 진동을 초음파 본딩 대상체에 전달할 수 있다. 지지부(550)는 진동부(520)의 상면과 하면을 고정하여 상기 진동으로 진동부(520) 및 진동 전달부(540)가 상하로 유동하는 것을 억제할 수 있다.
- [138] 일 실시예에서, 초음파 장치(500)는 제1 회로 기관(300)의 타면과 접촉하며 하부로 일정한 가압 상태를 유지하여 진동 전달부(540)가 효율적으로 상기 진동을 제1 회로 기관(300)에 전달되도록 한다. 이 때, 초음파 장치(500)의 진동 전달부(540)는 도 5에 도시된 바와 같이, 하부에 배치된 제1 회로 기관(300)의 전 영역과 중첩하면서 초음파 본딩할 수 있다.
- [139] 초음파 장치(500)는 소정의 진동 방향으로 진동하면서, 제1 리드 단자(LE1)를 상기 진동 방향으로 진동시킬 수 있다. 다만, 이 경우 패널 패드 단자(P_PE)는 상기 제1 리드 단자(LE1)를 통해 전달되는 진동으로 미미하게 상기 진동

방향으로 진동할 수 있으나, 그 진동하는 쪽은 미미할 수 있다. 따라서 진동 전달부(540)의 상기 진동 방향으로의 진동폭은 실질적으로 제1 리드 단자(LE1)가 패널 패드 단자(P_PE) 상에서 상기 진동 방향으로 이동한 거리와 동일하다고 볼 수 있다. 일 실시예에서 상기 진동 방향은 제2 방향(DR2)일 수 있다. 즉, 상기 진동 방향은 패널 패드 단자(P_PE)와 제1 리드 단자(LE1)의 장변이 연장하는 방향일 수 있다.

- [140] 패널 패드 단자(P_PE)의 일면 상에서 제1 리드 단자(LE1)를 초음파 진동시키면 패널 패드 단자(P_PE)의 일면과 제1 리드 단자(LE1)의 일면의 계면에서 소정의 마찰력이 발생하고, 상기 마찰력으로 인해 마찰열이 발생할 수 있다. 상기 마찰열이 패널 패드 단자(P_PE)와 제1 리드 단자(LE1)를 이루는 물질을 녹일 정도로 충분하면, 패널 패드 단자(P_PE)의 제1 리드 단자(LE1)와 인접한 패널 용융 영역(144b)과 제1 리드 단자(LE1)의 패널 패드 단자(P_PE)와 인접한 리드 용융 영역(LE1b)은 용융될 수 있다. 즉, 패널 패드 단자(P_PE)는 패널 비용융 영역(144a)과 패널 용융 영역(144b)을 포함할 수 있다. 또한, 제1 리드 단자(L_PE)는 리드 비용융 영역(LE1a)과 리드 용융 영역(LE1b)을 포함할 수 있다.
- [141] 패널 비용융 영역(144a)은 패널 패드 단자(P_PE)가 포함하는 물질만을 포함하는 영역일 수 있다. 리드 비용융 영역(LE1a)은 제1 리드 단자(LE1)가 포함하는 물질만을 포함하는 영역일 수 있다.
- [142] 패널 용융 영역(144b)은 제1 리드 단자(LE1)가 포함하는 물질이 확산되어 패널 패드 단자(P_PE)의 물질과 제1 리드 단자(LE1)의 물질이 섞여 있는 영역이고, 리드 용융 영역(LE1b)은 패널 패드 단자(P_PE)가 포함하는 물질이 확산되어 제1 리드 단자(LE1)의 물질과 패널 패드 단자(P_PE)의 물질이 섞여 있는 영역일 수 있다. 예를 들어, 제1 리드 단자(LE1)가 은(Ag), 금(Au) 또는 구리(Cu)를 포함하고, 패널 패드 단자(P_PE)가 Ti/Al/Ti를 포함하는 경우, 패널 용융 영역(144b)은 패널 패드 단자(P_PE)의 Ti 및/또는 Al과 제1 리드 단자(LE1)의 은(Ag), 금(Au) 또는 구리(Cu)가 섞여 있는 영역일 수 있다. 또한, 리드 용융 영역(LE1b)은 제1 리드 단자(LE1)의 은(Ag), 금(Au) 또는 구리(Cu)와 패널 패드 단자(P_PE)의 Ti 및/또는 Al이 섞여 있는 영역일 수 있다.
- [143] 패널 용융 영역(144b)과 리드 용융 영역(LE1b)에서 패널 패드 단자(P_PE)와 제1 리드 단자(LE1)는 응고를 거치면서 결합될 수 있다.
- [144] 패널 패드 단자(P_PE)와 제1 리드 단자(LE1)의 계면, 즉 패널 용융 영역(144b)과 리드 용융 영역(LE1b)의 계면은 비평탄한 형상을 가질 수 있다.
- [145] 상기 초음파 본딩에 관한 내용은 특별히 패널 패드 단자(P_PE) 및 제1 리드 단자(LE1)에 관련된 내용이 아닌 경우에는 더미 패드 단자(D_PE) 및 더미 리드 단자(D_LE), 나아가 패널 얼라이 마크(P_AM) 및 리드 얼라이 마크(L_AM)에 대해서도 동일하게 적용될 수 있다.
- [146] 다시 도 5를 참조하면, 패널 패드 단자(P_PE)는 제1 패드 두께(TP1), 제1 리드

단자(LE1)은 제1 리드 두께(TL1)를 가질 수 있다. 또한, 더미 패드 단자(D_PE)는 제2 패드 두께(TP2), 더미 리드 단자(D_LE)는 제2 리드 두께(TL2)를 가질 수 있다.

- [147] 이로 인해, 제1 회로 기관(300)의 중심부와 테두리부에서의 제1 절연층(111)과의 이격 거리는 실질적으로 동일하게 유지될 수 있다. 다시 말하면, 제1 회로 기관(300) 중심부에서 제1 회로 기관(300)의 일면과 제1 절연층(111)은 제1 이격 거리(D1)를 갖고, 테두리부에서 제1 회로 기관(300)의 일면과 제1 절연층(111)은 제2 이격 거리(D2)를 가질 수 있다.
- [148] 상술한 바와 같이, 제1 회로 기관(300)과 표시 패널(100)의 패널 패드 영역(P_PA) 간 초음파 본딩은 제1 회로 기관(300)의 전체와 이에 중첩하는 패널 패드 영역(P_PA) 간에 이루어질 수 있다. 초음파 본딩을 하는 경우, 초음파 장치(500)는 제1 회로 기관(300)의 전체에 가압을 하면서 제1 회로 기관(300)을 장변 방향으로 진동시킨다.
- [149] 다만, 제1 회로 기관(300)은 패드 단자(PE) 및 리드 단자(LE)가 배치되지 않고 두께 방향으로 대응하지 않는 영역(특히, 패널 패드 영역(P_PA)의 테두리부)에서 하부 제3 방향(DR3)을 향해 쳐질 수 있다. 초음파 장치(500)는 하부로 가압을 하기 때문에 제1 회로 기관(300)은 상기 영역에서 하부로 쳐지면 제1 회로 기관(300)의 중심부와 테두리부의 경계에서 상기 가압으로 인해 과도한 힘 및/또는 스트레스를 받아 상기 경계 주변 영역의 표면 모서리 부분이 무너지거나 변형될 수 있다. 일 실시예에 따른 더미 패드 전극(D_PE) 및 더미 리드 전극(D_LE)은 제1 회로 기관(300)의 테두리 영역에서 중첩 배치되고, 그 두께의 합이 패널 패드 전극(P_PE) 및 제1 리드 전극(LE1) 두께의 합과 동일하도록 형성되어, 제1 회로 기관(300)을 전체적으로 평탄하게 할 수 있다. 이로 인해, 초음파 본딩시 제1 회로 기관(300)의 특정 영역의 처짐 현상에 의해 특정 영역에 과도한 힘 및/또는 스트레스가 집중되는 현상을 방지하거나 적어도 완화시킬 수 있다.
- [150] 뿐만 아니라, 제1 회로 기관(300)의 테두리부에 서로 중첩하도록 더미 패드 전극(D_PE) 및 더미 리드 전극(D_LE)을 배치하고 초음파 본딩을 하면 제1 회로 기관(300)과 패널 패드 영역(P_PA) 간 결합력이 전체적으로 증가되어 본딩 신뢰성을 개선할 수 있게 된다.
- [151] 이하, 다른 실시예에 따른 표시 장치에 대해 설명한다. 이하의 실시예에서 이미 설명한 실시예와 동일한 구성에 대해서는 동일한 참조 부호로서 지칭하고, 그 설명을 생략하거나 간략화한다.
- [152] 도 6은 다른 실시예에 따른 하나의 패널 패드 단자 및 리드 단자가 본딩된 상태를 나타낸 평면도이다.
- [153] 도 7는 도 6의 VII-VII'을 따라 자른 단면도이다.
- [154] 도 6 및 도 7에 따른 다른 실시예는 제1 리드 단자(LE1)와 패널 패드 단자(P_PE), 더미 리드 단자(D_LE)와 더미 패드 단자(D_PE)를 초음파 본딩하는

경우, 패드 단자(P_PE, D_PE)는 리드 단자(LE1, D_LE)와 본딩되는 영역(BR)과 본딩되지 않는 영역(NBR)을 가질 수 있다. 또한, 더미 패드 단자(D_PE)는 더미 리드 단자(D_LE)와 본딩되는 영역(BR)과 본딩되지 않는 영역(BR)을 포함할 수 있다는 것을 예시한다. 이하에서는 더미 리드 단자(D_LE)와 더미 패드 단자(D_PE)를 중심으로 설명하지만, 제1 리드 단자(LE1)와 패널 패드 단자(P_PE) 간의 관계에 있어서도 동일한 내용이 적용될 수 있다.

- [155] 구체적으로 설명하면, 더미 리드 단자(D_LE)와 더미 패드 단자(D_PE)를 초음파 본딩하는 경우, 패드 단자(P_PE, D_PE)는 리드 단자(LE1, D_LE)와 본딩 영역(BR)과 비본딩 영역(NBR)을 가질 수 있다.
- [156] 본딩 영역(BR) 및 비본딩 영역(NBR)은 더미 리드 단자(D_LE)가 마찰한 더미 패드 단자(D_PE)의 일면의 영역일 수 있다. 본딩 영역(BR)은 도 7에 도시된 바와 같이 더미 리드 단자(D_LE)의 일면의 폭과 실질적으로 동일할 수 있다. 다만, 이에 제한되지 않고 본딩 영역(BR)은 더미 리드 단자(D_LE)의 일면보다 외측으로 더 돌출되어 더미 리드 단자(D_LE)의 폭보다 클 수 있다.
- [157] 비본딩 영역(NBR)은 본딩 영역(BR)의 양단과 인접한 영역으로서, 더미 리드 단자(D_LE)에 의해 마찰되나, 더미 리드 단자(D_LE) 및 또는 더미 패드 단자(D_PE)가 용융되지 않은 영역일 수 있다.
- [158] 초음파 본딩 공정 진행 중에, 더미 패드 단자(D_PE)의 본딩 영역(BR) 및 본딩 영역(BR)의 일면은 상부에서 제2 방향(DR2)으로 진동하는 더미 리드 단자(D_LE)에 의해 마찰되는데, 더미 패드 단자(D_PE)는 반복적으로 일정한 진동 방향으로 마찰을 받으면 적어도 일부 영역에 스크래치가 형성될 수 있다.
- [159] 본딩 영역(BR)의 상기 스크래치는 초음파 본딩 공정 진행되면서, 본딩 영역(BR)에서 일부 용융된 더미 리드 단자(D_LE) 및/또는 더미 패드 단자(D_PE)에 의해 적어도 메꾸어지거나 덮혀질 수 있다.
- [160] 다만, 비본딩 영역(NBR)의 스트레치(SC)는 초음파 본딩 공정 진행되더라도, 더미 리드 단자(D_LE) 및 더미 패드 단자(D_PE)가 서로 용융되지 않거나 적어도 결합될 정도로 충분히 용융되지 않아 메꾸어지지 않거나 덮이지 않을 수 있다. 이로 인해, 더미 패드 단자(D_PE)의 비본딩 영역(NBR)의 일면은 본딩 영역(BR)의 일면보다 스크래치(SC)가 더 많거나 그 수가 같더라도 두께 방향으로 파여진 정도가 클 수 있다. 따라서, 더미 패드 단자(D_PE)의 비본딩 영역(NBR)의 일면의 표면 거칠기(R1)는 본딩 영역(BR)의 일면의 표면 거칠기(R2)보다 클 수 있다.
- [161] 도 8은 다른 실시예에 따른 제1 및 제2 회로 기판의 평면 배치도이고, 도 9는 다른 실시예에 따른 표시 패널의 단면도이다.
- [162] 도 8 및 도 9를 참조하면, 본 실시예에 따른 표시 장치(2)는 더미 패드 단자(D_PE_1) 및 더미 리드 단자(D_LE_1)가 통 패턴 형상을 가진다는 점에서 일 실시예에 따른 표시 장치(1)와 차이가 있다.
- [163] 더욱 구체적으로 설명하면, 더미 패드 단자(D_PE_1) 및 더미 리드

단자(D_LE_1)가 통 패턴 형상을 가질 수 있다. 더미 패드 단자(D_PE_1) 및 더미 리드 단자(D_LE_1)를 포함하는 도전층은 포토 레지스트 공정을 통해 복수의 더미 패드 단자(D_PE_1) 및 더미 리드 단자(D_LE_1)가 형성될 수 있는데, 더미 패드 단자(D_PE_1) 및 더미 리드 단자(D_LE_1)가 통 패턴 형상을 가지면, 이러한 추가적인 공정이 불필요하여 공정 단순화를 꾀할 수 있다.

[164] 나아가, 더미 패드 단자(D_PE_1) 및 더미 리드 단자(D_LE_1)가 통 패턴 형상을 가지면, 더미 패드 단자(D_PE_1) 및 더미 리드 단자(D_LE_1)의 초음파 본딩시 접촉 면적이 넓어져 해당 영역에서 결합력이 패턴화된 단자를 가질 때보다 증가할 수 있다.

[165] 도 10은 또 다른 실시예에 따른 제1 및 제2 회로 기판의 평면 배치도이고, 도 11은 또 다른 실시예에 따른 표시 패널의 단면도이다.

[166] 도 10 및 도 11을 참조하면, 본 실시예에 따른 표시 장치(3)는 더미 패드 단자(D_PE_2) 및 더미 리드 단자(D_LE_2)가 제2 방향(DR2)으로 장변, 제1 방향(DR1)으로 단변을 가진다는 점에서 일 실시예와 차이가 있다.

[167] 더욱 구체적으로 설명하면, 본 실시예에 따른 표시 장치(3)는 더미 패드 단자(D_PE_2) 및 더미 리드 단자(D_LE_2)는 제2 방향(DR2)으로 장변, 제1 방향(DR1)으로 단변을 가질 수 있다.

[168] 나아가, 본 실시예에 따른 더미 패드 단자(D_PE_2)는 패널 얼라인 마크(P_AM)와 제1 방향(DR1) 중첩하는 제1 서브 패널 단자(D_PE1_2a), 패널 얼라인 마크(P_AM)와 제2 방향(DR2) 중첩하는 제2 및 제3 서브 패널 단자(D_PE_2b, D_PE1_2c)를 포함할 수 있다. 도면에서 제1 서브 패널 단자(D_PE1_2a)는 하나만 배치됨이 도시되었지만 이에 제한되지 않고 제1 서브 패널 단자(D_PE1_2a)는 제2 방향(DR2)으로 서로 분리된 복수의 제1 서브 패널 단자(D_PE1_2a)를 가질 수 있다.

[169] 마찬가지로, 더미 리드 단자(D_LE_2)는 리드 얼라인 마크(L_AM)와 제1 방향(DR1) 중첩하는 제1 서브 더미 리드 단자(D_LE1_2a), 리드 얼라인 마크(L_AM)와 제2 방향(DR2) 중첩하는 제2 및 제3 서브 더미 리드 단자(D_LE_2b, D_LE1_2c)를 포함할 수 있다. 도면에서 제1 서브 더미 리드 단자(D_LE1a_2)는 하나만 배치됨이 도시되었지만 이에 제한되지 않고 제1 서브 더미 리드 단자(D_LE1a_2)는 제2 방향(DR2)으로 서로 분리된 복수의 제1 서브 더미 리드 단자(D_LE1a_2)를 가질 수 있다.

[170] 본 실시예에 따른 더미 패드 단자(D_PE_2) 및 더미 리드 단자(D_LE_2)는 베이스 기판(101)의 테두리 영역에서 표시 패널(100_2)과 제1 회로 기판(200_2)의 결합력이 증가될 뿐만 아니라, 패널 및 리드 얼라이먼트 마크(P_AM, L_AM)와 제2 방향(DR2) 중첩하는 영역에서도 표시 패널(100_2)과 제1 회로 기판(200_2)의 결합력이 증가될 수 있다.

[171] 도 12는 또 다른 실시예에 따른 제1 및 제2 회로 기판의 평면 배치도이고, 도 13은 또 다른 실시예에 따른 표시 패널의 단면도이다.

- [172] 도 12 및 도 13을 참조하면, 본 실시예에 따른 표시 장치(4)는 패널 얼라인 마크(P_AM)와 더미 패드 단자(D_PE), 리드 얼라인 마크(L_AM)와 더미 리드 단자(D_LE)의 위치가 교환되었다는 점에서 일 실시예에 따른 표시 장치(1)와 차이가 있다.
- [173] 더욱 구체적으로 설명하면, 본 실시예에 따른 패널 얼라인 마크(P_AM)는 베이스 기판(101)의 테두리 영역에 위치하고, 더미 패드 단자(D_PE)는 패널 얼라인 마크(P_AM) 및 패널 패드 단자(P_PE) 사이에 배치될 수 있다.
- [174] 마찬가지로, 리드 얼라인 마크(L_AM)는 베이스 기판(101)의 테두리 영역에 위치하고, 더미 리드 단자(D_LE)는 리드 얼라인 마크(L_AM) 및 제1 리드 단자(LE1) 사이에 배치될 수 있다.
- [175] 본 실시예에 따르면, 더미 패드 단자(D_PE)는 패널 패드 단자(P_PE)와 인접하여 배치되고, 더미 리드 단자(D_LE)는 제1 리드 단자(LE1)와 인접하여 배치될 수 있다.
- [176] 도 14는 또 다른 실시예에 따른 제1 및 제2 회로 기판의 평면 배치도이고, 도 15는 또 다른 실시예에 따른 표시 패널의 단면도이다.
- [177] 도 14 및 도 15를 참조하면, 본 실시예에 따른 표시 장치(5)는 패널 얼라인 마크(P_AM)와 제2 방향(DR2) 중첩되고, 제2 방향(DR2) 장변을 갖는 더미 패드 단자(D_PE_4)를 패널 얼라인 마크(P_AM)의 제2 방향(DR2) 상부 및/또는 하부에 배치하고, 리드 얼라인 마크(L_AM)와 제2 방향(DR2) 중첩되고, 제2 방향(DR2) 장변을 갖는 더미 리드 단자(D_LE_4)를 리드 얼라인 마크(L_AM)의 제2 방향(DR2) 상부 및/또는 하부에 배치하였다는 점에서, 일 실시예에 따른 표시 장치(1)와 차이가 있다.
- [178] 더욱 구체적으로 설명하면, 본 실시예에 따른 더미 패드 단자(D_PE_4)는 일 실시예에 따른 더미 패드 단자(D_PE) 뿐만 아니라, 패널 얼라인 마크(P_AM)와 제2 방향(DR2) 중첩되고, 제2 방향(DR2) 장변을 갖고, 패널 얼라인 마크(P_AM)의 제2 방향(DR2) 상부 및/또는 하부에 배치된 더미 패드 단자(D_PE_4a, D_PE_4b)를 더 포함할 수 있다.
- [179] 마찬가지로, 더미 리드 단자(D_LE_4)는 일 실시예에 따른 더미 리드 단자(D_LE) 뿐만 아니라, 리드 얼라인 마크(L_AM)와 제2 방향(DR2) 중첩되고, 제2 방향(DR2) 장변을 갖고, 리드 얼라인 마크(L_AM)의 제2 방향(DR2) 상부 및/또는 하부에 배치된 더미 리드 단자(D_LE_4a, D_LE_4b)를 더 포함할 수 있다.
- [180] 도 16은 또 다른 실시예에 따른 제1 및 제2 회로 기판의 평면 배치도이고, 도 17은 또 다른 실시예에 따른 표시 장치의 단면도이다.
- [181] 도 16 및 도 17을 참조하면, 본 실시예에 따른 제1 회로 기판(300_5)은 제2 회로 영역(CA2)에 더미 리드 단자(D_LE3, D_LE4)를 더 포함하고, 제2 회로 기판(400_1)은 베이스 회로 기판(310)의 일면에 회로 얼라인 마크(C_AM) 및 더미 회로 패드 단자(D_C_PE)를 더 포함한다는 점에서 일 실시예에 따른 표시 장치와(1) 차이가 있다.

- [182] 제3 더미 리드 단자(D_LE3) 및 제4 더미 리드 단자(D_LE4)의 형상 및 재질은 일 실시예에 따른 더미 리드 단자(D_LE1)와 실질적으로 동일하다.
- [183] 회로 패드 단자(C_PE)는 패널 패드 단자(P_PE)의 예시된 물질 중에서 선택될 수 있다.
- [184] 회로 패드 단자(C_PE)는 회로 패드 영역(C_PA)의 중심부에 배치될 수 있다. 미도시되었지만, 회로 패드 단자(C_PE)는 제2 회로 기관(400_1)이 포함하는 제어부와 전기적으로 연결될 수 있다.
- [185] 회로 패드 단자(C_PE)는 상술한 패널 패드 단자(P_PE)와 실질적으로 동일한 평면 형상을 가질 수 있다. 다만, 리드 단자(LE1, LE2)의 평면상 크기는 회로 패드 단자(C_PE)의 평면상 크기보다 작을 수 있다.
- [186] 회로 얼라인 마크(C_AM)는 제1 및 제2 회로 얼라인 마크(C_AM)를 포함할 수 있다. 회로 얼라인 마크(C_AM)는 회로 패드 단자(C_PE)를 사이에 두고 이격하여 배치될 수 있다.
- [187] 회로 얼라인 마크(C_AM)는 회로 패드 단자(C_PE)의 양 측에 각각 배치되고, 회로 패드 단자(C_PE)를 표식할 수 있다. 또한, 회로 얼라인 마크(C_AM)는 리드 얼라인 마크(L_AM)와 두께 방향으로 중첩 배치되고, 제2 리드 단자(LE2)를 회로 패드 단자(C_PE)와 두께 방향으로 대응되도록 얼라인(align) 시킬 수 있다.
- [188] 회로 얼라인 마크(C_AM)는 회로 패드 단자(C_PE)와 동일 또는 유사한 적층 구조를 가지고, 동일한 물질로 이루어질 수 있다.
- [189] 도면에서, 회로 얼라인 마크(C_AM)는 상술한 리드 얼라인 마크(L_AM)와 동일한 형상을 가질 수 있다. 다만, 이에 제한되지 않고 회로 얼라인 마크(C_AM)는 리드 얼라인 마크(L_AM)와 상이한 형상일 가질 수 있다. 다만 이 경우에도 회로 얼라인 마크(C_AM)는 리드 얼라인 마크(L_AM)와 얼라인되기 위한 형상을 가질 수 있다.
- [190] 도면에서는 각각 하나의 제1 및 제2 회로 얼라인 마크(C_AM1- C_AM2)가 도시되었지만, 이에 제한되지 않고 2개 이상일 수 있다.
- [191] 회로 얼라인 마크(C_AM)는 회로 패드 단자(C_PE)와 달리, 플로팅(floating)될 수 있다.
- [192] 더미 회로 패드 단자(D_C_PE)는 회로 베이스 기관(410)의 장변(회로 베이스 기관(410)의 테두리)에 인접하여 배치될 수 있다. 더미 회로 패드 단자(D_C_PE)는 제1 회로 얼라인 마크(C_AM1)와 회로 베이스 기관(410)의 일 장변 사이에 배치된 제1 더미 회로 패드 단자(D_C_PE1) 및 제2 회로 얼라인 마크(C_AM2)와 회로 베이스 기관(410)의 타 장변 사이에 배치된 제2 더미 회로 패드 단자(D_C_PE2)를 포함할 수 있다. 더미 회로 패드 단자(D_C_PE)는 회로 얼라인 마크(C_AM)를 사이에 두고 회로 패드 단자(C_PE)와 이격되어 배치될 수 있다.
- [193] 더미 회로 패드 단자(D_C_PE)는 상술한 회로 패드 단자(C_PE)와 실질적으로 평면 형상이 동일할 수 있으나, 이에 제한되지 않는다.

- [194] 도면에서는 각각 세 개의 제1 및 제2 더미 회로 패드 단자(D_C_PE1, D_C_PE2)가 도시되었지만, 이에 제한되지 않고 제1 및 제2 더미 회로 패드 단자(D_C_PE1, D_C_PE2)는 2개, 또는 4개 이상일 수 있다.
- [195] 더미 회로 패드 단자(D_C_PE)는 회로 패드 단자(D_C_PE)와 달리, 플로팅(floating)될 수 있다.
- [196] 본 실시예에서 제2 리드 단자(LE2)는 초음과 본딩을 통해 회로 패드 단자(C_PE)와 직접 결합될 수 있다. 더미 회로 패드 단자(D_C_PE) 역시, 초음과 본딩을 통해 더미 리드 단자(D_LE)와 직접 결합될 수 있다.
- [197] 이상에서 본 발명의 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 본 발명의 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

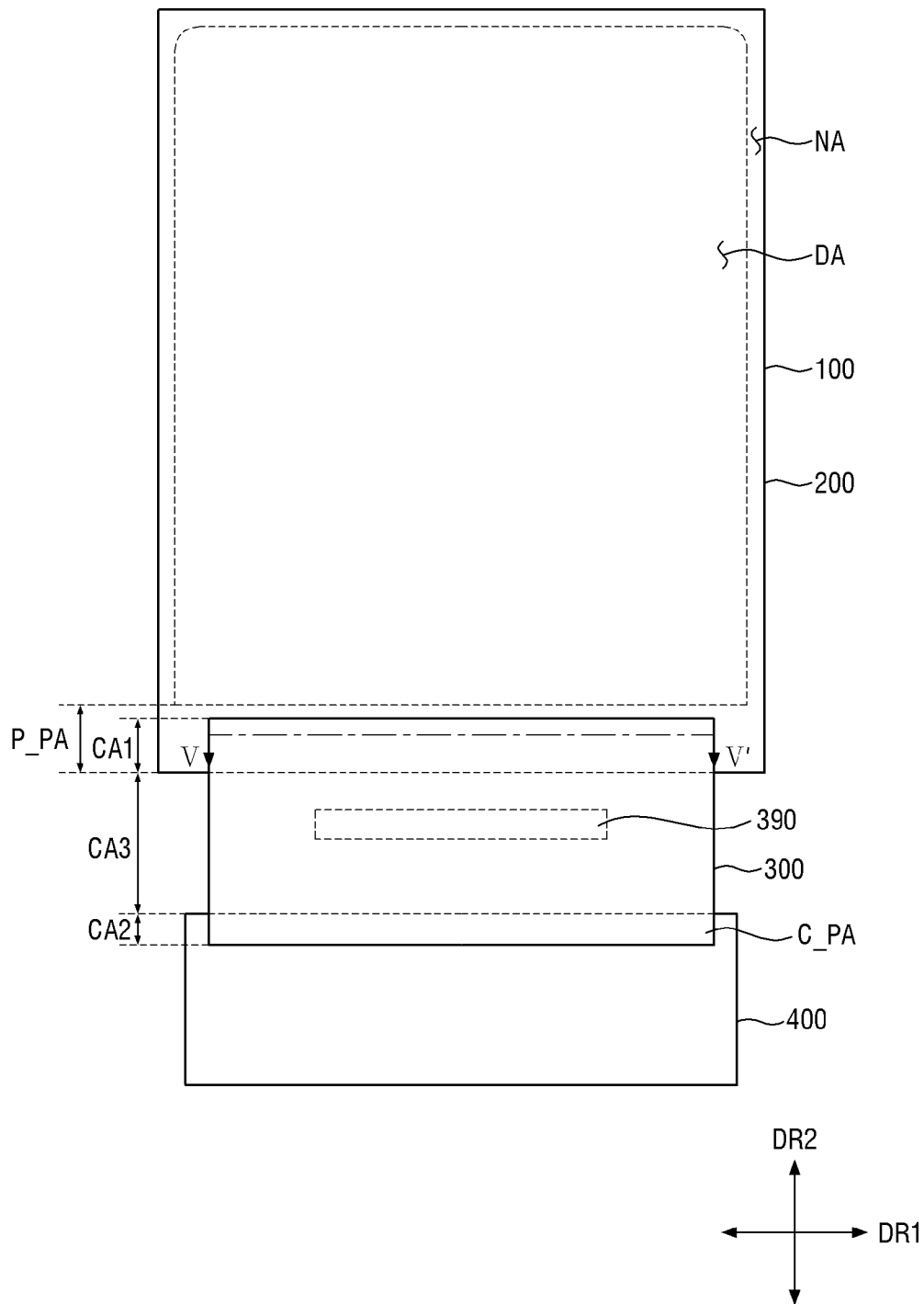
청구범위

- [청구항 1] 표시 영역, 및 상기 표시 영역 주변에 배치된 패드 영역을 포함하는 표시 패널;
상기 패드 영역에 부착되는 회로 기판을 포함하되,
상기 패드 영역은 상기 표시 영역을 지나는 제1 신호 배선과 전기적으로 연결된 적어도 하나의 신호 패드 단자, 및 상기 제1 신호 배선과 분리된 적어도 하나의 더미 패드 단자를 포함하고,
상기 회로 기판은 상기 신호 패드 단자와 접속되는 신호 리드 단자, 및 상기 더미 패드 단자와 접속되는 더미 리드 단자를 포함하는 표시 장치.
- [청구항 2] 제1 항에 있어서,
상기 회로 기판은 구동 집적 회로, 및 상기 구동 집적 회로와 상기 신호 리드 단자를 전기적으로 연결하는 제2 신호 배선을 더 포함하는 표시 장치.
- [청구항 3] 제2 항에 있어서,
상기 더미 패드 단자는 상기 구동 집적 회로와 분리되어 있는 표시 장치.
- [청구항 4] 제3 항에 있어서,
상기 신호 패드 단자, 및 상기 더미 패드 단자는 직접 접속된 표시 장치.
- [청구항 5] 제1 항에 있어서,
상기 신호 패드 단자는 복수개이고, 상기 복수의 신호 패드 단자는 제1 방향을 따라 배열되는 표시 장치.
- [청구항 6] 제5 항에 있어서,
상기 적어도 하나의 더미 패드 단자는 상기 복수의 신호 패드 단자 배열의 상기 제1 방향 일측에 배치되는 제1 더미 패드 단자를 포함하는 표시 장치.
- [청구항 7] 제6 항에 있어서,
상기 적어도 하나의 더미 패드 단자는 상기 복수의 신호 패드 단자 배열의 상기 제1 방향 타측에 배치되는 제2 더미 패드 단자를 더 포함하는 표시 장치.
- [청구항 8] 제7 항에 있어서,
상기 표시 패널은 상기 신호 패드 단자 배열과 상기 제1 더미 패드 단자 사이에 배치된 제1 패드 얼라인 마크, 및 상기 신호 패드 단자 배열과 상기 제2 더미 패드 단자 사이에 배치된 제2 패드 얼라인 마크를 포함하고,
상기 제1 및 제2 패드 얼라인 마크는 상기 신호 패드 단자와 형상이 상이한 표시 장치.
- [청구항 9] 제8 항에 있어서,
상기 회로 기판은 상기 제1 패드 얼라인 마크와 직접 접속하는 제1 리드 얼라인 마크, 및 상기 제2 패드 얼라인 마크와 직접 접속하는 제2 리드

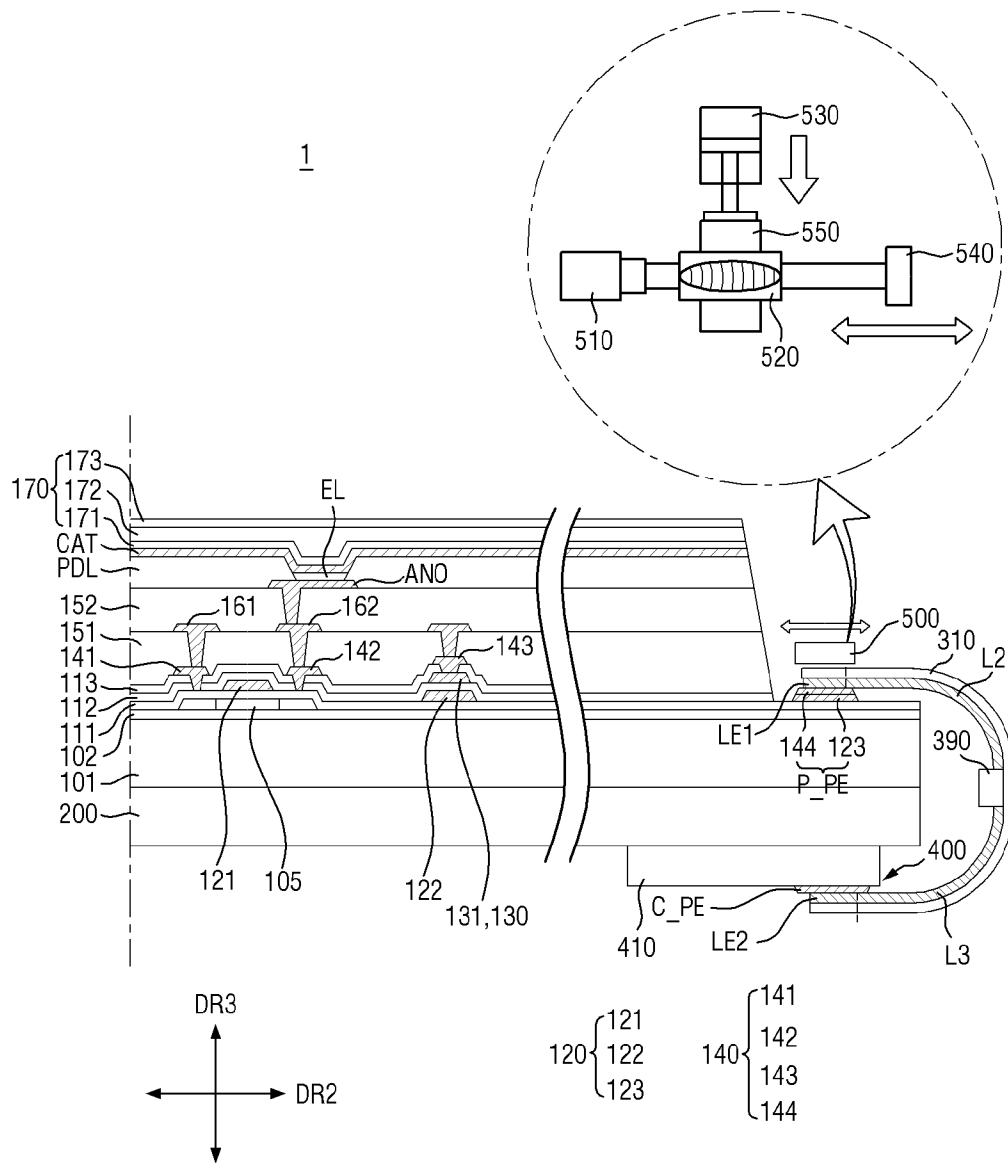
- 얼라인 마크를 포함하는 표시 장치.
- [청구항 10] 제9 항에 있어서,
상기 제1 패드 얼라인 마크와 상기 제1 리드 얼라인 마크의 평면상 크기는 동일하고,
상기 제2 패드 얼라인 마크와 상기 제2 리드 얼라인 마크의 평면상 크기는 동일한 표시 장치.
- [청구항 11] 제1 항에 있어서,
상기 더미 패드 단자는 Ti/Al/Ti, Mo/Al/Mo, Mo/AlGe/Mo, Ti/Cu 중에서 선택된 제1 물질을 포함하는 표시 장치.
- [청구항 12] 제11 항에 있어서,
상기 더미 리드 단자는 Ag, Au 또는 Cu 중에서 선택된 제2 물질을 포함하는 표시 장치.
- [청구항 13] 제12 항에 있어서,
상기 더미 패드 단자 및 상기 더미 리드 단자 사이에 상기 제1 물질과 상기 제2 물질이 섞인 영역을 포함하는 표시 장치.
- [청구항 14] 제1 항에 있어서,
상기 신호 패드 단자의 두께와 상기 신호 리드 단자의 두께의 합은 상기 더미 패드 단자의 두께와 상기 더미 리드 단자의 두께의 합과 동일한 표시 장치.
- [청구항 15] 제1 항에 있어서,
상기 더미 패드 단자의 평면상 크기는 상기 더미 리드 단자의 평면상 크기보다 큰 표시 장치.
- [청구항 16] 제1 항에 있어서,
상기 더미 패드 단자는 상기 더미 리드 단자와 두께 방향으로 중첩하는 제1 영역, 및 그 주변에 배치된 제2 영역을 포함하는 표시 장치.
- [청구항 17] 제16 항에 있어서,
상기 제1 영역에서 상기 더미 패드 단자와 상기 더미 리드 단자는 직접 접촉된 표시 장치.
- [청구항 18] 제17 항에 있어서,
상기 제1 영역에서 상기 더미 패드 단자와 상기 더미 리드 단자는 초음파 접합된 표시 장치.
- [청구항 19] 제16 항에 있어서,
상기 더미 패드 단자는 상기 제2 영역에서 상기 회로 기판과 마주보는 일면에 스크래치를 더 포함하는 표시 장치.
- [청구항 20] 제19 항에 있어서,
상기 더미 패드 단자의 상기 제1 영역의 일면의 제1 거칠기는 상기 더미 패드 단자의 상기 제2 영역의 일면의 제2 거칠기보다 작은 표시 장치.

[도1]

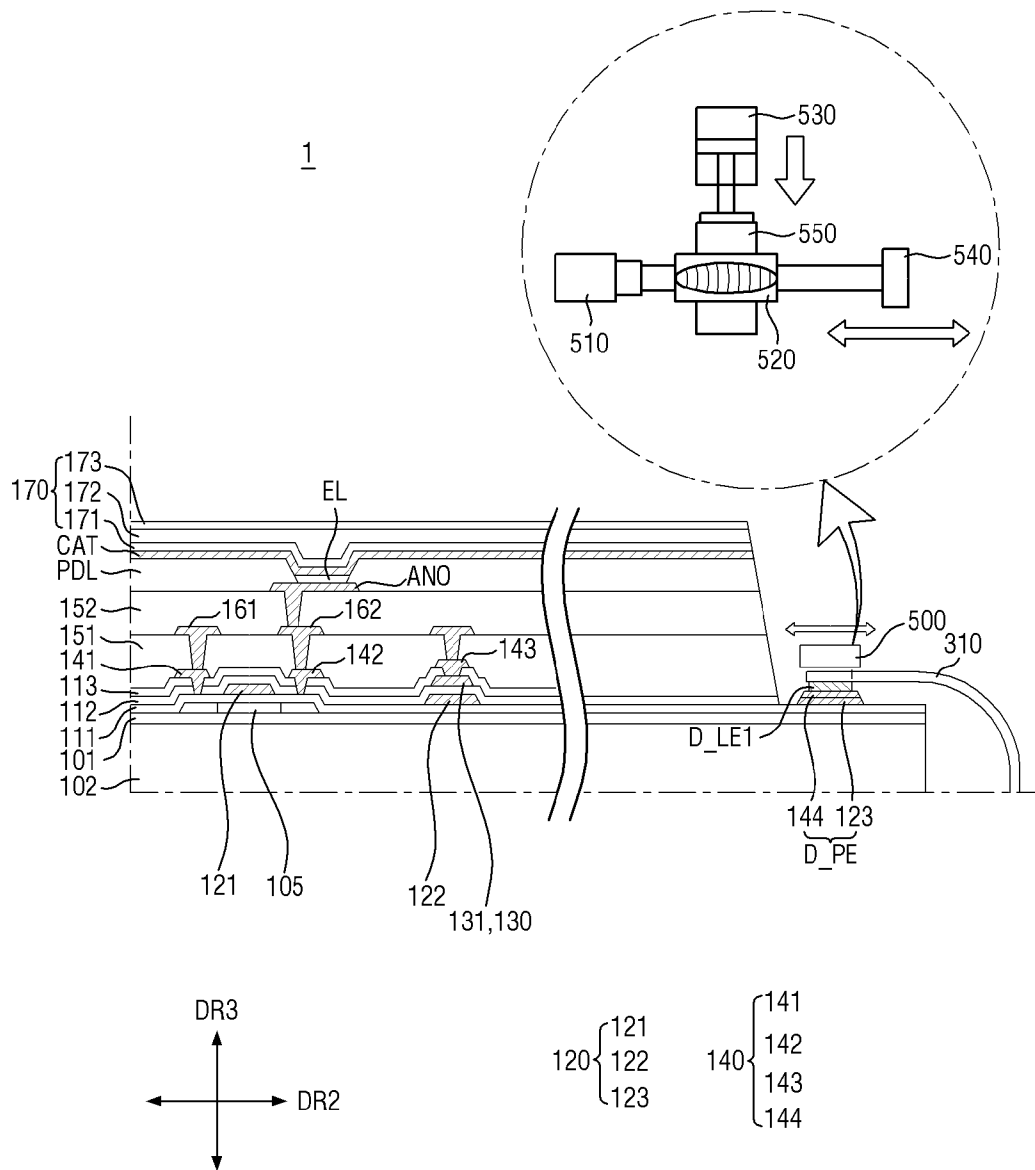
1



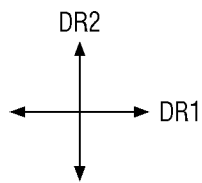
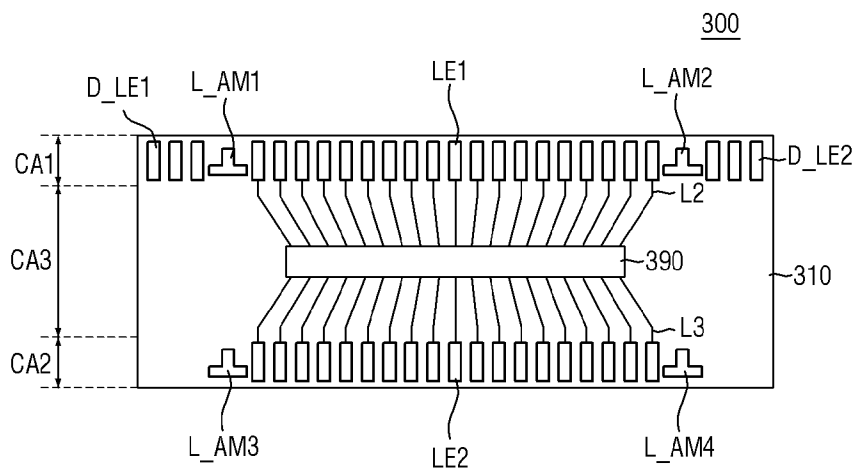
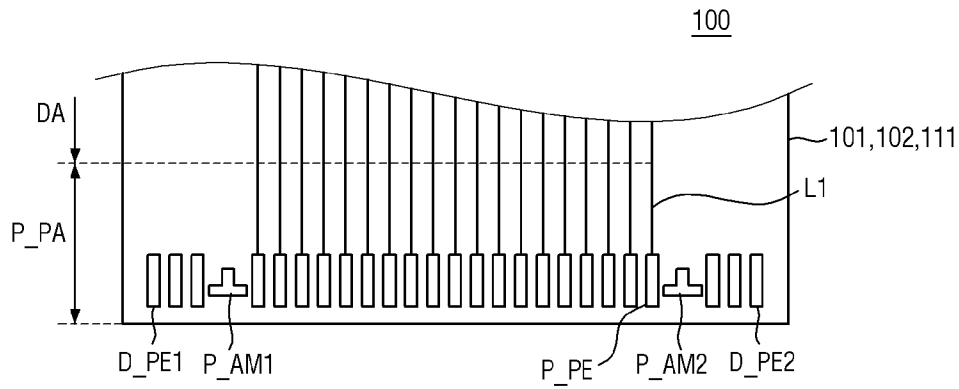
[도2]



[도3]

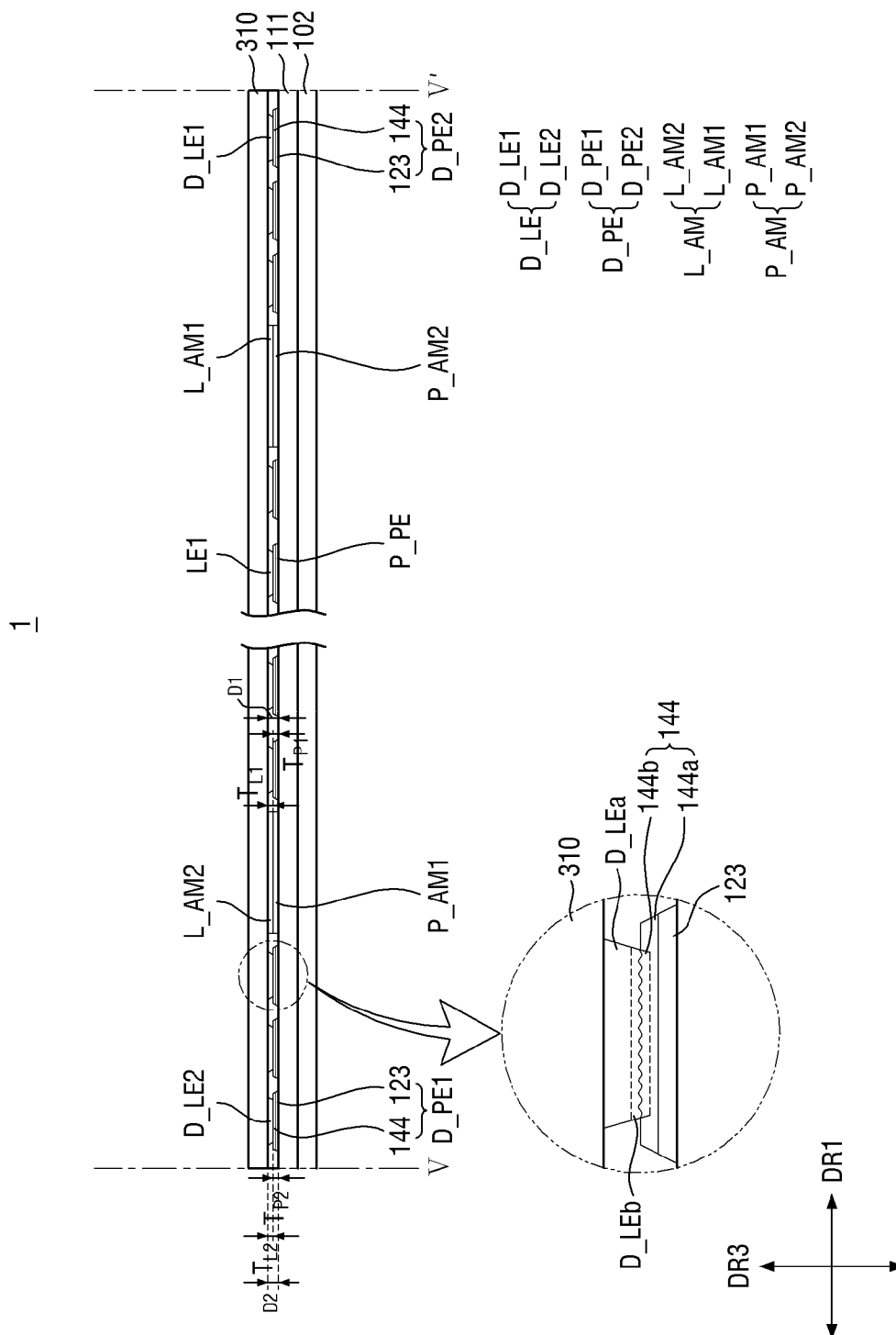


[도4]

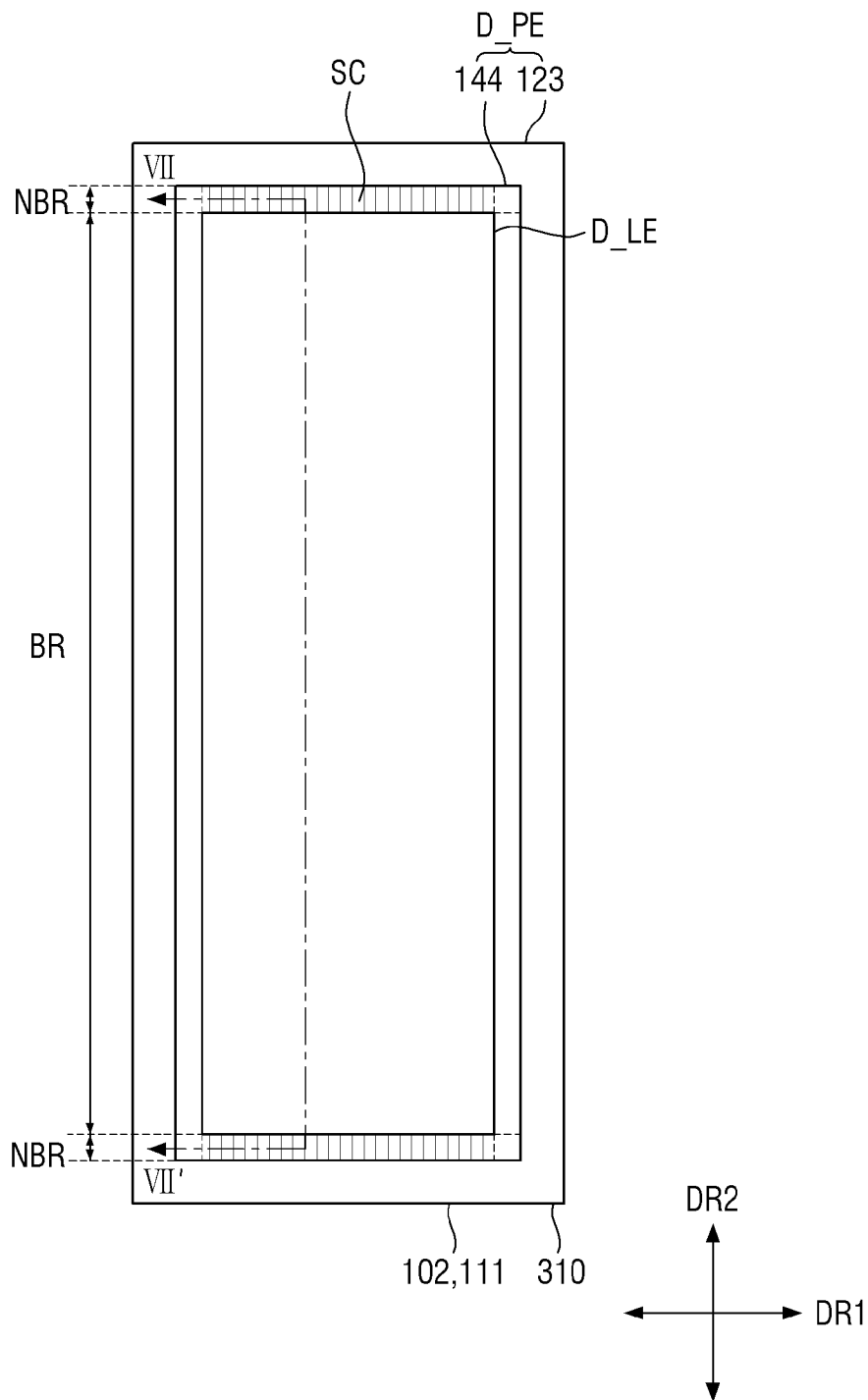


$L_AM \begin{cases} L_AM1 \\ L_AM2 \\ L_AM3 \\ L_AM4 \end{cases}$
 $D_LE \begin{cases} D_LE1 \\ D_LE2 \end{cases}$
 $D_PE \begin{cases} D_PE1 \\ D_PE2 \end{cases}$
 $P_AM \begin{cases} P_AM1 \\ P_AM2 \end{cases}$

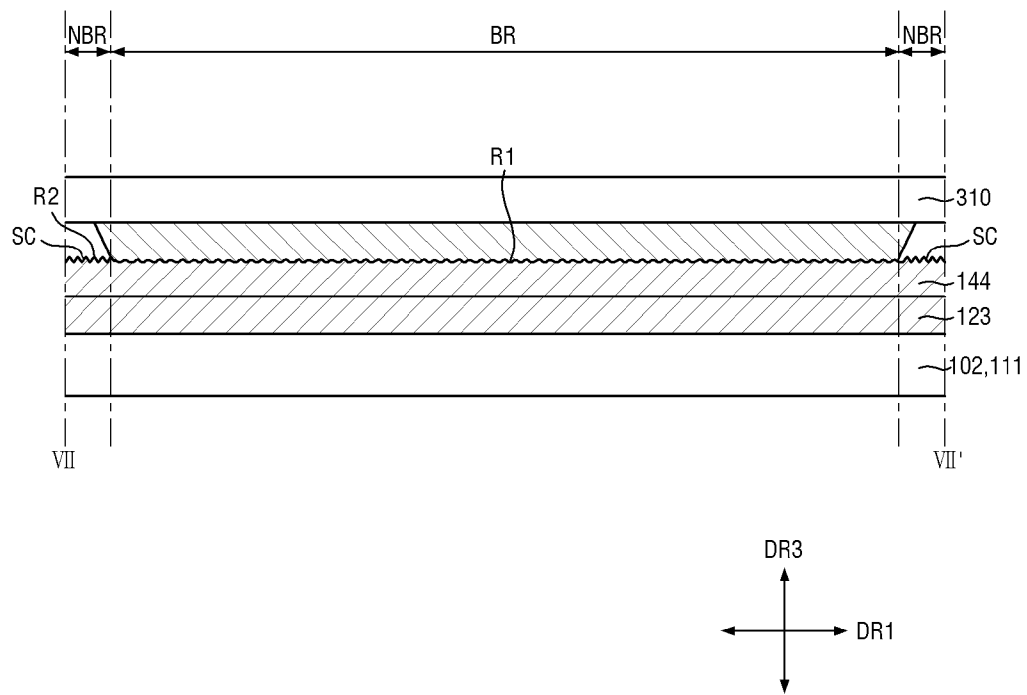
[도5]



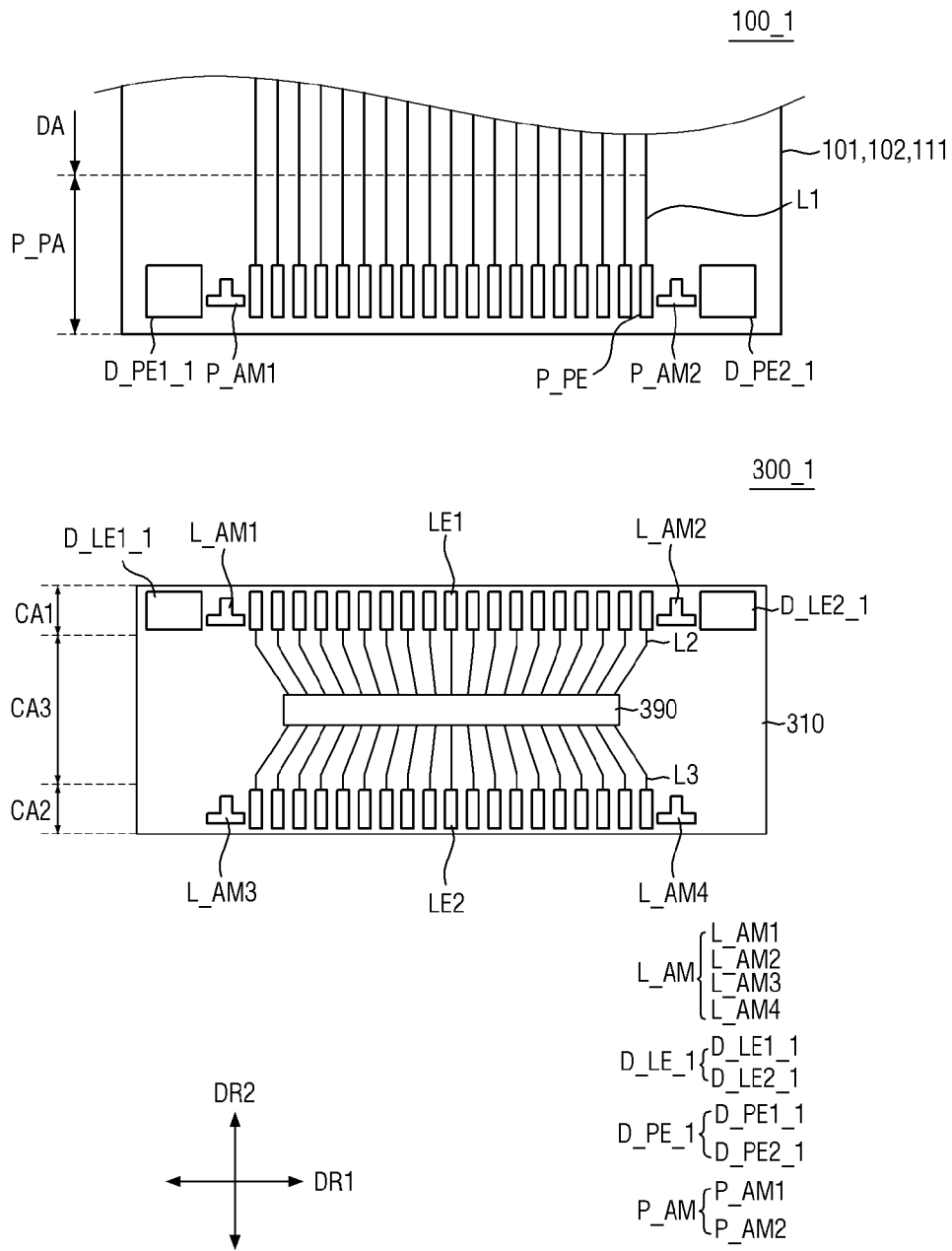
[도6]



[도7]

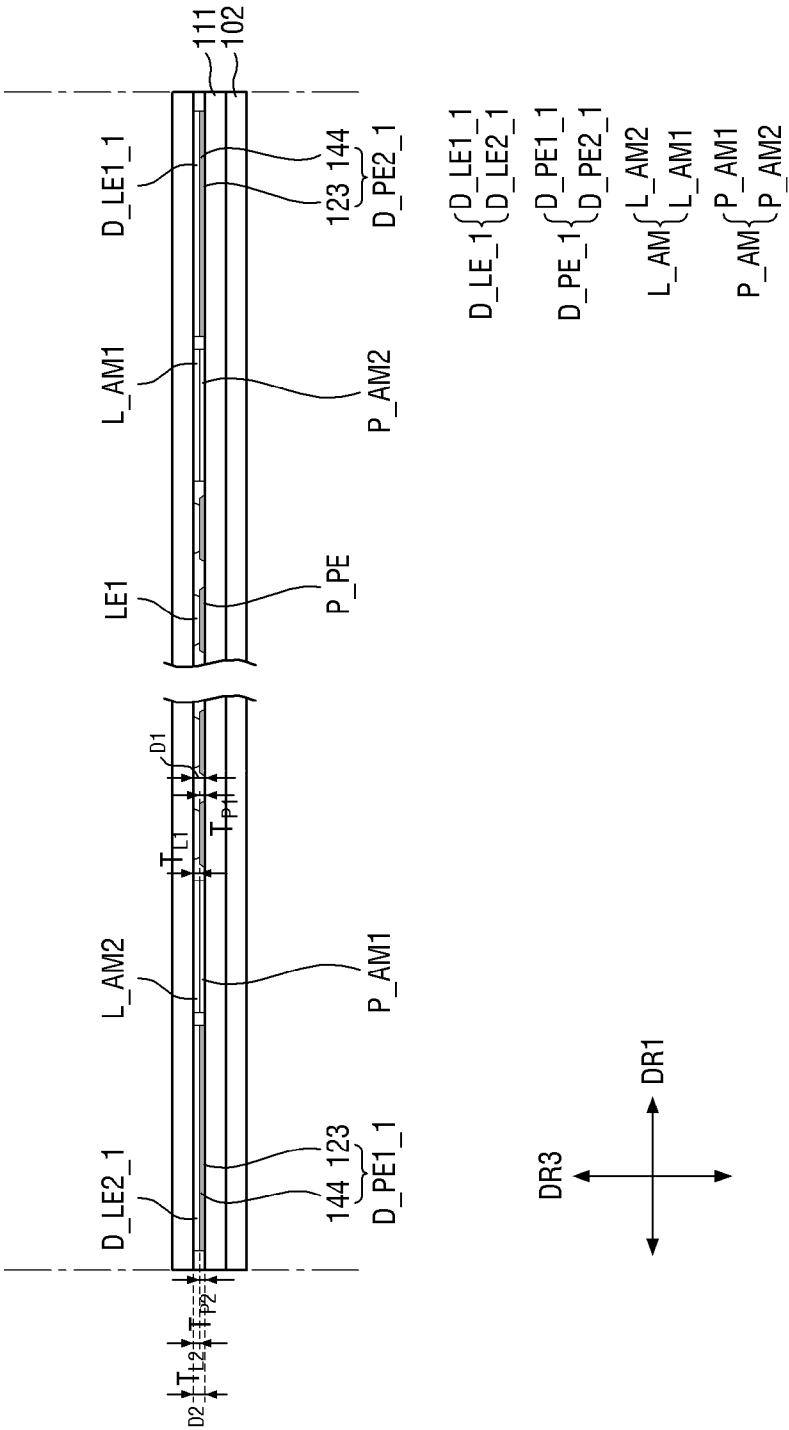


[도8]

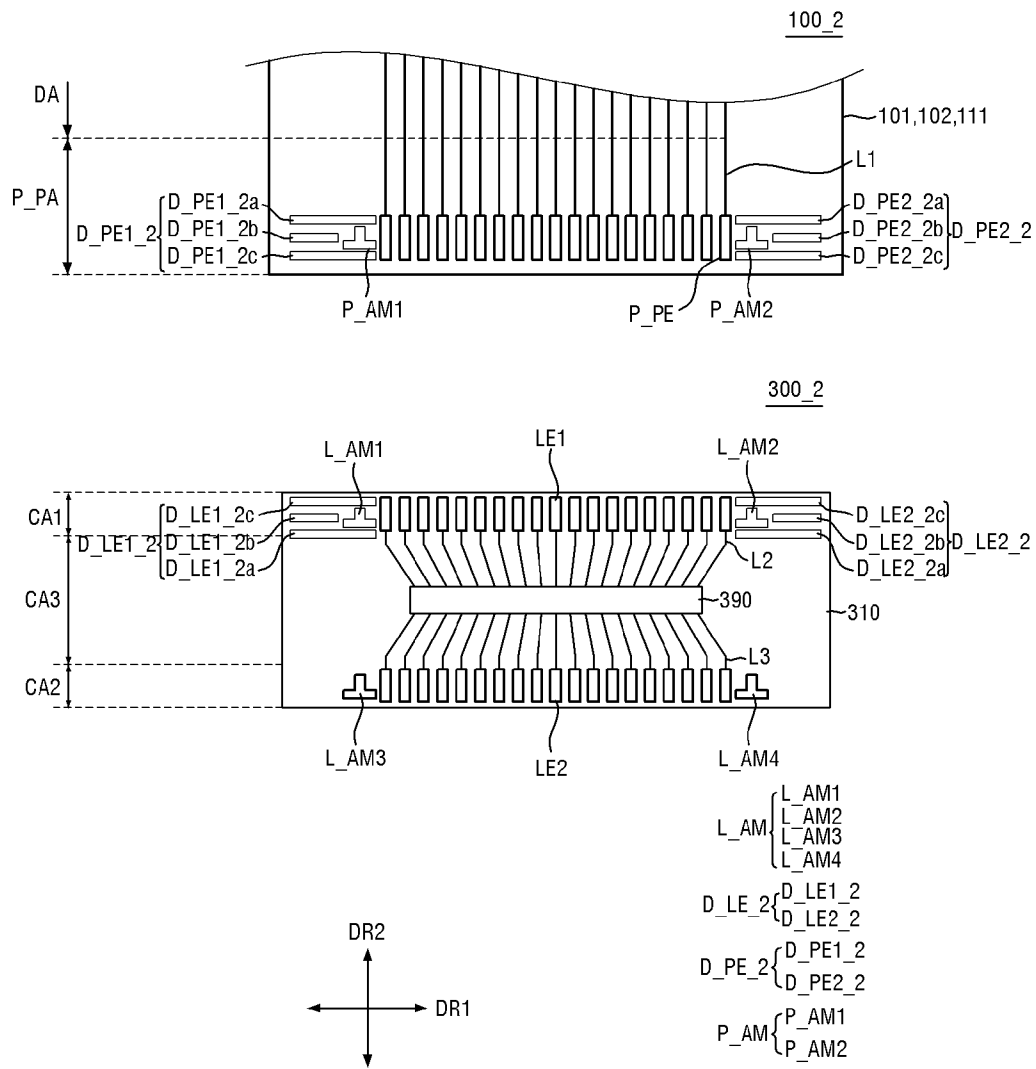


[도9]

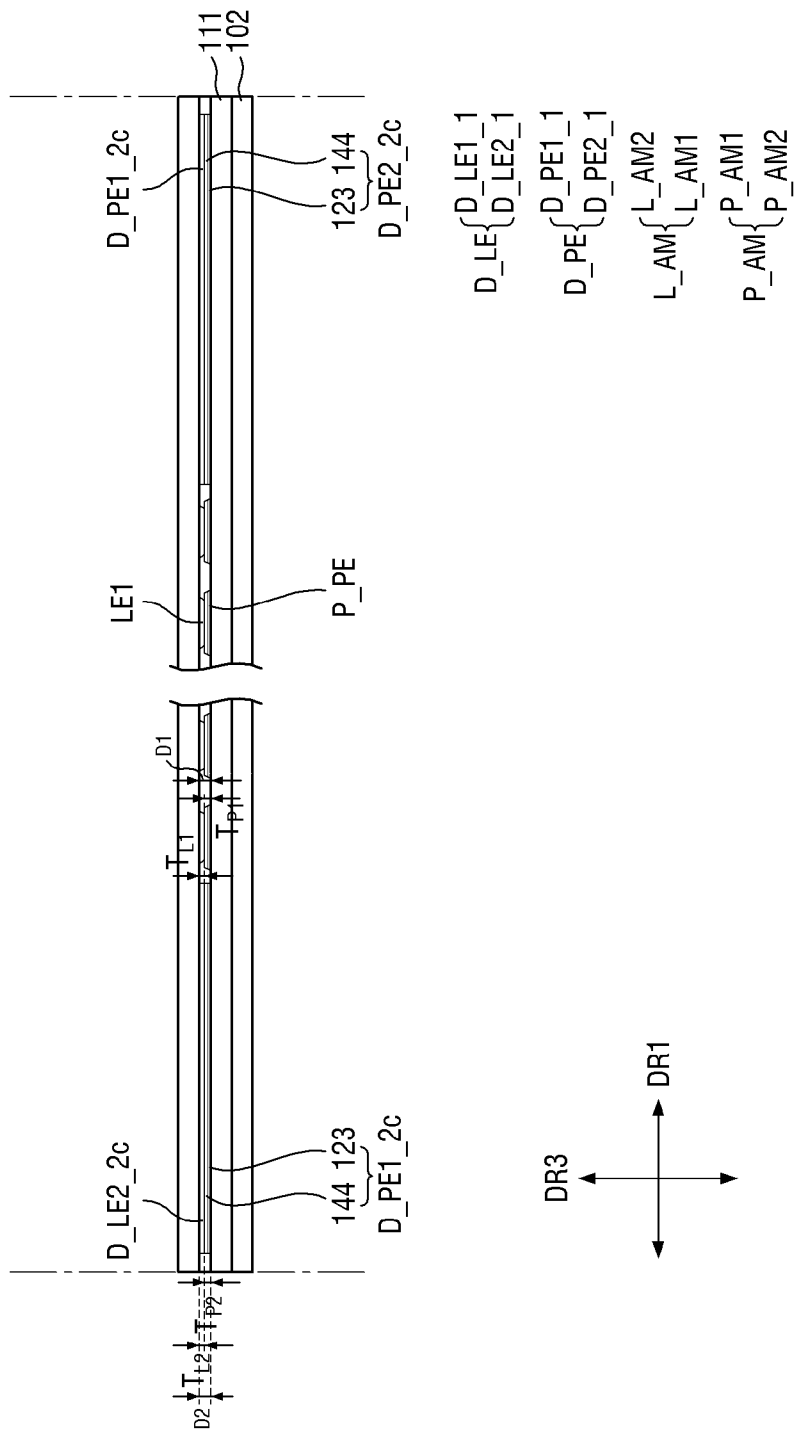
2



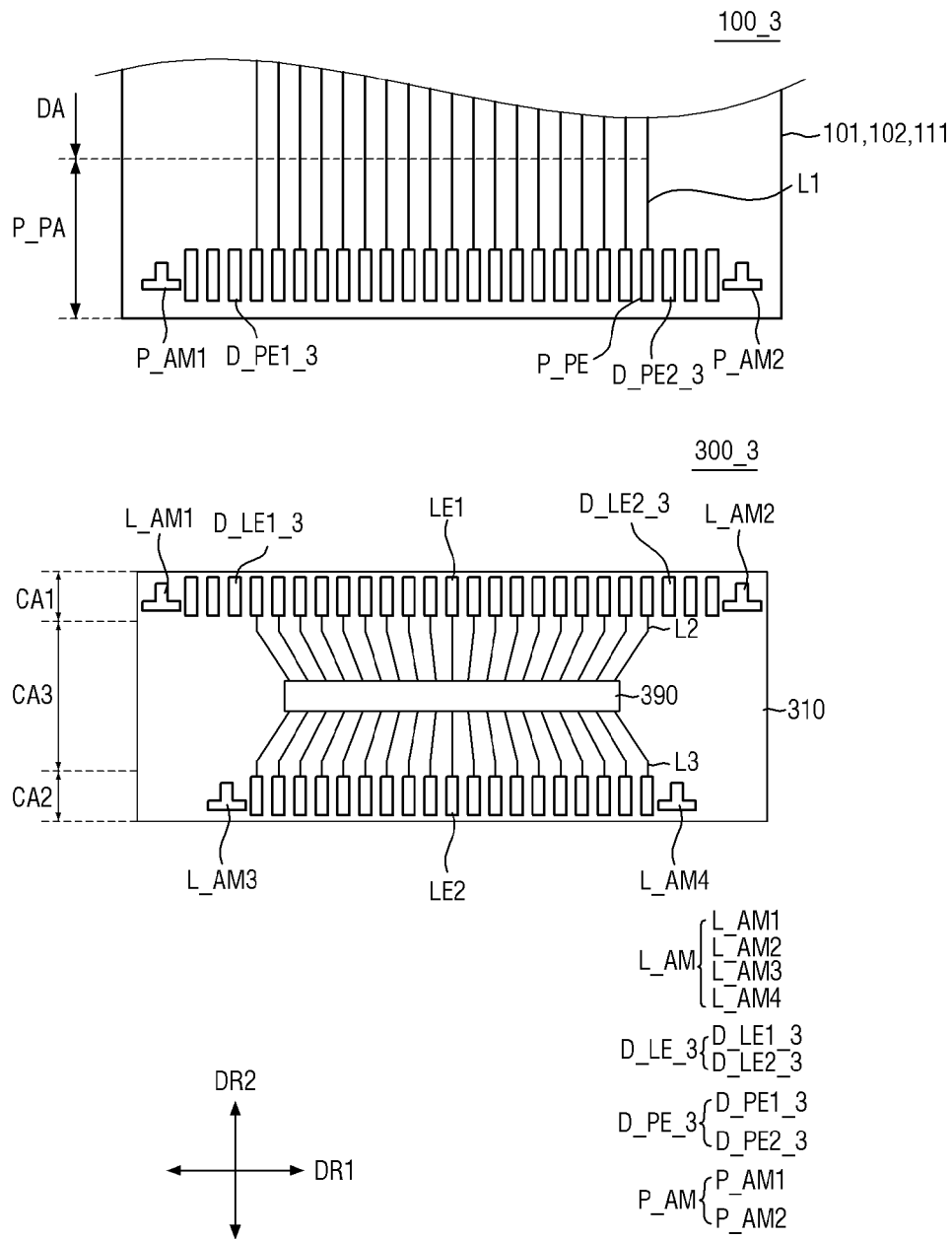
[도 10]



[51]

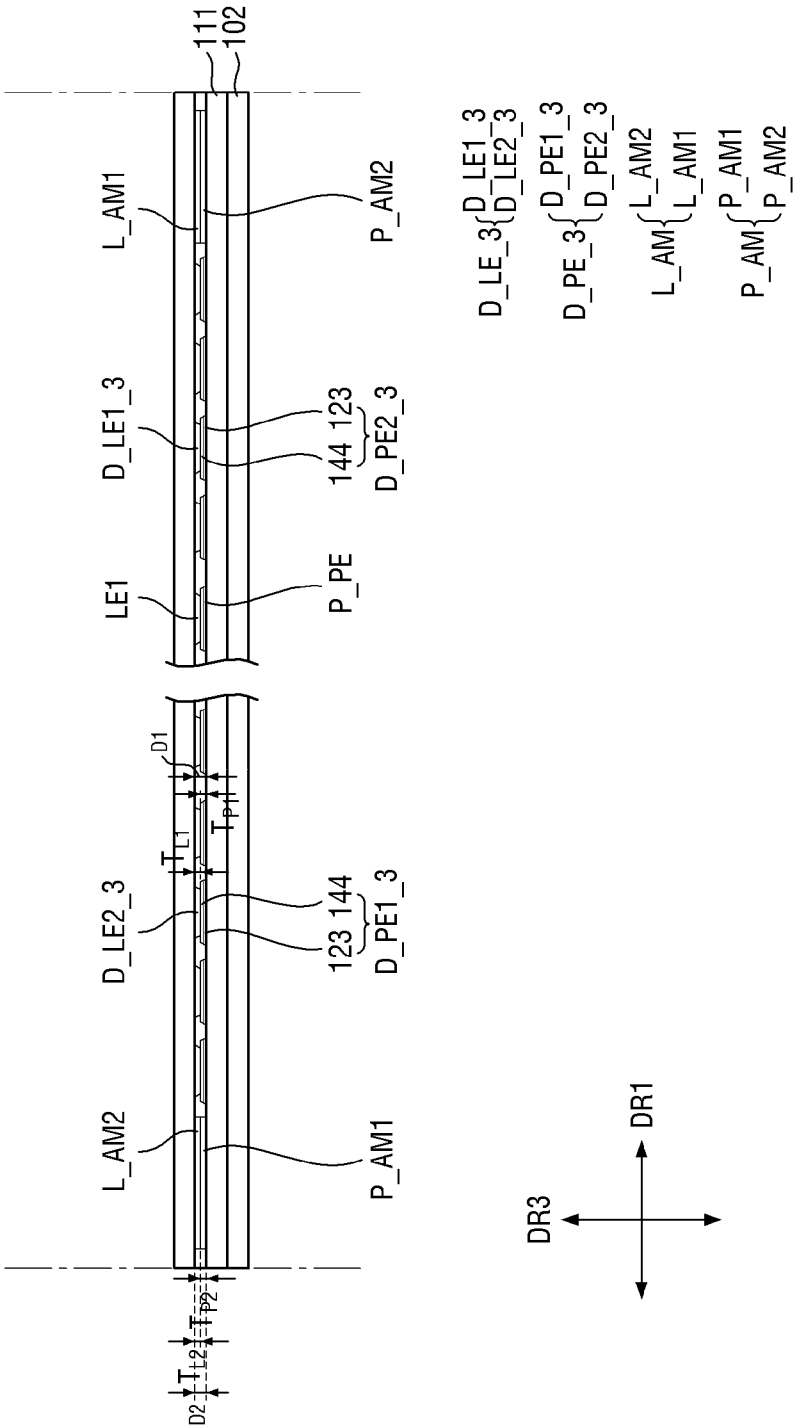


[도 12]

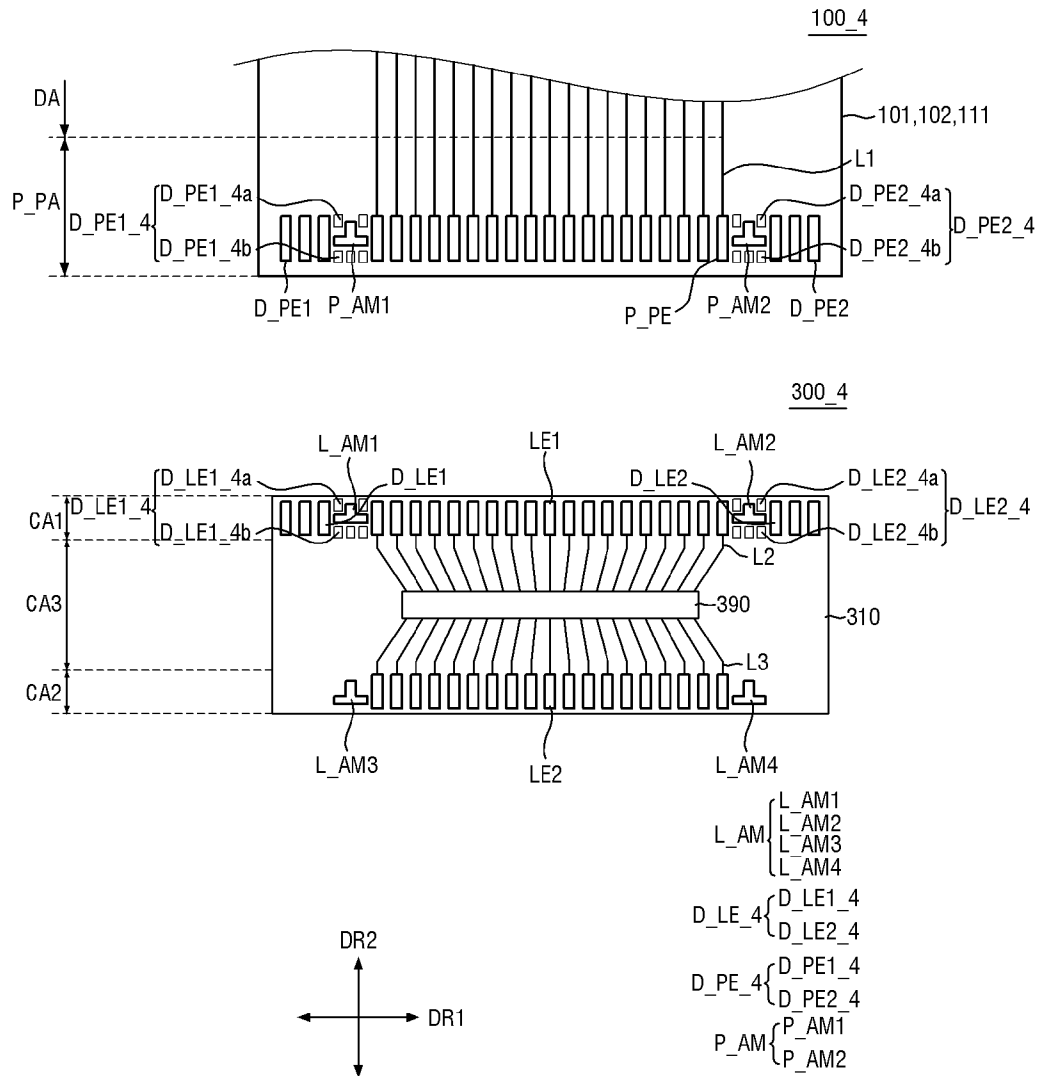


[도13]

4

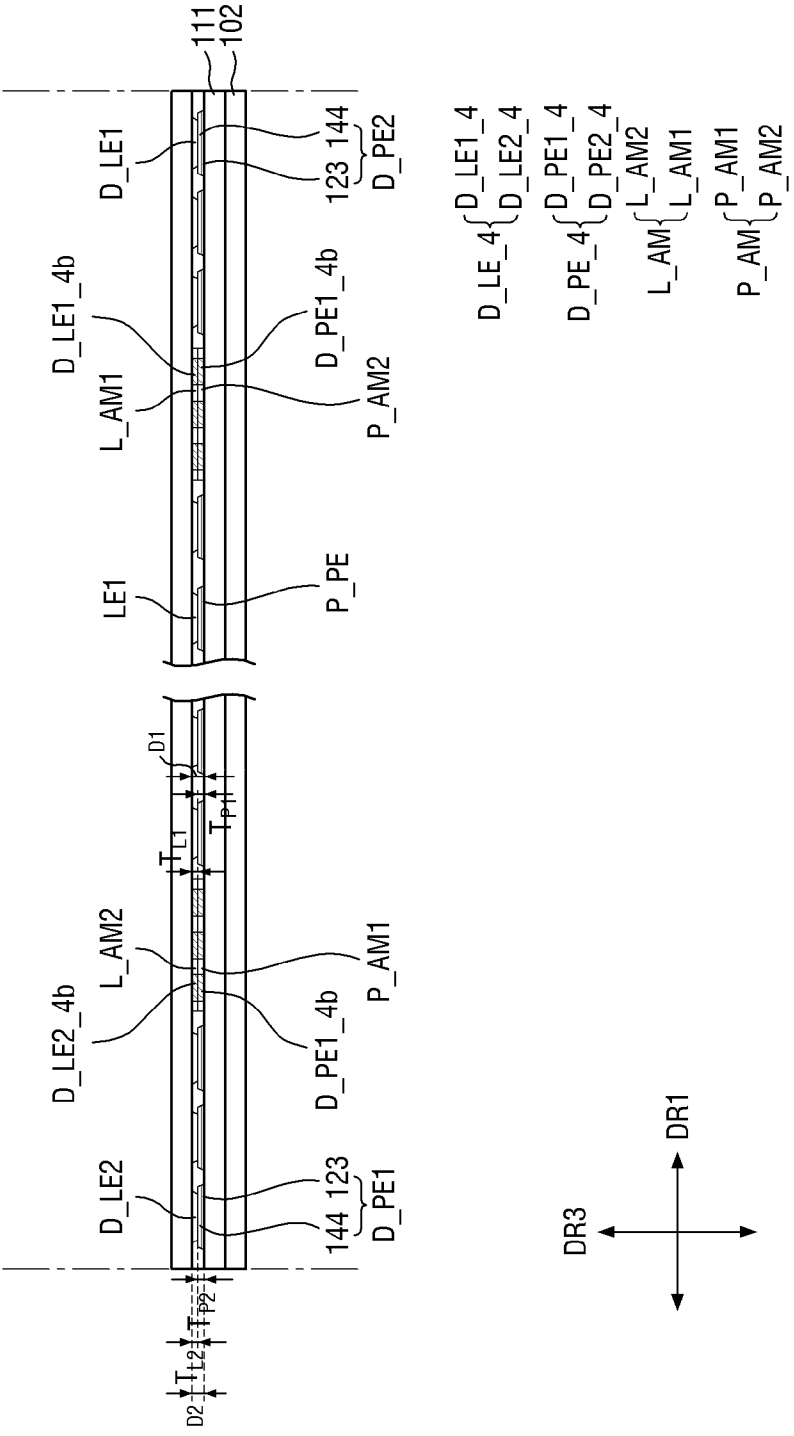


[도 14]

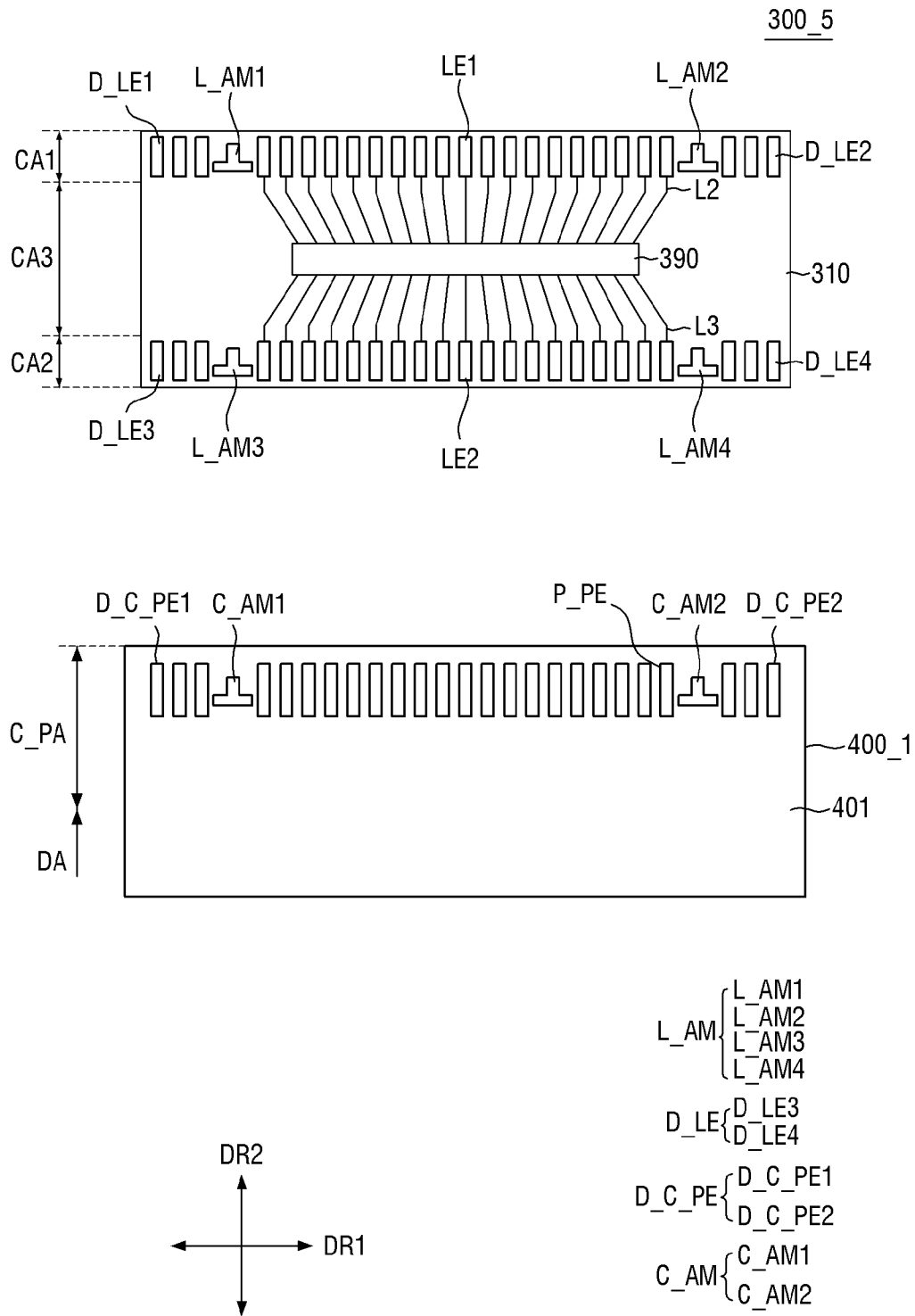


[도 15]

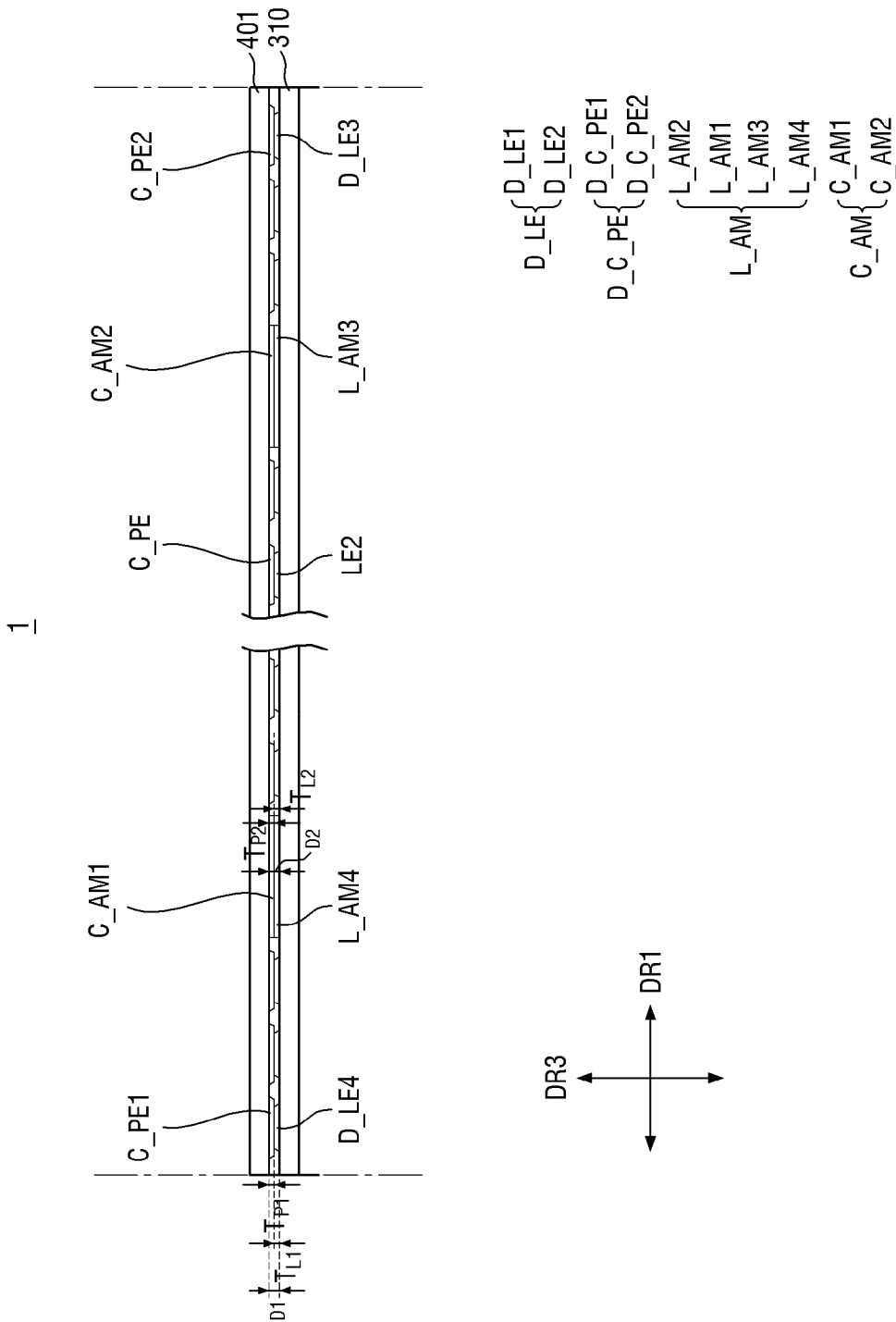
5



[도16]



[도17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/003077

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/32(2006.01)i, H01L 51/52(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/32; G02F 1/1345; H05K 3/30; H05K 3/36; H01L 51/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: display device, circuit board, pad, read, dummy

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2008-0019985 A (LG.PHILIPS LCD CO., LTD.) 05 March 2008 See paragraphs [0048]-[0084] and figures 2-4.	1-7, 14-15
Y		8-13, 16-20
Y	KR 10-2005-0044183 A (LG.PHILIPS LCD CO., LTD.) 12 May 2005 See paragraph [0066] and figure 4.	8-10
Y	JP 2005-223054 A (FUJIKURA LTD.) 18 August 2005 See paragraphs [0014]-[0015] and figure 1.	11-13, 16-20
A	KR 10-0920354 B1 (SAMSUNG ELECTRONICS CO., LTD.) 07 October 2009 See paragraphs [0026]-[0036], claims 1, 3 and figures 1-3.	1-20
A	KR 10-0188103 B1 (SAMSUNG ELECTRONICS CO., LTD.) 01 June 1999 See pages 2-3 and figures 1-6.	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

24 JUNE 2019 (24.06.2019)

Date of mailing of the international search report

24 JUNE 2019 (24.06.2019)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea
Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/003077

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2008-0019985 A	05/03/2008	KR 10-0830100 B1	20/05/2008
KR 10-2005-0044183 A	12/05/2005	KR 10-0724479 B1	04/06/2007
		US 2005-0099565 A1	12/05/2005
		US 7403257 B2	22/07/2008
JP 2005-223054 A	18/08/2005	None	
KR 10-0920354 B1	07/10/2009	None	
KR 10-0188103 B1	01/06/1999	None	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 27/32(2006.01)i, H01L 51/52(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 27/32; G02F 1/1345; H05K 3/30; H05K 3/36; H01L 51/52

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 표시장치, 회로 기판, 패드, 리드, 더미

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2008-0019985 A (엘지.필립스 엘시디 주식회사) 2008.03.05 단락 [0048]-[0084] 및 도면 2-4 참조.	1-7, 14-15
Y		8-13, 16-20
Y	KR 10-2005-0044183 A (엘지.필립스 엘시디 주식회사) 2005.05.12 단락 [0066] 및 도면 4 참조.	8-10
Y	JP 2005-223054 A (FUJIKURA LTD.) 2005.08.18 단락 [0014]-[0015] 및 도면 1 참조.	11-13, 16-20
A	KR 10-0920354 B1 (삼성전자주식회사) 2009.10.07 단락 [0026]-[0036], 청구항 1, 3 및 도면 1-3 참조.	1-20
A	KR 10-0188103 B1 (삼성전자주식회사) 1999.06.01 페이지 2-3 및 도면 1-6.	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2019년 06월 24일 (24.06.2019)

국제조사보고서 발송일

2019년 06월 24일 (24.06.2019)

ISA/KR의 명칭 및 우편주소



대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

장기정

전화번호 +82-42-481-8364



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2008-0019985 A	2008/03/05	KR 10-0830100 B1	2008/05/20
KR 10-2005-0044183 A	2005/05/12	KR 10-0724479 B1	2007/06/04
		US 2005-0099565 A1	2005/05/12
		US 7403257 B2	2008/07/22
JP 2005-223054 A	2005/08/18	없음	
KR 10-0920354 B1	2009/10/07	없음	
KR 10-0188103 B1	1999/06/01	없음	