

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3842158号

(P3842158)

(45) 発行日 平成18年11月8日(2006.11.8)

(24) 登録日 平成18年8月18日(2006.8.18)

(51) Int. Cl.		F I			
H02H	7/20	(2006.01)	H02H	7/20	A
H02J	9/06	(2006.01)	H02J	9/06	502C

請求項の数 2 (全 13 頁)

(21) 出願番号	特願2002-80308 (P2002-80308)	(73) 特許権者	398038580
(22) 出願日	平成14年3月22日 (2002.3.22)		ヒューレット・パッカード・カンパニー
(65) 公開番号	特開2002-315182 (P2002-315182A)		HEWLETT-PACKARD COMPANY
(43) 公開日	平成14年10月25日 (2002.10.25)		アメリカ合衆国カリフォルニア州パロアルト
審査請求日	平成16年5月31日 (2004.5.31)		ハノーバー・ストリート 3000
(31) 優先権主張番号	09/814525	(74) 代理人	100099623
(32) 優先日	平成13年3月22日 (2001.3.22)		弁理士 奥山 尚一
(33) 優先権主張国	米国 (US)	(74) 代理人	100096769
			弁理士 有原 幸一
		(74) 代理人	100107319
			弁理士 松島 鉄男

最終頁に続く

(54) 【発明の名称】 スイッチ式電源システム用のアクティブ回路保護

(57) 【特許請求の範囲】

【請求項1】

第1の分離スイッチを介してノードに動作可能に接続された第1の電源と、第2の分離スイッチを介してノードに動作可能に接続された第2の電源を含むMOSFET分離スイッチ式電源システムのアクティブ保護回路であって、

前記第1の電源の第1の電源出力電圧をモニタして、前記第1の電源出力電圧が第1の予め選択された量だけ第1の予め選択された電圧レベルから逸脱しているか否かを表示する第1の出力を生成する第1の電源モニタ回路と、

前記第1の分離スイッチ及び前記第2の分離スイッチを制御するように接続されているとともに、前記第1の出力を前記第1の電源モニタ回路から受信するように接続されており、前記第1の電源出力電圧が前記第1の予め選択された量だけ前記第1の予め選択された電圧レベルから逸脱している場合、前記第1の分離スイッチをOFFモードにして電流が流れるのを阻止し、前記第2の分離スイッチをONモードにして前記第2の電源から電流が流れるのを可能にするコントローラと、

前記第1の分離スイッチを流れる逆電流を検出し、逆電流を検出すると逆電流標識信号を生成する第1の逆電流モニタ回路と

を含み、ここで、

前記逆電流が前記第1の分離スイッチを流れるのが検出されると、前記逆電流モニタ回路は、前記第1の分離スイッチを前記OFFモードにし、前記第2の分離スイッチをONモードにし、

10

20

前記第 1 の逆電流モニタ回路は、

前記第 1 の分離スイッチの第 1 の入力と第 1 の出力との間に動作可能に接続されて、前記第 1 の入力と前記第 1 の出力との間の電圧降下を表わす第 1 の差動増幅器出力を生成する第 1 の差動増幅器と、

前記第 1 の作動増幅器出力と予め選択された電圧基準値とを受けると動作可能に接続され、前記第 1 の分離スイッチを通じて逆電流が流れているかどうかを示す前記第 1 の電圧コンパレータ出力を生成する第 1 の電圧コンパレータと

を含むものである、アクティブ保護回路。

【請求項 2】

前記第 2 の分離スイッチを流れる逆電流を検出し、前記逆電流を検出すると前記逆電流標識信号を生成する第 2 の逆電流モニタ回路を含み、 10

前記逆電流が前記第 2 の分離スイッチを流れるのが検出されると、前記第 2 の逆電流モニタ回路は、前記第 2 の分離スイッチを前記 OFF モードにし、前記第 1 の分離スイッチを ON モードにし、

前記第 2 の逆電流モニタ回路は、

前記第 2 の分離スイッチの第 2 の入力と第 2 の出力との間に動作可能に接続されて、前記第 2 の入力と前記第 2 の出力との間の電圧降下を表わす第 2 の差動増幅器出力を生成する第 2 の差動増幅器と、

前記第 2 の作動増幅器出力と予め選択された電圧基準値とを受けると動作可能に接続され、前記第 2 の分離スイッチを通じて逆電流が流れているかどうかを示す前記第 2 の電圧コンパレータ出力を生成する第 2 の電圧コンパレータと 20

を含むものである、

請求項 1 に記載のアクティブ保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に、共通の負荷に対して並列に接続されたスイッチ式電源に関するものであり、とりわけ、スイッチング回路要素を保護し、スイッチ式電源システムの現在活性状態にある電源が、電流限界状態に達したり、あるいは、負荷に大電圧偏差を生じさせないようにする保護論理回路に関するものである。 30

【0002】

【従来の技術】

多くの電子回路用途では、異なる稼動時間中に共通した負荷を駆動するため、複数電源が並列に接続されている。用途例の 1 つに、スタンバイまたは「スリープ」・モードを実施する装置がある。スタンバイ・モードの最中には、こうした装置は、バッテリーまたは DC・DC コンバータのような小電力 DC 電源を利用して、装置を「目覚めさせる」のに必要な最小回路要素に電力を供給し、目覚めると同時に、機能回路要素の電流の必要性に見合った大電力 DC 電源にスイッチすることが可能である。

【0003】

スイッチ式電源システムにおいて、スイッチング素子は、異なる電源をスイッチして、共通の負荷に電力をアクティブに供給するために利用される。これらのスイッチング素子は、1 つの電圧源だけしか共通の負荷に電力を供給できないようにする専用制御論理回路を利用して制御される。多くの用途では、負荷は、大きい電圧偏差に感応する。従って、電力源がある電源から別の電源にスイッチされる場合でも、負荷において認められる電圧偏差を制限することが重要である。 40

【0004】

電圧偏差に感応する負荷の場合、スイッチング素子の実施態様の選択は、重要になる。スイッチング・リレー・スイッチは、遅すぎて、単独で用いる場合、厳格な電圧偏差制限要件を満たすことができない。スイッチング性能は、きわめて大きいコンデンサの利用によって改善することができるが、これによって、システム全体のコスト及びサイズが増大す 50

ることになる。

【0005】

アナログ・スイッチも、電圧偏差感応負荷にとって不十分な選択である。アナログ・スイッチは、通常の動作中に許容される電圧偏差を超えた電圧降下を負荷に生じさせる可能性のある大きな内部抵抗を特徴とする。

【0006】

最近では、複数の異なる電源間でスイッチングを行い、共通の負荷にアクティブに電力供給するのに、NチャネルMOSFETが利用されている。こうしたスイッチング構成の場合、MOSFETは、ドレインが負荷において互いに結合され、それぞれのソースが、それぞれの電源に接続される。

10

【0007】

本明細書において称される限りにおいて、特定の電源に関連したMOSFETスイッチをOFFにして、そのそれぞれの電源が負荷から分離されると、前記それぞれの電源は、「分離電源 (isolation power supply)」と呼ばれる。MOSFETスイッチをONにして、そのそれぞれの電源が負荷に接続されると、前記それぞれの電源は、本明細書において「活性電源 (active power supply)」と呼ばれる。当事者には明らかなように、スイッチ式電源システムの場合、負荷にスイッチ可能に接続された全ての電源は、電力供給をON状態のままにしておくことが可能であり、従って、分離電源は負荷から切り離されるが、その出力からは依然として電力供給が可能である。

【0008】

20

その構造のため、NチャネルMOSFETは、ソースとドレイン間の真性体ダイオード (intrinsic body diode) であることを特徴とする。すなわち、真性体ダイオードの陽極は、ソース・ノードに接続され、陰極は、ドレイン・ノードに接続されている。このようなMOSFET構成の場合、各スイッチングMOSFETのドレインが互いに結合され、MOSFETの真性体ダイオードの陰極が互いに結合されている。この設計構成は、論理和構成のダイオードを利用するように見える。分離電源の出力電圧が活性電源のダイオード降下を超えると、分離電源の関連MOSFETスイッチの真性体ダイオードに順バイアスをかけ、負荷にも電力供給することになるので、電圧源出力は、互いのダイオード降下範囲内 (約0.6ボルト) でなければならない。従って、電源のそれぞれの出力電圧が、互いのダイオード降下範囲内にない限り、MOSFETスイッチの1つがオンで、他がオフであっても、関連しているMOSFETスイッチによって分離することはできない。すなわち、その出力電圧がもう1つの電源のダイオード降下を超える電源は、そのMOSFETスイッチが、そのスイッチの真性体ダイオード両端における電圧差のために生じる順バイアスによってオフになっても、負荷に対して電流を供給する。

30

【0009】

各スイッチ式電源の出力電圧が、互いのダイオード降下範囲内であっても、活性電源が故障すると、分離電源の分離スイッチの真性体ダイオードに対する順バイアスが生じ、分離電源によって故障した電源に直接電力が供給されることになる。このため、活性電源は、電流限界状態になる可能性がある。電流限界状態において活性電源の動作を継続させておくと、最終的には、その真性体ダイオードにおける過剰な電力消費のために、分離電源のMOSFETに損傷を生じる可能性がある。

40

【0010】

【発明が解決しようとする課題】

従って、本発明の目的は、電源の1つに故障が生じた場合に、MOSFETスイッチ式電源システムにおけるMOSFET分離スイッチを保護することにある。本発明のもう1つの目的は、残りの故障のない電源を保護して、残りの電源、従って、負荷が、指定の許容限界内にとどまることを保障することにある。

【0011】

【課題を解決するための手段】

本発明によれば、スイッチ式電源の活性電源が、電流限界状態に達しないようにするか、

50

または、その出力及び負荷に大電圧偏差が生じないようにすることによって、先行技術に関する問題が解決される。本発明は、スイッチング回路要素での損傷を防ぐ。さらに、本発明によれば、現在負荷に電力を供給している活性電源に故障が生じて、中断することなく、システムの動作が継続されるという保障も得られる。

【0012】

本発明によれば、アクティブ保護回路が、MOSFET分離スイッチのスイッチングを制御する働きをする。モニタ回路は、現在の活性電源の分離スイッチに流れる逆電流を検知すると、それを検知して、その分離スイッチをオフにする。同時に、コントローラが、活性電源が規格から外れている旨の指示を受信し、システムの電圧源をアクティブに他の電源にスイッチする。コントローラは、その判定が別のものになるまで、故障のある電源の分離スイッチがオフ状態のままであることをアクティブに保障する。本発明は添付の図面を参照することによって、さらに理解が深まるものである。

10

【0013】

【発明の実施の形態】

図1は、本発明によって実施されるスイッチング制御論理回路を含む二重電源システム100の模式的なブロック図である。システム100には、電子コンポーネントを含む共通負荷110に動作可能に並列接続された第1と第2の電源112及び114が含まれている。第1の電源112は、出力120において電力を供給し、同様に、第2の電源114は、出力170において電力を供給する。1対の分離スイッチ124及び174は、それぞれの電源112と114の間に動作可能に接続されており、両方とも、出力がノード130において共通負荷110に接続されている。さらに詳細に後述するように、第1の電源112と第2の電源114は、互いに、動作可能に並列接続されているが、分離スイッチ124及び174の働きによってお互いから分離することが可能である。

20

【0014】

すなわち、第1の分離スイッチ124（第1の分離MOSFETと呼ばれる場合もある）は、その入力（ソースS）が第1の電源112の出力120に接続され、出力（ドレインD）がノード130において共通負荷110に接続され、制御部（ゲートG）が、ノード130に対する第1の電源112の有効な接続を許可または拒否する。同様に、第2の分離スイッチ174（第2の分離MOSFETと呼ばれる場合もある）は、その入力（ソースS）が第2の電源114の出力170に接続され、出力（ドレインD）がノード130において共通負荷110に接続され、制御部（ゲートG）が、ノード130に対する第2の電源114の有効な接続を許可または拒否する。

30

【0015】

望ましい実施態様の場合、第1と第2の分離スイッチ124、174は、それぞれ、真性体ダイオードを示すNチャネルMOSFETによって実施される。第1と第2の分離MOSFET124、174のドレインを接続することによって、各MOSFETの真性ダイオードによって、詳細に後述するように、出力に対する分離を可能にする、ダイオードの論理和構成の機能性が得られる。すなわち、第1の分離MOSFET124のソースSは、第1の電源112の出力120に電氣的に接続され、そのドレインDは、ノード130において負荷に接続されている。第1の分離MOSFET124におけるドレイン・ソース間電流 I_{DS} は、ゲートにバイアス電圧を印加することによってONモードとOFFモードの間でスイッチングが可能になる。ONモードにおいて、電流は、ソースからドレインに流れ、ソースSとドレインDの間に、その電流に対応する電圧が生成される。さらに詳細に後述するように、この電圧は、第1のMOSFET124を流れる電流の方向を含む、電流の流れを判定するために利用される。従来の技術のセクションで解説したように、NチャネルMOSFETは、ダイオードの陽極がソースに接続され、陰極がドレインに接続された、ソースとドレインの間で作用する真性体ダイオードを備えている。第1の分離MOSFET124の真性体ダイオードは、出力120における電圧が、ノード130に生じる電圧を超えるダイオード降下未満の場合、ノード130から第1の電源112を分離する働きをする。

40

50

【0016】

第2の分離スイッチ174の働きは、第1の分離スイッチ124と同様であるが、出力170における電圧が、ノード130に生じる電圧を超えるダイオード降下未満の場合、ノード130から第2の電源14を分離する働きをする。

【0017】

第1のモニタ回路116は、第1の分離スイッチ124の制御、従って、ノード130に対する第1の電源112の有効な接続を施すため、第1の分離スイッチ124の入力Sと出力Dの間に動作可能に接続されている。

【0018】

第1のモニタ回路116には、第1の差動増幅器140及び第1の電圧コンパレータ150が含まれている。第1の差動増幅器140の非反転入力142は、第1の分離MOSFET124のソースSに電氣的に接続され、反転入力144は、第1の分離MOSFET124のドレインDに電氣的に接続されている。図1には示されていない他のコンポーネントと第1の差動増幅器140を関連づけることができるという点にも留意すべきである。第1の差動増幅器140は、第1の分離MOSFET124のソースSとドレインDの間における電圧降下を測定する働きをする。もちろん、差動増幅器を利用した電圧測定は、単なる例証のためのものであって、他の電圧測定装置を利用して、第1のMOSFET124のソースとドレインの間における電圧降下を測定することも可能である。第1の差動増幅器140の出力は、ライン152を経由して、第1の電圧コンパレータ150の非反転入力151に電氣的に接続されている。予め選択された電圧 V_{REF} は、第1の電圧コンパレータ150の反転入力153に入力される。第1の電圧コンパレータ150は、第1の差動増幅器140の出力と予め選択された電圧 V_{REF} を比較する。第1の電圧コンパレータ150の出力は、ライン154を経由して第1のMOSFET124のゲートに電氣的に接続されている。図1には示されていない他の電子コンポーネントを第1の電圧コンパレータ150に関連づけることが可能であるという点にも留意すべきである。

【0019】

次に、第2の電源114に対する接続について解説すると、第2のモニタ回路118が、第2の分離スイッチ174の制御、従って、ノード130に対する第2の電源114の有効な接続を施すため、第2の分離スイッチ174の入力Sと出力Dの間に動作可能に接続されている。

【0020】

第2のモニタ回路118には、第2の差動増幅器180及び第2の電圧コンパレータ190が含まれている。第2の差動増幅器180の非反転入力182は、第2の分離MOSFET174のソースSに電氣的に接続され、反転入力184は、第2の分離MOSFET174のドレインDに電氣的に接続されている。第2の差動増幅器180は、第2の分離MOSFET174のソースSとドレインDの間における電圧降下を測定する働きをする。もちろん、第2の差動増幅器180の利用は、単なる例証のためのものであって、他の電圧測定装置を利用して、第2のMOSFET174のソースとドレインの間における電圧降下を測定することも可能である。もちろん、不図示の他のコンポーネントと第2の差動増幅器180を関連づけることも可能である。第2の差動増幅器180の出力は、ライン192を経由して、第2の電圧コンパレータ190の非反転入力191に電氣的に接続されている。予め選択された電圧 V_{REF} は、第2の電圧コンパレータ190の反転入力193に入力される。第2の電圧コンパレータ190は、第2の差動増幅器180の出力と予め選択された電圧 V_{REF} を比較する。第1の電圧コンパレータ190の出力は、ライン194を経由して第1の分離MOSFET174のゲートに電氣的に接続されている。もちろん、図1には示されていない他の電子コンポーネントを第2の電圧コンパレータ190に関連づけることが可能である。

【0021】

スイッチング式電源システムの場合、一般に、通常の動作において、電源112、114の一方またはもう一方だけが、任意の特定の時間に、負荷に対する電力供給を実施するこ

10

20

30

40

50

とが望ましい。例えば、負荷 110 が、小電力バッテリーまたは DC・DC 変換器を第 1 の電源 112 として利用し、装置を目覚めさせるべき時間をモニタして、ウェイク・アップ機能を実施する回路要素（負荷 110 内にあるが、示されていない）に対して +3.3 ボルトを供給する、スタンバイまたは「スリープ」・モードを含む装置であると仮定する。この例では、ウェイク・アップ機能によって実施される機能の 1 つは、完全に機能する負荷 110 の電力要件を満たすため、小電力の第 1 の電源 112 から大電力の第 2 の電源 114 に活性電源をスイッチすることである。従って、適正な通常動作中、任意の特定の時間に、負荷 110 に対して電力を供給するのは、電源 112、114 の一方またはもう一方だけであるのが望ましい。しかし、現在の活性電源に故障が生じると、後述する本発明のアクティブ保護回路によって、現在の活性電源が、故障電源から残りの良好な電源にス

10

【0022】

図 2 は、本発明の典型的な実施態様を例示した流れ図である。例示のように、ステップ 202 で示すパワー・アップ時に、電源の 1 つが、負荷 110 にアクティブに電力供給するため、負荷に動作可能に接続され、他の電源は、負荷から分離される。次に、起動した電源の出力電圧のモニタ（ステップ 204 A）、活性電源の分離スイッチにおける逆電流のモニタ（ステップ 204 B）、及び、システム・モード（スリープ対ウェイク・アップ）のような他のシステム状況のモニタ（ステップ 204 C）のモニタを含む、システム状況のモニタが実施される（204）。ステップ 206 C において検出されるような、システム・モード状況の変化（例えば、システムが目覚めることになる）が検出されると、現在の活性電源が、活性電源の分離スイッチを OFF にすることによって（208）負荷から分離され、残りの良好な電源の 1 つが、選択された残りの良好な電源の分離スイッチを ON にすることによって（210）負荷に動作可能に接続され、負荷に対してアクティブに電力を供給する。

20

【0023】

ステップ（206 A）において検出されるような、活性電源の出力電圧に障害が生じるか、または、ステップ（206 B）において検出されるような、逆電流が活性電源 114 の分離スイッチ 174 において検知されると、活性電源の分離スイッチを OFF にして、活性電源に逆電流が流れるのが阻止され、選択された残りの良好な電源の分離スイッチを ON にして、選択された電源が負荷に対してアクティブに電力供給できるようにする。

30

【0024】

次に、図 1 に戻り、本発明のアクティブ保護回路について詳述する。すなわち、例証となる実施態様の場合、アクティブ保護回路 160 は、制御ライン 154 及び 194、従って、第 1 と第 2 の分離 MOSFET 124 及び 174 のゲート G に接続される。例証となる実施態様の場合、アクティブ保護回路 160 には、フィールド・プログラマブル・ゲート・アレイ（FPGA）において状態機械（state machine, 不図示）として実施されるコントローラ 162 が含まれている。電源モニタ回路 161 が、出力 120 及び 170 における電圧をモニタし、電源 112、114 の出力 120、170 における電圧の一方またはもう一方が規格から外れているか否かを表示する状況信号 163 を出力する。望ましい実施態様の場合、規格は、予め選択された許容差量に +3.3 ボルトを加えたあるいは +3.3 ボルトを引いた値に相当する。コントローラ 162 は、状況信号 163 を受信する。コントローラ 162 は、通常動作中に電力供給源をいつスイッチすべきかを判定するために利用可能な、ウェイク・アップ信号 164 のような他のシステム状態情報信号を受信することも可能である。留意すべきは、図 1 には示されていない他のシステム状況信号が、分離スイッチ 124、174 の制御を可能にするために、コントローラ 162 に入力することが可能であるという点である。

40

【0025】

例証となる実施態様の場合、コントローラ 162 は、第 1 の制御スイッチング素子 156 の制御に利用されるライン 165 に出力信号を生成する。第 1 の制御スイッチング素子 156 は、入力（ソース S）が低電圧源（例えば、アース）に接続され、出力（ドレイン D

50

）がコンパレータ 150 の出力及び第 1 の分離 MOSFET 124 の制御入力 G に接続され、制御部（ゲート G）がライン 165 でコントローラ 162 による制御を受ける。詳細に後述するように、第 1 のスイッチング素子 156 によって、コントローラ 162 が、コントローラ 162 から分離スイッチ 124、174 を ON または OFF にするための機構が得られる。

【0026】

アクティブ保護回路 160 には、さらに、第 2 の制御スイッチング素子 196 を含むことが可能である。第 2 の制御スイッチング素子 196 は、そのソース S が、そのソース S が低電圧源（例えば、アース）に接続され、ドレイン D は、ライン 194（従って、第 2 の分離 MOSFET 174 のゲート G）に接続されている。第 2 の制御スイッチング素子 196 のゲート G は、第 1 の制御スイッチング素子 156 のドレイン D に接続されており、これが、さらに、ライン 165 でコントローラ 162 による制御を受ける。第 1 の制御スイッチング素子 156 及び第 2 の制御スイッチング素子 196 は、第 1 及び第 2 の分離 MOSFET 124 及び 174 を制御し、両方のスイッチング MOSFET 124、174 が同時に ON にならないようにする。

【0027】

アクティブ保護回路の動作を論じるに際して、下記の通り仮定する：（1）システムの起動時に、まず、電源 112、114 が、両方とも、オンになる、（2）通常動作中、一度に 1 つの電源 112、114 だけが、負荷に対してアクティブに電力を供給する、（3）起動時、システムは、まず、第 1 の電源 112 を利用するスタンバイ・モードにされ、その後、完全な機能性が必要になると、第 2 の電源 114 を利用するようにスイッチされる。動作中、システム起動時に、コントローラ 162 は、ライン 165 に低電圧を出力する。パワー・アップ・プロセスの初期段階に、プル・ダウン抵抗器 155 によって、ライン 165 が確実に低になる。従って、第 1 の制御スイッチング素子 156 が OFF になり、ライン 154 が第 1 の制御スイッチング素子 156 のソース S（アース）から分離される。プル・アップ抵抗器 164 によって、ライン 154 が高になると、第 1 の分離 MOSFET 124 が ON になる。また、システム起動時、ライン 154 がプル・アップ抵抗器 164 によって V_{CC} になるので、第 2 の制御スイッチング素子 196 が ON になり、これによって、ライン 194 が低になり、第 2 の MOSFET 分離スイッチ 174 が確実に OFF になる。

【0028】

従って、システム起動時に、第 1 の電源 112 は、負荷 110 に対してアクティブに電力を供給するが、第 2 の電源 114 は、負荷から分離される。この状態において、第 1 の分離 MOSFET 124 のソースは、電圧が +3.3 ボルトであり、非反転入力 142 によって第 1 の差動増幅器 140 に供給されることになる。ソース S の電圧は、ドレイン D における電圧よりわずかに高いが、これは、第 1 の電源 112 から負荷 110 に電流が流れていることを表す。従って、差動増幅器 140 の非反転入力 142 には、約 +3.3 ボルトが生じ、差動増幅器 140 の反転入力 144 には、わずかに低い電圧が生じることになる。第 1 の差動増幅器 140 の利得は、第 1 の分離 MOSFET 124 のソース S とドレイン D の間のわずかな電力差を測定することができるよう予め選択されている。第 1 の差動増幅器 140 の利得は、やはり、第 1 の MOSFET 124 のソース S とドレイン D の間におけるわずかな電圧差の測定時に、第 1 の差動増幅器 140 の出力が電圧 V_{REF} より大きくなるようにするのに十分なほど高い。従って、第 1 の電圧コンパレータ 150 は、ライン 154、従って、第 1 の分離 MOSFET 124 のゲート G における高電圧を維持し、これにより、第 1 の分離 MOSFET 124 は ON 状態に保たれることになる。

【0029】

第 1 の電源 112 によって、システムにアクティブに電力が供給される期間中、第 2 の電源 114 は、負荷から分離される。しかし、第 2 の電源 114 がオンになると、差動増幅器 180 の非反転入力 182 に約 +3.3 ボルトが生じることになる。上述のように、第 1 の電源 112 の供給を受けるノード 130 には、わずかに低い電圧が生じ、このわずか

10

20

30

40

50

に低い電圧が、差動増幅器 180 の反転入力 184 に加えられることになる。結果として、第 2 の差動増幅器 180 は、ライン 192 に高電圧を出力することになる。差動増幅器 180 によって出力される高電圧は、第 2 の電圧コンパレータ 190 によって正の基準電圧 V_{REF} と比較され、この結果、高電圧がライン 194 に出力されることになる。しかし、第 2 の制御スイッチング素子 196 が ON 状態のため、ライン 194 は、低電圧になる。ライン 194 の低電圧は、第 2 の分離スイッチ 174 のゲート G に加えられるので、確実に、第 2 の分離スイッチ 174 のゲート G が OFF 状態にとどまり、第 2 の電源 114 が負荷 110 から分離されることになる。第 2 の分離 MOSFET 174 の真性体ダイオードによって、第 1 の電源 112 からの電流が第 2 の電源 114 に流入するのが阻止され、分離されることになる。

10

【0030】

例えば、装置が、スタンバイ・モードから完全機能性モードにスイッチしている等といった、いかなる理由であろうと、電源が、第 1 の電源 112 から第 2 の電源 114 にスイッチされることになる場合には、コントローラ 162 は、ライン 165 に高電圧を出力し、これが、第 1 の制御スイッチング素子 156 のゲート G に印加されることになる。従って、第 1 の制御スイッチング素子 156 が、ON になると、電流はそれを通して流れることが可能になる。ソース S が低電圧レベル（例えば、アース）にあることにより、ライン 154 は低になり、第 1 の分離 MOSFET 124 は OFF になる。

【0031】

ライン 154 が、第 1 の制御スイッチング素子 156 をオンにすることによって低になると、第 2 の制御スイッチング素子 196 のゲート G に低電圧が加えられ、装置 196 は OFF になる。プル・アップ抵抗器 166 によって、ライン 194 が高になり、第 2 の分離 MOSFET 174 が ON になって、第 2 の電源 114 は、負荷 110 に対してアクティブに電力を供給することが可能になる。

20

【0032】

第 2 の分離 MOSFET 174 が ON になると、第 2 の電源 114 から電流が流れた場合、ソース S における電圧が、ドレイン D における電圧よりわずかに高くなる。第 2 の差動増幅器 180 の利得は、第 2 の分離 MOSFET 174 のソースとドレインの間におけるわずかな電圧差を測定できるように予め選択されている。第 2 の差動増幅器 180 の利得は、やはり、第 2 の MOSFET 174 のソース S とドレイン D の間におけるわずかな電圧差の測定時に、第 2 の差動増幅器 180 の出力が電圧 V_{REF} より高くなるようにするのに十分なほど高い。従って、第 2 の電圧コンパレータ 190 は、第 2 の分離 MOSFET 174 のゲートに対して高電圧を出力し、これにより、第 2 の電源 114 がコントローラによって活性電源として選択される時はいつでも（第 2 の制御スイッチング素子 196 を OFF にして）、第 2 の分離 MOSFET 174 が ON 状態に保たれるようにする。

30

【0033】

部分的には、従来の電源の弱い出力抵抗のため、スイッチ式電源システムにおいて、電源の 1 つが故障すると、その出力電圧は、規格未満にまで降下し、残りの電源から電流を引き込む可能性がある。通常の動作中に、第 2 の電源 114 に故障が生じ、第 2 の分離 MOSFET 174 のソース S における電圧が降下して、第 1 の電源 112 が第 2 の電源 114 に対する電流供給を開始するのに十分なほど低くなると、第 2 の分離 MOSFET 174 のドレイン D における電圧が、第 2 の分離 MOSFET 174 のソース S における電圧より高くなる。従って、第 1 の電源 112 からの電流が、第 1 の分離 MOSFET 124 の真性体ダイオードを通り、第 2 の分離 MOSFET 174 を経て、第 2 の電源 114 に流入する。第 2 の分離 MOSFET 174 のソース S における電圧が、ドレイン D における電圧未満にまで降下すると、差動増幅器 180 が、負の差を検出して、ライン 192 に低電圧レベルを出力する。ライン 192 に出力される低電圧レベルは、基準電圧 V_{REF} より低くなり、このため、第 2 の電圧コンパレータ 190 は、ライン 194 に低電圧レベルを出力し、この結果、第 2 の分離スイッチ 174 が OFF になる。分離スイッチ 174 がオフになると、真性体ダイオードによって、逆電流が、故障した第 2 の電源 114 にスイ

40

50

ッチを通して流入するのが阻止される。これによって、残りの第１の電源１１２は、電流限界に至らないように保護され、負荷１１０に故障を生じさせる可能性のある十分に大きい電圧偏差が、その出力１２０において阻止されることになる。

【００３４】

しかし、電源１１４が故障した時点で、第１の分離ＭＯＳＦＥＴ１２４は、依然としてＯＦＦであった。第２の分離ＭＯＳＦＥＴ１７４が、第２の電源１１４の故障にตอบสนองして、ＯＦＦになった後、第１の分離ＭＯＳＦＥＴ１２４が、ＯＦＦのままにしておかれる場合、負荷１１０の全電流は、第１の電源１１２によって供給されることになり、第１の分離ＭＯＳＦＥＴ１２４の真性体ダイオードを流れて、発熱し、第１の分離ＭＯＳＦＥＴ１２４に損傷を与える可能性がある。従って、アクティブ保護回路は、第２の電源１１４の故障を検出すると、第１の分離ＭＯＳＦＥＴ１２４をＯＮにする働きをする。すなわち、電圧コンパレータ（不図示）によって実施されるのが望ましい電源モニタ回路１６１が、第１及び第２の電源１１２、１１４の出力電圧をモニタし、出力電圧１２０、１７０が規格（例えば、＋３．３ボルト＋／－所定の許容差量）から外れていると、これを検出して、状況信号１６３を出力する。コントローラ１６２が、状況信号１６３を受信し、アクティブ保護回路１６０を起動すべきか否か、及び、いつ起動すべきかを判定する（第１の制御スイッチング素子１５６のゲートＧに加えられる低電圧レベルをライン１６５に送り出すことによって）。第２の電源１１４の故障状態が検出されると、コントローラ１６２は、ライン１６５に低電圧レベルを出力し、これが、第１の制御スイッチング素子１５６のゲートＧに加えられて、スイッチ１５６がＯＦＦになる。従って、第１の分離ＭＯＳＦＥＴ１２４のゲートＧと第２の制御スイッチング素子１９６のゲートＧの両方に接続されたライン１５４は、プル・アップ抵抗器１６４を介して高電圧レベルになる。次に、第１の分離ＭＯＳＦＥＴ１２４が、ＯＮになり、第１の電源１１２が負荷１１０に対してアクティブに電力を供給できるようになる。第１の制御スイッチング素子１５６をＯＦＦにすると、第２の制御スイッチング素子１９６もＯＮになり、その結果、ライン１９４が低電圧レベル（例えば、アース）になり、これによって、第２の分離ＭＯＳＦＥＴ１７４が、モニタ回路１１８によって検知される電圧差に関係なく、ＯＦＦにとどまることが保証される。第２の分離ＭＯＳＦＥＴ１７４は、コントローラ１６２によって、オンになるまで（例えば、コントローラによって、第２の電源１１４が規格（例えば、＋３．３ボルト＋／－許容差）範囲内に戻ったことが検出される場合）、ＯＦＦのままである。

【００３５】

以上の説明から明らかなように、アクティブ保護回路１６０は、ＭＯＳＦＥＴ分離スイッチ１２４と１７４が、電源１１２、１１４の一方の故障によって損傷を受けないようにアクティブに保護し、さらに、負荷１１０に供給される電力が中断されないことを保証する。

【００３６】

アクティブ保護回路１６０によって、もう１つの保護も行われる。負荷１１０が過剰な電流を引き出して、第２の電源１１４が共通負荷１１０にスイッチされ、第２の電源１１４の電流が不足すると、第１の電源１１２が、第１の分離ＭＯＳＦＥＴ１２４の真性体ダイオードを介して電流の供給を開始し、電源１１２と１１４の両方によって、負荷１１０に対する電力供給が行われるようになる。第２の電源１１４が、活性電源として選択されるので、その分離ＭＯＳＦＥＴ１７４は、ＯＮになり、従って、第２の分離ＭＯＳＦＥＴ１７４の真性体ダイオードのドレイン・ソース間抵抗 R_{DS} は、第１の分離ＭＯＳＦＥＴ１２４の真性体ダイオードのドレイン・ソース間抵抗 R_{DS} よりも小さくなる。従って、第２の電源１１４が電流限界に達し、第１の電源１１２より先に、規格から外れることになる。第２の電源１１４が規格から外れると、電源モニタ回路１６１は、この状態を検出し、状況ライン１６３を介してコントローラ１６２に知らせる。次に、コントローラ１６２は、スイッチング素子１５６のゲートＧに低電圧を印加して、第１の制御スイッチング素子１５６をＯＦＦにし、この結果、ライン１５４がプル・アップ抵抗器１６４によって高になって、第１の分離ＭＯＳＦＥＴ１２４がＯＮになり、電流がＭＯＳＦＥＴ１２４自体を通

10

20

30

40

50

るが、真性体ダイオードは通らないようにすることが可能になる。これによって、M O S F E T 1 2 4 が、過剰な電力消費による損傷を被らないという保証が得られる。

【 0 0 3 7 】

もちろん、任意の数の電源を関連するモニタ回路要素及びスイッチング制御回路要素と並列に接続することが可能である。もちろん、電源回路 1 0 0 の他のコンポーネントから分離する必要のある電源だけが、やはり、モニタ回路及びそれに関連したスイッチング制御論理を備える必要がある。

【 0 0 3 8 】

図 3 は、第 1 の分離スイッチ 1 2 4 の代替実施態様である。図示のように、1 対のバック・ツ－・バックの N のチャネル M O S F E T 1 2 4 a、1 2 4 b が、図 1 の第 1 の分離 M O S F E T 1 2 4 に取って代わっている。例示のように、N チャネル M O S F E T 1 2 4 a 及び 1 2 4 b は、ドレイン D で互いに接続されている。M O S F E T 1 2 4 a のソースは、第 1 の電源 1 1 2 の出力 1 2 0 に電氣的に接続され、M O S F E T 1 2 4 b のソースは、ノード 1 3 0 に電氣的に接続されている。M O S F E T 1 2 4 a と 1 2 4 b の両方のゲート G は、互いに結合され、ライン 1 5 4 に電氣的に接続されている。動作時、第 2 の電源 1 1 4 が、アクティブに負荷 1 1 0 に対して電力を供給するように選択された場合、第 1 の電源 1 1 2 を負荷 1 1 0 から分離するため、第 2 の分離 M O S F E T 1 7 4 が O N になり、ライン 1 5 4 は、低電圧になって、M O S F E T 1 2 4 a 及び 1 2 4 b が両方とも O F F になる。負荷 1 1 0 に故障が生じると、M O S F E T 1 2 4 b の真性ダイオードに逆バイアスがかかるため、電流は、M O S F E T 1 2 4 a を通ることができなくなる。一方、上述のように、スイッチング分離 M O S F E T 1 7 4 は、コントローラ 1 6 2 によって、第 2 の電源 1 1 4 が規格から外れたことが検出されるまでオン状態を続け、その後、第 2 の分離 M O S F E T 1 7 4 が O F F になり、M O S F E T 1 2 4 a 及び 1 2 4 b が両方とも同時に O N になって、電流が電源 1 1 2 から流れることが可能になる。

【 0 0 3 9 】

上述の詳細な説明から明らかなように、本発明によれば、先行技術に対するいくつかの利点が提供される。本発明のアクティブ保護制御回路の場合、活性電源の故障または負荷内の短絡がすぐに検出されると、アクティブ保護制御回路によって、現在の活性電源をすぐにスイッチすることが可能になる。この技法によって、分離 M O S F E T が保護され、残りの電源が電流限界に達するか、または、その出力に大きい電圧偏差を生じるのが阻止される。

【 0 0 4 0 】

本発明は、例証となる実施態様に関して説明してきたが、当事者には明らかなように、本発明の精神または範囲を逸脱することなく、例証となる実施態様に対してさまざまな変更及び修正を加えることが可能になる。本発明の範囲は、図示及び解説の例証となる実施態様に制限されることを意図したものではなく、本発明は付属の請求項による制限だけしか受けないものとする。

【 図面の簡単な説明 】

【 図 1 】 本発明によるアクティブ保護回路を組み込んだスイッチ式電源システムの模式的なブロック図である。

【 図 2 】 本発明の方法の典型的な実施態様に関するオペレーショナル・フローチャートである。

【 図 3 】 本発明の代替実施態様を例示した模式的なブロック図である。

【 符号の説明 】

- 1 0 0 M O S F E T で分離されるスイッチ式電源システム
- 1 1 2 第 1 の電源
- 1 1 4 第 2 の電源
- 1 1 8 第 2 の逆電流モニタ回路
- 1 2 0 第 1 の電源出力電圧
- 1 2 4 第 1 の分離スイッチ

10

20

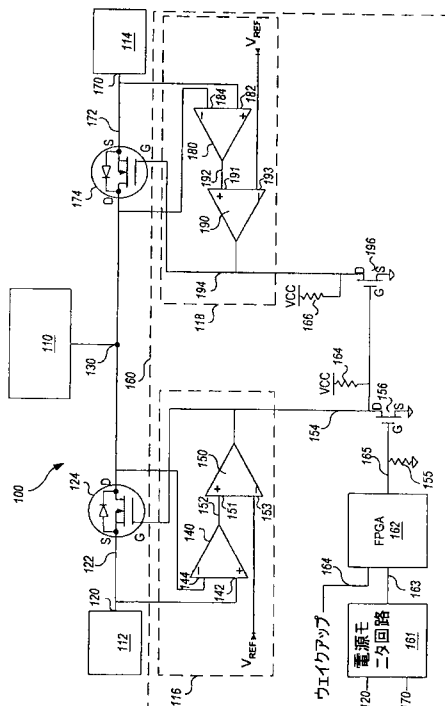
30

40

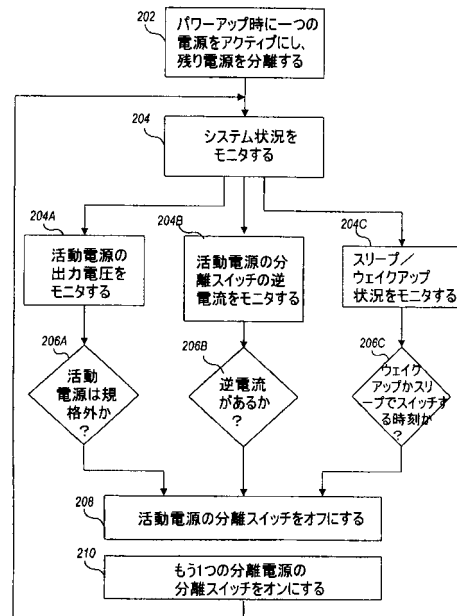
50

- 130 ノード
- 154 逆電流標識
- 156 コントローラ
- 160 アクティブ保護回路
- 161 電源モニタ回路
- 162 コントローラ
- 170 第2の電源出力電圧
- 174 第2の分離スイッチ
- 194 逆電流標識
- 196 コントローラ

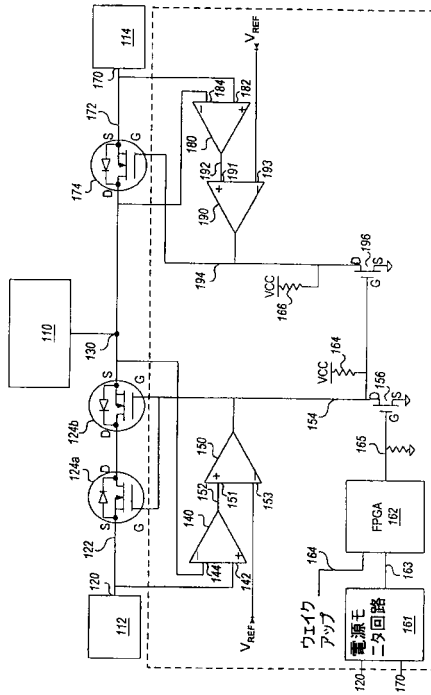
【図1】



【図2】



【 図 3 】



フロントページの続き

- (72)発明者 ブラッドリー・ディ・ウィニック
アメリカ合衆国コロラド州80528, フォート・コリンズ, クレストーン・サークル 4847
- (72)発明者 ロバート・ビー・スミス
アメリカ合衆国コロラド州80538, ラブランド, スプリング・グレイド・ロード 7762

審査官 高野 誠治

- (56)参考文献 特開平06-006934(JP, A)
特開平09-261957(JP, A)
特開平05-191922(JP, A)
特開昭61-049619(JP, A)
特開昭58-006049(JP, A)

(58)調査した分野(Int.Cl., DB名)

H02H 7/00 - 7/20
H02J 9/00 - 9/08
H02J 1/00