(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2022 年 1 月 20 日 (20.01.2022)

WIPO | PCT

(10) 国际公布号
WO 2022/011836 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2020/117334

(22) 国际申请日: 2020 年 9 月 24 日 (24.09.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010669594.0 2020年7月13日 (13.07.2020) CN

(71) 申请人: 武汉华星光电技术有限公司 (**WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430079 (CN)。

(72) 发明人: 陶健 (**TAO, Jian**); 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430079 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (**PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.**); 中国广东省深圳市南山区粤海街道高新区社区高新南一道006号TCL工业研究院大厦A802, Guangdong 518057 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,

(54) **Title:** GOA CIRCUIT AND DISPLAY PANEL

(54) 发明名称: GOA电路以及显示面板

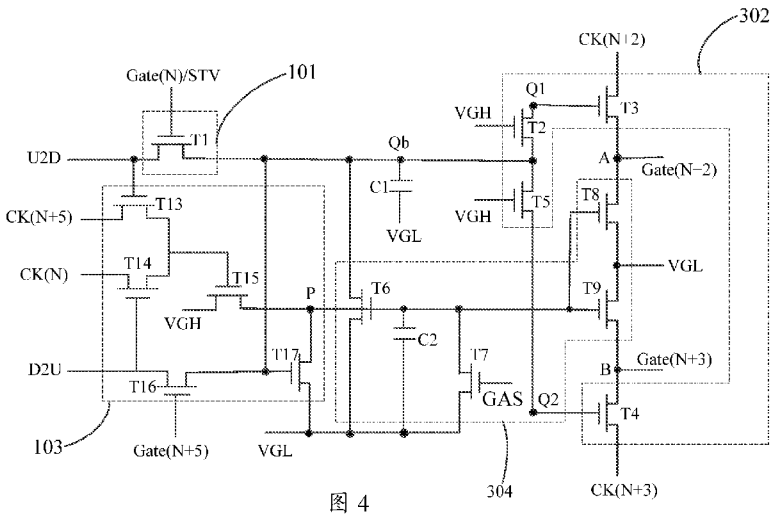


图 4

(57) **Abstract:** Provided are a GOA circuit and a display panel. The GOA circuit comprises a plurality of stages of GOA units arranged in a cascade, wherein each GOA unit comprises a pull-up control module, a pull-up module, a pull-down module, a pull-down maintenance module and a bootstrap capacitor. By means of the design of sharing part of a circuit, each GOA unit can output a multistage scanning signal, thereby simplifying the structure of a GOA circuit, and thus realizing the design of a narrow frame of a display panel.

(57) 摘要: 本申请提供一种GOA电路以及显示面板，所述GOA电路包括多级级联设置的GOA单元，每一所述GOA单元包括上拉控制模块、上拉模块、下拉模块、下拉维持模块以及自举电容，通过设计部分电路共用，每一所述GOA单元能够实现多级扫描信号输出，简化了GOA电路的结构，进而实现显示面板的窄边框设计。

WO 2022/011836 A1

[见续页]

AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

说明书

发明名称：GOA电路以及显示面板

技术领域

[0001] 本申请涉及显示技术领域，具体涉及一种GOA电路以及显示面板。

背景技术

[0002] 阵列基板栅极驱动技术(Gate Driveron Array，简称GOA)，是将栅极驱动电路集成在显示面板的阵列基板上，以实现逐行扫描的驱动方式，从而可以省掉栅极驱动电路部分，具有降低生产成本和实现面板窄边框设计的优点，为多种显示器所使用。

发明概述

技术问题

[0003] 在现有的GOA电路中，每一GOA单元对应输出一扫描信号至显示面板中相应的一栅线，该GOA电路结构占用的布线空间较大，不利于实现窄边框。

问题的解决方案

技术解决方案

[0004] 本申请提供一种GOA电路以及显示面板，以解决现有技术中GOA电路占用的布线空间较大，不利于实现窄边框的技术问题。

[0005] 本申请提供一种GOA电路，其包括多级级联设置的GOA单元，每一级GOA单元均包括：上拉控制模块、上拉模块、下拉模块、下拉维持模块以及自举电容；

[0006] 所述上拉控制模块接入第N级扫描信号以及正向扫描信号，并电性连接于第一节点，用于在所述第N级扫描信号的控制下将所述正向扫描信号输出至所述第一节点；

[0007] 所述上拉模块接入高电平信号以及至少两个时钟信号，并电性连接于所述第一节点，用于在所述高电平信号、所述时钟信号以及所述第一节点的电位的控制下输出与每一所述时钟信号对应的扫描信号；

[0008] 所述下拉模块接入所述正向扫描信号、反向扫描信号、第N+5级时钟信号、第N级时钟信号、第N+5级扫描信号、所述高电平信号以及低电平信号，并电性连接

于所述第一节点及第二节点，用于在所述正向扫描信号、所述反向扫描信号、所述第N+5级时钟信号、所述第N级时钟信号、所述第N+5级扫描信号、所述高电平信号以及所述低电平信号的控制下下拉所述第一节点的电位；

[0009] 所述下拉维持模块接入所述低电平信号及功能控制信号，并电性连接于所述第一节点、所述第二节点以及所述扫描信号输出端，用于在所述第二节点的电位以及所述低电平信号的控制下维持所述第一节点以及相应所述扫描信号的低电位；

[0010] 所述自举电容的第一端接入所述低电平信号，所述自举电容的第二端电性连接于所述第一节点。

[0011] 在本申请提供的GOA电路中，所述上拉控制模块包括第一晶体管；

[0012] 所述第一晶体管的栅极接入所述第N级扫描信号，所述第一晶体管的源极接入所述正向扫描信号，所述第一晶体管的漏极与所述第一节点电性连接。

[0013] 在本申请提供的GOA电路中，所述上拉模块包括第二晶体管、第三晶体管以及第四晶体管；

[0014] 所述第二晶体管的栅极接入所述高电平信号，所述第二晶体管的源极电性连接于所述第一节点，所述第二晶体管的漏极、所述第三晶体管的栅极以及所述第四晶体管的栅极均电性连接于上拉节点，所述第三晶体管的源极接入第N+2级时钟信号，所述第三晶体管的漏极电性连接于第N+2级扫描信号输出端，所述第四晶体管的源极接入第N+3级时钟信号，所述第四晶体管的漏极电性连接于第N+3级扫描信号输出端。

[0015] 在本申请提供的GOA电路中，所述上拉模块包括第二晶体管、第三晶体管、第四晶体管以及第五晶体管；

[0016] 所述第二晶体管的栅极以及所述第五晶体管的栅极均接入所述高电平信号，所述第二晶体管的源极与所述第五晶体管的源极均电性连接于所述第一节点，所述第二晶体管的漏极与所述第三晶体管的栅极均电性连接于第一上拉节点，所述第三晶体管的源极接入第N+2级时钟信号，所述第三晶体管的漏极电性连接于第N+2级扫描信号输出端，所述第五晶体管的漏极与所述第四晶体管的栅极均电性连接于第二上拉节点，所述第四晶体管的源极接入第N+3级时钟信号，所述第

四晶体管的漏极电性连接于第N+3级扫描信号输出端。

[0017] 在本申请提供的GOA电路中，所述下拉维持模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管以及第二电容；

[0018] 所述第六晶体管的栅极、所述第二电容的第一端、所述第七晶体管的漏极、所述第八晶体管的栅极以及所述第九晶体管的栅极均电性连接于所述第二节点，所述第六晶体管的漏极电性连接于所述第一节点，所述第六晶体管的源极、所述第二电容的第二端、所述第七晶体管的源极、所述第八晶体管的源极以及所述第九晶体管的源极均接入所述低电平信号，所述第七晶体管的栅极接入所述功能控制信号，所述第八晶体管的漏极电性连接于所述第N+2级扫描信号输出端，所述第九晶体管的漏极电性连接于所述第N+3级扫描信号输出端。

[0019] 在本申请提供的GOA电路中，所述上拉模块包括第二晶体管、第三晶体管、第四晶体管、第五晶体管、第十晶体管以及第十一晶体管；

[0020] 所述第二晶体管的栅极、所述第五晶体管的栅极以及所述第十晶体管的栅极均接入所述高电平信号，所述第二晶体管的源极、所述第五晶体管的源极以及所述第十晶体管的源极均电性连接于所述第一节点，所述第二晶体管的漏极与所述第三晶体管的栅极均电性连接于第一上拉节点，所述第三晶体管的源极接入第N+2级时钟信号，所述第三晶体管的漏极电性连接于第N+2级扫描信号输出端，所述第五晶体管的漏极与所述第四晶体管的栅极均电性连接于第二上拉节点，所述第四晶体管的源极接入第N+3级时钟信号，所述第四晶体管的漏极电性连接于第N+3级扫描信号输出端，所述第十晶体管的漏极与所述第十一晶体管的栅极均电性连接于第三上拉节点，所述第十一晶体管的源极接入第N+4级时钟信号，所述第十一晶体管的漏极电性连接于第N+4级扫描信号输出端。

[0021] 在本申请提供的GOA电路中，所述下拉维持模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十二晶体管以及第二电容；

[0022] 所述第六晶体管的栅极、所述第二电容的第一端、所述第七晶体管的漏极、所述第八晶体管的栅极、所述第九晶体管的栅极以及第十二晶体管的栅极均电性连接于所述第二节点，所述第六晶体管的漏极电性连接于所述第一节点，所述第六晶体管的源极、所述第二电容的第二端、所述第七晶体管的源极、所述第

八晶体管的源极、所述第九晶体管的源极以及所述第十二晶体管的源极均接入所述低电平信号，所述第七晶体管的栅极接入所述功能控制信号，所述第八晶体管的漏极电性连接于所述第N+2级扫描信号输出端，所述第九晶体管的漏极电性连接于所述第N+3级扫描信号输出端，所述第十二晶体管的漏极电性连接于所述第N+4级扫描信号输出端。

[0023] 在本申请提供的GOA电路中，所述下拉模块包括第十三晶体管、第十四晶体管、第十五晶体管、第十六晶体管以及第十七晶体管；

[0024] 所述第十三晶体管的栅极接入所述正向扫描信号，所述第十三晶体管的源极接入所述第N+5级时钟信号，所述第十三晶体管的漏极与所述第十四晶体管的漏极以及所述第十五晶体管的栅极电性连接，所述第十四晶体管的源极接入所述第N级时钟信号，所述第十四晶体管的栅极与所述第十六晶体管的源极均接入所述反向扫描信号，所述第十六晶体管的栅极接入所述第N+5级扫描信号，所述第十六晶体管的漏极与所述第十七晶体管的栅极均电性连接于所述第一节点，所述第十七晶体管的源极接入所述低电平信号，所述第十七晶体管的漏极以及所述第十五晶体管的漏极均电性连接于所述第二节点，所述第十五晶体管的源极接入所述高电平信号。

[0025] 在本申请提供的GOA电路中，述正向扫描信号与所述反向扫描信号反相。

[0026] 相应的，本申请还提供一种显示面板，其包括GOA电路，所述GOA电路包括多级级联设置的GOA单元，每一级GOA单元均包括：上拉控制模块、上拉模块、下拉模块、下拉维持模块以及自举电容；

[0027] 所述上拉控制模块接入第N级扫描信号以及正向扫描信号，并电性连接于第一节点，用于在所述第N级扫描信号的控制下将所述正向扫描信号输出至所述第一节点；

[0028] 所述上拉模块接入高电平信号以及至少两个时钟信号，并电性连接于所述第一节点，用于在所述高电平信号、所述时钟信号以及所述第一节点的电位的控制下输出与每一所述时钟信号对应的扫描信号；

[0029] 所述下拉模块接入所述正向扫描信号、反向扫描信号、第N+5级时钟信号、第N级时钟信号、第N+5级扫描信号、所述高电平信号以及低电平信号，并电性连接

于所述第一节点及第二节点，用于在所述正向扫描信号、所述反向扫描信号、所述第N+5级时钟信号、所述第N级时钟信号、所述第N+5级扫描信号、所述高电平信号以及所述低电平信号的控制下下拉所述第一节点的电位；

[0030] 所述下拉维持模块接入所述低电平信号及功能控制信号，并电性连接于所述第一节点、所述第二节点以及所述扫描信号输出端，用于在所述第二节点的电位以及所述低电平信号的控制下维持所述第一节点以及相应所述扫描信号的低电位；

[0031] 所述自举电容的第一端接入所述低电平信号，所述自举电容的第二端电性连接于所述第一节点。

[0032] 在本申请提供的显示面板中，所述上拉控制模块包括第一晶体管；

[0033] 所述第一晶体管的栅极接入所述第N级扫描信号，所述第一晶体管的源极接入所述正向扫描信号，所述第一晶体管的漏极与所述第一节点电性连接。

[0034] 在本申请提供的显示面板中，所述上拉模块包括第二晶体管、第三晶体管以及第四晶体管；

[0035] 所述第二晶体管的栅极接入所述高电平信号，所述第二晶体管的源极电性连接于所述第一节点，所述第二晶体管的漏极、所述第三晶体管的栅极以及所述第四晶体管的栅极均电性连接于上拉节点，所述第三晶体管的源极接入第N+2级时钟信号，所述第三晶体管的漏极电性连接于第N+2级扫描信号输出端，所述第四晶体管的源极接入第N+3级时钟信号，所述第四晶体管的漏极电性连接于第N+3级扫描信号输出端。

[0036] 在本申请提供的显示面板中，所述下拉维持模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管以及第二电容；

[0037] 所述第六晶体管的栅极、所述第二电容的第一端、所述第七晶体管的漏极、所述第八晶体管的栅极以及所述第九晶体管的栅极均电性连接于所述第二节点，所述第六晶体管的漏极电性连接于所述第一节点，所述第六晶体管的源极、所述第二电容的第二端、所述第七晶体管的源极、所述第八晶体管的源极以及所述第九晶体管的源极均接入所述低电平信号，所述第七晶体管的栅极接入所述功能控制信号，所述第八晶体管的漏极电性连接于所述第N+2级扫描信号输出端

，所述第九晶体管的漏极电性连接于所述第N+3级扫描信号输出端。

[0038] 在本申请提供的显示面板中，所述上拉模块包括第二晶体管、第三晶体管、第四晶体管以及第五晶体管；

[0039] 所述第二晶体管的栅极以及所述第五晶体管的栅极均接入所述高电平信号，所述第二晶体管的源极与所述第五晶体管的源极均电性连接于所述第一节点，所述第二晶体管的漏极与所述第三晶体管的栅极均电性连接于第一上拉节点，所述第三晶体管的源极接入第N+2级时钟信号，所述第三晶体管的漏极电性连接于第N+2级扫描信号输出端，所述第五晶体管的漏极与所述第四晶体管的栅极均电性连接于第二上拉节点，所述第四晶体管的源极接入第N+3级时钟信号，所述第四晶体管的漏极电性连接于第N+3级扫描信号输出端。

[0040] 在本申请提供的显示面板中，所述下拉维持模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管以及第二电容；

[0041] 所述第六晶体管的栅极、所述第二电容的第一端、所述第七晶体管的漏极、所述第八晶体管的栅极以及所述第九晶体管的栅极均电性连接于所述第二节点，所述第六晶体管的漏极电性连接于所述第一节点，所述第六晶体管的源极、所述第二电容的第二端、所述第七晶体管的源极、所述第八晶体管的源极以及所述第九晶体管的源极均接入所述低电平信号，所述第七晶体管的栅极接入所述功能控制信号，所述第八晶体管的漏极电性连接于所述第N+2级扫描信号输出端，所述第九晶体管的漏极电性连接于所述第N+3级扫描信号输出端。

[0042] 在本申请提供的显示面板中，所述上拉模块包括第二晶体管、第三晶体管、第四晶体管、第五晶体管、第十晶体管以及第十一晶体管；

[0043] 所述第二晶体管的栅极、所述第五晶体管的栅极以及所述第十晶体管的栅极均接入所述高电平信号，所述第二晶体管的源极、所述第五晶体管的源极以及所述第十晶体管的源极均电性连接于所述第一节点，所述第二晶体管的漏极与所述第三晶体管的栅极均电性连接于第一上拉节点，所述第三晶体管的源极接入第N+2级时钟信号，所述第三晶体管的漏极电性连接于第N+2级扫描信号输出端，所述第五晶体管的漏极与所述第四晶体管的栅极均电性连接于第二上拉节点，所述第四晶体管的源极接入第N+3级时钟信号，所述第四晶体管的漏极电性连

接于第N+3级扫描信号输出端，所述第十晶体管的漏极与所述第十一晶体管的栅极均电性连接于第三上拉节点，所述第十一晶体管的源极接入第N+4级时钟信号，所述第十一晶体管的漏极电性连接于第N+4级扫描信号输出端。

[0044] 在本申请提供的显示面板中，所述下拉维持模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十二晶体管以及第二电容；

[0045] 所述第六晶体管的栅极、所述第二电容的第一端、所述第七晶体管的漏极、所述第八晶体管的栅极、所述第九晶体管的栅极以及第十二晶体管的栅极均电性连接于所述第二节点，所述第六晶体管的漏极电性连接于所述第一节点，所述第六晶体管的源极、所述第二电容的第二端、所述第七晶体管的源极、所述第八晶体管的源极、所述第九晶体管的源极以及所述第十二晶体管的源极均接入所述低电平信号，所述第七晶体管的栅极接入所述功能控制信号，所述第八晶体管的漏极电性连接于所述第N+2级扫描信号输出端，所述第九晶体管的漏极电性连接于所述第N+3级扫描信号输出端，所述第十二晶体管的漏极电性连接于所述第N+4级扫描信号输出端。

[0046] 在本申请提供的显示面板中，所述下拉模块包括第十三晶体管、第十四晶体管、第十五晶体管、第十六晶体管以及第十七晶体管；

[0047] 所述第十三晶体管的栅极接入所述正向扫描信号，所述第十三晶体管的源极接入所述第N+5级时钟信号，所述第十三晶体管的漏极与所述第十四晶体管的漏极以及所述第十五晶体管的栅极电性连接，所述第十四晶体管的源极接入所述第N级时钟信号，所述第十四晶体管的栅极与所述第十六晶体管的源极均接入所述反向扫描信号，所述第十六晶体管的栅极接入所述第N+5级扫描信号，所述第十六晶体管的漏极与所述第十七晶体管的栅极均电性连接于所述第一节点，所述第十七晶体管的源极接入所述低电平信号，所述第十七晶体管的漏极以及所述第十五晶体管的漏极均电性连接于所述第二节点，所述第十五晶体管的源极接入所述高电平信号。

[0048] 在本申请提供的显示面板中，所述正向扫描信号与所述反向扫描信号反相。

发明的有益效果

有益效果

[0049] 本申请提供一种GOA电路以及显示面板，该GOA电路包括多级级联设置的GOA单元，每一GOA单元包括上拉控制模块、上拉模块、下拉模块、下拉维持模块以及自举电容，每一GOA单元通过共用部分电路，能够实现多级扫描信号输出，简化了GOA电路的结构，进而实现显示面板的窄边框设计。

对附图的简要说明

附图说明

[0050] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0051] 图1为本申请实施例提供的GOA电路中一GOA单元的结构示意图；

[0052] 图2为本申请实施例提供的GOA电路中一GOA单元的第一电路示意图；

[0053] 图3为图2所示的GOA单元中上拉节点的仿真结果；

[0054] 图4为本申请实施例提供的GOA电路中一GOA单元的第二电路示意图；

[0055] 图5为图4所示的GOA单元中第一上拉节点和第二上拉节点的仿真结果；

[0056] 图6为本申请实施例提供的GOA电路中一GOA单元的第三电路示意图；

[0057] 图7为本申请实施例提供的图4所示的GOA单元的信号时序图；

[0058] 图8为本申请实施例提供的显示面板的结构示意图。

发明实施例

本发明的实施方式

[0059] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0060] 在本申请的描述中，需要理解的是，术语“第一”和“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”和“第二”等的特征可以明示或者隐含地包括一个或者更多个所述特征，因此不能理解为对本申请的限制。

[0061] 本申请所有实施例中采用的晶体管可以为薄膜晶体管或场效应管或其他特性相同的器件，由于这里采用的晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本申请实施例中，为区分晶体管除栅极之外的两极，将其中一极称为源极，另一极称为漏极。按附图中的形态规定开关晶体管的中间端为栅极、信号输入端为源极、输出端为漏极。此外本申请实施例所采用的晶体管可以包括P型晶体管和/或N型晶体管两种，其中，P型晶体管在栅极为低电平时导通，在栅极为高电平时截止，N型晶体管为在栅极为高电平时导通，在栅极为低电平时截止。

[0062] 需要说明的是，本申请以下实施例中的晶体管均以N型晶体管为例进行说明，但不能理解为对本申请的限制。

[0063] 请参阅图1，图1为本申请实施例提供的GOA电路中一GOA单元的结构示意图。如图1所示，该GOA单元包括：上拉控制模块101、上拉模块102、下拉模块103、下拉维持模块104以及自举电容C1。

[0064] 其中，上拉控制模块101接入第N级扫描信号Gate(N)/起始信号STV以及正向扫描信号U2D，并电性连接于第一节点Qb，用于在第N级扫描信号Gate(N)/起始信号STV的控制下将正向扫描信号U2D输出至第一节点Qb。其中，N为正整数。

[0065] 其中，上拉模块102接入至少两个时钟信号CK以及高电平信号VGH，并电性连接于第一节点Qb以及至少两个扫描信号输出端，用于在时钟信号CK1-CKM以及高电平信号VGH的控制下输出与时钟信号CK1-CKM对应的扫描信号Gate1-GateM。其中，M为正整数，M小于或等于N。

[0066] 其中，下拉模块103接入正向扫描信号U2D、反向扫描信号D2U、第N+5级时钟信号CK(N+5)、第N级时钟信号CK(N)、第N+5级扫描信号Gate(N+5)、高电平信号VGH以及低电平信号VGL，并电性连接于第一节点Qb及第二节点P，用于在正向扫描信号U2D、反向扫描信号D2U、第N+5级时钟信号CK(N+5)、第N级时钟信号CK(N)、第N+5级扫描信号Gate(N+5)、高电平信号VGH以及低电平信号VGL的控制下下拉第一节点Qb的电位。

[0067] 其中，下拉维持模块104接入低电平信号VGL及功能控制信号GAS，并电性连接于第一节点Qb、第二节点P以及每一扫描信号输出端，用于在第二节点P的电位

以及低电平信号VGL的控制下维持第一节点Qb以及相应扫描信号的低电位。

[0068] 其中，自举电容C1的第一端接入低电平信号VGL。自举电容C1的第二端电性连接于第一节点Qb。

[0069] 需要说明的是，在本申请实施例中，正向扫描信号U2D与反向扫描信号D2U反相。当GOA电路在打开功能阶段时，能通过第N-2级扫描信号Gate(N-2)和第N+2级扫描信号Gate(N+2)隔绝正向扫描信号U2D或者反向扫描信号D2U与第一节点Qb的通路，采用高电平的正向扫描信号U2D或者反向扫描信号D2U进行驱动，避免了GOA电路中出现竞争通路。本申请各实施例中均以正向扫描信号U2D为高电平，反向扫描信号D2U为低电平为例进行说明，但不能理解为对本申请的限定。

[0070] 本申请实施例提供的GOA电路包括多级级联设置的GOA单元，每一GOA单元包括上拉控制模块101、上拉模块102、下拉模块103、下拉维持模块104以及自举电容C1，通过设计部分电路共用，每一GOA单元能够实现多级扫描信号输出，简化了GOA电路的结构，进而实现了显示面板的窄边框设计。

[0071] 进一步的，请参阅图2，图2是本申请提供的GOA电路的中一GOA单元的第一电路示意图。如图2所示，上拉控制模块101包括第一晶体管T1。

[0072] 第一晶体管T1的栅极接入第N级扫描信号Gate(N)。第一晶体管T1的源极接入正向扫描信号U2D。第一晶体管T1的漏极与第一节点Qb电性连接。

[0073] 上拉模块102包括第二晶体管T2、第三晶体管T3以及第四晶体管T4。

[0074] 第二晶体管T2的栅极接入高电平信号VGH。第二晶体管T2的源极电性连接于第一节点Qb。第二晶体管T2的漏极、第三晶体管T3的栅极以及第四晶体管T4的栅极均电性连接于上拉节点Q。第三晶体管T3的源极接入第N+2级时钟信号CK(N+2)。第三晶体管T3的漏极电性连接于第N+2级扫描信号输出端A。第四晶体管T4的源极接入第N+3级时钟信号CK(N+3)。所述第四晶体管的漏极电性连接于第N+3级扫描信号输出端B。

[0075] 下拉模块104包括第十三晶体管T13、第十四晶体管T14、第十五晶体管T15、第十六晶体管T16以及第十七晶体管T17。

[0076] 第十三晶体管T13的栅极接入正向扫描信号U2D。第十三晶体管T13的源极接入第N+5级时钟信号CK(N+5)。第十三晶体管T13的漏极与第十四晶体管T14的漏极

以及第十五晶体管T15的栅极电性连接。第十四晶体管T14的源极接入第N级时钟信号CK(N)。第十四晶体管T14的栅极与第十六晶体管T16的源极均接入反向扫描信号D2U。第十六晶体管T16的栅极接入第N+5级扫描信号Gate(N+5)。第十六晶体管T16的漏极与第十七晶体管T17的栅极均电性连接于第一节点Qb。第十七晶体管T17的源极接入低电平信号VGL。第十七晶体管T17的漏极以及第十五晶体管T15的漏极均电性连接于第二节点P。第十五晶体管T15的源极接入高电平信号VGH。

[0077] 下拉维持模块103包括第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9以及第二电容C2。

[0078] 第六晶体管T6的栅极、第二电容C2的第一端、第七晶体管T7的漏极、第八晶体管T8的栅极以及第九晶体管T9的栅极均电性连接于第二节点P。第六晶体管T6的漏极电性连接于第一节点Qb。第六晶体管T6的源极、第二电容C2的第二端、第七晶体管T7的源极、第八晶体管T8的源极以及第九晶体管T9的源极均接入低电平信号VGL。第七晶体管T7的栅极接入功能控制信号GAS。第八晶体管T8的漏极电性连接于第N+2级扫描信号输出端A。第九晶体管T9的漏极电性连接于第N+3级扫描信号输出端B。

[0079] 在本申请实施例中，通过设计部分电路共用，每一GOA单元能够对应输出第N+2级扫描信号Gate(N+2)以及第N+3级扫描信号Gate(N+3)，简化了GOA电路的结构，进而实现了显示面板的窄边框设计。

[0080] 但是，由于第三晶体管T3的栅极与第四晶体管T4的栅极均电性连接于上拉节点Q，导致上拉节点Q的自举效应不佳。具体的，请参阅图3，图3是图2所示的GOA单元中上拉节点Q的仿真结果，其中，横坐标为时间，单位是微秒；纵坐标为电压，单位是伏特。如图3所示，通常GOA电路中的高电平信号VGH为9V，根据仿真结果，上拉节点Q的自举电压幅值只有16V，使得第三晶体管T3和第四晶体管T4的栅极电压不够高，从而造成输出的扫描信号的波形失真。因此，本申请对该GOA电路进行了进一步的优化。

[0081] 请参阅图4，图4是本申请提供的GOA电路中的一GOA单元的第二电路示意图。如图4所示，与图2所示的GOA单元的不同之处在于，上拉模块202包括第二晶体管T

2、第三晶体管T3、第四晶体管T4以及第五晶体管T5。

[0082] 第二晶体管T2的栅极以及第五晶体管T5的栅极均接入高电平信号VGH。第二晶体管T2的源极与第五晶体管T5的源极均电性连接于第一节点Qb。第二晶体管T2的漏极与第三晶体管T3的栅极均电性连接于第一上拉节点Q1。第三晶体管T3的源极接入第N+2级时钟信号CK(N+2)。第三晶体管T3的漏极电性连接于第N+2级扫描信号输出端Gate(N+2)。第五晶体管T5的漏极与第四晶体管T4的栅极均电性连接于第二上拉节点Q2。第四晶体管T4的源极接入第N+3级时钟信号CK(N+3)。第四晶体管T4的漏极电性连接于第N+3级扫描信号输出端B。

[0083] 本申请实施例通过在上拉模块202中增加第五晶体管T5，将原来上拉节点Q分成了第一上拉节点Q1和第二上拉节点Q2。第一上拉节点Q1和第二上拉节点Q2在自举的时候不会相互影响。

[0084] 具体的，请参阅图5，图5是图4所示的GOA单元中第一上拉节点Q1和第二上拉节点Q2的仿真结果，其中，横坐标为时间，单位是微秒；纵坐标为电压，单位是伏特。如图5所示，通常GOA电路中的高电平信号VGH为9V，根据仿真结果，第一上拉节点Q1和第二上拉节点Q2的自举电压都达到了约23V，使得第三晶体管T3和第四晶体管T4均能够充分打开，从而提高每一级GOA单元输出的扫描信号的波形质量。

[0085] 需要说明的是，每一GOA单元可对应输出多个扫描信号，具体数量不限，可根据实际需求进行设置。

[0086] 例如，请参阅图6，图6是本申请提供的GOA电路的中一GOA单元的第三电路示意图。如图6所示，与图4所示的GOA单元的不同之处在于，上拉模块302包括第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第十晶体管T10以及第十一晶体管T11。

[0087] 第二晶体管T2的栅极、第五晶体管T5的栅极以及第十晶体管T10的栅极均接入高电平信号VGH。第二晶体管T2的源极、第五晶体管T5的源极以及第十晶体管T10的源极均电性连接于第一节点Qb。第二晶体管T2的漏极与第三晶体管T3的栅极均电性连接于第一上拉节点Q1。第三晶体管T3的源极接入第N+2级时钟信号CK(N+2)。第三晶体管T3的漏极电性连接于第N+2级扫描信号输出端A。第五晶体管T5

的漏极与第四晶体管T4的栅极均电性连接于第二上拉节点Q2。第四晶体管T4的源极接入第N+3级时钟信号CK(N+3)。第四晶体管T4的漏极电性连接于第N+3级扫描信号输出端B。第十晶体管T10的漏极与第十一晶体管T11的栅极均电性连接于第三上拉节点T3。第十一晶体管T11的源极接入第N+4级时钟信号CK(N+4)。第十一晶体管T11的漏极电性连接于第N+4级扫描信号输出端C。

[0088] 相应的，下拉维持模块304包括第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、第十二晶体管T12以及第二电容C2。

[0089] 第六晶体管T6的栅极、第二电容C2的第一端、第七晶体管T7的漏极、第八晶体管T8的栅极、第九晶体管T9的栅极以及第十二晶体管T12的栅极均电性连接于第二节点P。第六晶体管T6的漏极电性连接于第一节点Qb。第六晶体管T6的源极、第二电容C2的第二端、第七晶体管T7的源极、第八晶体管T8的源极、第九晶体管T9的源极以及第十二晶体管T12的源极均接入低电平信号VGL。第七晶体管T7的栅极接入功能控制信号GAS。第八晶体管T8的漏极电性连接于第N+2级扫描信号输出端A。第九晶体管T9的漏极电性连接于第N+3级扫描信号输出端B。第十二晶体管T12的漏极电性连接于第N+4级扫描信号输出端C。

[0090] 在本申请实施例中，通过设计部分电路共用，每一GOA单元能够对应输出第N+2级扫描信号Gate(N+2)、第N+3级扫描信号Gate(N+3)以及第N+4级扫描信号Gate(N+4)，进一步简化了GOA电路的结构，从而实现显示面板的窄边框设计。

[0091] 进一步的，请参阅图4和图7，图7是本申请提供的图4所示的GOA单元的信号时序图。本申请实施例以图4所示的GOA单元为例对其工作时序进行说明。

[0092] 初始阶段t1：正扫描信号U2D为高电平，第十三晶体管T3打开，反向扫描信号D2U为低电平，第十四晶体管T14关闭。此时，时钟信号CK全置为高电平，第十五晶体管T15打开，第二节点P的电位被拉高至高电平，第八晶体管T8和第九晶体管T9打开，将第N+2级扫描信号信号Gate(N+2)和第N+3级扫描信号Gate(N+3)拉低至VGL，初始电位写入完成。

[0093] 输入阶段t2：第N级扫描信号Gate(N)或者启动信号STV升为高电平，第一晶体管T1打开，第一节点Qb的电位被拉高，第十七晶体管T17打开，第二节点P的电位被拉低至低电平，第八晶体管T8和第九晶体管T9关闭。同时，第二晶体管T2

和第五晶体管T5打开，第一上拉节点Q1和第二上拉节点Q2被拉高至高电平，第三晶体管T3和第四晶体管T4处于打开阶段，等待第N+2级时钟信号CK(N+2)和第N+3级时钟信号CK(N+3)的到来。

[0094] 第一输出阶段t3：第N+2级时钟信号CK(N+2)升至高电平，第一上拉节点Q1自举将第三晶体管T3充分打开，第N+2级扫描信号输出端A输出高电平的第N+2级扫描信号Gate(N+2)。此时，第N+3时钟信号CK(N+3)是低电平，第N+3级扫描信号Gate(N+3)仍保持低电平。

[0095] 第二输出阶段t4：第N+2级时钟信号CK(N+2)变为低电平，第一上拉节点Q1的电位仍然为高电平，第三晶体管T3打开，第N+2级扫描信号Gate(N+2)被下拉至VGL，至此第N+2级扫描信号Gate(N+2)被重置。此时，第N+3级扫描信号Gate(N+3)升为高电平，第N+3级扫描信号输出端B输出高电平的第N+3级扫描信号Gate(N+3)。

[0096] 第一重置阶段t5：在第N+4级时钟信号CK(N+4)升为高电平时，第N+3时钟信号CK(N+3)和第N+5时钟信号CK(N+5)均为低电平，使得第一上拉节点Q1和第二上拉节点Q2都保持高电平，第三晶体管T3和第四晶体管T4都处于打开阶段，第N+3级扫描信号Gate(N+3)被下拉至VGL，实现第N+3级扫描信号Gate(N+3)的重置。

[0097] 第二重置阶段t6：第N+5时钟信号CK(N+5)和第N+5级扫描信号Gate(N+5)均升为高电平，第十五晶体管T15打开，第二节点P的电位被拉高至高电平，第八晶体管T8和第九晶体管T9打开，维持第N+2级扫描信号Gate(N+2)和第N+3时钟信号CK(N+3)的低电平。同时第十六晶体管T16打开，由于反向扫描信号D2U为低电平，第一节点Qb的电位被拉低至低电平，进而第一上拉节点Q1和第二上拉节点Q2全部重置为低电位，第三晶体管T3和第四晶体管T4关断，防止第N+2级时钟信号CK(N+2)以及第N+3级时钟信号CK(N+3)的周期性高电平输入至第N+2级扫描信号输出端A和第N+3级扫描信号输出端B。

[0098] 需要说明的是，本申请提供的GOA电路中的晶体管均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管或非晶硅薄膜晶体管。此外，本申请实施例提供的GOA电路中的晶体管为同一种类型的晶体管，从而避免不同类型的晶体管之间的差异性对GOA电路造成的影响。

[0099] 请参阅图8，图8为本申请提供的显示面板的结构示意图。如图8所示，该显示面板包括显示区域以及集成设置在显示区域100边缘上的GOA电路200；其中，该GOA电路200与上述的GOA电路的结构和原理类似，这里不再赘述。该显示面板包括但不限于液晶显示面板、OLED（Organic Light-Emitting Diode）显示面板、LED（Light-Emitting Diode）显示面板以及QLED（Quantum Dot Light Emitting Diodes）显示面板。

[0100] 需要说明的是，本申请实施例提供的显示面板以GOA电路200设置在显示区域100一侧的单侧驱动方式为例进行介绍，但不能理解为对本申请的限制。在一些实施例中，也可根据显示面板的实际需求采用双侧驱动等其他驱动方式，本申请对此作具体限定。

[0101] 本申请提供的显示面板设置有GOA电路，GOA电路包括多级级联设置的GOA单元，每一GOA单元包括上拉控制模块、上拉模块、下拉模块以及下拉维持模块，通过设计部分电路共用，使得每一GOA单元能够实现多级扫描信号输出，简化了GOA电路的结构，进而实现显示面板的窄边框设计。

[0102] 以上对本申请提供的GOA电路以及显示面板进行了详细介绍，本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本申请的方法及其核心思想；同时，对于本领域的一般技术人员，依据本申请的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本申请的限制。

权利要求书

[权利要求 1] 一种GOA电路，其包括多级级联设置的GOA单元，每一级GOA单元均包括：上拉控制模块、上拉模块、下拉模块、下拉维持模块以及自举电容；

所述上拉控制模块接入第N级扫描信号以及正向扫描信号，并电性连接于第一节点，用于在所述第N级扫描信号的控制下将所述正向扫描信号输出至所述第一节点；

所述上拉模块接入高电平信号以及至少两个时钟信号，并电性连接于所述第一节点，用于在所述高电平信号、所述时钟信号以及所述第一节点的电位的控制下输出与每一所述时钟信号对应的扫描信号；

所述下拉模块接入所述正向扫描信号、反向扫描信号、第N+5级时钟信号、第N级时钟信号、第N+5级扫描信号、所述高电平信号以及低电平信号，并电性连接于所述第一节点及第二节点，用于在所述正向扫描信号、所述反向扫描信号、所述第N+5级时钟信号、所述第N级时钟信号、所述第N+5级扫描信号、所述高电平信号以及所述低电平信号的控制下下拉所述第一节点的电位；

所述下拉维持模块接入所述低电平信号及功能控制信号，并电性连接于所述第一节点、所述第二节点以及所述扫描信号输出端，用于在所述第二节点的电位以及所述低电平信号的控制下维持所述第一节点以及相应所述扫描信号的低电位；

所述自举电容的第一端接入所述低电平信号，所述自举电容的第二端电性连接于所述第一节点。

[权利要求 2] 根据权利要求1所述的GOA电路，其中，所述上拉控制模块包括第一晶体管；

所述第一晶体管的栅极接入所述第N级扫描信号，所述第一晶体管的源极接入所述正向扫描信号，所述第一晶体管的漏极与所述第一节点电性连接。

[权利要求 3] 根据权利要求1所述的GOA电路，其中，所述上拉模块包括第二晶体管

、第三晶体管以及第四晶体管；

所述第二晶体管的栅极接入所述高电平信号，所述第二晶体管的源极电性连接于所述第一节点，所述第二晶体管的漏极、所述第三晶体管的栅极以及所述第四晶体管的栅极均电性连接于上拉节点，所述第三晶体管的源极接入第N+2级时钟信号，所述第三晶体管的漏极电性连接于第N+2级扫描信号输出端，所述第四晶体管的源极接入第N+3级时钟信号，所述第四晶体管的漏极电性连接于第N+3级扫描信号输出端。

[权利要求 4] 根据权利要求3所述的GOA电路，其中，所述下拉维持模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管以及第二电容；

所述第六晶体管的栅极、所述第二电容的第一端、所述第七晶体管的漏极、所述第八晶体管的栅极以及所述第九晶体管的栅极均电性连接于所述第二节点，所述第六晶体管的漏极电性连接于所述第一节点，所述第六晶体管的源极、所述第二电容的第二端、所述第七晶体管的源极、所述第八晶体管的源极以及所述第九晶体管的源极均接入所述低电平信号，所述第七晶体管的栅极接入所述功能控制信号，所述第八晶体管的漏极电性连接于所述第N+2级扫描信号输出端，所述第九晶体管的漏极电性连接于所述第N+3级扫描信号输出端。

[权利要求 5] 根据权利要求1所述的GOA电路，其中，所述上拉模块包括第二晶体管、第三晶体管、第四晶体管以及第五晶体管；

所述第二晶体管的栅极以及所述第五晶体管的栅极均接入所述高电平信号，所述第二晶体管的源极与所述第五晶体管的源极均电性连接于所述第一节点，所述第二晶体管的漏极与所述第三晶体管的栅极均电性连接于第一上拉节点，所述第三晶体管的源极接入第N+2级时钟信号，所述第三晶体管的漏极电性连接于第N+2级扫描信号输出端，所述第五晶体管的漏极与所述第四晶体管的栅极均电性连接于第二上拉节点，所述第四晶体管的源极接入第N+3级时钟信号，所述第四晶体管的漏极电性连接于第N+3级扫描信号输出端。

[权利要求 6] 根据权利要求5所述的GOA电路，其中，所述下拉维持模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管以及第二电容；

所述第六晶体管的栅极、所述第二电容的第一端、所述第七晶体管的漏极、所述第八晶体管的栅极以及所述第九晶体管的栅极均电性连接于所述第二节点，所述第六晶体管的漏极电性连接于所述第一节点，所述第六晶体管的源极、所述第二电容的第二端、所述第七晶体管的源极、所述第八晶体管的源极以及所述第九晶体管的源极均接入所述低电平信号，所述第七晶体管的栅极接入所述功能控制信号，所述第八晶体管的漏极电性连接于所述第N+2级扫描信号输出端，所述第九晶体管的漏极电性连接于所述第N+3级扫描信号输出端。

[权利要求 7] 根据权利要求1所述的GOA电路，其中，所述上拉模块包括第二晶体管、第三晶体管、第四晶体管、第五晶体管、第十晶体管以及第十一晶体管；

所述第二晶体管的栅极、所述第五晶体管的栅极以及所述第十晶体管的栅极均接入所述高电平信号，所述第二晶体管的源极、所述第五晶体管的源极以及所述第十晶体管的源极均电性连接于所述第一节点，所述第二晶体管的漏极与所述第三晶体管的栅极均电性连接于第一上拉节点，所述第三晶体管的源极接入第N+2级时钟信号，所述第三晶体管的漏极电性连接于第N+2级扫描信号输出端，所述第五晶体管的漏极与所述第四晶体管的栅极均电性连接于第二上拉节点，所述第四晶体管的源极接入第N+3级时钟信号，所述第四晶体管的漏极电性连接于第N+3级扫描信号输出端，所述第十晶体管的漏极与所述第十一晶体管的栅极均电性连接于第三上拉节点，所述第十一晶体管的源极接入第N+4级时钟信号，所述第十一晶体管的漏极电性连接于第N+4级扫描信号输出端。

[权利要求 8] 根据权利要求7所述的GOA电路，其中，所述下拉维持模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十二晶体管以及第二电容；

所述第六晶体管的栅极、所述第二电容的第一端、所述第七晶体管的漏极、所述第八晶体管的栅极、所述第九晶体管的栅极以及第十二晶体管的栅极均电性连接于所述第二节点，所述第六晶体管的漏极电性连接于所述第一节点，所述第六晶体管的源极、所述第二电容的第二端、所述第七晶体管的源极、所述第八晶体管的源极、所述第九晶体管的源极以及所述第十二晶体管的源极均接入所述低电平信号，所述第七晶体管的栅极接入所述功能控制信号，所述第八晶体管的漏极电性连接于所述第N+2级扫描信号输出端，所述第九晶体管的漏极电性连接于所述第N+3级扫描信号输出端，所述第十二晶体管的漏极电性连接于所述第N+4级扫描信号输出端。

[权利要求 9] 根据权利要求1所述的GOA电路，其中，所述下拉模块包括第十三晶体管、第十四晶体管、第十五晶体管、第十六晶体管以及第十七晶体管；

所述第十三晶体管的栅极接入所述正向扫描信号，所述第十三晶体管的源极接入所述第N+5级时钟信号，所述第十三晶体管的漏极与所述第十四晶体管的漏极以及所述第十五晶体管的栅极电性连接，所述第十四晶体管的源极接入所述第N级时钟信号，所述第十四晶体管的栅极与所述第十六晶体管的源极均接入所述反向扫描信号，所述第十六晶体管的栅极接入所述第N+5级扫描信号，所述第十六晶体管的漏极与所述第十七晶体管的栅极均电性连接于所述第一节点，所述第十七晶体管的源极接入所述低电平信号，所述第十七晶体管的漏极以及所述第十五晶体管的漏极均电性连接于所述第二节点，所述第十五晶体管的源极接入所述高电平信号。

[权利要求 10] 根据权利要求1所述的GOA电路，其中，所述正向扫描信号与所述反向扫描信号反相。

[权利要求 11] 一种显示面板，其包括GOA电路，所述GOA电路包括多级级联设置的GOA单元，每一级GOA单元均包括：上拉控制模块、上拉模块、下拉模块、下拉维持模块以及自举电容；

所述上拉控制模块接入第N级扫描信号以及正向扫描信号，并电性连接于第一节点，用于在所述第N级扫描信号的控制下将所述正向扫描信号输出至所述第一节点；

所述上拉模块接入高电平信号以及至少两个时钟信号，并电性连接于所述第一节点，用于在所述高电平信号、所述时钟信号以及所述第一节点的电位的控制下输出与每一所述时钟信号对应的扫描信号；

所述下拉模块接入所述正向扫描信号、反向扫描信号、第N+5级时钟信号、第N级时钟信号、第N+5级扫描信号、所述高电平信号以及低电平信号，并电性连接于所述第一节点及第二节点，用于在所述正向扫描信号、所述反向扫描信号、所述第N+5级时钟信号、所述第N级时钟信号、所述第N+5级扫描信号、所述高电平信号以及所述低电平信号的控制下下拉所述第一节点的电位；

所述下拉维持模块接入所述低电平信号及功能控制信号，并电性连接于所述第一节点、所述第二节点以及所述扫描信号输出端，用于在所述第二节点的电位以及所述低电平信号的控制下维持所述第一节点以及相应所述扫描信号的低电位；

所述自举电容的第一端接入所述低电平信号，所述自举电容的第二端电性连接于所述第一节点。

[权利要求 12] 根据权利要求11所述的显示面板，其中，所述上拉控制模块包括第一晶体管；

所述第一晶体管的栅极接入所述第N级扫描信号，所述第一晶体管的源极接入所述正向扫描信号，所述第一晶体管的漏极与所述第一节点电性连接。

[权利要求 13] 根据权利要求11所述的显示面板，其中，所述上拉模块包括第二晶体管、第三晶体管以及第四晶体管；

所述第二晶体管的栅极接入所述高电平信号，所述第二晶体管的源极电性连接于所述第一节点，所述第二晶体管的漏极、所述第三晶体管的栅极以及所述第四晶体管的栅极均电性连接于上拉节点，所述第三

晶体管的源极接入第N+2级时钟信号，所述第三晶体管的漏极电性连接于第N+2级扫描信号输出端，所述第四晶体管的源极接入第N+3级时钟信号，所述第四晶体管的漏极电性连接于第N+3级扫描信号输出端。

[权利要求 14] 根据权利要求13所述的显示面板，其中，所述下拉维持模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管以及第二电容；

所述第六晶体管的栅极、所述第二电容的第一端、所述第七晶体管的漏极、所述第八晶体管的栅极以及所述第九晶体管的栅极均电性连接于所述第二节点，所述第六晶体管的漏极电性连接于所述第一节点，所述第六晶体管的源极、所述第二电容的第二端、所述第七晶体管的源极、所述第八晶体管的源极以及所述第九晶体管的源极均接入所述低电平信号，所述第七晶体管的栅极接入所述功能控制信号，所述第八晶体管的漏极电性连接于所述第N+2级扫描信号输出端，所述第九晶体管的漏极电性连接于所述第N+3级扫描信号输出端。

[权利要求 15] 根据权利要求11所述的显示面板，其中，所述上拉模块包括第二晶体管、第三晶体管、第四晶体管以及第五晶体管；

所述第二晶体管的栅极以及所述第五晶体管的栅极均接入所述高电平信号，所述第二晶体管的源极与所述第五晶体管的源极均电性连接于所述第一节点，所述第二晶体管的漏极与所述第三晶体管的栅极均电性连接于第一上拉节点，所述第三晶体管的源极接入第N+2级时钟信号，所述第三晶体管的漏极电性连接于第N+2级扫描信号输出端，所述第五晶体管的漏极与所述第四晶体管的栅极均电性连接于第二上拉节点，所述第四晶体管的源极接入第N+3级时钟信号，所述第四晶体管的漏极电性连接于第N+3级扫描信号输出端。

[权利要求 16] 根据权利要求15所述的显示面板，其中，所述下拉维持模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管以及第二电容；

所述第六晶体管的栅极、所述第二电容的第一端、所述第七晶体管的漏极、所述第八晶体管的栅极以及所述第九晶体管的栅极均电性连接

于所述第二节点，所述第六晶体管的漏极电性连接于所述第一节点，所述第六晶体管的源极、所述第二电容的第二端、所述第七晶体管的源极、所述第八晶体管的源极以及所述第九晶体管的源极均接入所述低电平信号，所述第七晶体管的栅极接入所述功能控制信号，所述第八晶体管的漏极电性连接于所述第N+2级扫描信号输出端，所述第九晶体管的漏极电性连接于所述第N+3级扫描信号输出端。

[权利要求 17] 根据权利要求11所述的显示面板，其中，所述上拉模块包括第二晶体管、第三晶体管、第四晶体管、第五晶体管、第十晶体管以及第十一晶体管；

所述第二晶体管的栅极、所述第五晶体管的栅极以及所述第十晶体管的栅极均接入所述高电平信号，所述第二晶体管的源极、所述第五晶体管的源极以及所述第十晶体管的源极均电性连接于所述第一节点，所述第二晶体管的漏极与所述第三晶体管的栅极均电性连接于第一上拉节点，所述第三晶体管的源极接入第N+2级时钟信号，所述第三晶体管的漏极电性连接于第N+2级扫描信号输出端，所述第五晶体管的漏极与所述第四晶体管的栅极均电性连接于第二上拉节点，所述第四晶体管的源极接入第N+3级时钟信号，所述第四晶体管的漏极电性连接于第N+3级扫描信号输出端，所述第十晶体管的漏极与所述第十一晶体管的栅极均电性连接于第三上拉节点，所述第十一晶体管的源极接入第N+4级时钟信号，所述第十一晶体管的漏极电性连接于第N+4级扫描信号输出端。

[权利要求 18] 根据权利要求17所述的显示面板，其中，所述下拉维持模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十二晶体管以及第二电容；

所述第六晶体管的栅极、所述第二电容的第一端、所述第七晶体管的漏极、所述第八晶体管的栅极、所述第九晶体管的栅极以及第十二晶体管的栅极均电性连接于所述第二节点，所述第六晶体管的漏极电性连接于所述第一节点，所述第六晶体管的源极、所述第二电容的第二

端、所述第七晶体管的源极、所述第八晶体管的源极、所述第九晶体管的源极以及所述第十二晶体管的源极均接入所述低电平信号，所述第七晶体管的栅极接入所述功能控制信号，所述第八晶体管的漏极电性连接于所述第N+2级扫描信号输出端，所述第九晶体管的漏极电性连接于所述第N+3级扫描信号输出端，所述第十二晶体管的漏极电性连接于所述第N+4级扫描信号输出端。

[权利要求 19] 根据权利要求11所述的显示面板，其中，所述下拉模块包括第十三晶体管、第十四晶体管、第十五晶体管、第十六晶体管以及第十七晶体管；

所述第十三晶体管的栅极接入所述正向扫描信号，所述第十三晶体管的源极接入所述第N+5级时钟信号，所述第十三晶体管的漏极与所述第十四晶体管的漏极以及所述第十五晶体管的栅极电性连接，所述第十四晶体管的源极接入所述第N级时钟信号，所述第十四晶体管的栅极与所述第十六晶体管的源极均接入所述反向扫描信号，所述第十六晶体管的栅极接入所述第N+5级扫描信号，所述第十六晶体管的漏极与所述第十七晶体管的栅极均电性连接于所述第一节点，所述第十七晶体管的源极接入所述低电平信号，所述第十七晶体管的漏极以及所述第十五晶体管的漏极均电性连接于所述第二节点，所述第十五晶体管的源极接入所述高电平信号。

[权利要求 20] 根据权利要求11所述的显示面板，其中，所述正向扫描信号与所述反向扫描信号反相。

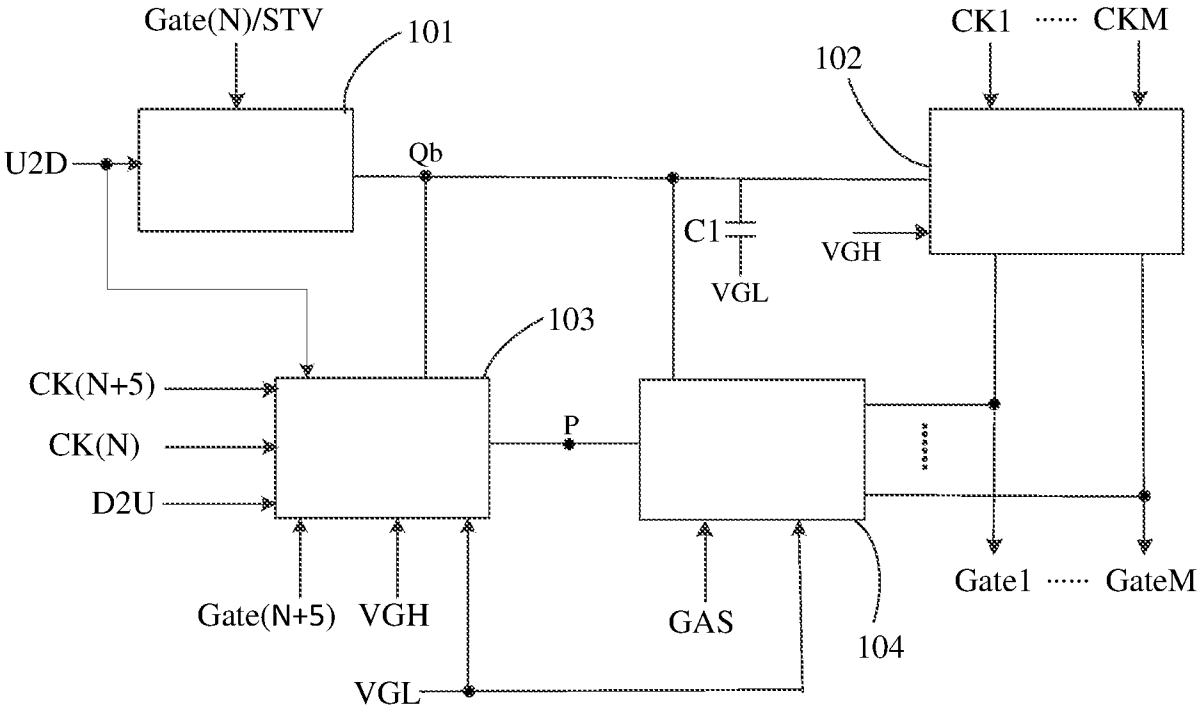

Gate(N)/STV
101
CK1 ····· CKM
102
U2D
Qb
C1
VGH
VGL
103
CK(N+5)
CK(N)
D2U
P
Gate(N+5)
VGH
GAS
104
Gate1 ····· GateM
VGL

图 1

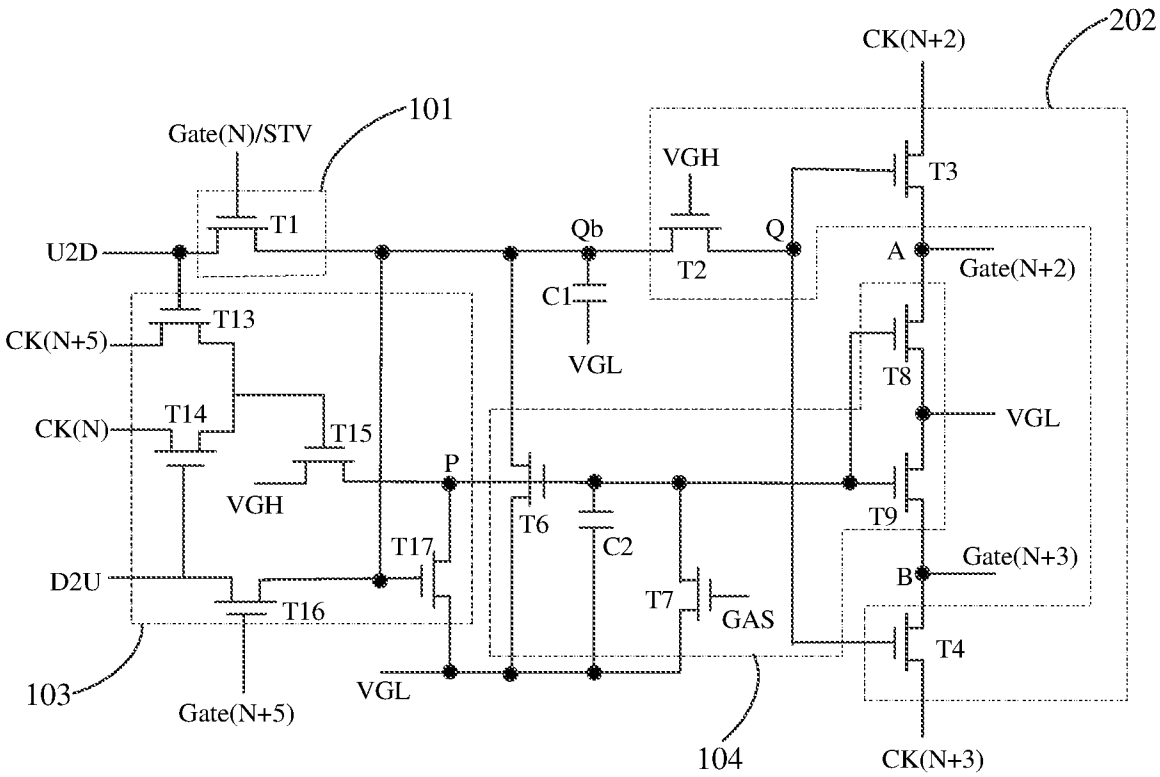

202
CK(N+2)
101
Gate(N)/STV
VGH
T3
T1
Qb
Q
A
Gate(N+2)
U2D
T2
C1
VGL
T13
CK(N+5)
T8
VGL
CK(N)
T14
T15
P
VGH
T6
T9
T17
C2
Gate(N+3)
D2U
B
T7
GAS
T16
T4
103
Gate(N+5)
VGL
104
CK(N+3)

图 2

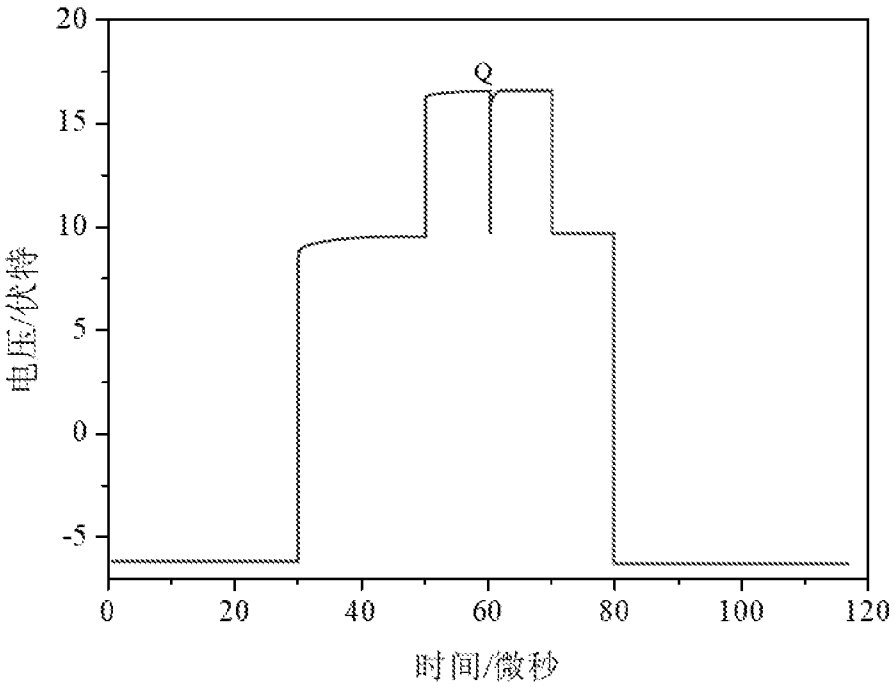

20
15
10
5
0
-5
Q
电压/伏特
0
20
40
60
80
100
120
时间/微秒

图 3

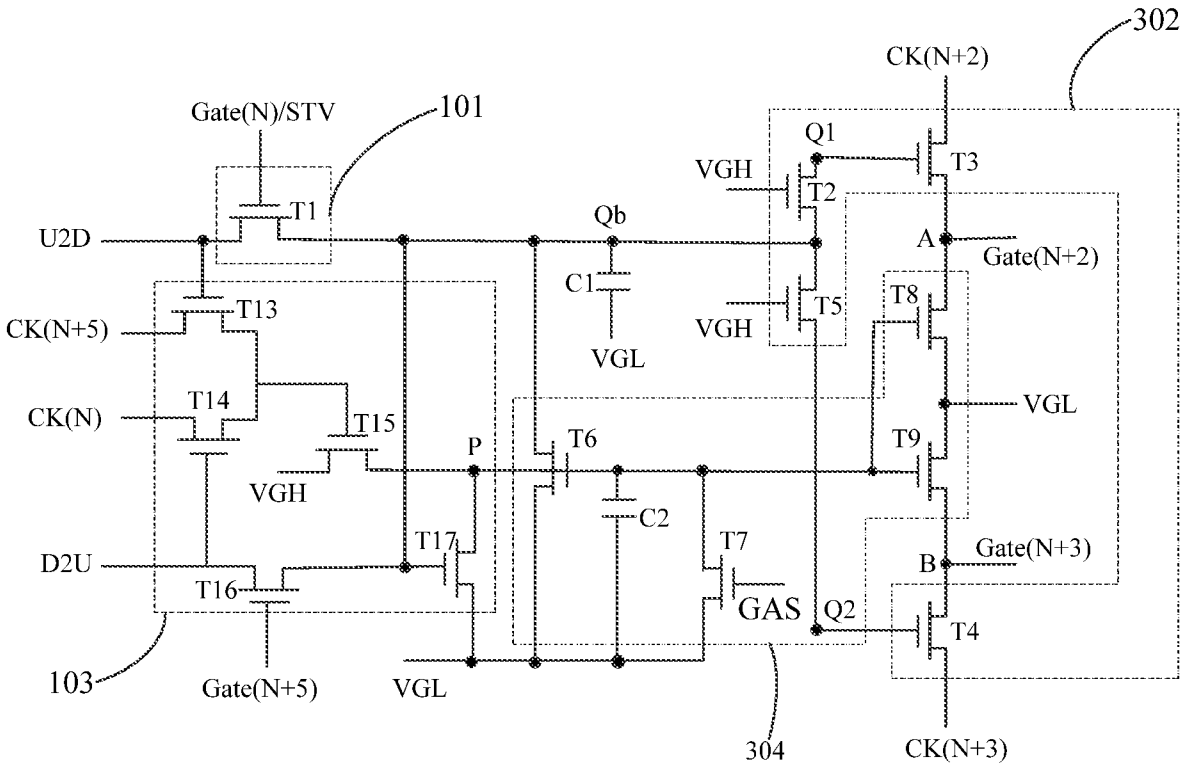

302
CK(N+2)
Gate(N)/STV
101
Q1
T3
VGH
T2
U2D
T1
Qb
A
Gate(N+2)
C1
T8
CK(N+5)
T13
VGH
T5
VGL
CK(N)
T14
T15
VGL
P
T6
T9
VGH
C2
T17
T7
D2U
B
Gate(N+3)
T16
GAS
Q2
T4
103
Gate(N+5)
VGL
304
CK(N+3)

图 4

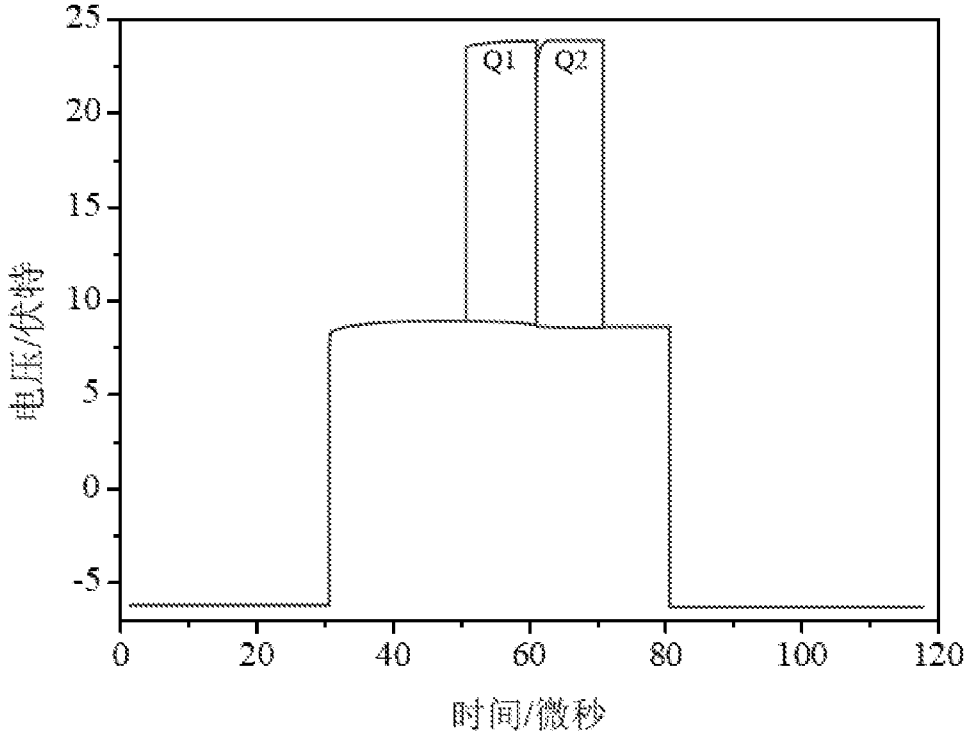

25
20
15
10
5
0
-5
电压/伏特
Q1
Q2
0
20
40
60
80
100
120
时间/微秒

图 5

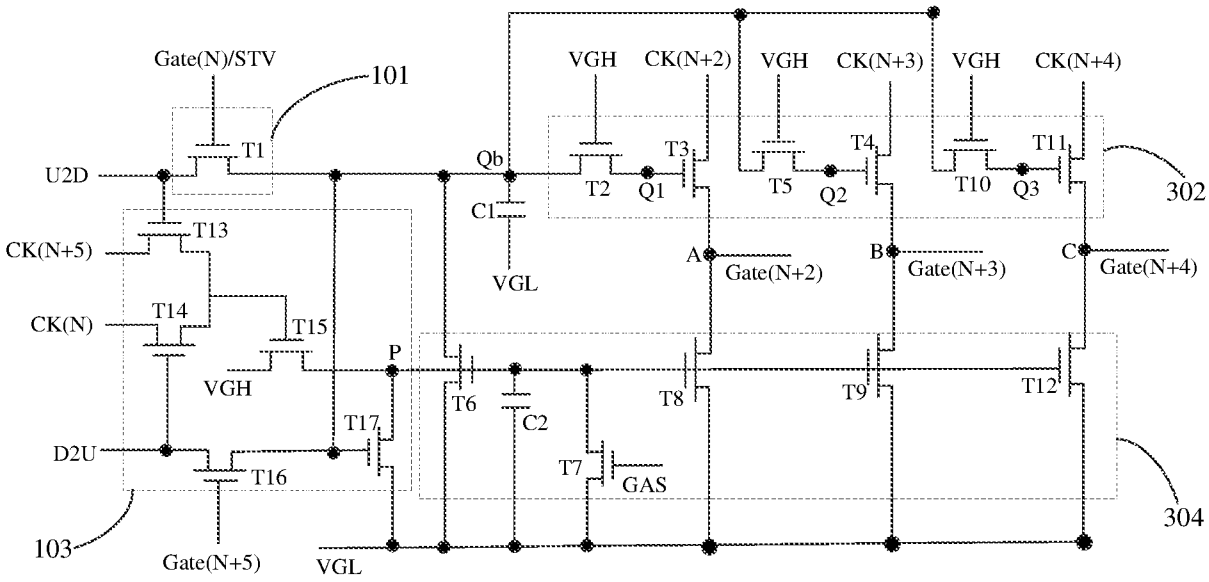

Gate(N)/STV
101
VGH
CK(N+2)
VGH
CK(N+3)
VGH
CK(N+4)
U2D
T1
Qb
T2
Q1
T3
T5
Q2
T4
T10
Q3
T11
302
C1
VGL
CK(N+5)
T13
A
Gate(N+2)
B
Gate(N+3)
C
Gate(N+4)
CK(N)
T14
T15
P
VGH
T6
C2
T8
T9
T12
D2U
T17
T7
GAS
T16
304
103
Gate(N+5)
VGL

图 6

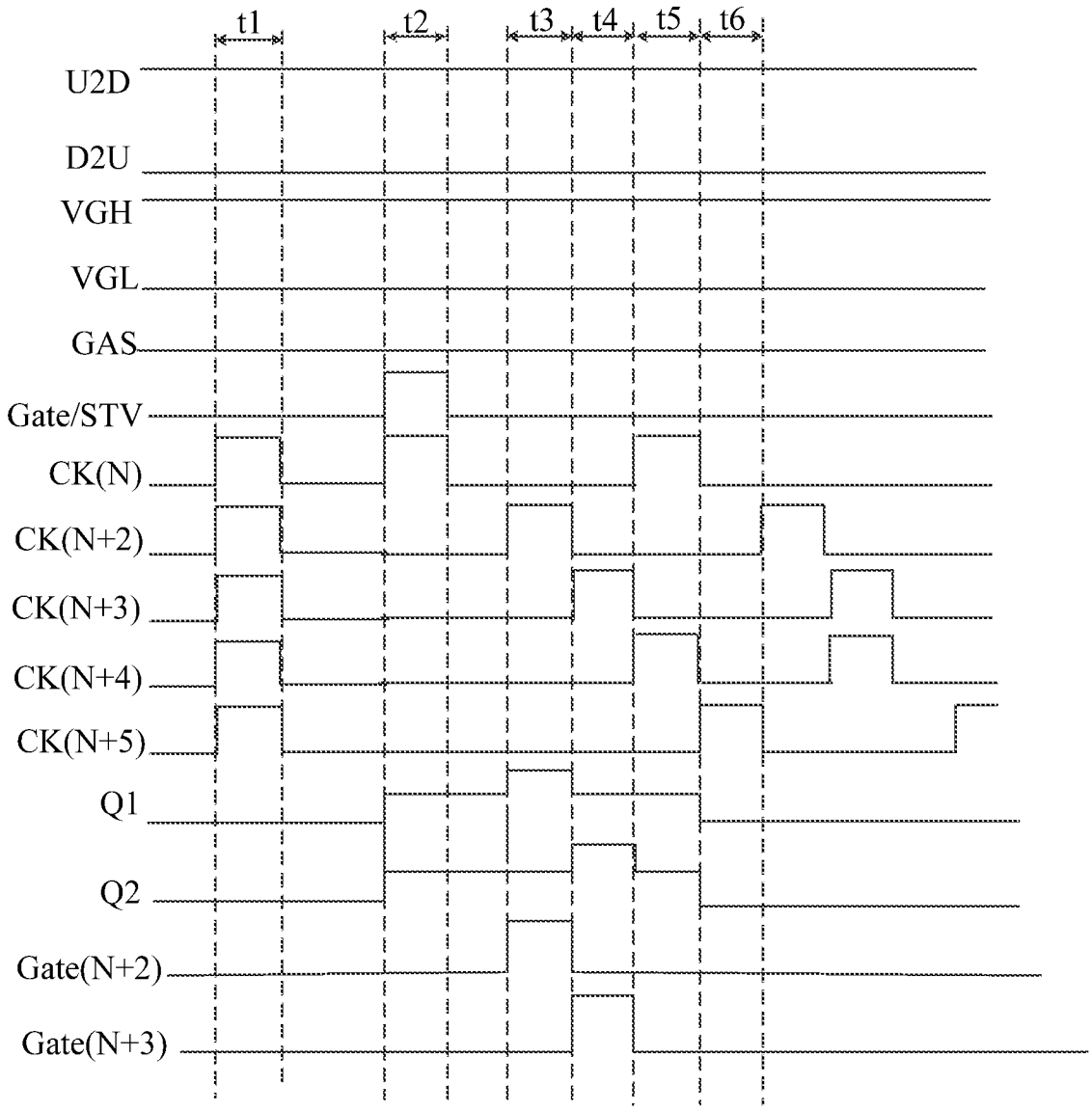

t1
t2
t3
t4
t5
t6
U2D
D2U
VGH
VGL
GAS
Gate/STV
CK(N)
CK(N+2)
CK(N+3)
CK(N+4)
CK(N+5)
Q1
Q2
Gate(N+2)
Gate(N+3)

图 7

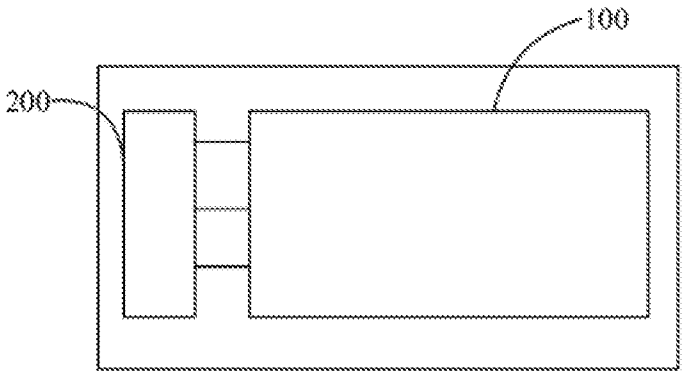

100
200

图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2020/117334

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CNKI: GOA, 移位寄存器, 栅极驱动器, 扫描驱动器, 正相, 正向, 反相, 反向, 时钟信号, 扫描信号, 上拉, 下拉, 窄边框; VEN, DWPI, SIPOABS, USTXT, WOTXT, EPTXT, JPABS: GOA, register, forward, positive, rever-s+, opposite, clock, scan, pull up, pull down, narrow+, reduc+, frame, border, edge

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 107799083 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 13 March 2018 (2018-03-13) description, paragraphs 39-73, and figures 1-2	1-20
X	CN 107993620 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 04 May 2018 (2018-05-04) description paragraphs 2, 31-53, figures 1-4	1-20
A	CN 107767834 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 06 March 2018 (2018-03-06) entire document	1-20
A	CN 107958656 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 24 April 2018 (2018-04-24) entire document	1-20
A	CN 108154836 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 12 June 2018 (2018-06-12) entire document	1-20

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 February 2021	**30 March 2021**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088** **China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2020/117334

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 205282054 U (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD. et al.) 01 June 2016 (2016-06-01) entire document	1-20
A	CN 107767833 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 06 March 2018 (2018-03-06) entire document	1-20
A	US 2009304139 A1 (AU OPTRONICS CORPORATION) 10 December 2009 (2009-12-10) entire document	1-20
A	US 2010260312 A1 (Tsung-ting Tsai et al.) 14 October 2010 (2010-10-14) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2020/117334

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107799083	A	13 March 2018	US	10515602	B1	24 December 2019
				WO	2019095435	A1	23 May 2019
				US	2019385556	A1	19 December 2019
				CN	107799083	B	07 February 2020
CN	107993620	A	04 May 2018	US	10796653	B2	06 October 2020
				US	2020098327	A1	26 March 2020
				CN	107993620	B	10 January 2020
				WO	2019095427	A1	23 May 2019
CN	107767834	A	06 March 2018	WO	2019095429	A1	23 May 2019
				US	10540937	B2	21 January 2020
				US	2019156777	A1	23 May 2019
CN	107958656	A	24 April 2018	WO	2019134221	A1	11 July 2019
				US	10741139	B2	11 August 2020
				CN	107958656	B	02 July 2019
				US	2020160805	A1	21 May 2020
CN	108154836	A	12 June 2018	CN	108154836	B	07 July 2020
CN	205282054	U	01 June 2016	WO	2017118014	A1	13 July 2017
				US	10311795	B2	04 June 2019
				US	2018182300	A1	28 June 2018
CN	107767833	A	06 March 2018	WO	2019095436	A1	23 May 2019
				US	10636376	B2	28 April 2020
				US	2020082777	A1	12 March 2020
US	2009304139	A1	10 December 2009	TW	I366194	B	11 June 2012
				TW	200951968	A	16 December 2009
				US	7949086	B2	24 May 2011
US	2010260312	A1	14 October 2010	US	2013070891	A1	21 March 2013
				TW	I400686	B	01 July 2013
				US	8229058	B2	24 July 2012
				US	8483350	B2	09 July 2013
				US	8340240	B2	25 December 2012
				TW	201037675	A	16 October 2010
				US	2012250816	A1	04 October 2012

国际检索报告

国际申请号
PCT/CN2020/117334

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS,CNTXT,CNKI:GOA，移位寄存器，栅极驱动器，扫描驱动器，正相，正向，反相，反向，时钟信号，扫描信号，上拉，下拉，窄边框； VEN,DWPI,SIPOABS,USTXT,WOTXT,EPTXT,JPABS:GOA,register,forward,positive, rever-s+, opposite,clock,scan,pull up, pull down,narrow+,reduc+,frame,border,edge

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 107799083 A (武汉华星光电技术有限公司) 2018年 3月 13日 (2018-03-13) 说明书第39-73段，图1-2	1-20
X	CN 107993620 A (武汉华星光电技术有限公司) 2018年 5月 4日 (2018-05-04) 说明书第2、31-53段，图1-4	1-20
A	CN 107767834 A (武汉华星光电技术有限公司) 2018年 3月 6日 (2018-03-06) 全文	1-20
A	CN 107958656 A (武汉华星光电技术有限公司) 2018年 4月 24日 (2018-04-24) 全文	1-20
A	CN 108154836 A (京东方科技集团股份有限公司 等) 2018年 6月 12日 (2018-06-12) 全文	1-20
A	CN 205282054 U (北京京东方显示技术有限公司 等) 2016年 6月 1日 (2016-06-01) 全文	1-20
A	CN 107767833 A (武汉华星光电技术有限公司) 2018年 3月 6日 (2018-03-06) 全文	1-20

☑ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2021年 2月 24日	2021年 3月 30日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 吕佩 电话号码 86-(20)-28958183

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2009304139 A1 (AU OPTRONICS CORP) 2009年 12月 10日 (2009-12-10) 全文	1-20
A	US 2010260312 A1 (Tsung-ting Tsai等) 2010年 10月 14日 (2010-10-14) 全文	1-20

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2020/117334

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107799083	A	2018年 3月 13日	US	10515602	B1	2019年 12月 24日
				WO	2019095435	A1	2019年 5月 23日
				US	2019385556	A1	2019年 12月 19日
				CN	107799083	B	2020年 2月 7日
CN	107993620	A	2018年 5月 4日	US	10796653	B2	2020年 10月 6日
				US	2020098327	A1	2020年 3月 26日
				CN	107993620	B	2020年 1月 10日
				WO	2019095427	A1	2019年 5月 23日
CN	107767834	A	2018年 3月 6日	WO	2019095429	A1	2019年 5月 23日
				US	10540937	B2	2020年 1月 21日
				US	2019156777	A1	2019年 5月 23日
CN	107958656	A	2018年 4月 24日	WO	2019134221	A1	2019年 7月 11日
				US	10741139	B2	2020年 8月 11日
				CN	107958656	B	2019年 7月 2日
				US	2020160805	A1	2020年 5月 21日
CN	108154836	A	2018年 6月 12日	CN	108154836	B	2020年 7月 7日
CN	205282054	U	2016年 6月 1日	WO	2017118014	A1	2017年 7月 13日
				US	10311795	B2	2019年 6月 4日
				US	2018182300	A1	2018年 6月 28日
CN	107767833	A	2018年 3月 6日	WO	2019095436	A1	2019年 5月 23日
				US	10636376	B2	2020年 4月 28日
				US	2020082777	A1	2020年 3月 12日
US	2009304139	A1	2009年 12月 10日	TW	I366194	B	2012年 6月 11日
				TW	200951968	A	2009年 12月 16日
				US	7949086	B2	2011年 5月 24日
US	2010260312	A1	2010年 10月 14日	US	2013070891	A1	2013年 3月 21日
				TW	I400686	B	2013年 7月 1日
				US	8229058	B2	2012年 7月 24日
				US	8483350	B2	2013年 7月 9日
				US	8340240	B2	2012年 12月 25日
				TW	201037675	A	2010年 10月 16日
				US	2012250816	A1	2012年 10月 4日