

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5197942号
(P5197942)

(45) 発行日 平成25年5月15日(2013.5.15)

(24) 登録日 平成25年2月15日(2013.2.15)

(51) Int.Cl. F I
H05K 3/46 (2006.01) H05K 3/46 Q
 H05K 3/46 B

請求項の数 6 (全 15 頁)

<p>(21) 出願番号 特願2006-248641 (P2006-248641) (22) 出願日 平成18年9月13日(2006.9.13) (65) 公開番号 特開2008-71905 (P2008-71905A) (43) 公開日 平成20年3月27日(2008.3.27) 審査請求日 平成21年3月19日(2009.3.19) 審判番号 不服2012-7884 (P2012-7884/J1) 審判請求日 平成24年4月27日(2012.4.27)</p> <p>(出願人による申告) 平成17年度、独立行政法人新エネルギー・産業技術総合開発機構、「ナノレベル電子セラミック材料低温成形・集積化技術」委託研究、産業再生法第30条の適用を受ける特許出願</p>	<p>(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号 (74) 代理人 100107766 弁理士 伊東 忠重 (74) 代理人 100070150 弁理士 伊東 忠彦 (74) 代理人 100146776 弁理士 山口 昭則 (72) 発明者 林 信幸 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内</p>
---	--

最終頁に続く

(54) 【発明の名称】 コアレス多層配線基板および半導体装置、その製造方法

(57) 【特許請求の範囲】

【請求項1】

各々配線パターンを担持し、さらに前記配線パターンに接続されたビアプラグを有する複数のビルドアップ樹脂層の積層よりなる樹脂積層体を備えたコアレス多層配線基板であって、

さらに前記樹脂積層体の上面および下面には、前記ビルドアップ層の弾性率よりも大きな弾性率を有する第1および第2のセラミック層が、それぞれ形成されており、

前記第1および第2のセラミック層の少なくとも一方は、金属パターンに覆われて前記多層配線基板上において、前記多層配線基板に集積化されたキャパシタを形成することを特徴とするコアレス多層配線基板。

【請求項2】

前記樹脂積層体の側壁面にもセラミック層が形成されていることを特徴とする請求項1記載のコアレス多層配線基板。

【請求項3】

前記第1および第2のセラミック層は、エアロゾルデポジション法により形成されることを特徴とする請求項1または2記載のコアレス多層配線基板。

【請求項4】

請求項1～3のいずれか一項記載のコアレス多層配線基板と、前記多層配線基板上にフリップチップ実装された半導体チップよりなる半導体装置。

【請求項5】

各々配線パターンを担持し、さらに前記配線パターンに接続されたビアプラグを有する複数のビルドアップ樹脂層の積層よりなる樹脂積層体を備えたコアレス多層配線基板の製造方法であって、

前記樹脂積層体の上面および下面には、前記ビルドアップ層の弾性率よりも大きな弾性率を有する第1および第2のセラミック層が、それぞれ形成されており、

前記第1および第2のセラミック層の少なくとも一方は、金属パターンに覆われて前記多層配線基板上において、前記多層配線基板に集積化されたキャパシタを形成し、

前記第1および第2のセラミック層が、エアロゾルデポジション法により形成されることを特徴とするコアレス多層配線基板の製造方法。

【請求項6】

前記樹脂積層体の側壁面にもセラミック層を形成する工程をさらに備えることを特徴とする請求項5記載のコアレス多層配線基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に半導体装置に係り、特に樹脂材料、およびかかる樹脂材料を使った多層配線基板、およびかかる多層配線基板を使った半導体装置に関する。

【背景技術】

【0002】

今日の高性能半導体装置では、半導体チップを担持するパッケージ基板として樹脂多層基板が使われている。一方、最近の高性能半導体装置では半導体チップに激しい発熱が生じ、しかも半導体チップは樹脂基板に比較して大きな弾性率を有するため、かかる半導体チップを担持する樹脂多層基板には、熱応力に起因する反りが発生しやすい。そこでこのような半導体装置を回路基板上にはんだバンプなどを介して実装した場合、半導体チップの発熱に伴ってバンプに大きな応力が印加され、半導体チップとパッケージ基板、あるいはパッケージ基板回路基板の間の電気的および機械的な接合が破壊されたり損傷したりする問題が生じる。

【0003】

そこでこのようなパッケージ基板の反りを抑制するため、従来、パッケージ基板を構成する樹脂多層基板の中心部にガラスクロスで補強されたコア層を配設した弾性率の大きい樹脂多層基板が使われている。

【0004】

一方、このような厚いコア層を有するパッケージ基板では、基板の厚さが増大し、基板中に形成されたビアプラグなどの信号路のインダクタンスが増加し、電気信号の伝送速度が低下してしまう問題が生じる。

【0005】

そこで従来、樹脂多層基板においてコア層を除き、厚さが500μm以下の極薄樹脂多層基板を実現する努力がなされている。

【特許文献1】特開2001-168228号公報

【特許文献2】特開2000-340895号公報

【特許文献3】特開2001-127389号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

図1は、従来のコアを有する多層配線基板11の例を示す。

【0007】

図1を参照するに、前記多層配線基板11の中心部にはガラスクロス11Gに樹脂を含浸させた厚さが40~60μmのコア層11C₁、11C₂を積層したコア部11Cが設けられており、前記コア部11Cの上には、配線パターン12を有するビルドアップ絶縁膜11A、11Bが形成されている。また前記コア部11Cの下には、配線パターン12D

10

20

30

40

50

、12Eを有するビルドアップ絶縁膜11D、11Eが形成されている。

【0008】

さらに前記コア部11Cを貫通して、前記配線層12Aと配線層12Dを接続するスルービア12Cが形成されている。

【0009】

また最外部のビルドアップ絶縁膜11B、11E上にはソルダレジスト膜13A、13Bがそれぞれ形成されており、前記ソルダレジスト膜13A中には、電極パッド14Aが、また前記ソルダレジスト膜13B中には、電極パッド14Bが形成されている。

【0010】

このようにして形成された多層配線基板11上には半導体チップ15がフェースダウン状態で実装され、半導体チップ15の電極パンプ16が対応する電極パッド14Aに接合される。また前記半導体チップ15とソルダレジスト膜13Aの間には、アンダーフィル樹脂層17が充填される。

10

【0011】

また前記多層配線基板11の裏側においては、前記電極パッド14Bには、前記半導体チップ15と多層配線基板11よりなる半導体装置を回路基板に実装するためにはんだパンプ18が形成される。

【0012】

しかし、このようなコア部11Cを有する多層配線基板11では、コア層11C₁、11C₂を含めた基板全体の厚さが500μmを超えてしまう場合があり、このような場合には、前記スルービア12Cにより形成され電極パッド14Bから対応する電極パッド14Aに至る信号路の長さがやはり500μmを超えてしまうため、かかる長い信号路を伝送される信号は、インダクタンスの影響により遅延を受けてしまう。

20

【0013】

これに対し、図2のようにコア部11Cを除去し、多層配線基板の厚さを低減させることが考えられるが、このようなコアを含まない、いわゆるコアレス樹脂基板では弾性率が例えば前記コア部11Cを設けた場合の20GPaの値から、10GPa程度、あるいはそれ以下まで減少してしまい、従って先に述べた基板の反り、あるいは変形が大きな問題になる。ただし図2中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0014】

このように半導体チップを担持する多層配線基板が反った場合、かかる多層配線基板と、前記多層配線基板を有する半導体装置が実装される回路基板の接合部には大きな応力が印加され、接合部が破壊されたり損傷したりする問題が生じる。

30

【0015】

従来のコアレス基板では、このような基板の反りを抑制するために、外周部に沿って補強部材(スティフナ)10Lを設けることが行われているが、このような補強部材を設けても、反りが抑制されるのが外周部分だけであり、基板中、大部分の領域では反りあるいは変形を十分に抑制することができない。

【0016】

さらにこのような多層配線基板上に半導体チップを実装した半導体装置では、電源ラインと接地パターン間にセラミックキャパシタよりなるデカップリングキャパシタを設け、不要電磁輻射を抑制しているが、セラミックキャパシタは、高温での熱処理を必要とするため、従来多層配線基板とは別体として形成され、多層配線基板上に例えばフリップチップ法により実装されていた。しかし、このような構成では、折角コアレス樹脂基板を使うことにより多層配線基板の厚さを低減させても、その効果が相殺されてしまう。またこのような外付けのデカップリングキャパシタを使った場合には、そのための配線を設ける必要があるが、かかる配線からの電磁波の不要輻射の問題を回避することができない。

40

【課題を解決するための手段】

【0017】

一の側面によれば本発明は、各々配線パターンを担持し、さらに前記配線パターンに接

50

続されたビアプラグを有する複数のビルドアップ樹脂層の積層よりなる樹脂積層体を備えたコアレス多層配線基板であって、さらに前記樹脂積層体の上面および下面には、前記ビルドアップ層の弾性率よりも大きな弾性率を有する第1および第2のセラミック層が、それぞれ形成されており、前記第1および第2のセラミック層の少なくとも一方は、金属パターンに覆われて前記多層配線基板上において、前記多層配線基板に集積化されたキャパシタを形成することを特徴とするコアレス多層配線基板を提供する。

【0018】

他の側面によれば本発明は、各々配線パターンを担持し、さらに前記配線パターンに接続されたビアプラグを有する複数のビルドアップ樹脂層の積層よりなる樹脂積層体を備えたコアレス多層配線基板の製造方法であって、前記樹脂積層体の上面および下面には、前記ビルドアップ層の弾性率よりも大きな弾性率を有する第1および第2のセラミック層が、それぞれ形成されており、前記第1および第2のセラミック層の少なくとも一方は、金属パターンに覆われて前記多層配線基板上において、前記多層配線基板に集積化されたキャパシタを形成し、前記第1および第2のセラミック層が、エアロゾルデポジション法により形成されることを特徴とするコアレス多層配線基板の製造方法を提供する。

【発明の効果】

【0019】

本発明によれば、エアロゾルデポジション技術を使うことにより、弾性率の小さいビルドアップ樹脂層の積層よりなる樹脂積層体を備えたコアレス多層配線基板を含む多層配線基板において、前記樹脂積層体の表面が大きな弾性率を有する第1および第2のセラミック層により、その全面にわたり、上下から補強され、従ってかかる多層配線基板を使うことにより、半導体チップを高い信頼性で実装することが可能となる。その際、前記第1および第2のセラミック層の少なくとも一方をキャパシタとして使うことにより、大容量のセラミックキャパシタを集積化した、しかも力学的強度の向上した多層配線基板を実現することが可能となる。また前記第1および第2のセラミック層は、従来のソルダレジスト膜と同様に、はんだブリッジの発生防止、はんだピックアップ量の値源、はんだポットの汚染防止、アセンブリ時における基板保護、銅配線パターンの酸化や腐食の防止、さらにエレクトロマイグレーションの防止などの機能を果たす。

【発明を実施するための最良の形態】

【0020】

図3は、本発明の第1の実施形態による半導体装置40の構成を示す図である。

【0021】

図3を参照するに、前記半導体装置40は、コアレス多層配線基板20と、前記コアレス多層配線基板20上にフリップチップ実装された半導体チップ30とよりなり、前記コアレス多層配線基板20は、ビルドアップ絶縁膜21、22、23を積層した樹脂積層体20Rより構成されている。

【0022】

ここで前記ビルドアップ絶縁膜21はその下面にCu配線パターン20aを、また上面Cu配線パターン21aを担持し、さらに前記Cu配線パターン21aと前記Cu配線パターン20aを電氣的に接続するCuビアプラグ21bが形成されている。

【0023】

また前記ビルドアップ絶縁膜22はその下面に前記Cu配線パターン21aを、また上面にCu配線パターン22aを担持し、さらに前記Cu配線パターン22aと前記Cu配線パターン21aを電氣的に接続するCuビアプラグ22bが形成されている。

【0024】

さらに前記ビルドアップ絶縁膜23はその下面に前記Cu配線パターン22aを、また上面にCu配線パターン23aを担持し、さらに前記Cu配線パターン23aと前記Cu配線パターン22aを電氣的に接続するCuビアプラグ23bが形成されている。

【0025】

図示の例では、前記Cuビアプラグ21b、22b、23bは40μmの径を有し、ま

10

20

30

40

50

たCu配線パターン21a, 22a, 23aは30 μ m / 30 μ mのラインアンドスペースパターンを形成する。

【0026】

本実施形態の半導体装置40では、前記樹脂積層体20Rはその下面に、100~200GPa、例えば150GPaの弾性率を有し厚さが10~50 μ mのセラミック層20Aを、またその上面に同様なセラミック層20Bを担持しており、その結果、前記樹脂積層体20Rはコア層を含まないにもかかわらず、その全面にわたり上下から補強され、前記コアレス多層配線基板20は、各々のビルドアップ層はせいぜい2~20GPa程度の弾性率しか有さないにもかかわらず、後で説明するように、優れた機械強度、すなわち弾性率を示す。

10

【0027】

前記セラミック層20Aには前記Cu配線パターン20aの一部を露出する開口部20Ahが形成され、前記開口部20Ahにより露出されたCu配線パターン20aはパッド電極を形成する。同様に前記セラミック層20Bには前記Cu配線パターン23aの一部を露出する開口部20Bhが形成され、前記開口部20Bhにより露出された前記Cu配線パターン23aはパッド電極を形成する。

【0028】

ここで前記セラミック層20A, 20Bとしては、高弾性率材料として通常使われている材料を使うことができるが、このような材料としては、例えばアルミナ, ジルコニア, 窒化アルミニウム, コーディエライト, ムライト, チタニア, 石英, フォレストライト, ウォラストナイト, アノーサイト, エンスタイト, ジオプサイト, アケルマナイト, ゲーレナイト, スピネル, ガーネットなど、さらにはチタン酸マグネシウム, チタン酸カルシウム, チタン酸ストロンチウム, チタン酸バリウムなどのチタン酸塩などを挙げるができる。特に、絶縁性および強度の観点から、アルミナ, ジルコニア, 窒化アルミニウム, コーディエライト, ムライトなどを使うのが好ましい。

20

【0029】

またこのようなセラミック層20A, 20Bは、従来のソルダレジスト膜と同様に、はんだブリッジの発生防止、はんだピックアップ量の値源、はんだポットの汚染防止、アセンブリ時における基板保護、銅配線パターンの酸化や腐食の防止、さらにエレクトロマイグレーションの防止などの機能を果たすことができる。

30

【0030】

さらに図3の半導体装置では、前記コアレス多層配線基板20上に半導体チップ20がフリップチップ実装され、前記半導体チップ20上のパッド電極(図示せず)が、パンプ電極31を介して前記セラミック層20B中に形成された開口部20Bhにおいて露出されたパッド電極23aに接合される。さらに前記コアレス多層基板20と前記半導体チップ20の間には、アンダーフィル樹脂層32が形成される。

【0031】

また図3の半導体装置40では、前記樹脂積層体20Rの下面において、前記セラミック層20A上に電極20Cが、前記ビルドアップ層21上で接地パターンを形成する配線パターン20aの一部(配線パターン20aG)に接続されて形成されており、前記電極20Cは、前記セラミック層20Aおよびその上の電極パターン20aと共に、セラミックキャパシタC₃を形成する。

40

【0032】

同様に前記図3の半導体装置40では、前記樹脂積層体20R上の前記セラミック層20B上に電極20D, 20Eが、前記ビルドアップ層23上で接地パターンを形成する配線パターン23aの一部(配線パターン23aG)に接続してそれぞれ形成されており、前記電極20Dは、前記セラミック層20Bおよびその下の電極パターン23aと共に、セラミックキャパシタC₂を形成する。また前記電極20Eは、前記セラミック層20Bおよびその下の別の電極パターン23aと共に、セラミックキャパシタC₁を形成する。

【0033】

50

例えば比誘電率が10のアルミナをセラミック層20A, 20Bとして使い、電極20Cあるいは20D, 20Eの有効電極面積が $0.0015\mu\text{m}^2$ 、また前記セラミック層20A, 20Bの厚さが $10\mu\text{m}$ の場合、キャパシタ C_1, C_2, C_3 として約 0.13nF のキャパシタンスを実現することができる。

【0034】

図4(A)は、図3の半導体装置40の平面図を、また図4(B)は裏面図を示す。

【0035】

図4(A)を参照するに、前記多層配線基板20を構成する樹脂積層体20Rの表面では、Cu配線パターン23aがセラミック層20Bにより覆われており、さらに前記セラミック層20Bの表面には図3の電極20D, 20Eに相当するCuパターンが連続的に形成されている様子がわかる。

10

【0036】

また図4(B)の裏面図では、前記多層配線基板20を構成する樹脂積層体20Rの裏面がセラミック層20Aにより覆われており、さらに前記セラミック層20Aは、前記電極20Cに相当するCuパターンにより覆われている。また前記図4(B)の平面図には、配線パターン20aが前記セラミック層20A中に形成された開口部20Ahを介して露出され、行列上に配列した外部電極を構成する様子が示されている。

【0037】

図3の半導体装置40では、前記樹脂積層体20R上へのセラミック層20A, 20Bの形成を、図5に示す装置を使ったエアロゾルデポジション法により実行する。

20

【0038】

図5は、本発明で使われるエアロゾルデポジション装置60の構成を示す。

【0039】

図5を参照するに、前記エアロゾルデポジション装置60はメカニカルブースタポンプ62および真空ポンプ62Aにより真空排気される処理容器61を備えており、前記処理容器61中には、ステージ61A上に被処理基板Wが、X-Yステージ駆動機構61aおよびZステージ駆動機構61bによりX-Y-Z方向に駆動自在に保持される。

【0040】

前記処理容器61中には、前記ステージ61A上の被処理基板Wに対向してノズル61Bが設けられており、前記ノズル61Bはセラミック材料のエアロゾルをキャリアガスとともに供給され、これを前記被処理基板Wの表面に、ジェット61cとして吹き付ける。

30

【0041】

このようにして吹き付けられたエアロゾルを構成するセラミック粒子は先にも述べたように好ましくは $0.5\mu\text{m}$ 以下の粒径を有しており、秒速 $50\sim 1000\text{m}$ の速度で噴射されることにより前記被処理基板Wの表面で衝撃固化し、セラミック膜を形成する。

【0042】

前記ノズル61Bに前記エアロゾルを供給するため、図4のエアロゾルデポジション装置60は粒径が好ましくは $0.5\mu\text{m}$ 以下のセラミック粉末原料を保持した原料容器63が設けられており、前記原料容器63には不活性ガスや高純度酸素などのキャリアガスが、高圧ガス源64から、質量流量コントローラ64Aを介して供給される。また前記原料容器63は、エアロゾルの発生を促進するため、振動台63A上に保持されている。前記原料容器63は、前記メカニカルブースタポンプ62および真空ポンプ62Aにより、成膜工程に先立って減圧状態に維持され、セラミック粉末原料の水分が除去される。

40

【0043】

次に、前記図5のエアロゾルデポジション装置60を使って行われる、図3の半導体装置40の製造工程を説明する。

【0044】

図6(A)を参照するに、最初にCuあるいはCu合金よりなる基体70上にCu配線パターン20aが形成され、さらに前記Cu配線パターン20aを覆うように第1層目のビルドアップ絶縁膜21が、真空ラミネーション法により形成される。例えば前記ビルド

50

アップ絶縁膜 21 として、巴川製紙株式会社より商品名 T L F - 3 0 として市販されている樹脂絶縁膜を使うことができる。

【 0 0 4 5 】

さらに前記ビルドアップ絶縁膜 21 中に C O₂ レーザにより、前記プラグ 21 b に対応したビアホールが形成され、さらにかかるビアホールを含む前記ビルドアップ絶縁膜 21 の全面を、C u の無電解メッキにより形成した C u シード層 (図示せず) により覆い、さらに前記 C u シード層上に、例えば日立化成株式会社より商品名フォテック R Y - 3 2 2 9 として市販のレジスト膜 (図示せず) を形成する。さらに前記レジスト膜を露光して前記ビアホールに対応した開口部を形成した後、電解メッキにより、前記ビアホールを C u により充填する。これにより、前記ビルドアップ絶縁膜 21 中に前記 C u プラグ 21 b が形成される。

10

【 0 0 4 6 】

さらに前記 C u シード層上に新たなレジスト膜を形成し、これを所望の配線パターンに従ってパターンニングし、電解メッキを行うことにより、前記ビルドアップ絶縁膜 21 上に配線パターン 21 a が形成される。

【 0 0 4 7 】

さらに前記ビルドアップ絶縁膜 21 上において前記配線パターン 21 a の間に介在している C u シード層をエッチングにより除去した後、同様な工程を繰り返すことにより、前記基体 70 上に、前記図 3 で説明した樹脂積層体 20 R が形成される。

【 0 0 4 8 】

20

次に図 6 (B) の工程において、前記樹脂積層体 20 R 上の電極パッド形成領域をメタルマスクなどのスクリーンマスク M により覆い、前記図 5 のエアロゾルデポジション装置 60 中においてセラミック層 20 B を形成することにより、図 7 (C) に示すように、前記配線パターン 23 a のうち、パッド電極を構成する部分が前記セラミック層 20 B 中の開口部 20 B h を介して露出された構造が得られる。

【 0 0 4 9 】

図 7 (C) の工程では、さらに前記セラミック層 20 B 上に電極 20 D , 20 E が、前記ビルドアップ層 23 上の C u 接地パターン 23 a G に接続されて形成されている。このような電極 20 D , 20 E も、先と同様に C u シード層を形成し、さらに電解メッキを行うことにより形成することができる。また図 7 (C) の工程では、前記 C u 基体 70 がウェットエッチングにより除去される。

30

【 0 0 5 0 】

次に図 7 (D) の工程において、前記ビルドアップ絶縁膜 21 の下面において、所定の電極パッド形成領域に同様なマスクパターン M が形成され、図 5 のエアロゾルデポジション装置 60 中においてセラミック層 20 A が前記ビルドアップ層 21 の下面を覆うように形成される。

【 0 0 5 1 】

さらに図 8 (E) の工程において前記マスクパターン M を除去することにより、前記配線パターン 20 a のうち、パッド電極を構成する部分が前記セラミック層 20 A 中の開口部 20 A h を介して露出された構造が得られる。

40

【 0 0 5 2 】

さらに図 8 (F) の工程において、前記セラミック層 20 A 上に C u 電極 20 C が、前記ビルドアップ層 21 下面に形成された C u 接地パターン 20 a G に接続されて形成され、これにより前記コアレス多層配線基板 20 が形成される。

【 0 0 5 3 】

さらに図 8 (F) のコアレス多層配線基板 20 上に半導体チップ 20 をフリップチップ実装することにより、先に説明した図 3 の半導体装置 40 が得られる。

【 0 0 5 4 】

なお図 6 (B) あるいは図 7 (D) の工程でマスクパターン M を使わず、前記セラミック膜 20 A あるいは 20 B を一様に形成した後、前記セラミック膜 20 A , 20 B を、マ

50

スクプロセスを使ったエッチングによりパターンングすることも可能である。

【0055】

なお図6(B)、図7(D)の工程において前記セラミック層20A、20Bとしては、先にも述べたように、通常高弾性材料として使われているセラミックスを使うことができ、特定はされないが、例えばアルミナ、ジルコニア、窒化アルミニウム、コーディエライト、ムライト、チタニア、石英、フォレストライト、ウォラストナイト、アノーサイト、エンスタタイト、ジオブサイト、アケルマナイト、ゲーレンナイト、スピネル、ガーネットなど、さらにはチタン酸マグネシウム、チタン酸カルシウム、チタン酸ストロンチウム、チタン酸バリウムなどのチタン酸塩を使うことができる。

【0056】

このうちでも、絶縁性および強度の観点から、アルミナ、ジルコニア、窒化アルミニウム、コーディエライト、ムライトなどの、粒径が10nm~1μmの粉末を使うのが好ましい。さらに上記図6(B)あるいは図7(D)の工程において、二種類以上のセラミックスを使い、前記セラミック層20A、20Bを、例えばアルミナとジルコニアの混合膜として形成することも可能である。

【0057】

本実施形態では、前記図5のエアロゾルデポジション装置60において、昭和電工株式会社より製品名160SG-4として市販のアルミナ粉末を使っている。

【0058】

なお、前記図3の半導体装置40において、前記高弾性セラミック層20A、20Bの代わりに例えばガラスクロスを含浸させた、コア材に使われるプリプレグを使った場合には、前記コアレス多層配線基板20において十分な弾性率の向上を達成することができない。またこのような場合には、図3における電極20C、20D、20Eを形成したところで、前記ガラスクロス含浸層の比誘電率が低いため、所望のキャパシタを形成することはできない。

【0059】

これに対し本発明では、先にも説明したように、比誘電率が10のアルミナをセラミック層20A、20Bとして使い、電極20Cあるいは20D、20Eの有効電極面積が0.0015μm²、また前記セラミック層20A、20Bの厚さが10μmの場合、キャパシタC₁、C₂、C₃として約0.13nFのキャパシタンスを実現することができるのが確認された。

【0060】

またこのようにして形成されたコアレス多層配線基板20の反りを、前記半導体チップ30を実装しない状態で測定したところ、一辺が4cmの大きさの基板では反りの値が50μm程度であり、また半導体チップが搭載される一辺が2cmの領域においては、20μm程度であり、補強部材を使わずとも半導体チップ30の実装が可能であることが確認された。

【0061】

また前記コアレス多層配線基板20上に前記半導体チップ30を実装後、コアレス多層配線基板20の反りを測定したところ、一辺が4cmの基板において反りの大きさは100μm以下であり、チップの剥離やビアコンタクトの断線は発生していないことが確認された。

【0062】

さらに、このようにして形成されたコアレス多層配線基板20上に実際に半導体チップ30を前記図3で説明したようにフリップチップ実装し、前記半導体チップ30とコアレス多層配線基板20との間に、弾性率が10GPaの一般的なアンダーフィル樹脂層32(住友ベークライト株式会社より市販のCRP-4075S3)を充填し、これを150で30分間硬化させた後、-10から100の間で熱サイクル試験を300回繰り返した。

【0063】

10

20

30

40

50

その結果、本実施形態による、樹脂積層体 20R に高弾性セラミック層 20A, 20B を設けた構成のコアレス多層配線基板 20 を使った半導体装置 40 では、半導体チップ 30 とコアレス多層配線基板 20 の間に剥離や断線は生じないことが確認された。

【0064】

なお、図 3 の構成において、前記アンダーフィル樹脂層 32 は、フィラーを添加されたものであっても、またフィラーを添加されないものであってもよい。

【0065】

これに対し、前記図 3 の構成において前記高弾性セラミック層 20A, 20B を設けなかった比較対照実験では、一辺の大きさが 4 cm の基板において、反りが前記実施形態における 50 μm の値から、300 μm にまで増大してしまうのが確認された。またその際、一辺が 2 cm のチップ実装領域においては、反りが先の実施形態の場合の 20 μm から、100 μm 程度まで増大してしまい、半導体チップ 30 の実装は、先に図 2 で説明したような補強部材 10L を使わない限り、不可能であった。

10

【0066】

そこで、上記比較対照実験では、前記セラミック層 20A, 20B を設けないコアレス多層基板上に、厚さが 1 mm のステンレススチールよりなる補強部材を設けることにより反りの大きさを 100 μm 程度に抑制して半導体チップの実装を行い、本実施形態と同様なアンダーフィル樹脂層 32 を同様に形成した後、同じ熱サイクル試験を行った。

【0067】

その結果、上記比較対照実験では、300 回の熱サイクルにより、前記コアレス多層基板と半導体チップの間に破断が生じるのが確認され、またチップ実装状態での基板の反りが 300 μm に達するのが確認された。また、この比較対照実験では、半導体チップの剥離およびスルービアの断線も観察された。

20

【0068】

このように、本発明によれば、弾性率の低いコアレス多層配線基板の上下面に高弾性セラミック層を、好ましくはエアロゾルデポジション法により形成することにより、前記コアレス多層配線基板が効果的に補強され、かかるコアレス多層配線基板を使った半導体装置の信頼性を大きく向上させることが可能となる。

【0069】

なお、本発明はコアレス多層配線基板のみならず、図 1 に示すようなコア部材を有する多層配線基板であっても、特に厚さが 500 μm 以下で反りや変形が問題となるような場合においては、適用することも可能である。

30

【0070】

以上、本発明を好ましい実施形態について説明したが、本発明はかかる特定の実施形態に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【0071】

(付記 1) 各々配線パターンを担持し、さらに前記配線パターンに接続されたビアプラグを有する複数のビルドアップ樹脂層の積層よりなる樹脂積層体を備えた多層配線基板であって、

40

さらに前記樹脂積層体の上面および下面には、前記ビルドアップ層の弾性率よりも大きな弾性率を有する第 1 および第 2 のセラミック層が、それぞれ形成されており、

前記第 1 および第 2 のセラミック層の少なくとも一方は、前記多層配線基板上において、前記多層配線基板に集積化されたキャパシタを形成することを特徴とする多層配線基板。

【0072】

(付記 2) 前記多層配線基板はコアレス多層配線基板であることを特徴とする付記 1 記載の多層配線基板。

【0073】

(付記 3) 前記第 1 および第 2 のセラミック層は、100 ~ 200 GPa の弾性率を

50

有することを特徴とする付記 1 または 2 記載の多層配線基板。

【 0 0 7 4 】

(付記 4) 前記第 1 および第 2 のセラミック層は、10 ~ 50 μm の膜厚に形成されることを特徴とする付記 1 ~ 3 のうち、いずれか一項記載の多層配線基板。

【 0 0 7 5 】

(付記 5) 前記第 1 および第 2 のセラミック層は、それぞれ前記樹脂積層体の前記上面および下面に形成された電極パッドを露出することを特徴とする付記 1 ~ 4 のうち、いずれか一項記載の多層配線基板。

【 0 0 7 6 】

(付記 6) 前記第 1 および第 2 のセラミック層は、エアロゾルデポジション法により形成されることを特徴とする付記 1 ~ 5 のうち、いずれか一項記載の多層配線基板。

10

【 0 0 7 7 】

(付記 7) 前記第 1 および第 2 のセラミック層は、アルミナまたは窒化アルミニウムよりなることを特徴とする請求項 1 ~ 6 のうち、いずれか一項記載の多層配線基板。

【 0 0 7 8 】

(付記 8) さらに前記樹脂積層体の側壁面にも、エアロゾルデポジション法によりセラミック層が形成されていることを特徴とする付記 1 ~ 7 のうち、いずれか一項記載の多層配線基板。

【 0 0 7 9 】

(付記 9) 付記 1 ~ 8 のいずれか一項記載の多層配線基板と、前記多層配線基板上にフリップチップ実装された半導体チップよりなる半導体装置。

20

【 0 0 8 0 】

(付記 10) 各々配線パターンを担持し、さらに前記配線パターンに接続されたビアプラグを有する複数のビルドアップ樹脂層の積層よりなる樹脂積層体を備えた多層配線基板の製造方法であって、

前記樹脂積層体の上面および下面には、前記ビルドアップ層の弾性率よりも大きな弾性率を有する第 1 および第 2 のセラミック層が、それぞれ形成されており、

前記第 1 および第 2 のセラミック層の少なくとも一方は、前記多層配線基板上において、前記多層配線基板に集積化されたキャパシタを形成し、

前記第 1 および第 2 のセラミック層が、エアロゾルデポジション法により形成されることを特徴とする多層配線基板の製造方法。

30

【 0 0 8 1 】

(付記 11) 前記多層配線基板はコアレス多層配線基板であることを特徴とする付記 10 記載の多層配線基板の製造方法。

【 0 0 8 2 】

(付記 12) 前記第 1 および第 2 のセラミック層は、100 ~ 200 GPa の弾性率を有することを特徴とする付記 10 または 11 記載の多層配線基板の製造方法。

【 0 0 8 3 】

(付記 13) 前記第 1 および第 2 のセラミック層は、10 ~ 50 μm の膜厚に形成されることを特徴とする付記 10 ~ 12 のうち、いずれか一項記載の多層配線基板の製造方法。

40

【 0 0 8 4 】

(付記 14) 前記第 1 および第 2 のセラミック層は、それぞれ前記樹脂積層体の前記上面および下面に形成された電極パッドを露出することを特徴とする付記 10 ~ 13 のうち、いずれか一項記載の多層配線基板の製造方法。

【 0 0 8 5 】

(付記 15) 前記第 1 および第 2 のセラミック層は、アルミナまたは窒化アルミニウムよりなることを特徴とする請求項 10 ~ 14 のうち、いずれか一項記載の多層配線基板の製造方法。

【 0 0 8 6 】

50

(付記16) さらに前記樹脂積層体の側壁面にも、エアロゾルデポジション法によりセラミック層が形成されていることを特徴とする付記10～15のうち、いずれか一項記載の多層配線基板の製造方法。

【図面の簡単な説明】

【0087】

【図1】本発明の関連技術による、コアを有する多層配線基板を備えた半導体装置の構成を示す図である。

【図2】本発明の関連技術による、コアレス多層配線基板を備えた半導体装置の構成を示す図である。

【図3】本発明の一実施形態による、コアレス多層配線基板を備えた半導体装置の構成を示す図である。 10

【図4】(A)、(B)は、図3の半導体装置の平面図および裏面図を示す図である。

【図5】本発明で使われるエアロゾルデポジション装置の構成を示す図である。

【図6】(A)、(B)は、図3の半導体装置の製造工程を示す図(その1)である。

【図7】(C)、(D)は、図3の半導体装置の製造工程を示す図(その2)である。

【図8】(E)、(F)は、図3の半導体装置の製造工程を示す図(その3)である。

【符号の説明】

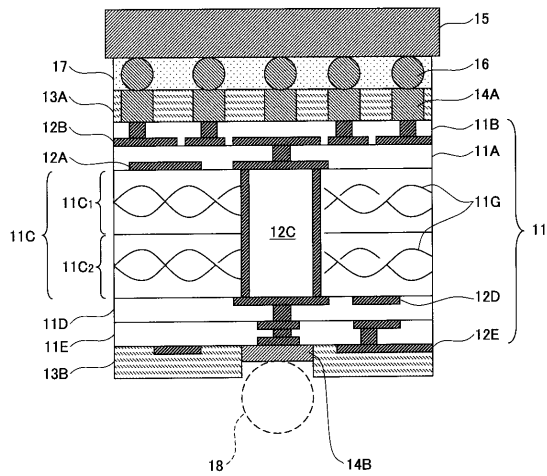
【0088】

11	多層配線基板	
11A, 11B, 11D, 11E	ビルドアップ絶縁膜	20
11C	コア部	
11C ₁ , 11C ₂	コア層	
11G	ガラスクロス	
12A, 12B, 12D, 12E	配線層	
12C	スルービア	
13A, 13B	ソルダレジスト	
15	半導体チップ	
16	バンブ	
17	アンダーフィル樹脂層	
20	コアレス多層配線基板	30
20A, 20B, 80A, 80B	高弾性セラミック層	
20Ah, 20Bh	開口部	
20C, 20D, 20E	キャパシタ電極	
21, 22, 23	ビルドアップ絶縁膜	
21a, 22a, 23a	Cu配線パターン	
21b, 22b, 23b	Cuビアプラグ	
30	半導体チップ	
31	バンブ	
32	アンダーフィル樹脂層	
40, 80	半導体装置	40
60	エアロゾルデポジション装置	
61	処理容器	
61A	ステージ	
61B	ノズル	
61a	X-Yステージ駆動機構	
61b	Zステージ駆動機構	
61c	ジェット	
62	メカニカルプースタポンプ	
63	原料容器	
63A	振動台	50

6 4 高圧ガス源

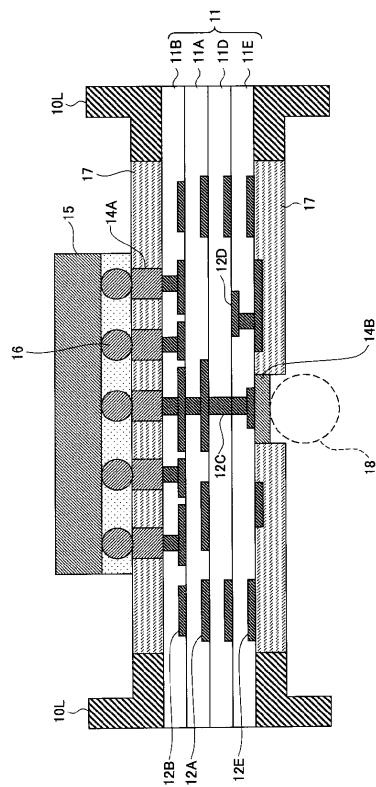
【 図 1 】

本発明の関連技術による、コアを有する多層配線基板を備えた半導体装置の構成を示す図



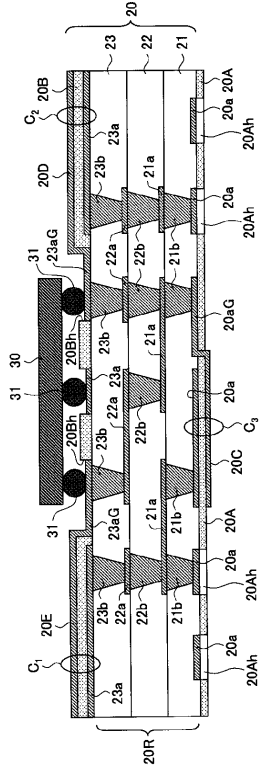
【 図 2 】

本発明の関連技術による、コアレス多層配線基板を備えた半導体装置の構成を示す図



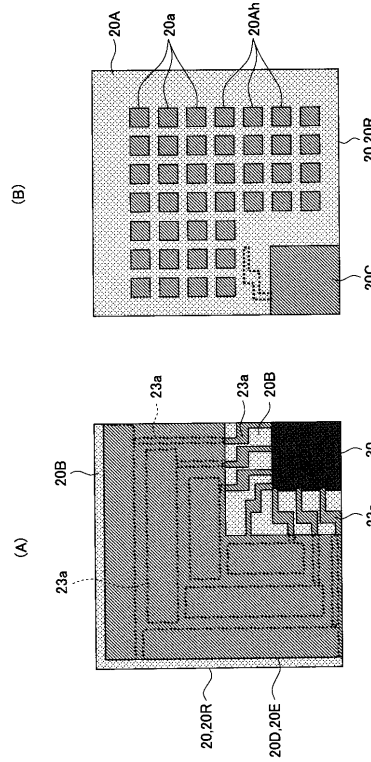
【 図 3 】

本発明の一実施形態による、コアレス多層配線基板を備えた半導体装置の構成を示す図



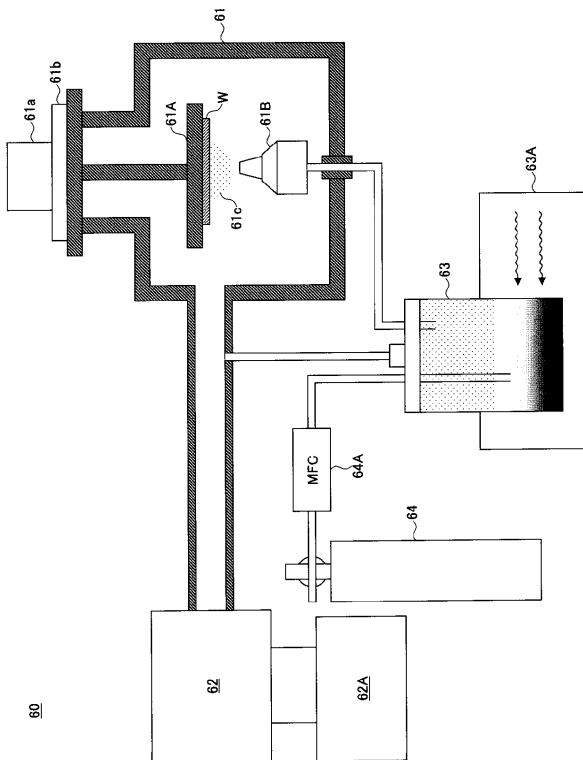
【 図 4 】

(A), (B)は、図3の半導体装置の平面図および裏面図を示す図



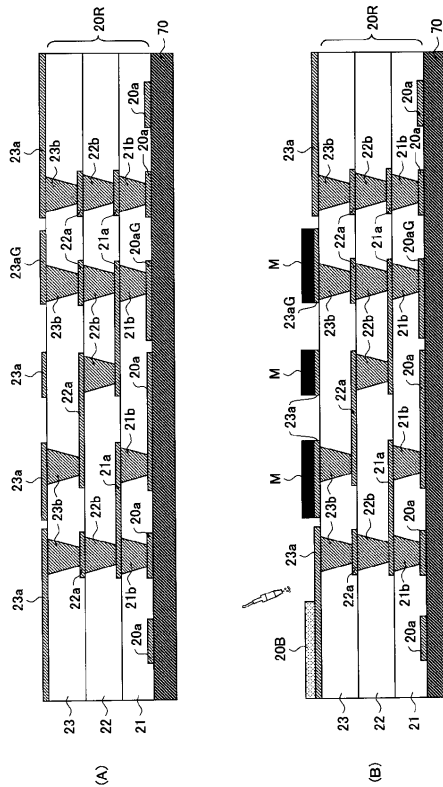
【 図 5 】

本発明で使われるエアロゾルデポジション装置の構成を示す図



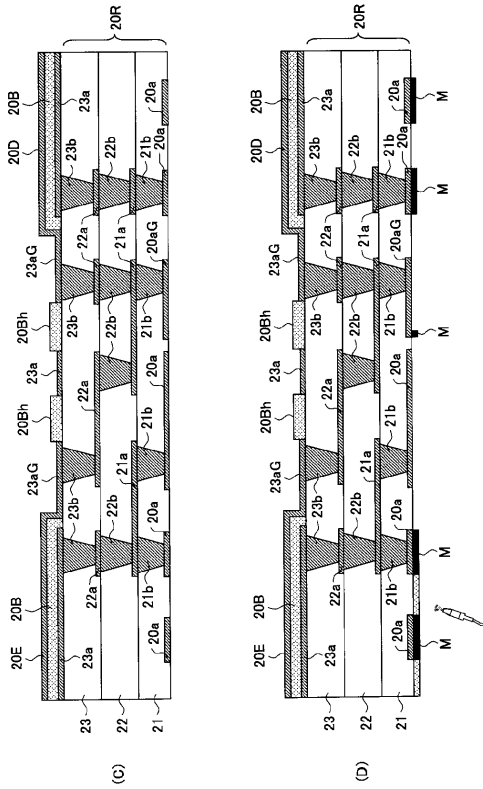
【 図 6 】

(A), (B)は、図3の半導体装置の製造工程を示す図(その1)



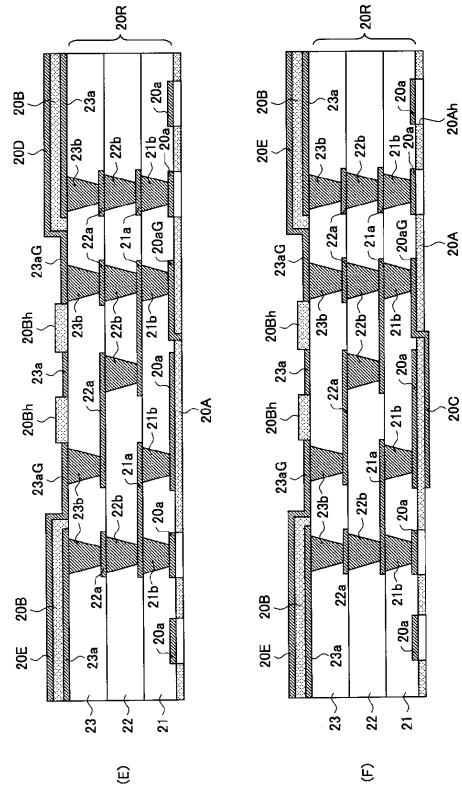
【 図 7 】

(C), (D)は、図3の半導体装置の製造工程を示す図(その2)



【 図 8 】

(E), (F)は、図3の半導体装置の製造工程を示す図(その3)



フロントページの続き

(72)発明者 今中 佳彦
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

合議体

審判長 島田 信一

審判官 窪田 治彦

審判官 富岡 和人

(56)参考文献 実開昭58-162668(JP,U)
特開2002-26171(JP,A)
特開平11-251723(JP,A)
特開2004-342831(JP,A)