

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 8 月 24 日 (24.08.2023)



(10) 国际公布号
WO 2023/155262 A1

(51) 国际专利分类号:
H01L 27/108 (2006.01) **H01L 21/8242** (2006.01)

(21) 国际申请号: PCT/CN2022/081448

(22) 国际申请日: 2022 年 3 月 17 日 (17.03.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210145921.1 2022 年 2 月 17 日 (17.02.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 王海艳 (WANG, Haiyan); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路 6 号 4501 房 (部位: 自编 01-03 和 08-12 单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,

(54) Title: CONTACT STRUCTURE, PREPARATION METHOD THEREFOR, AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 接触结构及其制备方法、半导体结构

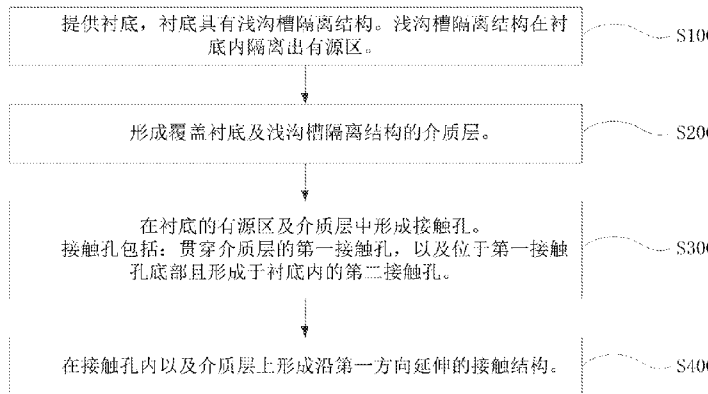


图 1

- S100 Provide substrate, substrate being provided with shallow trench isolation structure, and shallow trench isolation structure isolating active region within substrate
- S200 Form dielectric layer covering substrate and shallow trench isolation structure
- S300 Form contact holes in active region and dielectric layer of the substrate, contact holes comprising: first contact hole passing through dielectric layer, and second contact hole located at bottom of the first contact hole and formed in substrate
- S400 Form contact structure extending in first direction in contact holes and on dielectric layer

(57) Abstract: The present disclosure relates to a contact structure, a preparation method therefor, and a semiconductor structure. The preparation method for the contact structure comprises: providing a substrate, the substrate being provided with a shallow trench isolation structure; forming a dielectric layer covering the substrate and the shallow trench isolation structure; forming contact holes in an active region and the dielectric layer of the substrate, the contact holes comprising: a first contact hole passing through the dielectric layer, and a second contact hole located at the bottom of the first contact hole and formed in the substrate; and forming a contact structure extending in a first direction in the contact holes and on the dielectric layer. The contact structure, the preparation method

PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

therefor, and the semiconductor structure can improve the electrical performance of a contact structure and a semiconductor structure,
so as to improve the yield of the semiconductor structure.

(57) 摘要: 本公开涉及一种接触结构及其制备方法、半导体结构。所述接触结构的制备方法包括: 提供衬底, 衬底具有浅沟槽隔离结构; 形成覆盖衬底及浅沟槽隔离结构的介质层; 在衬底的有源区及介质层中形成接触孔, 接触孔包括: 贯穿介质层的第一接触孔, 以及位于第一接触孔底部且形成于衬底内的第二接触孔; 在接触孔内以及介质层上形成沿第一方向延伸的接触结构。上述接触结构及其制备方法、半导体结构, 可以改善接触结构及半导体结构的电学性能, 以提升半导体结构的良率。

接触结构及其制备方法、半导体结构

相关申请的交叉引用

本公开要求于 2022 年 02 月 17 日提交中国专利局、申请号为 202210145921.1 的中国专利的优先权，所述专利申请的全部内容通过引用结合在本公开中。

技术领域

本公开涉及半导体集成电路制造技术领域，特别是涉及一种接触结构及其制备方法、半导体结构。

背景技术

动态随机存储器（Dynamic Random Access Memory，简称 DRAM）是计算机等电子设备中常用的半导体存储器，其由多个存储单元构成。其中，存储单元包括：存储电容器、以及 5 与存储电容器电连接的晶体管。晶体管包括栅极、源区和漏区。晶体管的栅极用于与字线电连接。晶体管的源区用于构成位线接触区，以通过位线接触结构与位线电连接。晶体管的漏区用于构成存储节点接触区，以通过存储节点接触结构与存储电容器电连接。

然而，随着 DRAM 的尺寸越来越小，用于形成位线接触结构的位线接触孔（Bit line contact，简称 BLC）的尺寸也相应缩减。当位线接触孔过小时，位线接触孔中的位线接触结构会存在空洞，从而影响位线接触结构的阻值、电性以及 DRAM 器件的写恢复时间测试（Write Recovery Time，简称 TWR）等，造成 DRAM 器件不良。

发明内容

根据本公开的各种实施例，提供一种接触结构及其制备方法、半导体结构。

根据一些实施例，本公开一方面提供一种接触结构的制备方法，该制备方法包括的步骤如下所述。

10 提供衬底，衬底具有浅沟槽隔离结构。浅沟槽隔离结构在衬底内隔离出有源区。
形成覆盖衬底及浅沟槽隔离结构的介质层。

在衬底的有源区及介质层中形成接触孔。接触孔包括：贯穿介质层的第一接触孔，以及位于第一接触孔底部且形成于衬底内的第二接触孔。

根据一些实施例，第二接触孔的靠近第一接触孔的部分的孔径沿靠近第一接触孔的方向逐渐增大，且第二接触孔的最大孔径等于或小于第一接触孔的孔径。
15

根据一些实施例，在衬底的有源区及介质层中形成接触孔，包括步骤如下。

在衬底的有源区及介质层中形成接触底孔。

去除接触底孔的部分侧壁，以在介质层内形成第一接触孔，在衬底内形成第二接触孔。

根据一些实施例，接触底孔的侧壁由浅沟槽隔离结构构成。去除接触底孔的部分侧壁，
20 以在介质层中形成第一接触孔，在衬底的有源区内形成第二接触孔，包括步骤如下。

基于接触底孔，回蚀去除部分介质层，以形成第一接触孔以及位于第一接触孔底部的导引孔。

基于第一接触孔及导引孔，去除部分浅沟槽隔离结构，以形成第二接触孔。

根据一些实施例，回蚀去除部分介质层，包括：对形成接触底孔后所得的结构进行清洗，回蚀去除部分介质层。

根据一些实施例，基于第一接触孔及导引孔，去除部分浅沟槽隔离结构，以形成第二接触孔，包括步骤如下。

在导引孔内形成硬掩膜，以使浅沟槽隔离结构待去除的部分暴露于硬掩膜的上方。

基于第一接触孔和硬掩膜，去除部分浅沟槽隔离结构。

去除硬掩膜，以形成第二接触孔。

根据一些实施例，在导引孔内形成硬掩膜，包括步骤如下。

在导引孔内填充硬掩膜材料。

去除预设厚度的硬掩膜材料，以使保留于导引孔内的硬掩膜材料形成硬掩膜。

根据一些实施例，去除部分衬底和部分浅沟槽隔离结构，包括：对形成硬掩膜后所得的结构进行刻蚀，以去除部分浅沟槽隔离结构。

根据一些实施例，接触结构的制备方法还包括：在接触孔内以及介质层上形成沿第一方向延伸的接触结构。

根据一些实施例，在接触孔内以及介质层上形成沿第一方向延伸的接触结构，包括步骤如下。

在接触孔内以及介质层上形成沿第一方向延伸的接触导电层。

形成覆盖接触导电层的第一阻挡层。

形成覆盖第一阻挡层的第二阻挡层。

其中，接触导电层、第一阻挡层和第二阻挡层共同构成接触结构。

根据一些实施例，第一阻挡层的材料包括钛。

根据一些实施例，第一阻挡层的厚度范围为 5nm~10nm。

根据一些实施例，第二阻挡层包括由氮化钛层和氮化硅层交替层叠构成的层组。形成覆盖第一阻挡层的第二阻挡层，包括：在第一阻挡层上周期性的沉积氮化钛层和氮化硅层。

根据一些实施例，形成第二阻挡层中氮化钛层和氮化硅层的原料质量比范围为 10:1~20:1。

根据一些实施例，本公开另一方面提供了一种接触结构，采用如上一些实施例所述的制备方法制备获得。所述接触结构形成于接触孔内。接触孔设置于衬底的有源区及介质层中。介质层覆盖衬底。接触孔包括：贯穿介质层的第一接触孔，以及位于第一接触孔的底部且位于衬底内的第二接触孔。接触结构还位于介质层上，并沿第一方向延伸。

根据一些实施例，第二接触孔的靠近第一接触孔的部分的孔径沿靠近第一接触孔的方向逐渐增大，且第二接触孔的最大孔径等于或小于第一接触孔的孔径。

根据一些实施例，接触结构包括：沿远离衬底的方向层叠设置的接触导电层、第一阻挡层和第二阻挡层。

根据一些实施例，第一阻挡层包括钛层。

根据一些实施例，钛层的厚度范围为 5nm~10nm。

根据一些实施例，第二阻挡层包括由氮化钛层和氮化硅层交替层叠构成的层组。

根据一些实施例，接触导电层包括多晶硅层。

- 5 根据一些实施例，本公开又一方面提供了一种半导体结构，包括如上一些实施例所述的接触结构，以及设置于接触结构背离衬底表面上的位线结构或存储电容器。

本公开实施例可以/至少具有以下优点：

- 在本公开实施例提供的接触结构的制备方法、接触结构、半导体结构中，改良了接触孔的形状，具体为：使接触孔由位于介质层中的第一接触孔和位于衬底内的第二接触孔相
- 10 连通构成，且使第二接触孔的部分孔径沿靠近第一接触孔的方向增大，第二接触孔的最大孔径等于或小于第一接触孔的孔径。这样可以在接触孔底部尺寸较小的情况下确保接触孔仍具有较大的开口尺寸，有利于减小接触孔的深宽比，以及提升接触结构的台阶覆盖率。从而可以避免在接触结构中形成不必要的孔隙。进而可以避免出现因金属渗透并填充接触结构中孔隙而导致半导体结构电性异常的问题。

- 此外，本公开实施例中，接触结构包括接触导电层、第一阻挡层和第二阻挡层，且接
- 15 触导电层为多晶硅层，第一阻挡层为钛层，第二阻挡层为氮化钛层和氮化硅层交替层叠构成的层组。这样不仅可以利用第二阻挡层有效阻挡接触导电层中的杂质元素（例如硼（B）和磷（P）等）扩散至该接触结构连接的导电结构中，以避免杂质元素对前述导电结构的电性产生不良影响。并且，还可以利用第一阻挡层有效隔绝第二阻挡层中的氮离子扩散至接触导电层，以避免氮离子对接触导电层的电性产生不良影响。从而能够确保接触结构及其相连接的导电结构的电学性能良好。
- 20

综上，本公开实施例提供的接触结构的制备方法、接触结构、半导体结构，能够改善接触结构及半导体结构的电学性能，以提升半导体结构的良率。

本公开的一个或多个实施例的细节在下面的附图和描述中提出。本公开的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他实施例的附图。

图 1 为一实施例中提供的一种接触结构的制备方法的流程示意图；

图 2 为一实施例中提供的步骤 S100 所得结构的示意图；

图 3 为一实施例中提供的步骤 S200 所得结构的示意图；

图 4 为一实施例中提供的步骤 S300 所得结构的示意图；

- 25 图 5 为一实施例中提供的步骤 S310 所得结构的示意图；

图 6~图 9 为一实施例中提供的步骤 S320 中各分步骤所得结构的示意图；

图 10 为一实施例中提供的步骤 S400 所得结构的示意图；并且，图 10 亦为一实施例中提供的接触结构的结构示意图；

图 11 为一实施例中提供的第二阻挡层的结构示意图；

图 12 为一实施例中提供的一种半导体结构的结构示意图；

图 13 为一实施例中提供的一种半导体结构的结构示意图。

具体实施方式

为了便于理解本公开，下面将参考相关附图对本公开进行更全面的描述。附图中给出了本公开的首选实施例。但是，本公开可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本公开的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中在本公开的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本公开。本文所使用的术语“及 / 或”包括一个或多个相关的所列项目的任意的和所有的组合。

应当明白，当元件或层被称为“在...上”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转 90 度或其它取向)并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本公开的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例, 这样可以预期由于例如制造技术和/或容差导致的所示形状的变化。因此, 本公开的实施例不应当局限于在此所示的区的特定形状, 而是包括由于例如制造技术导致的形状偏差。图中显示的区实质上是示意性的, 它们的形状并不表示器件的区的实际形状, 且并不限定本公开的范围。

请参阅图 1, 本公开一实施例提供了一种接触结构的制备方法, 该制备方法包括的步骤如下所述。

S100, 提供衬底。衬底具有浅沟槽隔离结构, 浅沟槽隔离结构在衬底内隔离出有源区。

S200, 形成覆盖衬底及浅沟槽隔离结构的介质层。

S300, 在衬底的有源区及介质层中形成接触孔。其中, 接触孔包括: 贯穿介质层的第一接触孔, 以及位于第一接触孔底部且形成于衬底内的第二接触孔。

S400, 在接触孔内以及介质层上形成沿第一方向延伸的接触结构。

在一些实施例中, 第二接触孔的靠近第一接触孔的部分的孔径沿靠近第一接触孔的方向逐渐增大, 且第二接触孔的最大孔径等于或小于第一接触孔的孔径。

本公开实施例中, 接触孔由位于介质层中的第一接触孔和位于衬底内的第二接触孔相连通构成, 并且, 第二接触孔的部分孔径沿靠近第一接触孔的方向增大, 第二接触孔的最大孔径等于或小于第一接触孔的孔径, 这样可以在接触孔底部尺寸较小的情况下, 确保接触孔仍具有较大的开口尺寸, 有利于减小接触孔的深宽比, 以及提升接触结构的台阶覆盖率, 从而可以避免在接触结构中形成不必要的孔隙, 进而可以避免出现因金属渗透并填充接触结构中孔隙而导致半导体结构电性异常的问题。本公开实施例能够改善接触结构及接触结构所在半导体结构的电学性能, 以提升半导体结构的良率。

在步骤 S100 中, 请参阅图 1 中的 S100 及图 2, 提供衬底 10。衬底 10 具有浅沟槽隔离结构 11, 浅沟槽隔离结构 11 在衬底 10 内隔离出有源区 S_A 。

在一些实施例中, 衬底 10 包括但不限于硅衬底或硅基衬底。

在一些实施例中, 浅沟槽隔离结构 11 为氧化硅 (SiO_2) 隔离结构。浅沟槽隔离结构 11 可以在衬底 10 内隔离出多个呈阵列状排布的有源区 S_A 。有源区 S_A 包括源区和漏区。图 2~图 10 中仅以一个有源区 S_A 的源区或漏区为例进行了示意。

在步骤 S200 中, 请参阅图 1 中的 S200 及图 3, 形成覆盖衬底 10 及浅沟槽隔离结构 11 的介质层 12。

此处, 介质层 12 的材料与浅沟槽隔离结构 11 的材料不同, 介质层 12 可以作为后续刻蚀浅沟槽隔离结构 11 的保护层使用。

此外, 介质层 12 的厚度可以根据实际需求选择设置。本公开实施例对此不做限定。

在一些实施例中, 介质层 12 为氮化硅层。

在步骤 S300 中, 请参阅图 1 中的 S300 及图 4, 在衬底 10 的有源区 S_A 及介质层 12 中形成接触孔 H。

示例的，接触孔 H 包括：贯穿介质层 12 的第一接触孔 H_1 ，以及位于第一接触孔 H_1 底部且形成于衬底 10 内的第二接触孔 H_2 。

在一些示例中，第二接触孔 H_2 的靠近第一接触孔 H_1 的部分的孔径沿靠近第一接触孔 H_1 的方向逐渐增大，且第二接触孔 H_2 的最大孔径等于或小于第一接触孔 H_1 的孔径。

5 示例的，第二接触孔 H_2 的靠近第一接触孔 H_1 的部分的孔径沿靠近第一接触孔 H_1 的方向均匀增大（例如呈线性增大），或者按照预设的变化规律增大（例如呈曲线增大）。

示例的，请继续参阅图 4，以第二接触孔 H_2 中靠近第一接触孔 H_1 且孔径沿靠近第一接触孔 H_1 的方向逐渐增大的部分为第一部分，则第二接触孔 H_2 还包括位于其第一部分远离第一接触孔 H_1 一侧的第二部分，该第二部分的孔径可以保持不变，也可以沿靠近第一部分的方向逐渐增大。并且，在第二接触孔 H_2 的第二部分的孔径沿靠近其第一部分的方向逐渐增大的示例中，第二部分孔径沿靠近第一部分的方向增大的变化率小于第一部分孔径沿靠近第一接触孔 H_1 的方向增大的变化率。

上述第一接触孔 H_1 和第二接触孔 H_2 的深度，可以根据实际需求选择设置。基于第一接触孔 H_1 贯穿介质层 12，介质层 12 的沉积厚度即为第一接触孔 H_1 的深度。

15 上述接触孔 H 中任一横截面在衬底 10 上的正投影形状可以为圆形、椭圆形、矩形或菱形等，本公开实施例对此不做限定。相应的，接触孔 H 的孔径是指：接触孔 H 在其横截面上的尺寸，该横截面为平行于衬底 10 的截面。

此外，前述第二接触孔 H_2 的最大孔径等于第一接触孔 H_1 的孔径，是指：第二接触孔 H_2 的上边缘与第一接触孔 H_1 的下边缘重合。第二接触孔 H_2 的最大孔径小于第一接触孔 H_1 的孔径，是指：第二接触孔 H_2 的上边缘与第一接触孔 H_1 的下边缘之间具有间隔，且可以通过平行于衬底 10 的平面衔接。

在一些实施例中，第一接触孔 H_1 的孔径沿远离第二接触孔 H_2 的方向逐渐增大或保持一致，均可。

在一些实施例中，步骤 S300 包括步骤如下。

25 S310，请参阅图 5，在衬底 10 的有源区 S_A 及介质层 12 中形成接触底孔 H_0 。

此处，接触底孔 H_0 通过一次构图工艺形成，即基于同一掩膜版，对介质层 12 和衬底 10 的有源区 S_A 进行刻蚀，以形成接触底孔 H_0 。

可选的，接触底孔 H_0 与衬底 10 的有源区 S_A 的源区和/或漏区一一对应地设置。

可以理解的是，接触底孔 H_0 的底部尺寸取决于半导体结构中允许设置接触孔的尺寸。
30 在刻蚀形成接触底孔 H_0 后，按照接触底孔 H_0 尺寸的不同，接触底孔 H_0 的侧壁可以由衬底 10 构成，也可以由浅沟槽隔离结构 11 构成。

在一些实施例中，如图 5 中所示，接触底孔 H_0 暴露出部分浅沟槽隔离结构 11，接触底孔 H_0 的侧壁由浅沟槽隔离结构 11 构成。

S320，请参阅图 6~图 9，去除接触底孔 H_0 的部分侧壁，以在介质层 12 内形成第一接触孔 H_1 ，在衬底 10 内形成第二接触孔 H_2 。

可以理解, 介质层 12 的材料、浅沟槽隔离结构 11 的材料和衬底 10 的材料均不同, 第一接触孔 H_1 和第二接触孔 H_2 可以分别采用不同的刻蚀方式形成。

在一些实施例中, 接触底孔 H_0 的侧壁由浅沟槽隔离结构 11 构成。步骤 S320 包括步骤如下所述。

5 S321, 基于接触底孔 H_0 , 回蚀去除部分介质层 12, 以形成第一接触孔 H_1 以及位于第一接触孔 H_1 底部的导引孔 H_{20} , 例如图 6 所示。

此处, 导引孔 H_{20} 也就是接触底孔 H_0 位于衬底 10 内的部分, 具体可以为低于有源区 S_A 初始裸露表面或低于浅沟槽隔离结构 11 初始上表面的部分。

10 示例的, 介质层 12 为氮化硅层, 对氮化硅层进行回蚀, 可以有效去除部分氮化硅材料, 以增大氮化硅层中开口部分的关键尺寸, 也即: 可以增大接触底孔 H_0 位于介质层 12 中部分的孔径, 以获得第一接触孔 H_1 。

示例的, 介质层 12 的回蚀去除, 可以通过对形成接触底孔 H_0 后所得的结构进行清洗来获得。

15 在一些实施例中, 介质层 12 的回蚀去除采用湿法刻蚀。例如, 使用氢氟酸溶液、磷酸溶液及标准清洗液对形成接触底孔 H_0 后所得的结构依次进行清洗, 以回蚀去除部分介质层 12, 从而形成第一接触孔 H_1 。

S322, 基于第一接触孔 H_1 及导引孔 H_{20} , 去除部分浅沟槽隔离结构 11, 以形成第二接触孔 H_2 。

20 在形成第一接触孔 H_1 之后, 第一接触孔 H_1 的底部暴露出部分浅沟槽隔离结构 11。在此基础上, 自上而下去除接触底孔 H_0 位于衬底 10 内部分的上部分侧壁, 可以形成第二接触孔 H_2 , 并使第二接触孔 H_2 的部分孔径沿靠近第一接触孔 H_1 的方向增大。

在一些实施例中, 接触底孔 H_0 的侧壁由浅沟槽隔离结构 11 构成, 步骤 S322 包括步骤如下所述。

25 S3221, 在导引孔 H_{20} 内形成硬掩膜 13, 以使浅沟槽隔离结构 11 待去除的部分暴露于硬掩膜 13 的上方。

示例的, 硬掩膜 13 的制备方法如下所述。

首先, 请参阅图 7, 在导引孔 H_{20} 内填充硬掩膜材料 130。

此处, 硬掩膜材料 130 可以根据实际需求选择设置, 例如为光刻胶材料或旋涂硬掩膜 (SOH, Spin on Hard mask) 材料等。

30 在一些实施例中, 硬掩膜材料 130 为 SOH 材料。硬掩膜材料 130 可以采用旋转涂覆工艺, 涂覆于第一接触孔 H_1 及导引孔 H_{20} 内, 但并不仅限于此。例如, 硬掩膜材料 130 可以通过沉积工艺仅填充于接触底孔 H_0 位于衬底 10 内的部分内, 即填充于导引孔 H_{20} 内。

35 此处, 沉积工艺包括但不限于物理气相沉积 (Physical Vapor Deposition, 简称 PVD)、化学气相沉积 (Chemical Vapor Deposition, 简称 CVD) 或原子层沉积 (Atomic Layer Deposition, 简称 ALD) 等。

然后，去除预设厚度 T 的硬掩膜材料 130，以使保留于导引孔 H₂₀ 内的硬掩膜材料形成硬掩膜 13，例如图 8 中所示。

此处，预设厚度 T 可以根据硬掩膜材料 130 的成型厚度以及第二接触孔 H₂ 中孔径变化部分的高度确定，以使得部分浅沟槽隔离结构 11 暴露于硬掩膜 13 上方为限。

5 S3222，基于第一接触孔 H₁ 和硬掩膜 13，去除部分浅沟槽隔离结构 11。也即：去除导引孔 H₂₀ 裸露于硬掩膜 13 上方的部分侧壁，例如图 9 中所示。

示例的，浅沟槽隔离结构 11 的去除可以采用刻蚀去除，例如湿法刻蚀。

在一些实施例中，浅沟槽隔离结构 11 为氧化硅 (SiO₂) 隔离结构，可以使用氢氟酸溶液对形成硬掩膜 13 后所得的结构进行湿法刻蚀。

10 S3223，去除硬掩膜 13，以形成第二接触孔 H₂，所得结构例如图 4 中所示。

此处，硬掩膜 13 例如可以采用等离子体刻蚀工艺去除。

在步骤 S400 中，请参阅图 1 中的 S400 及图 10，在接触孔 H 内以及介质层 12 上形成沿第一方向延伸的接触结构 14。

可以理解，接触结构 14 的结构不同，相应的制备方法不同。接触结构 14 例如为位线
15 接触结构，但并不仅限于此。

在一些实施例中，请结合图 10 理解，接触结构 14 的制备方法如下所述。

S410，在接触孔 H 内以及介质层 12 上形成沿第一方向延伸的接触导电层 141。

在一些实施例中，接触导电层 141 为多晶硅层，但并不仅限于此，其他与多晶硅具有相同或相似电学性能的可导电材料也均可用于形成接触导电层 141。

20 在一些实施例中，接触导电层 141 采用沉积工艺形成，接触导电层 141 的部分填充于接触孔 H 内。

此处，沉积工艺包括但不限于物理气相沉积 (Physical Vapor Deposition, 简称 PVD)、化学气相沉积 (Chemical Vapor Deposition, 简称 CVD) 或原子层沉积 (Atomic Layer Deposition, 简称 ALD) 等。

25 本公开实施例中，接触孔 H 采用相连通的第一接触孔 H₁ 和第二接触孔 H₂ 构成，并使第二接触孔 H₂ 的部分孔径沿靠近第一接触孔 H₁ 的方向增大，且第二接触孔 H₂ 的最大孔径等于或小于第一接触孔 H₁ 的孔径。这样可以利用第一接触孔 H₁ 增大接触孔 H 的开口尺寸，并利用第二接触孔 H₂ 连接第一接触孔 H₁ 的孔径变化部分减缓台阶的坡度。在此基础上，在接触孔 H 内形成接触导电层 141 后，不仅可以避免在接触导电层 141 中形成不必要的
30 的孔隙，也可以确保接触导电层 141 具有良好的台阶覆盖率。

S420，形成覆盖接触导电层 141 的第一阻挡层 142。

在一些实施例中，第一阻挡层 142 的材料包括钛。第一阻挡层 142 可以用于阻挡氮离子扩散。

35 在一些实施例中，第一阻挡层 142 采用沉积工艺形成，例如采用物理气相沉积 (Physical Vapor Deposition, 简称 PVD)、化学气相沉积 (Chemical Vapor Deposition, 简称 CVD) 或

原子层沉积（Atomic Layer Deposition，简称 ALD）等形成。

在一些实施例中，第一阻挡层 142 的厚度范围可以为 5nm~10nm，例如第一阻挡层 142 的厚度可以为 5nm、6nm、8nm 或 10nm。

S430，形成覆盖第一阻挡层 142 的第二阻挡层 143。

5 在一些实施例中，如图 11 中所示，第二阻挡层 143 为由氮化钛层 143A 和氮化硅层 143B 交替层叠构成的层组（TSN）。其中，任一层氮化钛层 143A 或氮化硅层 143B 的厚度可以根据实际需求选择设置。并且，氮化钛层 143A 和氮化硅层 143B 的层叠顺序也可以根据实际需求调整。

10 在接触导电层 141 为多晶硅层的一些示例中，第二阻挡层 143 采用如上结构可以有效阻挡接触导电层 141 中的杂质元素（例如硼（B）和磷（P）等）扩散至接触结构 14 连接的导电结构中，以避免杂质元素对该导电结构的电性产生不良影响。在接触结构 14 为位线接触结构的示例中，接触结构 14 连接的导电结构为位线结构中的位线。在接触结构 14 为存储节点接触结构的示例中，接触结构 14 连接的导电结构为存储电容器。

15 由上，第二阻挡层 143 的制备步骤，包括：在第一阻挡层 142 上周期性的沉积氮化钛层 143A 和氮化硅层 143B。

此处，周期性的沉积氮化钛层 143A 和氮化硅层 143B 是指：以沉积一层氮化钛层 143A 和一层氮化硅层 143B 为一个周期，并重复执行多个周期，以形成由氮化钛层 143A 和氮化硅层 143B 交替层叠构成的层组（TSN）。由于氮化硅的电阻大于钛和氮化钛，氮化硅的厚度增加，接触结构 14 的接触电阻也会随之增加，所以通过交替层叠氮化钛层 143A 和氮化硅层 143B 能有效降低氮化硅层 143B 的厚度，进而有利于降低层组（TSN）的电阻，提高接触结构 14 的导电性能。

此外，在制备第二阻挡层 143 的过程中，氮化钛层 143A 和氮化硅层 143B 不同形成周期内所对应的循环比可以不同。

25 示例的，第二阻挡层 143 采用先进连续流沉积（ASFD，Advanced Sequential Flow Deposition）工艺形成。

在一些实施例中，第一阻挡层 142 采用钛层。第二阻挡层 143 为由氮化钛层 143A 和氮化硅层 143B 交替层叠构成的层组。由于钛层的电阻低于氮化钛层的电阻。因此，将形成第二阻挡层 143 中氮化钛层 143A 和氮化硅层 143B 的原料质量比调低，有利于降低层组（TSN）的电阻，确保接触结构 14 的电学性能。

30 例如，形成第二阻挡层 143 中氮化钛层 143A 和氮化硅层 143B 的原料质量比的范围为 10:1~20:1，例如该原料质量比可以为 10:1，12:1，15:1，18:1 或 20:1。其中，形成氮化钛层 143A 所用的原料可以为氯化钛和氨气；形成氮化硅层 143B 所用的原料可以为硅和氨气，但并不仅限于此。

35 本公开实施例中，接触结构 14 包括接触导电层 141、第一阻挡层 142 和第二阻挡层 143，且接触导电层 141 为多晶硅层，第一阻挡层 142 为钛层，第二阻挡层 143 为氮化钛

层和氮化硅层交替层叠构成的层组。这样不仅可以利用第二阻挡层 143 有效阻挡接触导电层 141 中的杂质元素（例如硼（B）和磷（P）等）扩散至位线结构中，以避免杂质元素对位线结构的电性产生不良影响。并且，还可以利用第一阻挡层 142 有效隔绝第二阻挡层 143 中的氮离子扩散至接触导电层 141，以避免氮离子对接触导电层 141 的电性产生不良影响。从而能够确保接触结构 14 及位线结构的电学性能良好。

综上，本公开实施例提供的接触结构的制备方法能够改善接触结构及接触结所在半导体结构的电学性能，以提升半导体结构的良率。

本公开一些实施例还提供了一种接触结构，采用上述一些实施例中的制备方法制备获得。

如图 10 所示，接触结构 14 形成于接触孔 H 内，接触孔 H 设置于衬底 10 的有源区及介质层 12 中，介质层 12 覆盖衬底 10。

在一个示例中，衬底 10 包括但不限于硅衬底或硅基衬底。衬底 10 具有浅沟槽隔离结构 11，浅沟槽隔离结构 11 在衬底 10 内隔离出多个有源区。

示例的，浅沟槽隔离结构 11 为氧化硅（ SiO_2 ）隔离结构。

在一个示例中，介质层 12 覆盖衬底 10 及浅沟槽隔离结构 11。介质层 12 的材料与浅沟槽隔离结构 11 的材料不同。示例的，介质层 12 可以为氮化硅层。

在一个示例中，请结合图 4 和图 10 理解，接触孔 H 包括：贯穿介质层 12 的第一接触孔 H_1 ，以及位于第一接触孔 H_1 底部且形成于衬底 10 内的第二接触孔 H_2 。

示例的，第二接触孔 H_2 的靠近第一接触孔 H_1 的部分的孔径沿靠近第一接触孔 H_1 的方向逐渐增大，且第二接触孔 H_2 的最大孔径等于或小于第一接触孔 H_1 的孔径。

示例的，第二接触孔 H_2 的靠近第一接触孔 H_1 的部分的孔径沿靠近第一接触孔 H_1 的方向均匀增大（例如呈线性增大），或者按照预设的变化规律增大（例如呈曲线增大）。

示例的，请继续参阅图 4 和图 10，以第二接触孔 H_2 中靠近第一接触孔 H_1 且孔径沿靠近第一接触孔 H_1 的方向逐渐增大的部分为第一部分，则第二接触孔 H_2 还包括位于其第一部分远离第一接触孔 H_1 一侧的第二部分，该第二部分的孔径可以保持不变，也可以沿靠近第一部分的方向逐渐增大。并且，在第二接触孔 H_2 的第二部分的孔径沿靠近其第一部分的方向逐渐增大的示例中，第二部分孔径沿靠近第一部分的方向增大的变化率小于第一部分孔径沿靠近第一接触孔 H_1 的方向增大的变化率。

上述第一接触孔 H_1 和第二接触孔 H_2 的深度，可以根据实际需求选择设置。基于第一接触孔 H_1 贯穿介质层 12，介质层 12 的厚度即为第一接触孔 H_1 的深度。

上述接触孔 H 中任一横截面在衬底 10 上的正投影形状可以为圆形、椭圆形、矩形或菱形等，本公开实施例对此不做限定。相应的，接触孔 H 的孔径是指：接触孔 H 在其横截面上的尺寸，该横截面为平行于衬底 10 的截面。

此外，第二接触孔 H_2 的最大孔径等于第一接触孔 H_1 的孔径，是指：第二接触孔 H_2 的上边缘与第一接触孔 H_1 的下边缘重合。第二接触孔 H_2 的最大孔径小于第一接触孔 H_1

的孔径，是指：第二接触孔 H_2 的上边缘与第一接触孔 H_1 的下边缘之间具有间隔，且可以通过平行于衬底 10 的平面衔接。

在一些实施例中，第一接触孔 H_1 的孔径沿远离第二接触孔 H_2 的方向逐渐增大或保持一致，均可。

5 上述接触结构 14 形成于接触孔 H 内，接触结构 14 还包括位于介质层 12 上并沿第一方向延伸的部分。接触结构 14 例如为位线接触结构，但并不仅限于此。例如，接触结构 14 还可以为存储节点接触结构。

在一些实施例中，接触结构 14 包括：沿远离衬底 10 的方向层叠设置的接触导电层 141、第一阻挡层 142 和第二阻挡层 143。

10 示例的，接触导电层 141 为多晶硅层。多晶硅层的部分填充于接触孔 H 中，部分覆盖介质层 12 背离衬底 10 的表面且沿第一方向延伸。

示例的，第一阻挡层 142 为钛层。第一阻挡层 142 用于阻挡氮离子扩散。

在一些实施例中，钛层的厚度范围可以为 5nm~10nm，例如钛层的厚度可以为：5nm、6nm、8nm 或 10nm。

15 在一些实施例中，第二阻挡层 143 为由氮化钛层 143A 和氮化硅层 143B 交替层叠构成的层组（TSN）。其中，任一层氮化钛层 143A 或氮化硅层 143B 的厚度可以根据实际需求选择设置。并且，氮化钛层 143A 和氮化硅层 143B 的层叠顺序也可以根据实际需求调整。第二阻挡层 143 可以有效阻挡接触导电层 141 中的杂质元素（例如硼（B）和磷（P）等）扩散至位线结构中，以避免杂质元素对位线结构的电性产生不良影响。

20 请参阅图 12 和图 13，本公开一些实施例还提供了一种半导体结构，包括：如上一些实施例中所述的接触结构 14，以及设置于接触结构 14 的背离衬底 10 的表面上的位线结构 20 或存储电容器 30。

示例的，请参阅图 12，衬底 10 的有源区包括源区和漏区。接触结构 14 可以为位线接触结构。位线结构 20 包括位线。如此，位线结构 20 中的位线可以通过对应的位线接触结构 25 与有源区的源区相连接。

示例的，请参阅图 13，衬底 10 的有源区包括源区和漏区。接触结构 14 可以为存储节点接触结构。存储电容器 30 包括相对设置的第一电极 31 和第二电极 32，以及设置于第一电极 31 和第二电极 32 之间的电介质层 33，其中，第一电极 31 与存储节点接触结构连接。此处，图 13 中的存储电容器 30 仅是一种示意性的表达，存储电容器 30 的结构还可以根据实际需求有其他的设置方式，而并不仅限于此。如此，存储电容器 30 的第一电极 31 可以通过对应的存储节点接触结构与有源区 S_A 的漏区相连接。

需要补充的是，衬底 10 的有源区可以呈阵列状分布。并且，多个位线结构 20 平行间隔设置，且各位线结构 20 沿列方向延伸。基于此，每一列有源区 S_A 的源区对应的接触结构 14 可以与一个位线结构 20 的位线对应连接，每一列有源区 S_A 的漏区对应的接触结构 35 14 可以与一个存储电容器 30 对应连接。

在本公开实施例提供的接触结构 14 及半导体结构中，改良了接触孔 H 的形状，具体为：使接触孔 H 由位于介质层 12 中的第一接触孔 H₁ 和位于衬底 10 内的第二接触孔 H₂ 相连通构成，且使第二接触孔 H₂ 的部分孔径沿靠近第一接触孔 H₁ 的方向增大，第二接触孔 H₂ 的最大孔径等于或小于第一接触孔 H₁ 的孔径。这样可以在接触孔 H 底部尺寸较小的情况下确保接触孔 H 仍具有较大的开口尺寸，有利于减小接触孔 H 的深宽比，以及提升接触结构 14 的台阶覆盖率。从而可以避免在接触结构 14（尤其是多晶硅层）中形成不必要的孔隙，进而可以避免出现因金属渗透并填充接触结构 14 中孔隙而导致半导体结构电性异常的问题。

此外，本公开实施例中，接触结构 14 的接触导电层 141 为多晶硅层，第一阻挡层 142 为钛层，第二阻挡层 143 为氮化钛层和氮化硅层交替层叠构成的层组。这样不仅可以利用第二阻挡层 143 有效阻挡接触导电层 141 中的杂质元素（例如硼（B）和磷（P）等）扩散至接触结构 14 连接的导电结构中，以避免杂质元素对导电结构的电性产生不良影响。并且，还可以利用第一阻挡层 142 有效隔绝第二阻挡层 143 中的氮离子扩散至接触导电层 141，以避免氮离子对接触导电层 141 的电性产生不良影响。从而能够确保接触结构 14 及其相连的导电结构的电学性能良好。

综上，本公开实施例提供的接触结构 14 及半导体结构，能够改善接触结构 14 及半导体结构的电学性能，以提升半导体结构的良率。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本公开的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本公开构思的前提下，还可以做出若干变形和改进，这些都属于本公开的保护范围。因此，本公开专利的保护范围应以所附权利要求为准。

权利要求书

1. 一种接触结构的制备方法，包括：

提供衬底，所述衬底具有浅沟槽隔离结构，所述浅沟槽隔离结构在所述衬底内隔离出有源区；

形成覆盖所述衬底及所述浅沟槽隔离结构的介质层；

5 在所述衬底的有源区及所述介质层中形成接触孔；

所述接触孔包括：贯穿所述介质层的第一接触孔，以及位于所述第一接触孔底部且形成于所述衬底内的第二接触孔。

2. 根据权利要求 1 所述的接触结构的制备方法，其中，所述第二接触孔的靠近所述第一接触孔的部分的孔径沿靠近所述第一接触孔的方向逐渐增大，且所述第二接触孔的最大孔径等于或小于所述第一接触孔的孔径。

3. 根据权利要求 1 所述的接触结构的制备方法，其中，所述在所述衬底的有源区及所述介质层中形成接触孔，包括：

在所述衬底的有源区及所述介质层中形成接触底孔；

15 去除所述接触底孔的部分侧壁，以在所述介质层内形成第一接触孔，在所述衬底内形成所述第二接触孔。

4. 根据权利要求 3 所述的接触结构的制备方法，其中，所述接触底孔的侧壁由所述浅沟槽隔离结构构成；所述去除所述接触底孔的部分侧壁，以在所述介质层中形成第一接触孔，在所述衬底的有源区内形成所述第二接触孔，包括：

20 基于所述接触底孔，回蚀去除部分所述介质层，以形成所述第一接触孔以及位于所述第一接触孔底部的导引孔；

基于所述第一接触孔及所述导引孔，去除部分所述浅沟槽隔离结构，以形成所述第二接触孔。

5. 根据权利要求 4 所述的接触结构的制备方法，其中，所述回蚀去除部分所述介质层，包括：

25 对形成所述接触底孔后所得的结构进行清洗，以回蚀去除部分所述介质层。

6. 根据权利要求 4 所述的接触结构的制备方法，其中，所述基于所述第一接触孔及所述导引孔，去除部分所述浅沟槽隔离结构，以形成所述第二接触孔，包括：

在所述导引孔内形成硬掩膜，以使所述浅沟槽隔离结构待去除的部分暴露于所述硬掩膜的上方；

30 基于所述第一接触孔和所述硬掩膜，去除部分所述浅沟槽隔离结构；

去除所述硬掩膜，以形成所述第二接触孔。

7. 根据权利要求 6 所述的接触结构的制备方法，其中，所述在所述导引孔内形成硬掩膜，包括：

在所述导引孔内填充硬掩膜材料；

去除预设厚度的所述硬掩膜材料，以使保留于所述导引孔内的所述硬掩膜材料形成所述硬掩膜。

8. 根据权利要求 6 所述的接触结构的制备方法，其中，所述去除部分所述浅沟槽隔离结构，包括：对形成所述硬掩膜后所得的结构进行刻蚀，以去除部分所述浅沟槽隔离结构。

9. 根据权利要求 1~8 中任一项所述的接触结构的制备方法，其中，所述制备方法还包括：在所述接触孔内以及所述介质层上形成沿第一方向延伸的接触结构。

10. 根据权利要求 9 所述的接触结构的制备方法，其中，所述在所述接触孔内以及所述介质层上形成沿第一方向延伸的接触结构，包括：

在所述接触孔内以及所述介质层上形成沿第一方向延伸的接触导电层；

形成覆盖所述接触导电层的第一阻挡层；

形成覆盖所述第一阻挡层的第二阻挡层；

其中，所述接触导电层、所述第一阻挡层和所述第二阻挡层共同构成所述接触结构。

11. 根据权利要求 10 所述的接触结构的制备方法，其中，所述第一阻挡层的材料包括钛。

12. 根据权利要求 10 所述的接触结构的制备方法，其中，所述第一阻挡层的厚度范围为 5nm~10nm。

13. 根据权利要求 10 所述的接触结构的制备方法，其中，所述第二阻挡层包括由氮化钛层和氮化硅层交替层叠构成的层组；

所述形成覆盖所述第一阻挡层的第二阻挡层，包括：在所述第一阻挡层上周期性的沉积所述氮化钛层和所述氮化硅层。

14. 根据权利要求 13 所述的接触结构的制备方法，其中，形成所述第二阻挡层中所述氮化钛层和所述氮化硅层的原料质量比的范围为 10:1~20:1。

15. 一种接触结构，形成于接触孔内；

所述接触孔设置于衬底的有源区及介质层中；所述介质层覆盖所述衬底；所述接触孔包括：贯穿所述介质层的第一接触孔，以及位于所述第一接触孔的底部且位于所述衬底内的第二接触孔；

所述接触结构还位于所述介质层上，并沿第一方向延伸。

16. 根据权利要求 15 所述的接触结构，其中，所述第二接触孔的靠近所述第一接触孔的部分的孔径沿靠近所述第一接触孔的方向逐渐增大，且所述第二接触孔的最大孔径等于或小于所述第一接触孔的孔径。

17. 根据权利要求 15 所述的接触结构，其中，所述接触结构包括：沿远离所述衬底的方向层叠设置的接触导电层、第一阻挡层和第二阻挡层。

18. 根据权利要求 17 所述的接触结构，其中，

所述第一阻挡层包括钛层；

所述第二阻挡层包括由氮化钛层和氮化硅层交替层叠构成的层组；

所述接触导电层包括多晶硅层。

19. 根据权利要求 18 所述的接触结构，其中，所述钛层的厚度范围为 5nm~10nm。

20. 一种半导体结构，包括：

5 如权利要求 15~19 中任一项所述的接触结构；

以及，位线结构或存储电容器，设置于所述接触结构的背离所述衬底的表面上。

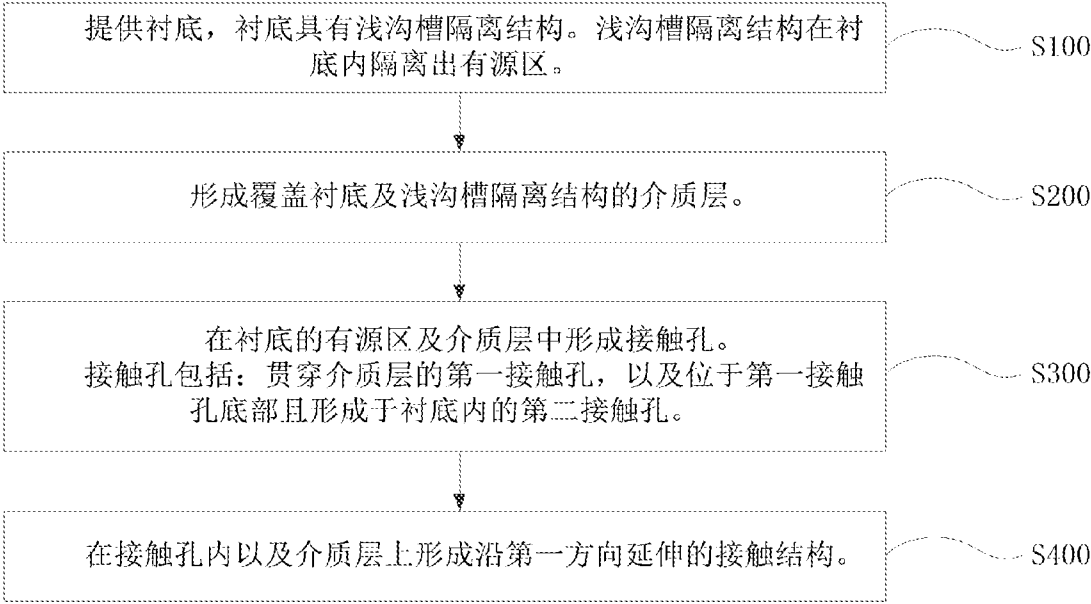


图 1

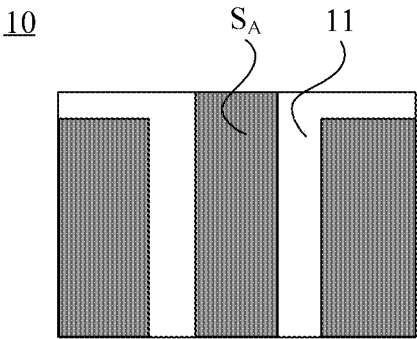


图 2

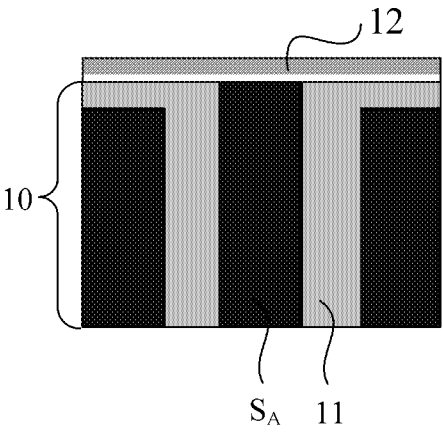


图 3

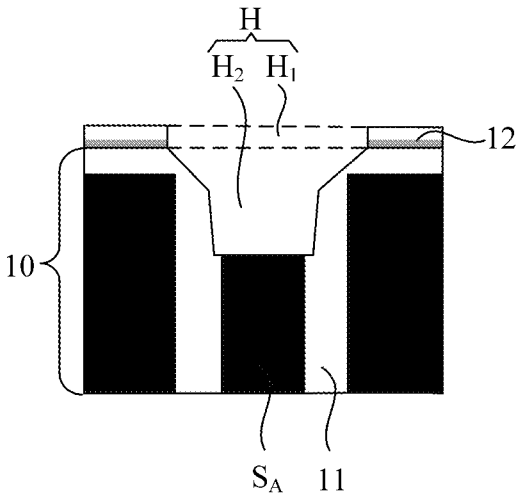


图 4

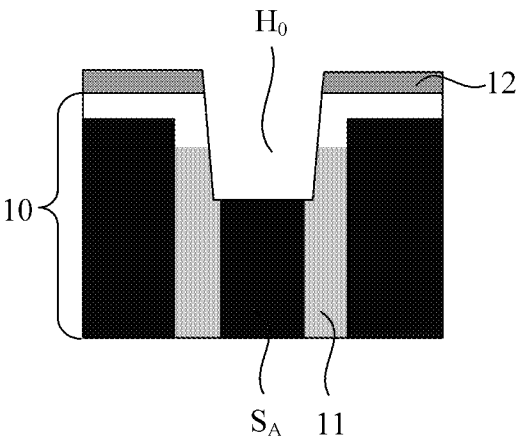


图 5

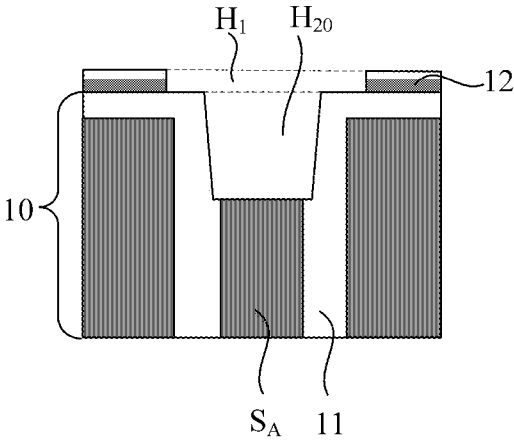


图 6

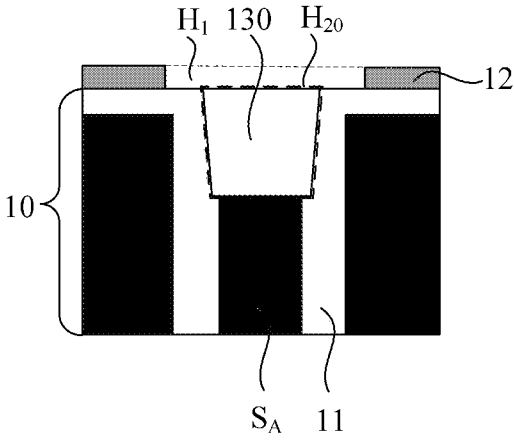


图 7

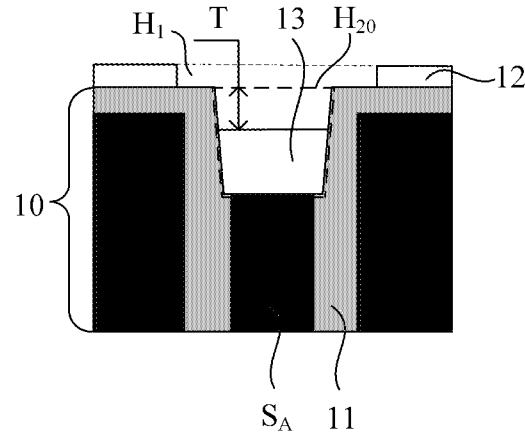


图 8

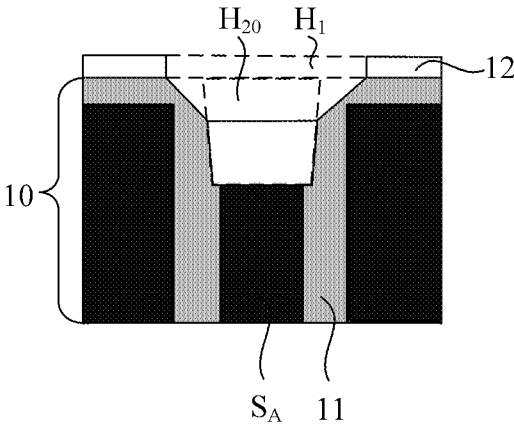


图 9

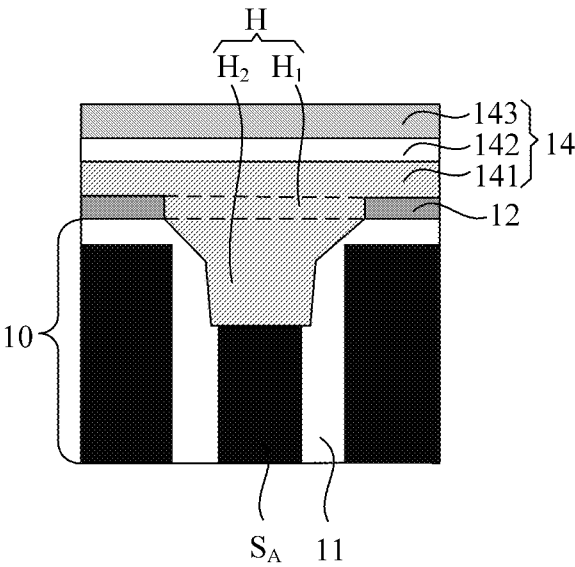


图 10

143

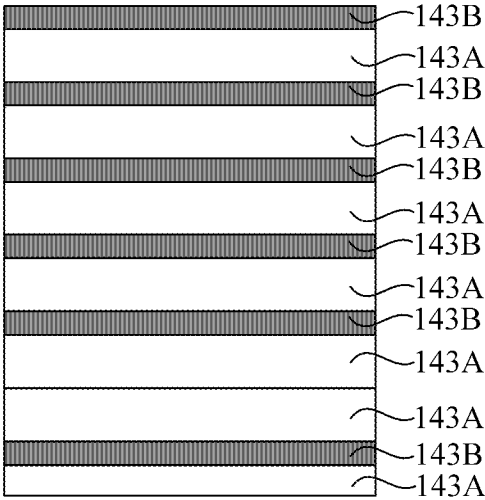


图 11

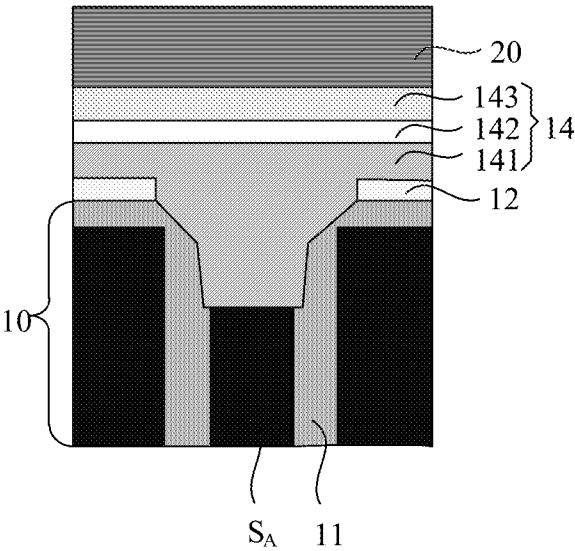


图 12

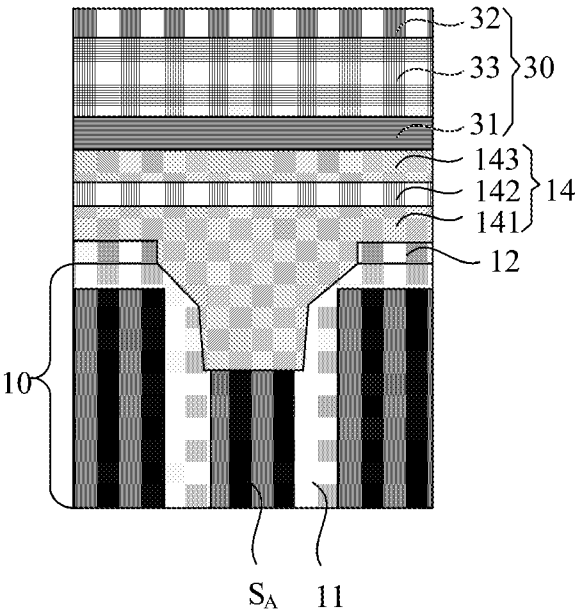


图 13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/081448

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/108(2006.01)i; H01L 21/8242(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: 位线, 接触, 接触孔, 插塞, 阻挡, 阻障, 势垒, 扩散防止, 扩散阻止, 孔洞, 空洞, 空腔, BLC, bit, contact, plug, block, barrier, hole, gap

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 112018080 A (FUJIAN JINHUA INTEGRATED CIRCUIT CO., LTD.) 01 December 2020 (2020-12-01) description, paragraphs 0055-0109, and figures 1-4f	1-9, 15-16, 20
Y	CN 112018080 A (FUJIAN JINHUA INTEGRATED CIRCUIT CO., LTD.) 01 December 2020 (2020-12-01) description, paragraphs 0055-0109, and figures 1-4f	10-14, 17-19
Y	US 2014061939 A1 (SK HYNIX INC.) 06 March 2014 (2014-03-06) description, paragraphs 0038-0063, and figures 1-10C	10-14, 17-19
Y	CN 107871742 A (UNITED MICROELECTRONICS CORP. et al.) 03 April 2018 (2018-04-03) description, paragraphs 0006-0048, and figures 1-5	13-14, 18
X	CN 103779318 A (SAMSUNG ELECTRONICS CO., LTD.) 07 May 2014 (2014-05-07) description, paragraphs 0035-0065, and figures 1-20D	1-9, 15-16, 20
A	US 2005003307 A1 (KUAN, ShihFan et al.) 06 January 2005 (2005-01-06) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

03 November 2022

Date of mailing of the international search report

29 November 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/081448

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113192892 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 30 July 2021 (2021-07-30) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/081448

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	112018080	A	01 December 2020	None			
US	2014061939	A1	06 March 2014	KR	20140028910	A	10 March 2014
				US	2015221548	A1	06 August 2015
CN	107871742	A	03 April 2018	None			
CN	103779318	A	07 May 2014	US	2014117492	A1	01 May 2014
				KR	20140052729	A	07 May 2014
				TW	201432850	A	16 August 2014
US	2005003307	A1	06 January 2005	TW	200503185	A	16 January 2005
CN	113192892	A	30 July 2021	None			

国际检索报告

国际申请号

PCT/CN2022/081448

A. 主题的分类

H01L 27/108(2006.01)i; H01L 21/8242(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPDOC, CNPAT, CNKI, IEEE: 位线, 接触, 接触孔, 插塞, 阻挡, 阻挡, 势垒, 扩散防止, 扩散阻止, 孔洞, 空洞, 空腔, BLC, bit, contact, plug, block, barrier, hole, gap

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 112018080 A (福建省晋华集成电路有限公司) 2020年12月1日 (2020 - 12 - 01) 说明书第0055-0109段, 附图1-4f	1-9, 15-16, 20
Y	CN 112018080 A (福建省晋华集成电路有限公司) 2020年12月1日 (2020 - 12 - 01) 说明书第0055-0109段, 附图1-4f	10-14, 17-19
Y	US 2014061939 A1 (SK HYNIX INC.) 2014年3月6日 (2014 - 03 - 06) 说明书第0038-0063段, 附图1-10C	10-14, 17-19
Y	CN 107871742 A (联华电子股份有限公司 等) 2018年4月3日 (2018 - 04 - 03) 说明书第0006-0048段, 附图1-5	13-14, 18
X	CN 103779318 A (三星电子株式会社) 2014年5月7日 (2014 - 05 - 07) 说明书第0035-0065段, 附图1-20D	1-9, 15-16, 20
A	US 2005003307 A1 (KUAN, Shih-Fan等) 2005年1月6日 (2005 - 01 - 06) 全文	1-20
A	CN 113192892 A (长鑫存储技术有限公司) 2021年7月30日 (2021 - 07 - 30) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年11月3日

国际检索报告邮寄日期

2022年11月29日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

韩颖姝

电话号码 86-(10)-53961447

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/081448

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	112018080	A	2020年12月1日	无			
US	2014061939	A1	2014年3月6日	KR	20140028910	A	2014年3月10日
				US	2015221548	A1	2015年8月6日
CN	107871742	A	2018年4月3日	无			
CN	103779318	A	2014年5月7日	US	2014117492	A1	2014年5月1日
				KR	20140052729	A	2014年5月7日
				TW	201432850	A	2014年8月16日
US	2005003307	A1	2005年1月6日	TW	200503185	A	2005年1月16日
CN	113192892	A	2021年7月30日	无			