

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 22 年 2 月 12 日 (2010.2.12)

【公開番号】特開 2007-208964 (P2007-208964A)

【公開日】平成 19 年 8 月 16 日 (2007.8.16)

【年通号数】公開・登録公報 2007-031

【出願番号】特願 2006-340442 (P2006-340442)

【国際特許分類】

H 0 3 M 1/36 (2006.01)

H 0 3 K 5/08 (2006.01)

【F I】

H 0 3 M 1/36

H 0 3 K 5/08 E

【手続補正書】

【提出日】平成 21 年 12 月 16 日 (2009.12.16)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

中間ノードに接続する第 1 の端部、及び電流源に接続する第 2 の端部を有する二つの抵抗を含む第 1 の抵抗ラダーレッグと、

中間ノードに接続する第 1 の端部、及び電流源に接続する第 2 の端部を有する二つの抵抗を含む第 2 の抵抗ラダーレッグと、

入力信号の第 1 の相に基づく電圧を前記第 1 の抵抗ラダーレッグの前記中間ノードに印加する第 1 の増幅器と、

前記入力信号の第 2 の相に基づく電圧を前記第 2 の抵抗ラダーレッグの前記中間ノードに印加する第 2 の増幅器と、

各々が第 1 の入力及び第 2 の入力を有する複数の比較器であって、前記第 1 の入力が、前記第 1 の抵抗ラダーレッグの前記二つの抵抗のうち一方に接続しており、前記第 2 の入力が、前記第 2 の抵抗ラダーレッグの前記二つの抵抗のうち一方に接続している、該複数の比較器と、

を備え、

前記複数の比較器の前記第 1 の入力及び前記第 2 の入力は、前記第 1 の入力と前記中間ノードのうちの対応の中間ノードとの間の電氣的距離、及び前記第 2 の入力と前記中間ノードのうちの対応の中間ノードとの間の電氣的距離に基づく伝搬遅延を受け、

前記複数の比較器の前記第 1 の入力及び前記第 2 の入力に接続し、前記中間ノードのうちの対応の中間ノードから前記比較器の第 1 の入力までと、前記中間ノードのうちの対応の中間ノードから前記比較器の第 2 の入力までとに、実質的に同一の総遅延を生成する遅延素子を更に備える差動アナログデジタルコンバータ (A D C)。

【請求項 2】

前記複数の比較器の各々が較正される、請求項 1 記載のアナログデジタルコンバータ。

【請求項 3】

前記第 1 の抵抗ラダーレッグの前記電流源、及び前記第 2 の抵抗ラダーレッグの前記電流源が、較正中に、ターンオフされる、請求項 2 記載のアナログデジタルコンバータ。

【請求項 4】

前記第 1 の増幅器及び前記第 2 の増幅器が、較正中に、実質的にゼロに等しい入力信号に基づいて電圧を出力する、請求項 3 記載のアナログデジタルコンバータ。

【請求項 5】

前記複数の比較器の各々が、それぞれのデジタル値に基づいて調整される可調電流源を有する、請求項 2 記載のアナログデジタルコンバータ。

【請求項 6】

前記それぞれのデジタル値が、較正中に決定される、請求項 5 記載のアナログデジタルコンバータ。

【請求項 7】

較正中に、前記複数の比較器の出力に基づいて、前記それぞれのデジタル値を変更する制御モジュールを更に備える、請求項 6 記載のアナログデジタルコンバータ。

【請求項 8】

前記第 1 の増幅器及び前記第 2 の増幅器が、トランスインピーダンス増幅器を含む、請求項 1 記載のアナログデジタルコンバータ。

【請求項 9】

前記第 1 の増幅器及び前記第 2 の増幅器が、ネスト型のトランスインピーダンス増幅器を含む、請求項 1 記載のアナログデジタルコンバータ。

【請求項 10】

前記第 1 の抵抗ラダーレグの前記抵抗及び前記第 2 の抵抗ラダーレグの前記抵抗の各々が、N 個の個別の抵抗を備え、N が 1 より大きい整数である、請求項 1 記載のアナログデジタルコンバータ。

【請求項 11】

前記個別の抵抗が、実質的に同じ抵抗値を有する、請求項 10 記載のアナログデジタルコンバータ。

【請求項 12】

前記第 1 の抵抗ラダーレグの前記抵抗が、直列に接続された N 個の個別の抵抗を備える、請求項 1 記載のアナログデジタルコンバータ。

【請求項 13】

前記第 1 の抵抗ラダーレグの前記抵抗が、直列に接続された複数の第 1 の抵抗と、前記複数の第 1 の抵抗の各々と並列に接続された第 2 の抵抗のグループと、を備える、請求項 1 記載のアナログデジタルコンバータ。

【請求項 14】

前記第 1 の抵抗ラダーレグの前記抵抗が、直列に接続された複数の第 1 の抵抗と、前記第 1 の抵抗の各々と並列に接続された第 2 の抵抗のグループと、前記第 2 の抵抗の各々と並列に接続された第 3 の抵抗のグループと、を備える請求項 1 記載のアナログデジタルコンバータ。

【請求項 15】

前記第 1 の抵抗ラダーレグの前記抵抗は、N 個の個別の抵抗を備える、請求項 1 記載のアナログデジタルコンバータ。

【請求項 16】

前記複数の比較器の前記第 1 の入力、前記第 1 の抵抗ラダーレグの前記 N 個の個別の抵抗のうち二つの抵抗の間の接続部に接続しており、前記第 2 の入力、前記第 2 の抵抗ラダーレグの前記個別の抵抗のうち二つの抵抗の間の接続部に接続している、請求項 15 記載のアナログデジタルコンバータ。

【請求項 17】

前記遅延素子が抵抗性の配線である、請求項 1 記載のアナログデジタルコンバータ。

【請求項 18】

前記遅延素子がトランジスタである、請求項 1 記載のアナログデジタルコンバータ。

【請求項 19】

各々が前記複数の比較器のうちの一つに対応する複数のラッチデバイスを更に備える、

請求項 1 記載のアナログデジタルコンバータ。

【請求項 20】

前記複数のラッチデバイスが、前記複数の比較器のうちの対応の一つの比較器からの出力を、前記複数の比較器のうちの前記対応の一つの比較器の第 1 の入力及び第 2 の入力のうち少なくとも一方での伝搬遅延に基づく遅延時間で、ラッチする、請求項 19 記載のアナログデジタルコンバータ。

【請求項 21】

前記複数のラッチデバイスの出力を、前記複数のラッチデバイスのうち少なくとも一つが起動された後、実質的に同時に読み取る、請求項 20 記載のアナログデジタルコンバータ。

【請求項 22】

前記 A D C が、第 1 の金属層を有する集積回路上に実装されており、前記第 1 の抵抗ラダーレグ及び前記第 2 の抵抗ラダーレグが、前記第 1 の金属層内に実装されている、請求項 1 記載のアナログデジタルコンバータ。

【請求項 23】

前記第 1 の抵抗ラダーレグの前記二つの抵抗が、前記中間ノードで接続されており、互いに鏡像を成すようにレイアウトされており、前記第 2 の抵抗ラダーレグの前記二つの抵抗が、前記中間ノードで接続されており、互いに鏡像を成すようにレイアウトされている、請求項 22 記載のアナログデジタルコンバータ。

【請求項 24】

前記第 1 の抵抗ラダーレグ及び前記第 2 の抵抗ラダーレグの両者の前記抵抗の各々が、面積を最小化するために折り畳まれた形状にレイアウトされている、請求項 23 記載のアナログデジタルコンバータ。