

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-517953

(P2013-517953A)

(43) 公表日 平成25年5月20日(2013.5.20)

(51) Int.Cl.		F I	テーマコード (参考)
B 8 1 B 7/02 (2006.01)		B 8 1 B 7/02	3 C 0 8 1
B 8 1 C 3/00 (2006.01)		B 8 1 C 3/00	5 D 0 2 1
H 0 4 R 19/04 (2006.01)		H 0 4 R 19/04	

審査請求 未請求 予備審査請求 未請求 (全 19 頁)

(21) 出願番号	特願2012-550407 (P2012-550407)	(71) 出願人	510263560 エプコス アーゲー E P C O S A G ドイツ国 8 1 6 6 9 ミュンヘン セン ト - マーティン - シュトラッセ 5 3
(86) (22) 出願日	平成23年1月24日 (2011.1.24)	(74) 代理人	100147485 弁理士 杉村 憲司
(85) 翻訳文提出日	平成24年7月12日 (2012.7.12)	(74) 代理人	100165696 弁理士 川原 敬祐
(86) 国際出願番号	PCT/EP2011/050902	(74) 代理人	100169823 弁理士 吉澤 雄郎
(87) 国際公開番号	W02011/092137	(72) 発明者	グレゴル フェイエルタック ドイツ国 8 0 6 8 9 ミュンヘン ヴィ ルヘルム マイヤー シュトラッセ 2 1
(87) 国際公開日	平成23年8月4日 (2011.8.4)		
(31) 優先権主張番号	102010006132.8		
(32) 優先日	平成22年1月29日 (2010.1.29)		
(33) 優先権主張国	ドイツ (DE)		

最終頁に続く

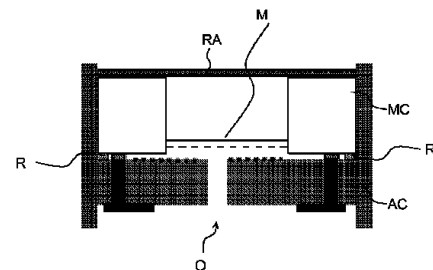
(54) 【発明の名称】 MEMS及びASICを備える小型化した電気的デバイス及びその製造方法

(57) 【要約】

本発明は、MEMSチップ及びASICチップを備える小型化した電気的デバイスに関する。MEMSチップ及びASICチップは互いに上下に配置する。これら両チップの内部接続部は、MEMSチップ又はASICチップを貫通するビアを介して電気的デバイスの電気的外部接続端子に接続する。

【選択図】 図 1

Fig. 8



【特許請求の範囲】**【請求項 1】**

MEMS センサデバイス (EB) であって、該 MEMS センサデバイスは、

- ・ 電氣的接点 (EK) を有する MEMS チップ (MC) と、
- ・ 電氣的接点 (EK) を有する ASIC チップ (AC) と、
- ・ 前記 MEMS チップ (MC) 及び前記 ASIC チップ (AC) を接続する内部接続部 (IV) と、
- ・ 前記 MEMS チップ (MC) 又は前記 ASIC チップ (AC) を貫通するビア (DK) と

を備え、

前記 MEMS チップ (MC) 及び前記 ASIC チップ (AC) は互いに上下に配置し、

- ・ 前記内部接続部 (IV) は、前記 MEMS チップの前記電氣的接点 (EK) を前記 ASIC チップ (AC) の前記電氣的接点 (EK) に直接接続する接続部を含み、
- ・ 前記内部接続部 (IV) 又は前記チップ (MC, AC) における少なくとも一方の前記電氣的接点 (EK) は、前記ビア (DK) を介して前記デバイスの電氣的外部接続端子 (EEA) に接続し、該電氣的外部接続端子 (EEA) は、前記 ASIC チップ (AC) における前記 MEMS チップ (MC) に対面する側の側面に、又は前記 MEMS チップにおける前記 ASIC チップ (AC) に対面する側の側面に配置し、
- ・ 前記 MEMS チップ (MC) と前記 ASIC チップ (AC) との間には隙間 (S) を設け、
- ・ 該隙間 (S) に前記 MEMS センサデバイス内部を側方方向に音響的に遮蔽するフレーム (R) を配置し、
- ・ 前記 MEMS チップ (MC) はセンサ電極を有するものとし、また
- ・ 前記 ASIC チップ (AC) に、又は前記 MEMS チップと前記 ASIC チップとの間で側方に、センサ開口 (O) を配置した

MEMS センサデバイス。

【請求項 2】

請求項 1 記載の MEMS センサデバイスにおいて、前記 MEMS チップ (MC) は下側面 (USM) を有し、前記 ASIC チップ (AC) は上側面 (OSA) 及び下側面 (USA) を有し、前記 ASIC チップ (AC) の前記上側面 (OSA) は、前記 MEMS チップ (MC) の前記下側面 (USM) に対面し、前記ビア (DK) は前記 ASIC チップ (AC) を貫通し、前記電氣的外部接続端子 (EEA) は前記 ASIC チップの前記下側面 (USA) に配置した MEMS センサデバイス。

【請求項 3】

請求項 1 記載の MEMS センサデバイスにおいて、前記 ASIC チップ (AC) は前記下側面 (USA) を有し、前記 MEMS チップ (MC) は前記上側面 (OSM) 及び前記下側面 (USM) を有し、前記 MEMS チップ (MC) の前記上側面 (OSM) は、前記 ASIC チップ (AC) の下側面 (USA) に対面し、前記ビア (DK) は前記 MEMS チップ (MC) を貫通し、前記電氣的外部接続端子 (EEA) は前記 MEMS チップの前記下側面 (USM) に配置した MEMS センサデバイス。

【請求項 4】

請求項 1 ~ 3 のいずれか一項記載の MEMS センサデバイスにおいて、前記 MEMS チップ (MC) 又は前記 ASIC チップ (AC) の基板はシリコンを含有するものとした MEMS センサデバイス。

【請求項 5】

請求項 1 ~ 4 のいずれか一項記載の MEMS センサデバイスにおいて、前記 MEMS チップ (MC) の前記電氣的接点 (EK) を、前記 ASIC チップ (AC) の前記電氣的接点 (EK) に対し、はんだ付け、又は導電性を有する接着剤による接着、ボンディングによる接続又は溶着により、接続した MEMS センサデバイス。

【請求項 6】

請求項 1 ~ 5 のいずれか一項記載の M E M S センサデバイスにおいて、該 M E M S センサデバイス (E B) は電氣的接続端子を有する取付プレート (M P) の上側面に配置し、前記電氣的外部接続端子 (E E A) を前記取付プレート (M P) における前記電氣的接続端子に接続した M E M S センサデバイス。

【請求項 7】

請求項 1 ~ 6 のいずれか一項記載の M E M S センサデバイスにおいて、前記 M E M S チップ (M C) は中空空間 (H)、可動の薄膜 (M)、対向電極 (R P) 及び前記中空空間 (H) への開口 (O) を有し、前記薄膜 (M) は前記対向電極 (R P) に対して平行に配置し、該対向電極 (R P) と共に静電容量素子 (K E) を構成し、前記 A S I C チップ (A C) は容量を測定するための回路又は前記容量素子の容量変化を測定するための回路を有する構成とした M E M S センサデバイス。

10

【請求項 8】

請求項 1 ~ 5 のいずれか一項記載の M E M S センサデバイスにおいて、前記 M E M S チップ (M C) は気圧、湿度又はガス組成を測定・検出するためのデバイス構造 (B S) を有し、該デバイス構造 (B S) は前記デバイス (B E) に対する周囲の環境に接触するものとした M E M S センサデバイス。

【請求項 9】

請求項 1 ~ 8 のいずれか一項記載の M E M S センサデバイスにおいて、少なくともそれぞれ 2 個の前記 M E M S チップ (M C)、前記 A S I C チップ (A C) 及び前記フレームが側方方向に面一に整列するよう連結した M E M S センサデバイス。

20

【請求項 10】

請求項 1 ~ 9 のいずれか一項記載の M E M S センサデバイスにおいて、前記 M E M S チップはマイクロフォンとして構成すると共に、前記対向電極 (R P) としての固定電極及び前記薄膜 (M) を有する構成とした M E M S センサデバイス。

【請求項 11】

M E M S センサデバイス (B E) を製造するための方法であって、該方法は、
・電氣的接点 (E K) を有する A S I C チップ (A C) 及び電氣的接点 (E K) を有する M E M S チップ (M C) を用意するステップと、
・前記 M E M S チップ又は前記 A S I C チップ (A C) にビア (D K) を設けるステップと、
・前記 A S I C チップ (A C) 及び前記 M E M S チップ (M C) を互いに上下に配置するステップと、
・前記 A S I C チップ (A C) 及び前記 M E M S チップを結合するステップと、
・前記 A S I C チップ (A C) 及び前記 M E M S チップ (M C) の前記電氣的接点 (E K) 相互を接続するステップと
を有し、

30

前記 A S I C チップ (A C) 内、又は該 A S I C チップ (A C) と前記 M E M S チップ (M C) との間で外部に開口するセンサ開口を設ける方法。

【請求項 12】

請求項 11 記載の方法において、前記 A S I C チップ (A C) 又は前記 M E M S チップ (M C) を多面取り用にウェハ (W) 上に設ける方法。

40

【請求項 13】

請求項 11 又は 12 記載の方法において、前記 A S I C チップ (A C) 及び前記 M E M S チップ (M C) は、多面取り用にそれぞれ 1 個の前記ウェハ (W) 上に設け、また各前記 A S I C チップ (A C) がそれぞれに対応する前記 M E M S チップ (M C) に結合しまた接続するよう前記ウェハ (W) を貼り合わせる方法。

【請求項 14】

請求項 11 ~ 13 のいずれか一項記載の方法において、前記 A S I C チップ (A C) と前記 M E M S チップ (M C) との間にフレーム (R) を配置し、該フレーム (R) は前記 A S I C チップ (A C) 及び前記 M E M S チップ (M C) の各表面に連結することにより

50

、前記ＡＳＩＣチップ（ＡＣ）、前記ＭＥＭＳチップ（ＭＣ）及び前記フレーム（Ｒ）の間に前記センサ開口に達する遮蔽された中空空間を形成する方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、ＭＥＭＳチップ及びＡＳＩＣチップを備える小型化したＭＥＭＳセンサデバイスに関する。

【背景技術】

【０００２】

ＭＥＭＳ（Micro-Electro-Mechanical-Systems）はセンサとして多くの用途がある。ＭＥＭＳは、例えば、湿度センサ、加速度センサのような慣性センサ、圧力センサ又はマイクロフォンセンサとして使用されている。

【０００３】

ＡＳＩＣ（Application-Specific-Integrated-Circuits：特定用途向け集積回路）は、ＭＥＭＳセンサに接続した場合、一般的にスイッチ回路、例えば論理回路又はアナログ回路として構成することができ、これによりＭＥＭＳから供給されるセンサ信号を処理する。例えばＭＥＭＳマイクロフォンが２個のコンデンサ電極であって、受信した音波の圧力変動によって互いの間隔が変わる２個のコンデンサ電極を有する場合、ＡＳＩＣはアナログ又はデジタル回路として構成することができる。これらアナログ又はデジタル回路は、ＭＥＭＳコンデンサの経時的に可変である容量を電子的に更に処理可能な信号に変換する。このようにしてＭＥＭＳマイクロフォンが構成される。

【０００４】

特許文献１（米国特許第６，７８１，２３１号）に開示されているＭＥＭＳマイクロフォンにおいては、ＭＥＭＳチップを基板上に取り付け、キャップ状のカバーで被覆する。

【０００５】

特許文献２（米国特許第６，５２２，７６２号）に開示されているＭＥＭＳマイクロフォンにおいては、そのＭＥＭＳチップ及びＡＳＩＣチップを支持基板における一方の側に互いに隣接して取り付けている。

【０００６】

特許文献３（米国特許出願公開第６，０８８，４６３号）に開示されているＭＥＭＳマイクロフォンにおいては、シリコンを含有するＭＥＭＳチップ及びＡＳＩＣチップを支持基板（中間層）の互いに背反する側面に取り付けている。

【０００７】

特許文献４（米国特許出願公開第２００９／０００１５５３号）に開示されているＭＥＭＳパッケージにおいては、ＭＥＭＳチップ及びＡＳＩＣチップを互いに隣接させて又は互いに上下に取り付け、また金属層により被覆している。

【０００８】

上述したそれぞれの電氣的デバイスは、取り付けのための支持基板を必要とする。

【０００９】

電子デバイス、特に例えばモバイル電子機器に使用されるＭＥＭＳデバイスの市場においては、モバイル機器（例えばモバイル通信機器）に対してより多くの機能を組み込むため、デバイスの小型化に対する要請がますます高まっている。

【先行技術文献】

【特許文献】

【００１０】

【特許文献１】米国特許第６，７８１，２３１号明細書

【特許文献２】米国特許第６，５２２，７６２号明細書

【特許文献３】米国特許出願公開第６，０８８，４６３号明細書

【特許文献４】米国特許出願公開第２００９／０００１５５３号明細書

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】

【0011】

本発明の課題は、有利に製造できかつ信号分解能を向上させた小型のMEMSセンサデバイスを得ることにある。本発明におけるさらなる課題は、このようなMEMSセンサデバイスの製造方法を提供することにある。

【課題を解決するための手段】

【0012】

本発明によるMEMSセンサデバイスは、電気的接点を有するMEMSチップ及び電気的接点を有するASICチップを備える。さらに本発明によるデバイスは、MEMSチップ及びASICチップの内部接続部並びに電気的外部接続端子を備える。電気的デバイスはこれに加えて、MEMSチップ又はASICチップを貫通するビアを備える。MEMSチップ及びASICチップは、互いに上下に配置する。内部接続部は、MEMSチップにおける電気的接点をASICチップの電気的接点に直接接続する接続部を含む。内部接続部又は両チップにおける電気的接点の少なくとも一方は、ビアを介して電気的外部接続端子に接続する。

10

【0013】

ビアはデバイスの電気的外部接続端子に接続し、この電気的外部接続端子は、ASICチップにおけるMEMSチップに対面する側の側面に、又はMEMSチップにおけるASICチップに対面する側の側面に配置する。MEMSチップとASICチップとの間には隙間を設け、この隙間内にはフレームを配置する。このフレームは、MEMSセンサデバイス内部を側方方向に遮蔽する。MEMSチップは少なくとも1個のセンサ電極を有し、このセンサ電極は可動電極及び固定電極を含む。センサ開口は、ASICチップ内に直接配置する、又はASICチップを貫通するよう配置する、又は側面からMEMSチップとASICチップとの間で隙間の側面に通ずるよう設ける。センサ開口は、周囲からデバイス内部に進入する分析すべき測定量（例えば音響エネルギー、圧力、ガス、湿度）の入口として機能する。

20

【0014】

シリコンチップに形成するビアは、例えばいわゆるTSVs（Through-Silicon Vias：スルーシリコンビア）とすることができる。

【0015】

本発明によるMEMSセンサデバイスは、MEMSチップ及びASICチップを互いに上下に配置することにより、小型化することができる。特にデバイスに必要な占有面積は、基本的にMEMSチップ又はASICチップのうち、より大きいチップに必要な占有面積とほぼ同一である。

30

【0016】

多数の同一のMEMSチップは第1のウェハに、また多数の同一のASICチップは第2のウェハに実装することができる。それぞれのウェハを製造した後、多数あるMEMSチップのそれぞれ1個を多数あるASICチップのそれぞれ1個に結合することができる。このような多面取りによる製造は、電気的デバイスの簡単かつ安価な製造を可能とする。

40

【0017】

ただし代替的には、ASICチップ及びMEMSチップの一方のみを多面取り用に1個のウェハに実装し、個別に切り出した他方のチップに結合してもよい。

【0018】

MEMSチップ及びASICチップを互いに上下に配置し、両チップをMEMSチップ又はASICチップを貫通するビアを介して互いに接続するため、電気的配線は極力短く形成できる。このことは有利であり、なぜならMEMSチップにより検波された信号は内部接続部を介してASICチップに伝送され、基本的にはMEMSチップからASICチップへの電気的接続が長いほど妨害されるからである。従って、電気的配線を短くすることにより信号の妨害を低減することが可能となる。

50

【 0 0 1 9 】

このように、従来技術の電氣的デバイスに比べて、本発明は相当程度向上させたデバイスを提供する。

【 0 0 2 0 】

一実施形態において、MEMSチップは下側面を有し、ASICチップは上側面及び下側面を有する。ASICチップの上側面は、MEMSチップの下側面に対面する。ビアは、ASICチップを貫通するよう設ける。電氣的外部接続端子は、ASICチップの下側面に配置する。

【 0 0 2 1 】

代替的には、電氣的外部接続端子をMEMSチップの下側面に設け、ASICチップをMEMSチップの上側面に配置することもできる。

10

【 0 0 2 2 】

電氣的外部接続端子をMEMSチップのデバイス構造又はASICチップのデバイス構造に接続するため、両チップのうち電氣的外部接続端子を配置する側のチップにビアを設ける。

【 0 0 2 3 】

MEMSチップのデバイス構造及びASICチップの回路は、これらチップの上側面だけでなく下側面に配置してもよい。ただし、MEMSチップのデバイス構造及びASICチップの回路は、それぞれのチップ内に配置することもできる。適切に設けたビアにより、電氣的接続部を電気回路素子間又はデバイス構造間において確実に短い経路で延在させることができる。

20

【 0 0 2 4 】

MEMSチップ及びASICチップを備える電氣的デバイスは、特にこの電氣的デバイスのための支持基板又はデバイス支持体上に配置する必要はない。電氣的デバイスは外部接点を備え、この外部接点により電氣的デバイスを外部における任意の周辺回路に集積することが可能となる。

【 0 0 2 5 】

本発明においては、MEMSチップの機能（例えば音響的な背面容積確保による）、又はASICチップの機能（例えば付加的な集積回路による）を支援する支持基板は必要ない。

30

【 0 0 2 6 】

一実施形態において、MEMSチップ又はASICチップの基板はシリコンを含有する。シリコンは高純度かつ単結晶で精製可能な元素であり、その精製及び加工は半導体技術における豊富な経験により習熟されている。従って半導体技術において既知の方法により、MEMSチップ及び/又はASICチップに関して信頼性の高い加工又は製造が可能となる。

【 0 0 2 7 】

一実施形態において、MEMSチップの電氣的接点はASICチップの電氣的接点にはんだ付けする。代案としては、導電性を有する合成物質による接着、ボンディング又は当該チップ相互の溶着による接続を行うこともできる。

40

【 0 0 2 8 】

導電性を有する接着剤の場合、導電性に関して異方性がある接着剤を使用することができる。この接着剤は、両チップにおける互いに対面する側面の大部分に、又は構造体化した接着剤フレームとして塗布することができ、MEMSチップ及びASICチップとの間における隙間の外部に対する密封だけでなく、両チップ間における電氣的接触をも可能とする。

【 0 0 2 9 】

一実施形態において、両チップ間には隙間を設ける。この隙間は環状フレーム、例えば接着剤によるフレーム又は別のシールリングを使用することにより、ハーメチックに又は音響的に遮蔽することができる。従って、合成物質、ガラス、セラミック又は金属で構成

50

される環状フレームは、上側チップ及び下側チップと共にこれら両チップ間に中空空間を形成し、しかも環状の密封部として機能する。中空空間内には、MEMSチップのデバイス構造又はASICチップの回路素子を配置することができる。

【0030】

電氣的なMEMSセンサデバイスにおける密封は、両チップの結合後にしてもよい。環状密封は、例えば両チップのうち小さい方のチップにフォイル積層体を設ける、又はポリマー材料で同一箇所を被覆することにより行うことができる。両チップは、フリップチップ構造で互いに結合し、接続することができる。

【0031】

この密封は、例えば両チップにおける側方方向の寸法が同一である場合、両チップ上にフォイル積層体を設けることにより行う、又は同一箇所をポリマー材料で被覆することにより行うこともできる。

【0032】

フレームは、構造体化したポリマーフレームとすることができる。このフレームは、両チップを互いに結合する前にMEMSチップ又はASICチップ若しくはこれらチップの一部に配置することができ、これにより両チップを互いに結合した後に形成される隙間を外部に対して密封する。ウェハレベルで加工をする場合、ポリマーフレームを一方又は両方のウェハに予め設けてもよい。

【0033】

フレームには、両チップにおける電氣的な接続部と同一材料を含有することができる。フレームは特に、はんだ、いわゆる固液相互拡散はんだ、導電性を有する接着剤、又は両チップに分布させた2つの部分金属フレームであって、加圧及び加熱作用の下に互いに接合した部分金属フレームとすることができる。

【0034】

MEMSチップのデバイス構造は、外的影響を受けないようカプセル封入することができる。これにより、デバイス構造は例えば製造時の汚染に対して、プリント基板/取付プレートへのはんだ付け又は接続若しくは結合に対して、又はASICチップとの結合による汚染に対して保護される。

【0035】

デバイスのカプセル封入化、又はMEMSチップとASICチップとの間における隙間の外部に対する密封にはフォイルを使用することができ、このフォイルは上側チップの上側面及び側面を被覆し、また例えばチップの周囲に完全に当接した状態で下側チップの上側面又は側面に密着して閉塞する。このようなフォイルは、例えば部分的に相互結合されたエポキシ樹脂又はBステージ材を含有することができ、付加的に部分的又は完全にメタライジング層で被覆してもよい。

【0036】

このフォイルの代わりとして、又は上述したメタライジング層を形成する前の電気絶縁層の付加として、誘電体層を形成することができる。この誘電体層は、例えばラッカーの吹付けにより、又は酸化物、窒化物若しくはパリレン等のポリマーによる蒸着により形成する。

【0037】

一実施形態において、デバイスは電氣的接続端子を有する取付プレートの上側面に配置する。デバイスの電氣的外部接続端子は、取付プレートの電氣的接続端子に接続する。この取付プレートは、外部周辺回路における任意の取付プレートとすることができる。取付プレートは、電氣的デバイスの機能を発揮する上で必ずしも必要ではない。

【0038】

MEMSチップ又はASICチップはその下側面に接点パッドを有することができ、これら接点パッドは例えば取付プレートに接触するよう機能する。

【0039】

一実施形態において、MEMSチップは中空空間と、この中空空間を一方の側で閉鎖し

10

20

30

40

50

、かつ電極を設けた可動薄膜と、好適には中空空間における薄膜に対して平行に、かつ対面する側に配置した対向電極とを有する。可動薄膜は、対向電極と共に静電容量素子を構成する。ＡＳＩＣチップは、静電容量素子の容量を測定するための回路又は容量変化を検出するための回路を有する。このような電気的デバイスは、ＭＥＭＳマイクロフォンとして構成することができる。可動薄膜は、受信音波による経時的に変化する空気圧力に反応する。対向電極と薄膜との間における間隔が進入する音波の周波数に応じて変化することで、静電容量素子間の間隔に依存する容量（キャパシタンス）により音波として伝送される音響が符号化される。

【００４０】

ＡＳＩＣチップは回路を有することができ、この回路は静電容量素子における２個の電極において、例えば高い抵抗値を有する抵抗器及び電荷ポンプにより、静電容量素子内の蓄積電荷をほぼ一定に保ち、これによりバイアス電圧を発生させる。ＡＳＩＣチップにおける別の回路は、静電容量素子において降圧し、かつ経時的に可変の電圧を検出すると共に、アナログ・デジタル変換器によりデジタル信号に変換することができる。このデジタル信号は、外部周辺回路、例えば電気的デバイスの電気的外部接続端子に出力することができる。

【００４１】

この場合、ＭＥＭＳチップの対向電極はＡＳＩＣチップと薄膜との間に配置することができるが、薄膜はＡＳＩＣチップと対向電極との間に配置してもよい。

【００４２】

薄膜は、センサ開口を介して外部環境に触れる。

【００４３】

一実施形態において、ＭＥＭＳチップは、気圧、湿度又はガス組成を測定・検出するデバイス構造を有する。これらデバイス構造は、デバイスの周囲における大気に触れる。気圧を測定するための電気的デバイスは、例えば特定の内圧を有する閉塞された中空空間を有することができる。この閉塞された中空空間は壁で包囲し、この壁は少なくともその一部が弾性的に変形可能とする。電気的デバイスの周囲における気圧が変化すると、弾性壁が内外における異なる力関係により、中空空間の正圧又は負圧に対して弾性変形を示す。弾性壁におけるこのような弾性変形は、例えば弾性壁に配置した抵抗構造部又はこの抵抗構造部における電気抵抗の変化により検出することができる。このような構成としたデバイスにより、海面を基準にした約１デシメートルの高低差に対応する気圧変化が測定可能となる。

【００４４】

本発明による電気的デバイスは、ガスセンサとして構成することもできる。

【００４５】

両チップ又は電気的デバイスは、外部に形成するメタライジング層を有することができ、このようなメタライジング層は保護として、電磁的な遮蔽として又はハーメチック（気密）シールとして機能する。このメタライジング層により、例えば機械的損傷又は無線周波妨害に対する保護が可能となる。メタライジング層は、フォイルの積層及びスパッタにより又は電気めっきにより形成することができる。

【００４６】

この保護メタライジング層は、チップ本体に対して電気的に絶縁させることが必須である。しかし、保護メタライジング層は、通常、適切な電位（例えばグランド電位）を接続したデバイス又は外部端子に付与する。

【００４７】

一実施形態において、両チップのうち小さい方のチップは、成形プロセスによりその幾何学的形状、例えば側方方向における寸法又は体積を拡大することができる。この目的のために、両チップは、例えば格子状に配置してフォイルに接着し、チップ間に成形材料を充填する。このように製造した新たなウェハには、ビア及び配線面を設ける。この「拡大した」ウェハはその後、上述した成形工程の１つに使用する。

10

20

30

40

50

【 0 0 4 8 】

このようなチップ拡大化の場合、第 1 ステップにおいて、有利に配置した個々のチップから成形により、あたかも新しいウェハを製造することができる。後続のステップにおいて、ビア、又は開口、例えば音波開口を成形体領域に配置することができる。ビア又は開口は、代案として、成形時に設けることもでき、これらは例えば成形型にピンを配置することにより設ける。チップの寸法を拡大することにより、上述したような開口、ビア又は付加的な配線をそれぞれのチップ上に配置することが容易になる。

【 0 0 4 9 】

類似する一実施形態においては、複数の A S I C チップをビア及び配線構造を設けた有機プリント基板に積層することにより、新たな多面取り基板が得られる。

10

【 0 0 5 0 】

代替的には、1 個のデバイスのために複数の M E M S チップを 1 個の A S I C チップ上に、又は複数の A S I C チップを 1 個の M E M S チップ上に取り付けることもできる。

【 0 0 5 1 】

M E M S チップ及び A S I C チップの材料は、チップ間に加わる機械的応力であって、チップ間の結合又は電氣的接続に負荷を与える機械的応力を低減するよう選択することができる。特に、M E M S チップの基板及び A S I C チップの基板は、同一材料を含有するものとする。

【 0 0 5 2 】

一実施形態において、電氣的デバイスはマイクロフォンとして構成する。M E M S チップと A S I C チップとの間には、隙間を設ける。この隙間には、デバイス内部を音響的に密封する環状に閉じたフレームを配置する。M E M S チップは、対向電極及び薄膜を有する。A S I C チップ又はフレームには、音波進入口を配置する。M E M S チップ及び A S I C チップにおける側方方向の寸法は、同一とすることができる。A S I C チップにおける M E M S チップに対面する側の側面には、電氣的外部接続端子を配置する。M E M S チップ、A S I C チップ及び好適にはフレームも、互いにマイクロフォンの側方方向に面一で整列するようにする。

20

【 0 0 5 3 】

A S I C チップ又はフレームに設ける 1 つの音波進入口に加えて、例えば直径が約 3 0 μm の音波進入口を付加的に配置してもよい。多数のより小さく形成した開口は、良好な音波進入だけでなく、塵埃粒子に対する防護を向上させる。

30

【 0 0 5 4 】

本発明による電氣的デバイスを製造するための方法は以下のステップを有する。すなわち、

電氣的接点を有する A S I C チップ及び電氣的接点を有する M E M S チップを用意するステップと、

M E M S チップ又は A S I C チップを貫通するビアを設けるステップと、

A S I C チップ及び M E M S チップを互いに上下に配置するステップと、

A S I C チップ及び M E M S チップを結合するステップと、

40

A S I C チップ及び M E M S チップの電氣的接点相互を接続するステップと、

A S I C チップ内、又は A S I C チップと M E M S チップとの間にセンサ開口を設けるステップとを有する。

【 0 0 5 5 】

本発明方法における一実施形態においては、A S I C チップ又は M E M S チップを多面取り用にウェハに設け、個別の第 2 チップに結合する。特にウェハによる量産は、本発明による電氣的デバイスを効率的に、容易に、かつ安価に製造することを可能とする。

【 0 0 5 6 】

一実施形態では、A S I C チップ及び M E M S チップを多面取り用にそれぞれ 1 個のウェハに設ける。これらウェハは、それぞれ 1 個の A S I C チップがそれぞれ 1 個の M E M

50

Sチップに結合、接続するよう接合する。電氣的デバイスの切り出しは、ウェハを接合及び接続した後、例えばレーザー又はソーイングにより行う。

【0057】

一実施形態においては、ASICチップを貫通する開口、例えば音波進入口をエッチングにより設ける。代案として、1つの大きな開口の代わりに多数の小さな開口をエッチングにより設けてもよい。エッチングにより複数の小さな開口を設けることには、プロセス工学上の利点がある。フレームに設ける1つ以上のセンサ開口は、フレーム形成時に設ける又は後からフレームを構造体として形成することにより設けることができる。フレームが互いに対面する両チップの表面上に配置する2個の部分フレームで構成される場合、2個の部分フレームの一方にのみセンサ開口を設けてもよい。

10

【0058】

さらにMEMSチップ、ASICチップ、又はこれら両チップ間に生ずる応力は、可撓性がある固定部及び/又は接続部により低減することができる。このために、特にコイル状の銅線を有するポリマーバンプ、ACA接続部(Anisotropic Conductive Adhesive-Verbindungen:異方性導電接着剤)又は可撓性ICA接続部(Isotropic Conductive Adhesive-Verbindungen:等方性導電接着剤)を使用することができる。

【0059】

電氣的デバイスのチップを取付プレートに結合した場合、この取付プレートに対面するチップの側面においても機械的な応力負荷を軽減するための手段を講じることができる。特に取付プレートに対面するデバイスの側面には、関連する温度領域で取付プレートに適合するCTE(=coefficient of thermal expansion=thermischer Ausdehnungskoeffizient:熱膨張係数)、又は関連する温度領域で取付プレートに適合する低い弾性係数を有する可撓性の高いポリマー層を塗布することができる。チップ間、又はデバイスと取付プレートとの間の結合及び接続としては、LGA(land grid array:ランド・グリッド・アレイ)又はBGA(ball grid array:ボール・グリッド・アレイ)による結合部及び接続部を使用することができ、これらは可撓性を有するものとして形成することができる。

20

【0060】

ASICチップには電荷ポンプ設けることができ、これにより供給電圧よりも高い電圧を得ることが可能となる。特にMEMSマイクロフォンの静電容量素子を充電する電圧は通常の作動電圧よりも明らかに高い約10ボルトであり、ASICチップで発生させることができる。

30

【0061】

MEMSチップ又はASICチップを貫通するビアにより、デバイス構造又は集積回路を両チップにおける任意かつ異なる箇所に配置し、接続することが可能となる。すなわち、電氣的デバイスを設計する際の自由度が大幅に高まる。

【0062】

以下、本発明による電氣的デバイスを、実施形態及び添付図面につきより詳細に説明する。

【図面の簡単な説明】

【0063】

40

【図1】MEMSチップ及びASICチップを備える電氣的デバイスを示す説明図である。

【図2】デバイス構造としての対向電極及び薄膜を備える電氣的デバイスを示す説明図である。

【図3】電氣的接点を包囲するフレームを備える電氣的デバイス示す平面図である。

【図4】取付プレート上に配置した電氣的デバイスを示す説明図である。

【図5】カバー又は弾性壁を有するMEMSチップを備える電氣的デバイスを示す説明図である。

【図6】電氣的デバイス、ASICチップ又はMEMSチップを配置したウェハを示す説明図である。

50

【図 7】上側チップを被覆するフォイルを備える電氣的デバイスを示す説明図である。

【図 8】A S I Cチップに配置した開口を備える電氣的デバイスを示す説明図である。

【発明を実施するための形態】

【0064】

図 1 は、M E M SチップM C及びA S I CチップA Cを備える電氣的なM E M SセンサデバイスE Bを示す。M E M SチップM Cは、上側面O S M及び下側面U S Mを有する。図示の実施形態及び他の実施形態において、下側面とはデバイスの電氣的な外部接続端子E E Aに指向する側の側面を指すものであり、これら電氣的な外部接続端子E E Aは、図面の下側チップの下側面に存在する。A S I CチップA Cも同様に上側面O S A及び下側面U S Aを有する。M E M SチップM Cは、その下側面U S MがA S I CチップA Cの上側面O S Aに対面するように配置する。M E M SチップM Cはその下側面に配置した電氣的な接点E Kを有し、A S I Cチップはその上側面O S Aに配置した電氣的な接点E Kを有する。M E M Sチップの下側面における電氣的な接点は、A S I Cチップの上側面における電氣的な接点に接続し、電氣的なデバイスE Bにおける集積回路I Vの少なくとも一部を構成する。

10

【0065】

A S I Cのデバイス構造は、図示の実施形態だけでなく他の実施形態においても電氣的な外部接続端子E E Aを有する側の側面、又は好適にはM E M Sチップに対面する側の側面に配置することができる。

【0066】

A S I CチップA Cの内部にはビアD Kを配置する。これらビアD Kは、電氣的な接点の1個又は複数個、又は内部接続部をA S I Cチップの下側面に配置した電氣的な外部接続端子E E Aに接続する。デバイスE Bは、1個又は複数個の電氣的な外部接続端子を備えることができる。これら1個以上の電氣的な外部端子により、デバイスE Bを外部周辺回路（図示せず）に接続することができる。

20

【0067】

M E M SチップM C及びA S I CチップA Cの電氣的な接点E Kは、できるだけ最短経路で互いに接続する。これにより、電氣的なデバイスにおける妨害感受性が低減する。さらに、上述したM E M SチップM C及びA S I CチップA Cの配置及び接続により、構造寸法が小さいコンパクトな電氣的なデバイスが得られる。

【0068】

30

図 2 は、電氣的なデバイスの一実施形態を示し、この場合の電氣的なデバイスは、デバイス構造として対向電極R P（英語では“Backplate”とも称する）及び薄膜Mを備える。さらに図示の実施形態においては、M E M Sチップを貫通するビアを設け、これにより、M E M Sチップの上側面に配置したデバイス構造B Sが、内部接続部及びA S I Cチップを貫通するビアを介して、A S I Cチップの下側面におけるデバイスの電氣的な外部端子E E Aに接続される。

【0069】

M E M SチップM CとA S I CチップA Cとの間に隙間を設け、この隙間の高さは、M E M SデバイスとA S I Cチップとの間における距離を決定する。環状に閉じたフレームRは、チップ間で隙間を包囲する。例えば対向電極R P及び薄膜MがM E M Sマイクロフォンの容量素子における2個の電極として機能する場合、フレームRによりハーメチック（気密）シールされた背面容積部がM E M Sチップ内部、及びM E M SチップとA S I Cチップとの間に生ずる。

40

【0070】

M E M Sチップは、デバイス構造B Sとして可動薄膜M及び対向電極R Pとしてのバックプレートを有し、これら可動薄膜M及びバックプレートと一緒にマイクロフォンの容量素子K Eを構成する。

【0071】

図 3 は、A S I Cチップの上側面に対して平行に切断した電氣的なデバイスの横断面を示す。図示の実施形態における電氣的なデバイスにおいては、フレームRにより電氣的なデバイ

50

スにおける内部接続部の一部を構成する電気的接点 E K が環状に包囲される。この場合の「環状」という表現は、フレームの幾何学的形状に関連するものではなく、閉じた曲げ線に関連する。

【 0 0 7 2 】

図 4 は電気的デバイスを示し、この場合の電気的デバイスは取付プレート M P 上に配置し、電気的接点により取付プレート M P の上側面に接続する。このような配置により、電気的デバイスを外部接続部に接続することが可能となる。

【 0 0 7 3 】

M E M S チップ内部には、中空空間 H を配置する。この中空空間 H を一方の側面をデバイス構造で区切り、例えば、薄膜 M を配置する。マイクロフォンの中空空間における他方の側面は、背面側のカバー R A、例えば P I フォイルで被覆する。この背面側のカバー R A には、例えばセラミック、シリコン、金属又はガラス製のプレートを使用してもよい。

【 0 0 7 4 】

図示の実施形態においては、完全には閉じていないフレームを上側チップと下側チップとの間に配置する。図面の右側にフレームの縦断面を示す。図面の左側はフレームの一部が欠落しているため、この箇所にはセンサ開口、例えば音波進入口が形成される。これにより、音波がチップ間における電気的接続部の間からデバイス内又は両チップが形成する中空空間内に進入できる。このようにして側面にセンサ開口（例えば音波進入口としての）を有する電気的デバイスが構成される。

【 0 0 7 5 】

図 5 が示す電気的デバイスにおいては、M E M S チップ M C と A S I C チップ A C との間に隙間 S を設ける。図示の実施形態において、ビア D K は M E M S チップだけでなく、この M E M S チップ M C の背面側におけるカバー R A をも貫通している。カバー R A は弾性変形可能とすると共に電気的な抵抗素子を有することができ、これら電気的な抵抗素子の電気抵抗は背面側のカバーのみに依存する。これら抵抗素子は、カバーの上側面に取り付けるか又はカバーの上側面内に埋設することができる。ビア D K はカバーを貫通するため、抵抗素子を内部接続部に接続することができる。

【 0 0 7 6 】

図 6 はウェハ W を示し、ウェハ W の上側面に多数の電気的デバイス、A S I C チップ A C 又は M E M S チップ M C を互いに隣接して配置する。電気的デバイス、A S I C チップ又は M E M S チップはウェハに取り付けるか、又は共に平行に製造しウェハに組み込むことができる。個々のチップは、同時に量産することができる。A S I C チップを配置したウェハはその製造後、M E M S チップ M C を配置したウェハに結合することができ、この結合においては、各 1 個の A S I C チップが各 1 個の M E M S チップに結合される。個々のチップは、対応するチップに結合する前に又は結合した後にばらばらに切り出すことができる。有利には、先ず他のチップを有するウェハを結合し、その後完成した電気的デバイスを切り出す。

【 0 0 7 7 】

図 7 に示す実施形態において、上側チップ M C は、フォイル F 及びメタライジング層 M S による封入カプセルを有する。フォイルは上側チップの上側面及び側面を被覆し、下側チップの上側面の領域で密封する又は下側チップの側面で密封する。フォイルは、積層により形成することができる。M E M S チップ M C 内部の中空空間は、フォイルを積層する前に背面側のカバー R P で被覆してもよく、これにより積層フォイルが積層に際して中空空間 H 内に入り込むのを回避する。封入カプセルは、チップ間に設けた隙間をハーメチック（気密）シールする又は少なくとも外部に対して音響的に遮音する。このような被覆は、両チップを互いに結合した後に行うことができる。

【 0 0 7 8 】

図示の実施形態において、センサ開口 O は A S I C ウェハを貫通して設けるが、代替的にはセンサ開口はフォイル F 及びメタライジング層 M S を貫通して封入カプセルに設けてもよく、この場合、センサ開口は特に事後に設ける。両チップ間にはフレーム R を設ける

10

20

30

40

50

ことができ、このフレーム R は両チップ間における距離、従って両チップ間における容積をも決定する。

【 0 0 7 9 】

図 8 は、マイクロフォンとしての電氣的デバイスの実施形態を示し、MEMS チップ MC は ASIC チップ AC の上方に配置する。両チップ MC, AC 間には、隙間を設ける。この隙間にはフレーム R を配置し、フレーム R はデバイス内部を少なくとも側方方向を音響的に遮蔽する。MEMS チップのデバイス構造は、有孔対向電極 (Backplate) 及び薄膜を含む。開口 O は ASIC チップを貫通し、音波流入開口として機能する。ASIC チップの上側にはデジタル回路及び / 又はアナログ回路を配置し、MEMS チップのデバイス構造に接続する。

10

【 0 0 8 0 】

MEMS チップ、ASIC チップ及び場合によってはこれらチップ間に配置するフレームは、側方方向に面一となるように配置する。このような「平坦な」側壁は、多数の MEMS チップ及び ASIC チップを多面取り用に製造した後、個々のデバイスを例えばソーイングにより切り出す前に両チップを互いに結合することによって形成することができる。図示の実施形態においても、付加的に保護金属層及び場合によってはこの金属層の下に配置する絶縁層を設けることができる。

【 0 0 8 1 】

本発明による電氣的デバイスは上述した実施形態に限定されるものではなく、例えば付加的なチップ、別のデバイス構造又は別の電氣的接点を含む代替案、及びこれらを任意に組み合わせた代替案も、本発明による実施形態に含まれるものである。

20

【 符号の説明 】

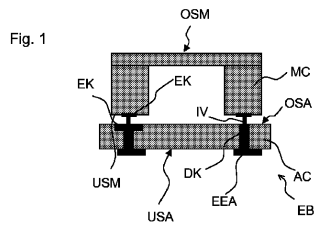
【 0 0 8 2 】

AC	ASIC チップ
BS	デバイス構造
RA	カバー
DK	ビア
EB	MEMS センサデバイス
E E A	電氣的外部接続端子
E K	電氣的接点
IC	集積回路
IV	内部接続部
KE	静電容量素子
M	薄膜
MC	MEMS チップ
MP	取付プレート
O	開口
OS M, O S A	MEMS チップ及び ASIC チップの上側面
R	フレーム
R P	対向電極 (Backplate)
S	隙間
H	中空空間
W	ウェハ

30

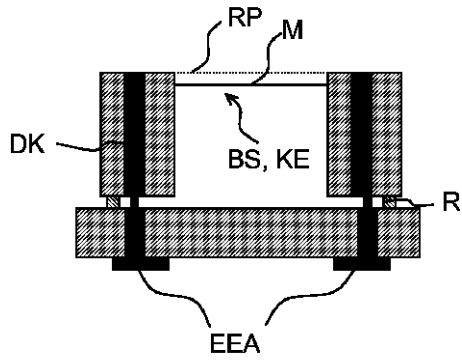
40

【 図 1 】



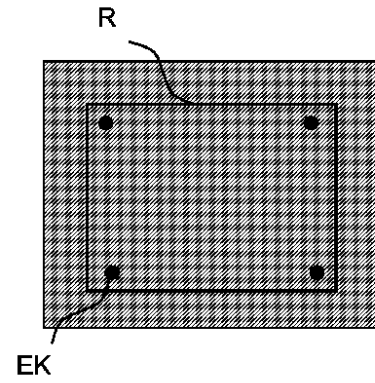
【 図 2 】

Fig. 2



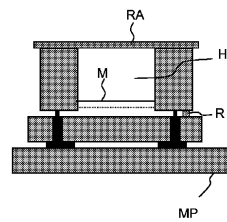
【 図 3 】

Fig. 3



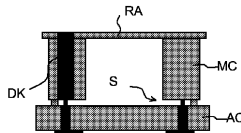
【 図 4 】

Fig. 4



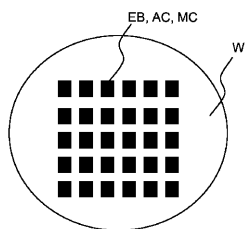
【 図 5 】

Fig. 5



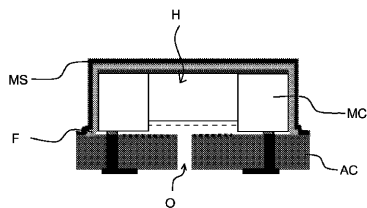
【 図 6 】

Fig. 6



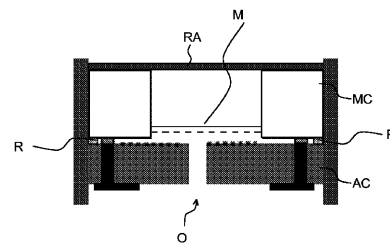
【 図 7 】

Fig. 7



【 図 8 】

Fig. 8



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2011/050902

A. CLASSIFICATION OF SUBJECT MATTER

INV. B81C1/00
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

B81C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2009/101998 A1 (YEN KAI-HSIANG [TW] ET AL) 23 April 2009 (2009-04-23) figure 6 paragraph [0036] figures 2,4	1-14
X	US 2010/019393 A1 (HSIEH YU-SHENG [TW] ET AL) 28 January 2010 (2010-01-28) figure 4 paragraphs [0003] - [0006]	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"Z" document member of the same patent family

Date of the actual completion of the international search

17 October 2011

Date of mailing of the international search report

24/10/2011

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

McGinley, Colm

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2011/050902

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2009101998 A1	23-04-2009	TW 200920157 A	01-05-2009
US 2010019393 A1	28-01-2010	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2011/050902

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

INV. B81C1/00

ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

B81C

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2009/101998 A1 (YEN KAI-HSIANG [TW] ET AL) 23. April 2009 (2009-04-23) Abbildung 6 Absatz [0036] Abbildungen 2,4	1-14
X	US 2010/019393 A1 (HSIEH YU-SHENG [TW] ET AL) 28. Januar 2010 (2010-01-28) Abbildung 4 Absätze [0003] - [0006]	1-14

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen
 ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E Älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

17. Oktober 2011

Absenddatum des internationalen Recherchenberichts

24/10/2011

Name und Postanschrift der Internationalen Recherchenbehörde

 Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

McGinley, Colm

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2011/050902

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2009101998 A1	23-04-2009	TW 200920157 A	01-05-2009

US 2010019393 A1	28-01-2010	KEINE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ハンス クルガー

ドイツ国 8 1 7 3 7 ミュンヘン ペラローシュトラッセ 1 3

(72)発明者 ウォルフガング ポール

ドイツ国 8 1 3 7 9 ミュンヘン ルーベルト マイヤー シュトラッセ 6

(72)発明者 アントン ライドル

ドイツ国 8 5 6 6 2 ホーエンブルン プレンネライシュトラッセ 1 6

Fターム(参考) 3C081 AA11 BA22 BA30 BA32 BA45 BA48 CA05 CA32 DA03 EA03

EA04 EA05 EA21

5D021 BB19