

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016年9月29日(29.09.2016)



(10) 国際公開番号

WO 2016/151774 A1

- (51) 国際特許分類:  
G06F 11/14 (2006.01) G06F 11/00 (2006.01)  
G06F 9/22 (2006.01) G06F 13/10 (2006.01)
- (21) 国際出願番号: PCT/JP2015/058972
- (22) 国際出願日: 2015年3月24日(24.03.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者: 櫻井 博 (SAKURAI, Hiroshi); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 平川 明, 外 (HIRAKAWA, Akira et al.); 〒1030004 東京都中央区東日本橋3丁目4番10号 アクロポリス21ビル6階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

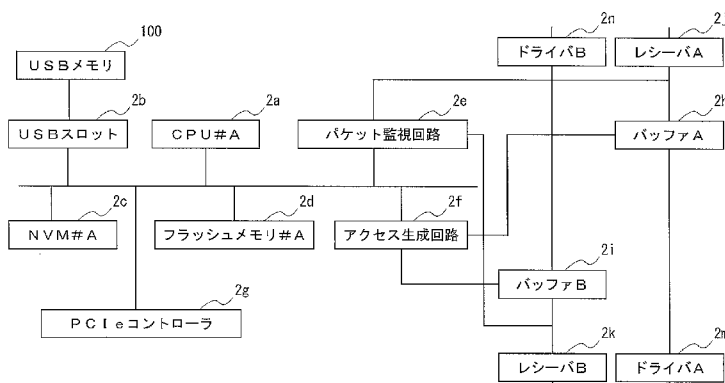
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: INFORMATION PROCESSING DEVICE, INFORMATION PROCESSING SYSTEM, AND CONTROL PROGRAM OF INFORMATION PROCESSING DEVICE

(54) 発明の名称: 情報処理装置、情報処理システムおよび情報処理装置の制御プログラム



2b USB slot  
2d Flash memory #A  
2e Packet monitoring circuit  
2f Access generating circuit  
2g PCIe controller  
2h Buffer A  
2i Buffer B  
2j Receiver A  
2k Receiver B  
2m Driver A  
2n Driver B  
100 USB memory

(57) Abstract: The purpose of the present invention is to provide an information processing device which is capable of avoiding a device fault without repairing a program such as an operating system driver, firmware, or an application. Provided is an information processing device, comprising: a first storage unit which pre-stores sequences which may cause a fault in a device which is controlled by a processor; a second storage unit which stores sequences which avoid the fault; a determination unit which determines whether a sequence which the processor outputs to control the device is a sequence which is stored in the first storage unit; and an adjustment unit which, if it is determined that the sequence which the processor outputs to control the device is a sequence which is stored in the first storage unit, adjusts the sequence which the processor outputs to control the device, using the sequence which is stored in the second storage unit.

(57) 要約:

[続葉有]



---

OSのドライバ、ファームウェア、アプリケーションなどのプログラムを修正することなくデバイスの障害を回避することが可能な情報処理装置を提供する。情報処理装置を、プロセッサにより制御されるデバイスに障害を発生させる場合があるシーケンスをあらかじめ記憶する第1の記憶部と、障害を回避するシーケンスを記憶する第2の記憶部と、プロセッサがデバイスを制御するために出力するシーケンスが第1の記憶部に記憶されたシーケンスであるか否かを判定する判定部と、プロセッサがデバイスを制御するために出力するシーケンスが第1の記憶部に記憶されたシーケンスであると判定された場合に、プロセッサがデバイスを制御するために出力するシーケンスを第2の記憶部に記憶されたシーケンスを用いて調整する調整部とを有する情報処理装置とする。

## 明 細 書

発明の名称：

### 情報処理装置、情報処理システムおよび情報処理装置の制御プログラム 技術分野

[0001] 本発明は、デバイスの障害を回避する情報処理装置、情報処理システムおよび情報処理装置の制御プログラムに関するものである。

### 背景技術

[0002] 従来の情報処理装置において、稼働後にCPU（Central Processing Unit）および周辺デバイスなどの情報処理装置の構成部品に対して、製造ベンダなどから構成部品の欠陥、動作仕様の変更などの情報が提供される場合がある。これらの情報はエラッタ情報と呼ばれる。情報処理装置の製造元では、エラッタ情報に基づき事前に障害を回避する対策が採られている。これらの対策としては、障害を回避したいハードウェアに対して、例えばアドレス空間、I/O（Input/Output）空間でのアクセス順序や書込データの変更、アクセス処理の追加や削除、アクセス処理のタイミングの変更などが挙げられる。また、CPUや周辺デバイスの製造ベンダは、検証が完了した障害の発生条件および障害内容に関する情報と、障害を回避するための情報を提供している。

[0003] 従来の情報処理装置は、上記の障害の発生条件および障害内容に関する情報を用いて、実行する処理の操作手順が障害を発生させる操作手順と一致するか否かを判定する（例えば、特許文献1）。そして、例えば情報処理装置で実行されるプログラムの操作手順が障害を発生させる操作手順と一致する手順を含む場合に、操作手順の内容に応じてプログラムが修正される。このプログラムの修正には、アドレス空間やI/O空間に対するアクセスの追加、書込データの変更や削除、アクセスタイミング変更などが含まれる。情報処理装置は修正されたプログラムを実行することで、操作手順に応じて障害を回避する処理を実行する。

## 先行技術文献

## 特許文献

[0004] 特許文献1：特開2004-78626号公報

## 発明の概要

### 発明が解決しようとする課題

[0005] しかしながら、プログラムを修正することで障害を回避する場合、OSドライバ、ファームウェア、アプリケーションなどのプログラムが修正の対象となる。この場合、どのようにプログラムを修正するかの解析および修正の反映などの作業が発生する。また、各種アプリケーションが共通に使用するOSドライバやファームウェアが修正された場合、修正されたOSドライバやファームウェアと各アプリケーションとの間の相互運用における動作確認の作業も発生する。したがって、これらの作業が、障害を回避する処理を迅速に実行する上での支障となる可能性がある。

[0006] 本件開示の技術は、上記の事情に鑑み、OSのドライバ、ファームウェア、アプリケーションなどのプログラムを修正することなくデバイスの障害を回避することが可能な情報処理装置を提供することを目的とする。

### 課題を解決するための手段

[0007] 本件開示の情報処理装置は、1つの側面では、プロセッサにより制御されるデバイスに障害が発生させる場合があるシーケンスをあらかじめ記憶する第1の記憶部と、障害を回避するシーケンスを記憶する第2の記憶部と、プロセッサがデバイスを制御するために出力するシーケンスが第1の記憶部に記憶されたシーケンスであるか否かを判定する判定部と、プロセッサがデバイスを制御するために出力するシーケンスが第1の記憶部に記憶されたシーケンスであると判定された場合に、プロセッサがデバイスを制御するために出力するシーケンスを第2の記憶部に記憶されたシーケンスを用いて調整する調整部とを有する。

### 発明の効果

[0008] 本件開示の技術によれば、OSのドライバ、ファームウェア、アプリケーションなどのプログラムを修正することなくデバイスの障害を回避することが可能な情報処理装置を提供することができる。

### 図面の簡単な説明

[0009] [図1]図1は、一実施形態における情報処理装置の構成を示す概略構成図である。

[図2]図2は、一実施形態におけるパケット処理回路の構成を示す概略構成図である。

[図3]図3は、一実施形態における情報処理装置の機能ブロック図である。

[図4]図4は、一実施形態におけるメモリに記憶される情報の一例の概略を示す図である。

[図5]図5は、一実施形態におけるメモリに記憶される情報の一例の概略を示す図である。

[図6]図6は、一実施形態におけるパケット監視回路の構成を示す概略構成図である。

[図7]図7は、一実施形態におけるパケット処理回路により処理されるパケットのフォーマットを概略的に示す

[図8]図8は、一実施形態におけるアクセス生成回路の構成を示す概略構成図である。

[図9]図9は、一実施形態におけるバッファの構成を示す概略構成図である。

[図10]図10は、一実施形態における制御コードデコーダが使用する真理値表の一例を示す図である。

[図11]図11は、一実施形態におけるCPU#Aが実行する処理のフローチャートである。

[図12]図12は、一実施形態における情報処理装置が図11に示すフローチャートの処理を実行するときのタイムチャートの一例を示す。

[図13]図13は、一変形例における情報処理システムの構成を示す概略構成図である。

## 発明を実施するための形態

- [0010] まず、一実施形態における情報処理装置について図面を参照しながら説明する。本実施形態では、図1に概略の構成を示す情報処理装置1を用いて説明する。一例として、情報処理装置1はP C I E x p r e s s（登録商標）規格に従って周辺デバイスを制御する。図1に示すように、情報処理装置1は、C P U # 1 1 a、メモリ# 1 1 b、ルートコンプレックス1 c、パケット処理回路1 d、P C I e スイッチ1 e、S A S（Serial Attached S CSI）カード1 f、L A N（Local Area Network）カード1 g、U S B（Universal Serial Bus）カード1 h、グラフィックカード1 i、電源制御カード1 jなどの周辺デバイスを有する。
- [0011] C P U # 1 1 aは、S A Sカード1 f、L A Nカード1 g、U S Bカード1 h、グラフィックカード1 i、電源制御カード1 jに対するデータの読み取りおよび書き込みの各処理を制御する。メモリ# 1 1 bは、C P U # 1 1 aによって読み取られるデータおよび書き込まれるデータを記憶する。ルートコンプレックス1 cは、C P U # 1 1 aとS A Sカード1 f、L A Nカード1 g、U S Bカード1 h、グラフィックカード1 i、電源制御カード1 jとを接続するインタフェースとして機能する。また、ルートコンプレックス1 cは、メモリ# 1 1 bへのアクセスを制御する。
- [0012] パケット処理回路1 dは、C P U # 1 1 aからS A Sカード1 f、L A Nカード1 g、U S Bカード1 h、グラフィックカード1 i、電源制御カード1 jに送受信されるパケットを処理する回路である。また、パケット処理回路1 dは、メモリ# 1 1 bとS A Sカード1 f、L A Nカード1 g、U S Bカード1 h、グラフィックカード1 i、電源制御カード1 jの各カードとの間で送受信されるパケットも処理する。図1に示すように、パケット処理回路1 dは、各カードと同様にP C I e スイッチ1 eの配下に備えられるようにP C I e スイッチ1 eと接続されている。これにより、例えばパケット処理回路1 dがカードに対するシーケンスを追加する際に、パケット処理回路1 dのシーケンスとしてパケットをカードに送受信できる。パケット処

理回路 1 d が実行する処理の詳細については後述する。

[0013] P C I e スイッチ 1 e は、パケット処理回路 1 d と S A S カード 1 f、L A N カード 1 g、U S B カード 1 h、グラフィックカード 1 i、電源制御カード 1 j との接続およびパケットの送受信を管理する。S A S カード 1 f、L A N カード 1 g、U S B カード 1 h、グラフィックカード 1 i、電源制御カード 1 j の各カードは、周知のカードであるため説明を省略する。

[0014] 図 2 に、パケット処理回路 1 d の構成を概略的に示す。図 2 に示すように、パケット処理回路 1 d は、C P U # A 2 a、U S B スロット 2 b、N V M (Non-volatile Memory) # A 2 c、フラッシュメモリ # A 2 d、パケット監視回路 2 e、アクセス生成回路 2 f、P C I e コントローラ 2 g、バッファ A 2 h、バッファ B 2 i、レシーバ A 2 j、レシーバ B 2 k、ドライバ A 2 m、ドライバ B 2 n を有する。C P U # A 2 a は、以下に説明するパケット処理回路 1 d において実行される処理を制御する。

[0015] U S B スロット 2 b は、情報処理装置 1 の外部から接続される U S B メモリ 1 0 0 を受け入れる。なお、本実施形態では、U S B メモリ 1 0 0 には、障害を発生させる場合がある処理のトリガに関する情報と、障害を回避するために代わりに実行する処理に関する情報とが記憶されている。なお、障害を発生させる場合がある処理のトリガに関する情報とは、以下で詳述するように、ハードウェアに障害を発生させる場合があるシーケンスの情報である。U S B メモリ 1 0 0 から取得された情報は、N V M # A 2 c に記憶される。

[0016] フラッシュメモリ # A 2 d には、情報処理装置 1 の電源投入時に実行される C P U # A 2 a、パケット監視回路 2 e、アクセス生成回路 2 f の初期化プログラムやパケット処理回路 1 d の P C I 構成情報などが記憶されている。パケット監視回路 2 e は、パケット処理回路 1 d に入力されるパケットに含まれるシーケンスデータの検出および比較を行う。アクセス生成回路 2 f は、N V M # A 2 c に記憶されたシーケンスデータに基づいて障害を回避するためのシーケンスデータを含むパケットを生成する。

[0017] バッファ A 2 h、バッファ B 2 i は、アクセス生成回路 2 f によって生成されるパケットを保持する。なお、バッファ A 2 h、バッファ B 2 i が格納部の一例に相当する。また、バッファ A 2 h、バッファ B 2 i は、CPU # A 2 a の制御に従ってパケットのページや出力を行う。ドライバ A 2 m、ドライバ B 2 n は、バッファ A 2 h、バッファ B 2 i から出力されるパケットを、パケット処理回路 1 d と上記の各カードとを接続する PCI e バスに出力する。レシーバ A 2 j は CPU # 1 1 a から出力されるパケットを受信し、受信したパケットをパケット監視回路 2 e およびバッファ A 2 h に出力する。また、レシーバ B 2 k は、上記の各カードから出力されるパケットを受信し、受信したパケットをパケット監視回路 2 e およびバッファ B 2 i に出力する。

[0018] 図 3 に、本実施形態における情報処理装置 1 の機能ブロック図を示す。本実施形態において、例えばパケット処理回路 1 d の CPU # A 2 a がフラッシュメモリ # A 2 d に格納されているプログラムを図示しないメモリに展開して実行することで、情報処理装置 1 が第 1 の記憶部 2 0 1、第 2 の記憶部 2 0 2、判定部 2 0 3、調整部 2 0 4、格納部 2 0 5、選択部 2 0 6、バッファ制御部 2 0 7 として機能する。

[0019] 第 1 の記憶部 2 0 1 は、SAS カード 1 f、LAN カード 1 g、USB カード 1 h、グラフィックカード 1 i、電源制御カード 1 j などのハードウェアに障害を発生させる場合があるシーケンスをあらかじめ記憶する。第 2 の記憶部 2 0 2 は、当該障害を回避するシーケンスを記憶する。また、判定部 2 0 3 は、CPU # 1 1 a がハードウェアを制御するために出力するシーケンスが第 1 の記憶部 2 0 1 に記憶されたシーケンスであるか否かを判定する。調整部 2 0 4 は、CPU # 1 1 a から出力されたシーケンスが第 1 の記憶部 2 0 1 に記憶されたシーケンスであると判定された場合に、CPU # 1 1 a から出力された当該シーケンスを第 2 の記憶部 2 0 2 に記憶されたシーケンスを用いて調整する。

[0020] 格納部 2 0 5 は、CPU # 1 1 a がハードウェアを制御するために出力

するシーケンスを格納する。選択部206は、格納部205を介して所定シーケンス数遅延したシーケンス、および第1の記憶部201に記憶されたシーケンスに対応して第2の記憶部202から取得されたシーケンスのいずれかを選択する。バッファ制御部207は、格納部205に格納されたシーケンスの廃棄と選択部206による選択とを制御する。

[0021] 図4に、本実施形態においてNVM#A 2cに記憶される情報の一例の概略を示す。図4に示すように、NVM#A 2cの0h番地から1000000h番地の間の領域はプログラム領域である。プログラム領域には、CPU#A 2aにより実行されるプログラム、パケット処理回路1dの制御プログラム、上記の障害を発生させる場合がある処理のトリガパターンの比較メモリへのコピー、アクセス生成回路2fのパターン生成メモリへのコピー、バッファ領域の制御などの処理を実行するプログラムが記憶されている。

[0022] また、1000000h番地から2000000h番地の間の領域は、トリガ条件およびトリガ条件が満たされた場合に実行されるシーケンスの情報が記憶される領域である。なお、トリガ条件とは、情報処理装置1内の上記の各カードに対して障害を発生させる場合があるシーケンスがCPU#1 1aから指令された否かを判定するための条件である。また、シーケンスの情報とは、当該障害を回避するために実行されるシーケンスデータである。図4では、一例としてUSBカード1hに対してCPU#1 1aから指令されるシーケンスに関するトリガ条件およびシーケンスの情報が示されている。さらに、2000000h番地から3000000h番地の間の領域は、上記のトリガ条件およびシーケンスの情報が記憶されている領域を示す情報が記憶される領域である。3000000h番地から4000000h番地の間の領域は、上記のシーケンスが実行されたときに書き込まれたデータの履歴が記憶される。

[0023] 図4に示すように、例えばCPU#1 1aからUSBカード1hに対してX0レジスタにデータ「AA」を書き込むシーケンスが指令されると、パ

ケット処理回路 1 d ではトリガ条件設定 1 「trigger setup #1」に記述されているトリガ条件が満たされ、シーケンス設定 1 「sequence setup #1」に記述されているシーケンスに従って、USB カード 1 h に対して X 1 レジスタにデータ「B B」を書き込むシーケンスが追加される。

[0024] また、別の例として、CPU # 1 1 a から USB カード 1 h に対して X 2 レジスタにデータ「C C」を書き込むシーケンスが指令された後に、さらに USB カード 1 h に対して X 3 レジスタにデータ「X X」（X X は任意の値）を書き込むシーケンスが指令された場合が挙げられる。この場合、ケット処理回路 1 d ではトリガ条件設定 2 「trigger setup #2」に記述されているトリガ条件が満たされる。そして、ケット処理回路 1 d では、シーケンス設定 2 「sequence setup #2」に記述されているシーケンスに従って、USB カード 1 h に対して X 2 レジスタにデータ「C C」を書き込むシーケンスと X 3 レジスタにデータ「X X」を書き込むシーケンスの順番が入れ替えられる。さらに、X 2 レジスタにデータ「C C」を書き込むシーケンスの生成後、10  $\mu$  秒の待機時間の後に X 3 レジスタにデータ「X X」を書き込むシーケンスが生成される。

[0025] 図 5 に、本実施形態においてフラッシュメモリ # A 2 d に記憶される情報の一例の概略を示す。図 5 に示すように、フラッシュメモリ # A 2 d の 0 h 番地から 2 0 0 0 0 0 0 h 番地の間の領域は、CPU # A 2 a により実行される初期化の各種プログラムが記憶される領域である。この領域に記憶されるデータとしては、CPU # A 2 a の初期化、アクセス生成回路 2 f の初期化、バッファ領域の初期化などを実行するプログラムや、各初期化に使用されるパラメータが挙げられる。2 0 0 0 0 0 0 h 番地から 4 0 0 0 0 0 0 h 番地の間の領域は、ケット処理回路 1 d の P C I 構成情報が記憶される領域である。

[0026] 図 6 に、ケット監視回路 2 e の概略の構成を示す。図 6 に示すように、ケット監視回路 2 e は、デシリアライザ 3 a、3 b、パラレルデータラッチ 3 c、3 d、データ同期制御回路 3 e、トレースメモリ 3 f、3 g、N 個

(Nは自然数)のコンパレータ#N 3 h、3 i、N個のアドレスカウンタ#N 3 j、3 k、N個の比較メモリ#N 3 m、3 n、内部バス制御回路3 pを有する。なお、比較メモリ#N 3 m、3 nが、第1の記憶部の一例に相当する。また、コンパレータ#N 3 h、3 iが判定部の一例に相当する。また、アドレスカウンタ#N 3 j、3 kが指標部の一例に相当する。また、本実施形態では、コンパレータ#N 3 h、3 iと、アドレスカウンタ#N 3 j、3 kと、比較メモリ#N 3 m、3 nとが対になっている。

[0027] デシリアライザ3 a、3 bは、パケット処理回路1 dに入力されるパケットを取得し、取得したパケットをシリアルデータからパラレルデータに変換する。また、デシリアライザ3 a、3 bは、取得したパケットのパラレルデータへの変換が完了したことを示す信号(Drdy ; Data Readyの略)を出力する。また、デシリアライザ3 a、3 bは、パケットを取得したことを示す信号(Packet#A、Packet#B)を出力する。

[0028] パラレルデータラッチ3 c、3 dは、デシリアライザ3 a、3 bから出力されたパラレルデータをDrdy信号に基づいてラッチする。また、パラレルデータラッチ3 c、3 dは、パケットに含まれる情報の切り出しおよび加工を行う。なお、パラレルデータラッチ3 c、3 dにより切り出された情報は、コンパレータ#N 3 h、3 iによる比較処理に使用される。図7に、パラレルデータラッチ3 c、3 dにより処理されるパケットのフォーマットを概略的に示す。図7に示すようにパケットは、トランザクションレイヤ、データリンクレイヤ、フィジカルリンクレイヤに分類されている。さらに、パケットは、先頭からフレミング情報(Frame)、シーケンス番号(Sequence#)、トランザクションタイプ(Header)、転送データ(Data)、トランザクションレイヤのCRC(Cyclic Redundancy Check)計算コード(RCRC ; Read Cyclic Redundancy Check)、データリンクレイヤのRCR計算コード(LCRC ; Link Cyclic Redundancy Check)、フレミング情報(Frame)を含む。

[0029] トレースメモリ3 f、3 gは、パラレルデータラッチ3 c、3 dによりラッチされたパラレルデータを記憶する。なお、トレースメモリ3 f、3 gへ

のデータの書き込みは、Drdy信号に同期して実行される。また、トレースメモリ 3 f、3 gからのデータの読み出しは、データ同期制御回路 3 eにより出力されるRtm信号に同期して実行される。データ同期制御回路 3 eは、内部バス制御回路 3 pの制御に従って、内部バスからのデータのアクセスの同期制御を行う。データ同期制御回路 3 eは、内部バスからの読み出し要求信号を内部バス制御回路 3 pを経由して受信すると、Rtm信号を出力する。

[0030] 比較メモリ # N 3 m、3 nには、NVM # A 2 cに記憶されているトリガ条件が記憶される。なお、比較メモリ # N 3 m、3 nの1つの比較メモリには、1つまたは複数のシーケンスが発生したか否かを判定するためのトリガ条件が記憶される。比較メモリ # N 3 m、3 nは、内部バス制御回路 3 pからトリガ条件のデータを受信する。

[0031] コンパレータ # N 3 h、3 iは、比較メモリ # N 3 m、3 nから取得するトリガ条件と、パラレルデータラッチ 3 c、3 dから入力されるデータの比較を行う。具体的には、コンパレータ # N 3 h、3 iは、パラレルデータラッチ 3 c、3 dから受信したデータに含まれるシーケンスと、比較メモリ # N 3 m、3 nから取得したトリガ条件に含まれるシーケンスとを比較して、互いのシーケンスが一致するか否かを判定する。

[0032] コンパレータ # N 3 hは、パケット処理回路 1 dに入力されるダウンストリームのパケットに対する比較を実行する。また、コンパレータ # N 3 iは、パケット処理回路 1 dに入力されるアップストリームのパケットに対する比較を実行する。コンパレータ # N 3 h、3 iは、比較の結果、上記の互いのシーケンスが一致すると判定した場合に、信号Hit-down#N、Hit-up#N（ここでNは、コンパレータ # NのNと同じ）をそれぞれ出力する。コンパレータ # N 3 h、3 iは、トリガ条件が一致したことを示す信号Upd#N、Upu#Nをアドレスカウンタ # N 3 j、3 kにそれぞれ出力する。

[0033] NVM # A 2 cに記憶されているトリガ条件について説明する。例えば、命令Aに続いて命令Bが発生したことをコンパレータ # N 3 hのコンパレータ # 1で比較する場合、比較メモリ # N 3 mの比較メモリ # 1に記憶

されるトリガ条件は、命令Aを実行するシーケンスが発生することを第1条件として、命令Bを実行するシーケンスが発生することを第2条件としてそれぞれ含む。そして、本実施形態では、比較メモリ#1と対になっているコンパレータ#1は、第1条件、第2条件を順番に用いて比較処理を行う。

[0034] 一例として、コンパレータ#N 3 hから信号Upd#Nがアドレスカウンタ#N 3 jに入力されると、アドレスカウンタ#N 3 jはカウンタ値を1だけインクリメントする。アドレスカウンタ#N 3 jによるインクリメント後のカウンタ値は比較メモリ#N 3 mに出力される。アドレスカウンタ#N 3 jのカウンタ値は、比較メモリ#N 3 mのアドレスとなる。例えば、比較メモリ#N 3 mのa番地（aは自然数）に、トリガ条件の第a番目の条件が記憶されている。この場合、比較メモリ#N 3 mは、アドレスカウンタ#N 3 jから入力されるカウンタ値がaであるときに、a番地に記憶されている第a番目の条件をコンパレータ#N 3 hに出力する。

[0035] 上記の例では、最初にアドレスカウンタ#N 3 jのアドレスカウンタ#1のカウンタ値の初期値が1に設定されている。また、比較メモリ#N 3 mの比較メモリ#1に第1条件および第2条件が記憶されている。そして、コンパレータ#N 3 hのコンパレータ#1によって第1条件が一致すると判定される。この結果、コンパレータ#N 3 hのコンパレータ#1から出力される信号Upd#1により、アドレスカウンタ#N 3 jのアドレスカウンタ#1はカウンタ値を2にインクリメントする。アドレスカウンタ#N 3 jのアドレスカウンタ#1は、カウンタ値2を比較メモリ#N 3 mの比較メモリ#1に出力する。比較メモリ#N 3 mの比較メモリ#1は、カウンタ値2に基づいて第2条件を読み出し、第2条件のデータをコンパレータ#N 3 hのコンパレータ#1に出力する。

[0036] 図8に、アクセス生成回路2 fの概略の構成を示す。図8に示すように、アクセス生成回路2 fは、ゲート4 a、4 b、シリアルライザ4 c、4 d、P C I e出力制御回路4 e、N個（Nは自然数）のパターン生成メモリ#N 4 f、4 g、N個のアドレスカウンタ#N 4 h、4 i、N個の生成シーケ

ンス制御レジスタ #N 4 j を有する。なお、パターン生成メモリ #N 4 f、4 g が第2の記憶部の一例に相当する。また、生成シーケンス制御レジスタ #N 4 j が調整部の一例に相当する。

[0037] パターン生成メモリ #N 4 f、4 g は、NVM #A 2 c に記憶されているトリガ条件が満たされた場合に実行されるシーケンスを記憶する。なお、パターン生成メモリ #N 4 f、4 g と比較メモリ #N 3 m、3 n とがそれぞれ対になっている。このため、比較メモリ #N 3 m、3 n に記憶されているトリガ条件が満たされたときに実行されるシーケンスが、パターン生成メモリ #N 4 f、4 g にそれぞれ記憶されている。パターン生成メモリ #N 4 f、4 g は、シーケンスのデータを PCI e パケットとするため、トランザクションレイヤ、データリンクレイヤ、フィジカルレイヤを組み立てて、パターン生成メモリ #N 4 f、4 g に書き戻す。書き戻されたデータは、シリアルライザ 4 c、4 d に出力される。

[0038] 生成シーケンス制御レジスタ #N 4 j は、パケット処理回路 1 d の CPU #A 2 a から内部バスを経由して入力される命令に従って、アクセス生成回路 2 f 内の各部の動作を制御する。PCI e 出力制御回路 4 e は、ゲート 4 a、4 b の動作タイミングを制御し、バッファ A 2 h およびバッファ B 2 i のページ処理を制御するための信号 PCIe control N#A、PCIe control N#B を出力する。シリアルライザ 4 c、4 d は、パターン生成メモリ #N 4 f、4 g から入力されるシーケンスの平行データをシリアルデータに変換してゲート 4 a、4 b にそれぞれ出力する。

[0039] また、パターン生成メモリ #N 4 f、4 g に記憶されるシーケンスは、複数の処理命令を有する場合がある。例えば、処理命令 A に続いて処理命令 B を実行させるシーケンスがパターン生成メモリ #N 4 f、4 g に記憶されている場合、パターン生成メモリ #N 4 f、4 g は、アドレスカウンタ #N 4 h、4 i から入力されるパターン生成メモリ #N 4 f、4 g のアドレスを指定する信号に基づいて、処理命令 A、B を順次シリアルライザ 4 c、4 d に出力する。

[0040] シリアライザ4 cは、パターン生成メモリ#N 4 fのパターン生成メモリ#Nから入力されるシーケンスの処理のデータをゲート4 aに出力すると、アドレスカウンタ#N 4 hにタイミング信号Dset#Aを出力する。アドレスカウンタ#N 4 hは、シリアライザ4 cから信号Dset#Aが入力されると、カウンタ値を1だけインクリメントする。アドレスカウンタ#N 4 hによるインクリメント後のカウンタ値はパターン生成メモリ#N 4 fに出力される。アドレスカウンタ#N 4 hのカウンタ値は、パターン生成メモリ#N 4 fのアドレスとなる。例えば、パターン生成メモリ#N 4 fのa番地に（aは自然数）、第a番目の処理命令が記憶されているとする。この場合、パターン生成メモリ#N 4 fは、アドレスカウンタ#N 4 hから入力されるカウンタ値がaであるときに、a番地に記憶されている第a番目の処理命令をシリアライザ4 cに出力する。

[0041] 一例として、アドレスカウンタ#N 4 hのアドレスカウンタ#1のカウンタ値の初期値は1に設定されている。また、パターン生成メモリ#N 4 fのパターン生成メモリ#1にシーケンスの第1番目の処理命令および第2番目の処理命令が記憶されている。そして、生成シーケンス制御レジスタ#N 4 jの制御に従って、パターン生成メモリ#N 4 fのパターン生成メモリ#1は、第1番目の処理命令のデータをシリアライザ4 cに出力する。

[0042] シリアライザ4 cは、ゲート4 aに第1番目の処理命令のデータを出力すると、信号Dset#Aをアドレスカウンタ#N 4 hのアドレスカウンタ#1に出力する。そして、アドレスカウンタ#N 4 hのアドレスカウンタ#1は、信号Dset#Aが入力されると、カウンタ値を2にインクリメントする。アドレスカウンタ#N 4 hのアドレスカウンタ#1は、カウンタ値2をパターン生成メモリ#N 4 fのパターン生成メモリ#1に出力する。パターン生成メモリ#N 4 fのパターン生成メモリ#1は、カウンタ値2に基づいて、第2番目の処理命令のデータをシリアライザ4 cに出力する。

[0043] 図9に、バッファA 2 hの概略の構成を示す。図9に示すように、バッファA 2 hは、制御コードデコーダ5 a、M個（Mは自然数）のFIFO

(First-In First-Out) 多段バッファ #M 5 b、ドライバ 5 c、マルチプレクサ 5 d を有する。なお、制御コードデコーダ 5 a がバッファ制御部の一例に相当する。また、マルチプレクサ 5 d が選択部の一例に相当する。

[0044] 制御コードデコーダ 5 a は、アクセス生成回路 2 f からのバッファ制御信号 PCIe control 0~N#A を、バッファ A 2 h 内の各部に対する制御信号にデコードする。FIFO 多段バッファ #M 5 b は、CPU #1 1 a からルートコンプレックス 1 c を経由してパケット処理回路 1 d に入力される信号 PCIe in #1S をパケット単位で格納する。

[0045] 制御コードデコーダ 5 a は、CPU #A 2 a の命令に従って、FIFO 多段バッファ #M 5 b に格納されているパケットのページを命令する。制御コードデコーダ 5 a は、例えば図 10 に示す真理値表を使用して、Thru pass gate 信号と Packet select 信号により、PCIe in #1S/#2S からのパケットを出力するか否かを制御する。

[0046] 図 10 には、制御コードデコーダ 5 a が FIFO 多段バッファ #M 5 b に格納されているパケットのページを行う際に使用する真理値表の一例と制御コードデコーダ 5 a がマルチプレクサ 5 d の出力制御を行う際に使用する真理値表の一例を示す。例えば、制御コードデコーダ 5 a は、アクセス生成回路 2 f から入力される PCIe control 0~2#A の信号「0」または「1」の組み合わせに従って、FIFO 多段バッファ #M 5 b の FIFO 多段バッファ #1~#7 のページを実行する。なお、PCIe control 0~2#A の信号がいずれも「0」の場合は、制御コードデコーダ 5 a は FIFO 多段バッファ #M 5 b のページを実行しない。

[0047] また、制御コードデコーダ 5 a は、アクセス生成回路 2 f から入力される PCIe control 3~4#A の信号「0」または「1」の組み合わせに従って、マルチプレクサ 5 d の出力制御を行う。図 10 の真理値表からわかるように、マルチプレクサ 5 d は、制御コードデコーダ 5 a の出力制御に従って A1~A3 いずれかの入力パケットをドライバ 5 c に出力する。なお、PCIe control 3~4#A の信号がいずれも「0」の場合は、制御コードデコーダ 5 a はマルチ

プレクサ5 dからドライバ5 cにパケットが出力されないように制御する。

[0048] 本実施形態では、制御コードデコーダ5 aの制御により、マルチプレクサ5 dが入力A 1およびA 3の選択を組み合わせることにより、CPU# 1 1 aが出力したシーケンスの遅延、廃棄、および複数のシーケンス間の入替、および複数のシーケンス間への他のシーケンスの挿入を行うことができる。なお、CPU# 1 1 aが出力したシーケンスが含まれるパケットをFIFO多段バッファ#M 5 bに格納する場合、バッファリングによる遅延が発生する。そこで、制御コードデコーダ5 aの制御によりマルチプレクサ5 dに入力A 2を選択させることにより、CPU# 1 1 aが出力したシーケンスを含むパケットを、FIFO多段バッファ#M 5 bに格納されることによる遅延を発生させることなく、パケット処理回路1 dから出力することもできる。

[0049] FIFO多段バッファ#M 5 bは、パケット単位でFIFOされる多段バッファであり、バッファ状態がフルとなった場合、Buffer full信号を出力する。また、Empty信号は、FIFO内のバッファが空の状態であり、前段からの出力データが入力時可能な状態を示す。Purge packet #Nは、対象のFIFO多段バッファ内のバッファをクリアする信号であり、ページする対象パケットに対し削除処理を行う信号である。

[0050] ドライバ5 cは、アクセス生成回路2 fのPCIe出力制御回路4 eからの命令に従ってパケットをPCIeバスに出力する。マルチプレクサ5 dは、図10に示す真理値表に基づく制御コードデコーダ5 aによる制御に従って、A 1、A 2、A 3のいずれかの入力パケットをドライバ5 cに出力するあるいはいずれの入力パケットもドライバ5 cに出力しない。

[0051] 本実施形態では、例えばパケット処理回路1 dがシーケンスを削除する場合は、CPU# A 2 a、PCIe出力制御回路4 e、生成シーケンス制御レジスタ4 jの制御により、FIFO多段バッファ#M 5 bのうち当該シーケンスを含むパケットが格納されているFIFO多段バッファのページが実行される。また、例えばパケット処理回路1 dがシーケンスの入れ替えを

する場合は、同様に当該シーケンスを含むパケットが格納されているFIFO多段バッファのページが実行される。さらに、入れ替え後の順番でシーケンスがPCIe data #Aとして生成されマルチプレクサ5 dの入力A 3として入力された後、ドライバ5 cを経由してPCIeスイッチ1 eに出力される。

[0052] また、例えばパケット処理回路1 dがシーケンスを追加する場合は、CPU #A 2 a、PCIe出力制御回路4 e、生成シーケンス制御レジスタ4 jの制御によりバッファ A 2 hからのパケット出力が一時停止される。さらに、追加のシーケンスがPCIeコントローラ2 gを経由してPCIeスイッチ1 eに出力される。そして、バッファ A 2 hからのパケット出力が再開されることにより、追加のシーケンスに続いてバッファ A 2 hに格納されているシーケンスをパケット処理回路1 dから出力することができる。なお、追加のシーケンスがバッファA 2 hに入力されるように構成してもよい。この場合は、パケット処理回路1がいわゆる代理応答の機能を用いて追加のシーケンスと既存のシーケンスの順番の調整を行う。さらに、制御コードデコーダ5 aの制御によりマルチプレクサ5 dに入力A 3を選択させる。これにより、追加のシーケンスがPCIeスイッチ1 eに出力される。

[0053] バッファB 2 iは、バッファA 2 hと同様の構成を有するため、図示および説明を省略する。なお、バッファB 2 iは、図9に示す構成では、制御コードデコーダにPCIe control #Bが、FIFO多段バッファ#M 5 bにPCIe in #2Sが、マルチプレクサにPCIe data #Bがそれぞれ入力される点でバッファA 2 hと異なる。さらに、バッファB 2 iは、図9に示す構成では、FIFO多段バッファ#1からBuffer full1 #Bが出力される点でバッファA 2 hと異なる。

[0054] 次に、図4に示すトリガ条件およびシーケンスを用いる場合における情報処理装置1の具体的な処理例について説明する。図11に情報処理装置1が実行する処理例のフローチャートを示す。また、図12に情報処理装置1が図11に示すフローチャートの処理を実行するときのタイムチャートの一例

を示す。本実施形態では、情報処理装置 1 の電源投入が行われると、CPU # A 2 a が図 1 1 のフローチャートの処理を開始する。

[0055] なお、図 1 1、1 2 に示す処理例では、USB カード 1 h の転送スピード SuperSpeed (5.0 Gbps) によりデータを間欠転送する場合に、X 0、X 2、X 3 の各レジスタへのアクセス時に間欠転送エラーが発生する場合の障害回避を想定する。ここで間欠転送エラーとは、一例としては、ハードウェアのレジスタに対するデータの書き込みが発生したときに、バッファ A 2 h においてパケット単位の転送遅延が発生することによってデータ出力と間欠転送のタイミングとの不整合が生じることでデータを転送できない現象である。

[0056] 本実施形態では、図 1 2 に示すように、CPU # 1 1 a からパケット処理回路 1 d に、シーケンス番号 1 ~ 6 のシーケンスが出力される。シーケンス番号 1 のシーケンスは USB カード 1 h の X 0 レジスタにデータ「AA」を書き込むシーケンスである。また、シーケンス番号 3 のシーケンスは、USB カード 1 h の X 2 レジスタにデータ「CC」を書き込むシーケンスである。また、シーケンス番号 4 のシーケンスは、USB カード 1 h の X 3 レジスタにデータ「22」を書き込むシーケンスである。ここでは、シーケンス番号 1 のシーケンスの実行時およびシーケンス番号 2、3 のシーケンスの実行時に、レジスタへのアクセスタイミングやアクセス順序などの関係で、間欠転送エラーが発生してデータが正常に転送されない障害が発生するものとする。

[0057] そこで本処理例では、障害回避のため、情報処理装置 1 は、図 1 2 に示すようにシーケンス番号 1 において USB カード 1 h の X 0 レジスタにデータ「AA」を書き込むシーケンスが発生した場合に、当該シーケンスに続いて X 1 レジスタにデータ「BB」を書き込みする追加のシーケンスを実行する。また、情報処理装置 1 は、図 1 2 に示すようにシーケンス番号 3、4 において X 2 レジスタにデータ「CC」を書き込むシーケンスの後に X 3 を書き込むシーケンスが発生した場合に、X 3 レジスタへの書き込みを先に実行し、

X2レジスタへの書き込みを10 $\mu$ 秒以上の間隔を空けて実行する。

[0058] OP101では、情報処理装置1の電源が投入されたことを契機に、CPU#1 1aにより、BIOS ROM（図示せず）に記憶されているブートローダが実行され、OSなどの起動が開始される。また、フラッシュメモリ#A 2dに記憶されているPCI構成情報が、起動後のPCI構成シーケンスによりCPU#1 1aに通知される。さらに、CPU#A 2aは、図5に示すフラッシュメモリ#A 2dに記憶されている初期化プログラム領域に格納されている各処理のプログラムを読み取り、各種初期化を実行する。次に、CPU#A 2aは処理をOP102に進める。OP102では、CPU#A 2aは、図5に示すNVM#A 2cに記憶されているプログラム領域に格納されている各処理のプログラムを読み取り、各種処理を実行する。さらにCPU#A 2aは、USBスロット2bに挿入されたUSBメモリ100からトリガ条件およびシーケンスのデータを取得し、取得したデータを用いてNVM#A 2cのトリガ／シーケンステーブルを作成する。本処理例では、図4に示すようにトリガ／シーケンステーブルが作成されているとする。次いで、CPU#A 2aは、処理をOP103に進める。

[0059] OP103では、CPU#A 2aは、NVM#A 2cに記憶されているトリガ条件をパケット監視回路2eの比較メモリ#N 3m、3nに記憶する。具体的には、CPU#A 2aは、図4に示すトリガ／シーケンステーブル内の「trigger setup#1」のトリガ条件のデータを、パケット監視回路2eの比較メモリ#N 3mの比較メモリ#1の0番地に書き込む。ここで、「trigger setup#1」のトリガ条件とは、CPU#1 1aからパケット処理回路1dに出力されるシーケンスがUSBカード1hのX0レジスタにデータ「AA」を書き込むシーケンスであるか否かを判定する条件である。また、CPU#A 2aは、「trigger setup#2」の各トリガ条件のデータを、比較メモリ#N 3mの比較メモリ#2の0番地から順に書き込む。ここで、「trigger setup#2」のトリガ条件には、CPU#1 1aからパケット処

理回路 1 d に出力されるシーケンスが U S B カード 1 h の X 2 レジスタにデータ「X X」（X X は任意の数値）を書き込むシーケンスであるか否かを判定する条件が含まれる。さらに、「trigger setup#2」のトリガ条件には、U S B カード 1 h の X 2 レジスタにデータ「X X」を書き込むシーケンスに続いて、U S B カード 1 h の X 3 レジスタにデータ「C C」を書き込むシーケンスが発生したか否かを判定する条件が含まれる。次いで、C P U # A 2 a は、処理を O P 1 0 4 に進める。

[0060] O P 1 0 4 では、C P U # A 2 a は、パケット監視回路 3 e のアドレスカウンタ # N 3 j、3 k およびアクセス生成回路 2 f のアドレスカウンタ # N 4 h、4 i をリセットする。また、C P U # A 2 a は、バッファ A 2 h のマルチプレクサ 5 d に対して、入力 A 1 を出力するよう選択させる。また、C P U # A 2 a は、バッファ B 2 i のマルチプレクサ 5 d に対して、入力 A 2 を出力するよう選択させる。次いで、C P U # A 2 a は、処理を O P 1 0 5 に進める。

[0061] O P 1 0 5 において、C P U # A 2 a は、パケット監視回路 3 e から Hit-down#1 信号が入力されたか否かを検出する。上記の通り、Hit-down#1 信号は、比較メモリ # N 3 m の比較メモリ # 1 に記憶された「trigger setup#1」のトリガ条件が満たされたことを示す信号である。すなわち、Hit-down#1 信号は、C P U # 1 1 a からパケット処理回路 1 d に出力されるシーケンスが U S B カード 1 h の X 0 レジスタにデータ「A A」を書き込むシーケンスであると判定されたことを示す信号である。C P U # A 2 a は、Hit-down#1 信号が入力された場合は（O P 1 0 5 : Y e s）、処理を O P 1 0 6 に進める。また、C P U # A 2 a は、Hit-down#1 信号が入力されていない場合は（O P 1 0 5 : N o）、処理を O P 1 0 7 に進める。

[0062] O P 1 0 6 では、C P U # A 2 a は、N V M # A 2 c に記憶されている「sequence setup#1」のシーケンスの処理を実行する。図 4 に示すように、ここで「sequence setup#1」のシーケンスは、U S B カード 1 h の X 1 レジスタにデータ「B B」を書き込む処理を追加する処理である。C P U # A

2 a は、USBカード1 hのX1レジスタにデータ「BB」を書き込むシーケンスをパターン生成メモリ#N 4 fのパターン生成メモリ#1に書き込む。パターン生成メモリ#N 4 fのパターン生成メモリ#1は、書き込まれたシーケンス情報に従って、当該シーケンスを含むPCIEパケットを生成する。生成されたパケットは、PCIEコントローラ2 gを経由してパケット処理回路1 dから出力される。パケット処理回路1 dから出力されたパケットは、PCIEスイッチ1 eを経由してUSBカード1 hに送られる。USBカード1 hは、入力されたパケットに含まれる上記のシーケンスに従ってX1レジスタに「BB」を書き込む処理を実行する。なお、CPU#A 2 aは、アドレスカウンタ#N 3 j、4 hのそれぞれのアドレスカウンタ#1をリセットする。次いで、CPU#A 2 aは、処理をOP107に進める。

- [0063] OP107では、CPU#A 2 aは、パケット監視回路2 eからHit-down#2信号が入力されたか否かを検出する。Hit-down#2信号は、比較メモリ#N 3 mの比較メモリ#2に記憶された「trigger setup#2」のトリガ条件が満たされたことを示す信号である。すなわち、Hit-down#2信号は、CPU#1 1 aからパケット処理回路1 dに出力されるシーケンスが、USBカード1 hのX2レジスタにデータ「XX」を書き込むシーケンスの後にUSBカード1 hのX3レジスタにデータ「CC」を書き込むシーケンスが続くものであると判定されたことを示す信号である。CPU#A 2 aは、Hit-down#2信号が入力された場合は（OP107：Yes）、処理をOP108に進める。また、CPU#A 2 aは、Hit-down#2信号が入力されていない場合は（OP107：No）、処理をOP105に戻す。

- [0064] OP108では、CPU#A 2 aは、NVM#A 2 cに記憶されている「sequence setup#2」のシーケンスの処理を実行する。図4に示すように、CPU#A 2 aは、「sequence setup#2」のシーケンスに従って、まずバッファA 2 h内にFIFO多段バッファ#Nに格納されているパケットのうち、USBカード1 hのX2レジスタに対する書き込みのシーケンスを

含むパケットとX3レジスタに対する書き込みのシーケンスを含むパケットをパージする。次に、CPU#A 2aは、パケット監視回路2eのトレースメモリ3fからX2レジスタに対するデータ「CC」を書き込むシーケンスのシーケンス番号NとX3レジスタに対する書き込み対象のデータ「XX」を読み出す。なお、図12に示す例では、シーケンス番号3において、X2レジスタに対するデータ「CC」を書き込むシーケンスが発生しているので、Nは3である。また、シーケンス番号4において、X3レジスタに対してデータ「22」を書き込むシーケンスが発生しているので、XXは22である。

[0065] 次に、図4の「sequence setup#2」のシーケンス情報に記載されているように、CPU#A 2aは、上記で読み出した情報を用いて、シーケンス番号3としてUSBカード1hのX3レジスタにデータ「22」を書き込むシーケンスをパターン生成メモリ#N 4fのパターン生成メモリ#2の0番地に書き込む。さらに、CPU#A 2aは、シーケンス番号N+1、すなわち図11の例ではシーケンス番号4としてUSBカード1hのX2レジスタにデータ「CC」を書き込むシーケンスをパターン生成メモリ#N 4fのパターン生成メモリ#2の1番地に書き込む。

[0066] また、CPU#A 2aは、生成シーケンス制御レジスタ#N 4jを介してPCIe出力制御回路4eを制御し、バッファA 2h内のFIFO多段バッファ#N 5bのパケット出力を一時停止する。パケット出力が一時停止されるのは、以下に説明するように、パケットの入れ替えを行うためである。さらに、CPU#A 2aは、マルチプレクサ5dがA3から入力されたパケットを出力するように制御する。

[0067] 次にCPU#A 2aは、生成シーケンス制御レジスタ#N 4jを制御してパターン生成メモリ#N 4fのパターン生成メモリ#2の0番地に書き込まれた処理を実行する。これにより、パターン生成メモリ#2から、USBカード1hのX3レジスタにデータ「22」を書き込むシーケンスを含むパケットがシーケンス番号3としてシリアルライザ4cおよびマルチプレク

サ5 dを経由してパケット処理回路1 dから出力される。

[0068] 続いてCPU # A 2 aは、USBカード1 hのX 3レジスタにデータ「2 2」を書き込むシーケンスを含むパケットがパケット処理回路1 dから出力されてから10  $\mu$ 秒待機する。そして、CPU # A 2 aは、生成シーケンス制御レジスタ # N 4 jを制御してパターン生成メモリ # N 4 fのパターン生成メモリ # 2の1番地に書き込まれた処理を実行する。これにより、パターン生成メモリ # 2から、USBカード1 hのX 2レジスタにデータ「C C」を書き込むシーケンスを含むパケットがシーケンス番号4としてシリアルライザ4 cおよびマルチプレクサ5 dを経由してパケット処理回路1 dから出力される。

[0069] さらに、CPU # A 2 aは、バッファA 2 h内のF I F O多段バッファ # N 5 bのパケット出力を再開し、マルチプレクサ5 dがA 1から入力されたパケットを出力するように制御する。これにより、図1 2に示すように、CPU # 1 1 aからパケット処理回路1 dにシーケンス番号5として入力されたUSBカード1 hのX 5レジスタにデータ「3 3」を書き込むシーケンスを含むパケットは、F I F O多段バッファ # N 5 bおよびマルチプレクサ5 dを経由してシーケンス番号5としてパケット処理回路1 dから出力される。また、CPU # A 2 aは、パケット監視回路2 eのアドレスカウンタ # N 3 jのアドレスカウンタ # 2およびアクセス生成回路2 fのアドレスカウンタ # N 4 hのアドレスカウンタ # 2をリセットする。

[0070] 以上の処理により、CPU # 1 1 aからパケット処理回路1 dにシーケンス番号3として入力されたUSBカード1 hのX 2レジスタにデータ「C C」を書き込むシーケンスを含むパケットがシーケンス番号4としてパケット処理回路1 dから出力される。また、CPU # 1 1 aからパケット処理回路1 dにシーケンス番号4として入力されたUSBカード1 hのX 3レジスタにデータ「2 2」を書き込むシーケンスを含むパケットがシーケンス番号3としてパケット処理回路1 dから出力される。この結果、これら2つのパケットがパケット処理回路1 dによって入れ替えられて、USBカード1

hに出力される。

[0071] CPU#A 2aは、上記のOP108の処理を実行すると、処理をOP109に進める。OP109では、CPU#A 2aは、情報処理装置1のシステムを終了する処理が発生したか否かを判定する。情報処理装置1のシステムを終了する処理が発生した場合は（OP109：Yes）、CPU#A 2aは本フローチャートの処理を終了する。また、情報処理装置1のシステムを終了する処理が発生していない場合は（OP109：No）、CPU#A 2aは処理をOP105に戻し、上記の処理を繰り返し実行する。

[0072] 上記の処理が実行されることにより、パケット処理回路1dは、CPU#1 1aから出力されるパケットに含まれるシーケンスが障害発生条件を満たすことを検出し、検出された障害発生条件に応じてシーケンスの順序やタイミングなどを調整する。そして、パケット処理回路1dは調整したシーケンスをパケットの送信先である情報処理装置1内のUSBカード1hをはじめとするハードウェアに出力する。なお、上記の説明では、ダウンストリームのパケットに対する処理について説明した。ただし、アップストリームのパケットに対する処理も、ダウンストリームのパケットを処理する各構成要素に対応する構成要素によって同様に実行される。したがって、本実施形態では例えば当該ハードウェアに対するメモリ空間、I/O空間のアクセス順序や書き込みデータの変更、アクセスの削除や追加、アクセスのタイミング変更など、障害の回避策を実行するシーケンスがパケット処理回路1dに登録される。これにより、ハードウェアの障害回避をパケット処理回路1dにおいて一元管理することができる。

[0073] 以上が本実施形態に関する説明であるが、上記の情報処理装置1などの構成や処理は、上記の実施形態に限定されるものではなく、本発明の技術的思想と同一性を失わない範囲内において種々の変更が可能である。例えば、上記の説明において、トリガ条件およびトリガ条件が満たされたときに実行されるシーケンスは2種類ある場合を想定したが、トリガ条件およびシーケンスの数は上記に限定されない。例えば、第3のトリガ条件およびシーケンス

が存在する場合は、上記のフローチャートにおいてOP108に続いて、OP105およびOP107と同様の判定処理と、OP106およびOP108と同様の処理が実行されるように構成すればよい。

[0074] また、上記の情報処理装置1の構成や処理を以下に説明する変形例としての情報処理システム10に採用することもできる。なお、以下の説明において、上記の構成要素に対応する構成要素には同一の符号を付し、詳細な説明を省略する。図13に情報処理システム10の概略構成図を示す。図13に示すように、情報処理システム10は、情報処理装置1000、I/Oコントローラ2000、ディスプレイ3000を有する。また、情報処理装置1000は、CPU#1 1a、メモリ#1 1b、ルートコンプレックス1c、パケット処理回路1dを有する。本変形例において、情報処理装置1000はPCIeケーブルによりI/Oコントローラ2000と接続されている。I/Oコントローラ2000が上記の周辺デバイスに対応する。I/Oコントローラ2000は、情報処理装置1000から入力されるシーケンスに従って、ディスプレイ3000に対するデータの入出力を制御する。

[0075] 本変形例において、CPU#1 1aは、I/Oコントローラ2000を制御するシーケンスを出力する。一例として、当該シーケンスは、I/Oコントローラ2000のデータの入出力のタイミングに異常を発生させ、I/Oコントローラ2000に接続されているディスプレイ3000の画面にノイズを生じさせるシーケンスであると想定する。そして、当該シーケンスを含むパケットがパケット処理回路1cに入力されると、上記の処理によりシーケンスの順序やタイミングなどが調整される。この結果、調整されたシーケンスがI/Oコントローラ2000に送信されることによって、I/Oコントローラ2000における上記の障害を回避し、ディスプレイ3000において画面にノイズが生じないようにすることができる。なお、情報処理装置1000に接続される周辺デバイスは、I/Oコントローラ2000に限られない。

[0076] <コンピュータが読み取り可能な記録媒体>

コンピュータその他の機械、装置（以下、コンピュータ等）に上記情報処理装置の設定を行うための管理ツール、OSその他を実現させるプログラムをコンピュータ等が読み取り可能な記録媒体に記録することができる。そして、コンピュータ等に、この記録媒体のプログラムを読み込ませて実行させることにより、その機能を提供させることができる。ここで、コンピュータは、例えば、情報処理装置などである。

[0077] ここで、コンピュータ等が読み取り可能な記録媒体とは、データやプログラム等の情報を電氣的、磁氣的、光学的、機械的、または化学的作用によって蓄積し、コンピュータ等から読み取ることができる記録媒体をいう。このような記録媒体のうちコンピュータ等から取り外し可能なものとしては、例えばフレキシブルディスク、光磁気ディスク、CD-ROM、CD-R/W、DVD、ブルーレイディスク、DAT、8mmテープ、フラッシュメモリ等のメモリカード等がある。また、コンピュータ等に固定された記録媒体としてハードディスクやROM等がある。

### 符号の説明

[0078] 1、1000 情報処理装置

- 1a CPU # 1
- 1d パケット処理回路
- 2a CPU # A
- 2c NVM # A
- 2e パケット監視回路
- 2f アクセス生成回路
- 2h バッファA
- 2i バッファB
- 10 情報処理システム

## 請求の範囲

- [請求項1]        プロセッサにより制御されるデバイスに障害を発生させる場合があるシーケンスをあらかじめ記憶する第1の記憶部と、  
                  前記障害を回避するシーケンスを記憶する第2の記憶部と、  
                  前記プロセッサが前記デバイスを制御するために出力するシーケンスが前記第1の記憶部に記憶されたシーケンスであるか否かを判定する判定部と、  
                  前記プロセッサが前記デバイスを制御するために出力するシーケンスが前記第1の記憶部に記憶されたシーケンスであると判定された場合に、前記プロセッサが前記デバイスを制御するために出力する前記シーケンスを前記第2の記憶部に記憶されたシーケンスを用いて調整する調整部と  
                  を有する情報処理装置。
- [請求項2]        前記第1の記憶部は、前記デバイスに障害を発生させる場合がある複数のシーケンスをあらかじめ記憶し、  
                  前記判定部は、前記プロセッサが前記デバイスを制御するために出力するシーケンスが前記第1の記憶部に記憶されている前記各シーケンスであるか否かの判定を並列に実行する  
                  請求項1に記載の情報処理装置。
- [請求項3]        前記判定部は、前記プロセッサが出力した第1のシーケンスが、前記第1の記憶部の第1のアドレスに記憶されたシーケンスであると判定すると、前記第1のシーケンスに後続する第2のシーケンスが前記第1の記憶部の第2のアドレスに記憶されたシーケンスであるか否かを判定する処理を所定シーケンス数分繰り返す請求項1または2に記載の情報処理装置。
- [請求項4]        前記プロセッサが出力したシーケンスを格納する複数の格納部と、  
                  前記複数の格納部を介して所定シーケンス数遅延したシーケンス、および前記第1の記憶部に記憶されたシーケンスに対応して第2の記

憶部から取得されたシーケンスのいずれかを選択する選択部と、

前記複数の格納部に格納されたシーケンスの廃棄と前記選択部による選択とを制御するバッファ制御部をさらに備える

請求項 1 から請求項 3 のいずれか 1 項に記載の情報処理装置。

[請求項5] 前記バッファ制御部は、前記シーケンスの廃棄と前記選択とによって、前記プロセッサが出力したシーケンスの遅延、廃棄、および複数のシーケンス間の入替、および複数のシーケンス間への他のシーケンスの挿入の少なくとも 1 つを実行する請求項 4 に記載の情報処理装置。

[請求項6] 情報処理装置と前記情報処理装置により使用されるデバイスとを有する情報処理システムにおいて、

前記情報処理装置は、

プロセッサと、

前記プロセッサにより制御される前記デバイスに障害を発生させる場合があるシーケンスをあらかじめ記憶する第 1 の記憶部と、

前記障害を回避するシーケンスを記憶する第 2 の記憶部と、

前記プロセッサが前記デバイスを制御するために出力するシーケンスが前記第 1 の記憶装置に記憶されたシーケンスであるか否かを判定する判定部と、

前記プロセッサが前記デバイスを制御するために出力するシーケンスが前記第 1 の記憶装置に記憶されたシーケンスであると判定された場合に、前記プロセッサが前記デバイスを制御するために出力する前記シーケンスを前記第 2 の記憶装置に記憶されたシーケンスを用いて調整する調整部と

を有する情報処理システム。

[請求項7] 情報処理装置の制御プログラムであって、

前記情報処理装置が有する第 1 の記憶部に、プロセッサにより制御されるデバイスに障害を発生させる場合があるシーケンスをあらかじめ

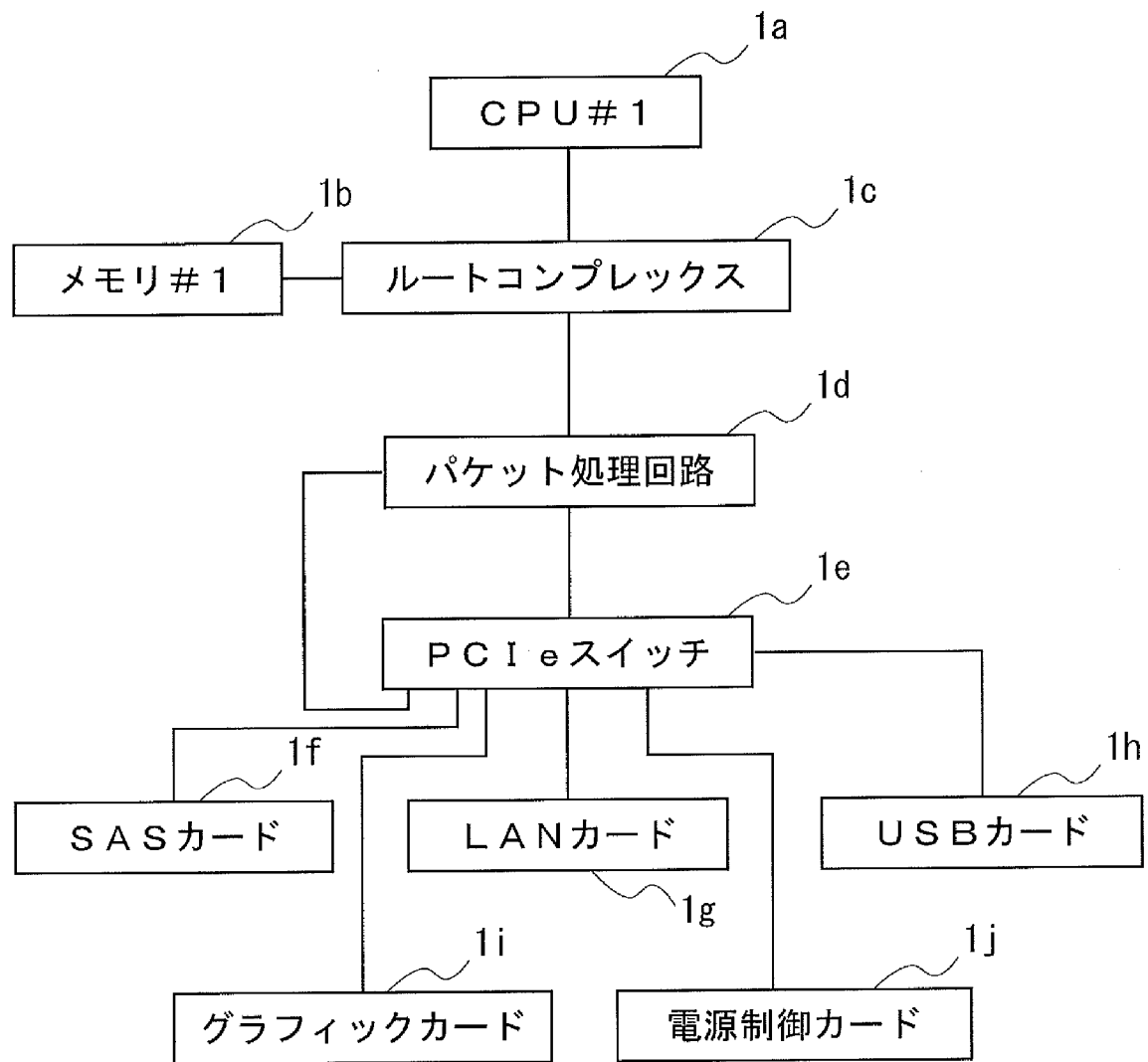
め記憶させ、

前記情報処理装置が有する第2の記憶部に、前記障害を回避するシーケンスを記憶させ、

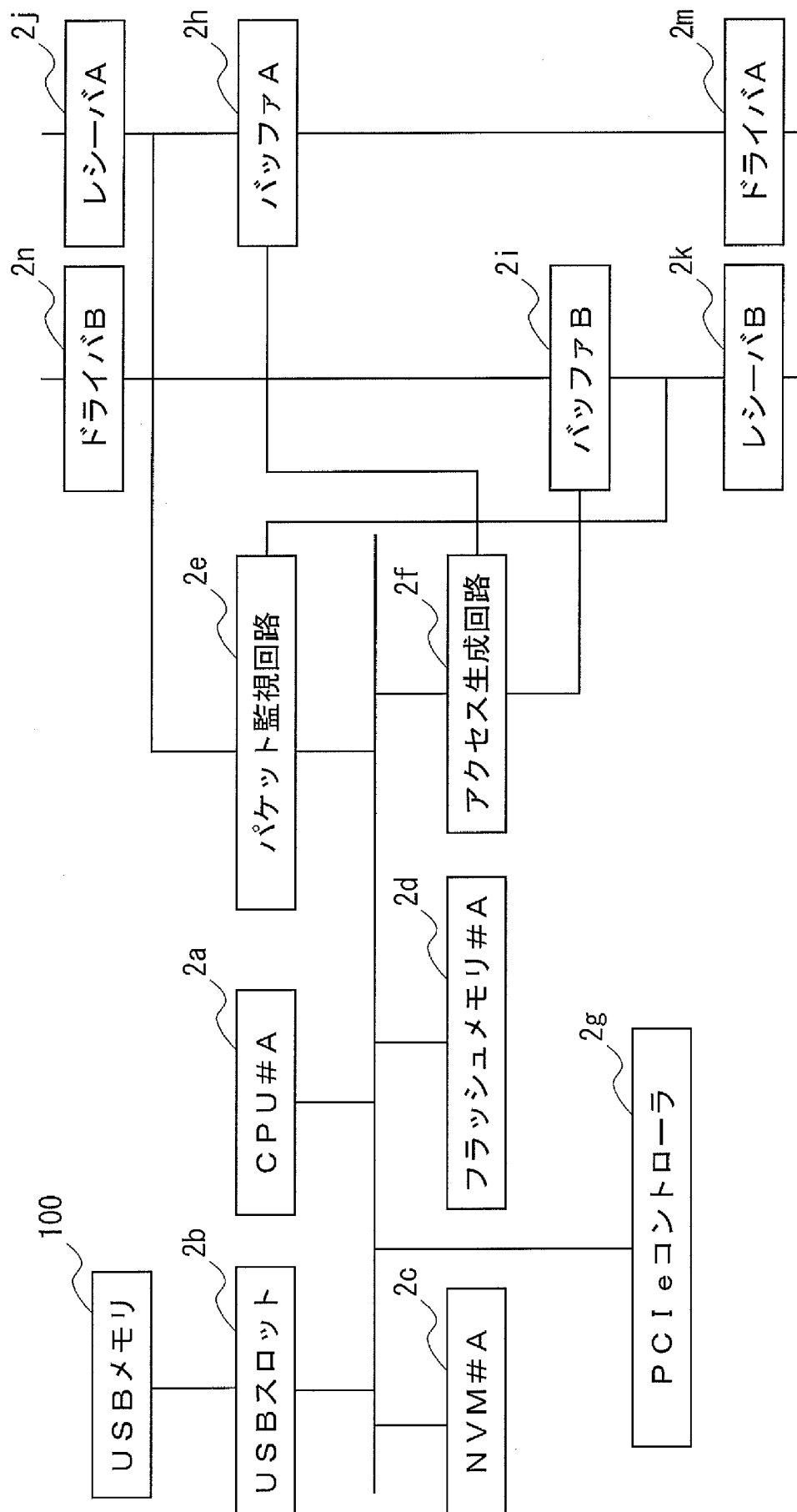
前記情報処理装置が有する判定部に、前記プロセッサが前記デバイスを制御するために出力するシーケンスが前記第1の記憶部に記憶されたシーケンスであるか否かを判定させ、

前記情報処理装置が有する調整部に、前記プロセッサが前記デバイスを制御するために出力するシーケンスが前記第1の記憶部に記憶されたシーケンスであると判定された場合に、前記プロセッサが前記デバイスを制御するために出力するシーケンスを前記第2の記憶部に記憶されたシーケンスを用いて調整させる  
情報処理装置の制御プログラム。

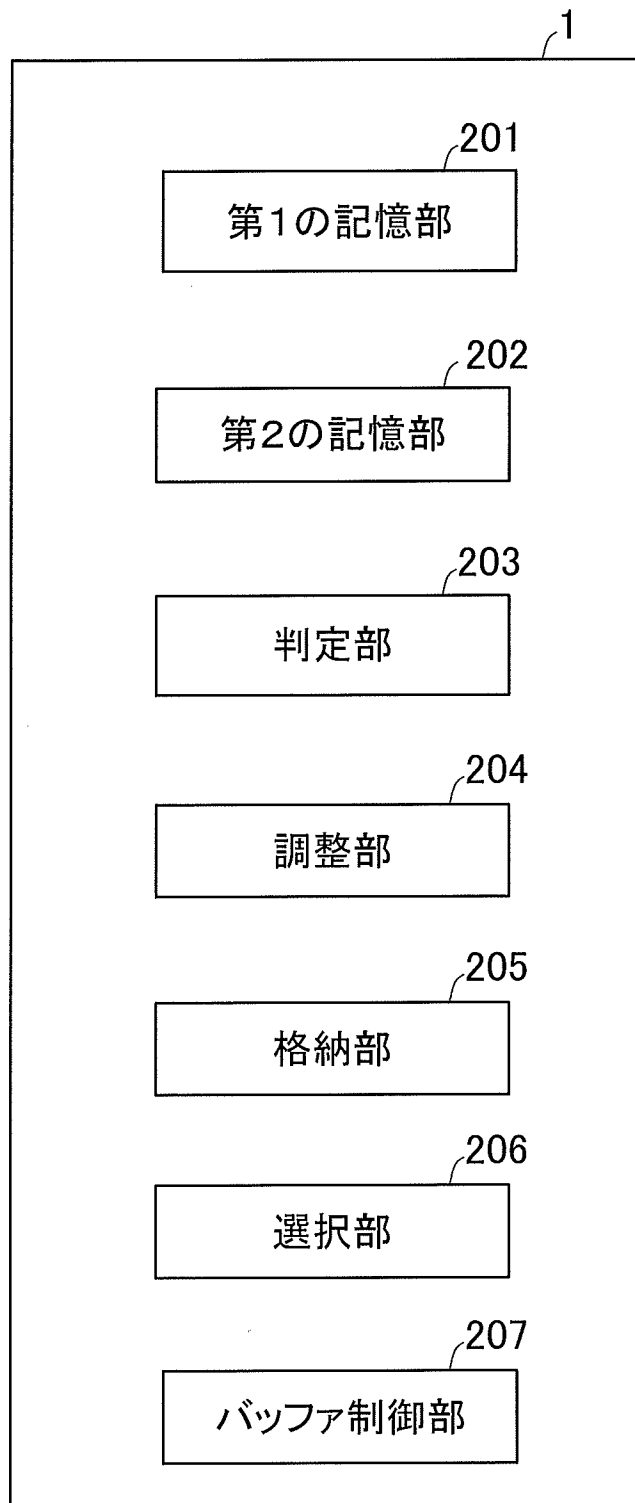
[図1]



[図2]



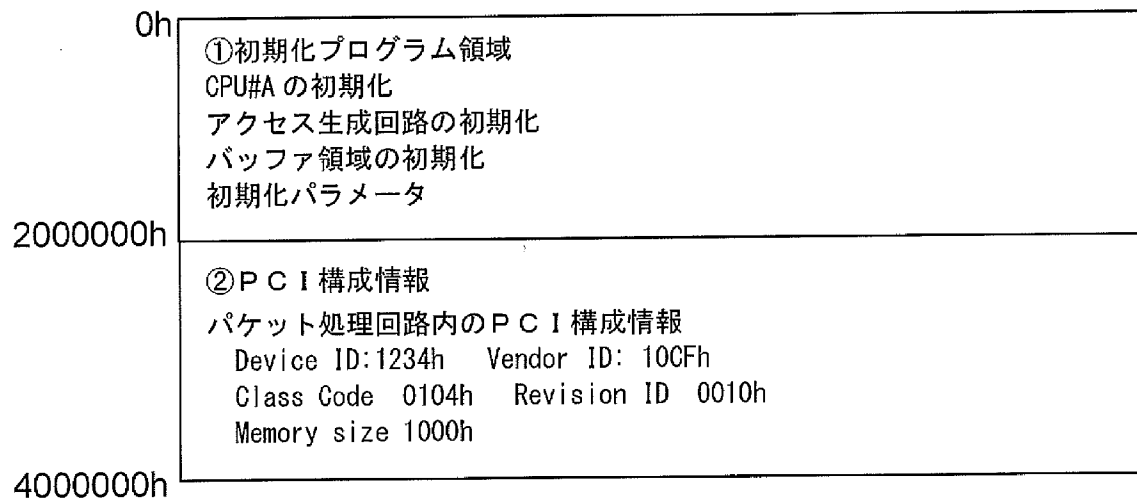
[図3]



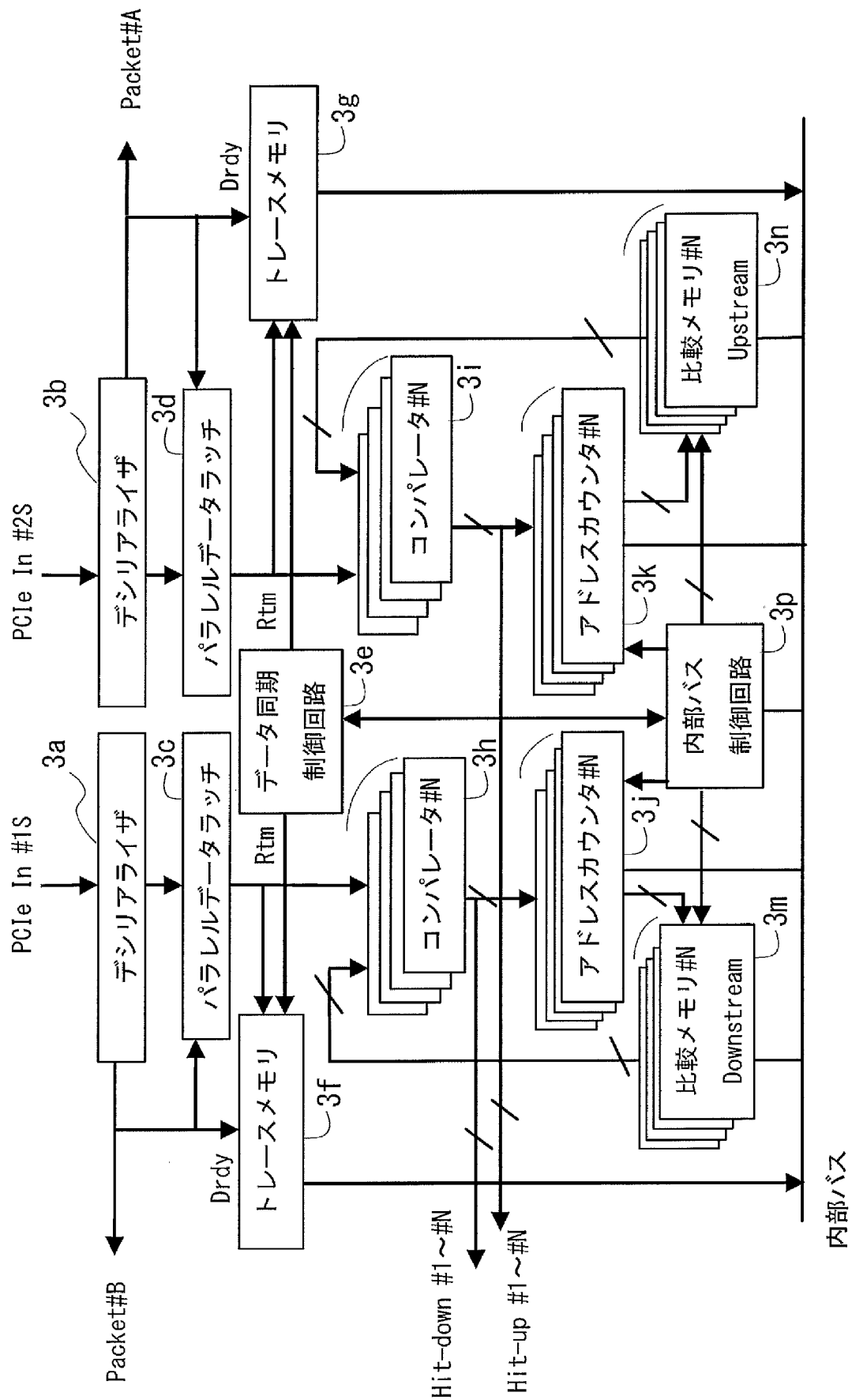
[図4]

|          |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |
|----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0h       | ①プログラム領域<br>CPU#A の実行プログラム<br>パケット処理回路の制御<br>トリガパターンの比較メモリへのコピー<br>アクセス生成回路のパターン生成メモリへのコピー<br>バッファ領域の制御                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |
| 1000000h | ②トリガ／シーケンステーブル(trigger/ sequence table)<br>各トリガ条件は、各比較メモリにて比較される。<br>1000h-1FFFh: トリガ条件設定 1 (trigger setup #1)<br>*X0 レジスタにデータ “AA” を書込みが発生。<br>If “Write X0 AA” then go to sequence #1<br>2000h-2FFFh: シーケンス設定 1 (sequence setup #1)<br>*上記トリガ条件に一致した場合、X1 レジスタに<br>“BB” のデータを追加で書き込む。<br>Add “write X1 BB” sequence” then go to sequence #2<br>3000h-3FFFh: トリガ条件設定 2 (trigger setup #2)<br>*X2 レジスタのデータ “CC” の書込み直後に X3 レジスタ<br>の書込みが発生。<br>If “ X3 write XX after X2 write CC then go to sequence #2<br>4000h-4FFFh: シーケンス設定 2 (sequence setup #2)<br>*バッファ A 内の X2 レジスタ書込みと X3 レジスタ<br>書込みパケットをパージ。<br>Purge 2 packets of trigger in packet stack buffer A.<br>*トレースメモリから X2 レジスタのデータ “CC” 書込シーケンス<br>番号” N” と X3 レジスタの書込み<br>データ “XX” を読み出し。<br>Read sequence number and write data of trigger data in trace<br>memory.<br>*シーケンス番号” N” X3 レジスタにデータ” XX” データ書込み<br>パケットを生成。<br>Generate “write X3 XX” as sequence number N.<br>*10 μs 待機後、シーケンス番号” N+1” X2 レジスタにデー<br>タ” CC” データ書込みパケットを生成。<br>After waiting for 10 μs, Generate “write X2 “CC” as<br>sequence number N+1. |
| 2000000h | ③設定領域テーブル情報<br>0-100h : Program #1 trigger/ sequence table #1,<br>トリガ条件設定 1 (trigger setup #1) 1000h-1FFFh<br>シーケンス設定 1 (sequence #1) 2000h-2FFFh<br>100h-1FFFh : Program #2 trigger/ sequence table #2,<br>トリガ条件設定 2 (trigger setup #2) 3000h-3FFFh<br>シーケンス設定 2 (sequence #2) 4000h-4FFFh                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |
| 3000000h | ④保存ログ領域<br>write address: data 00X1, 12, 00 Y1, Z1, 11A1:CC .... ,                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |
| 4000000h |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |

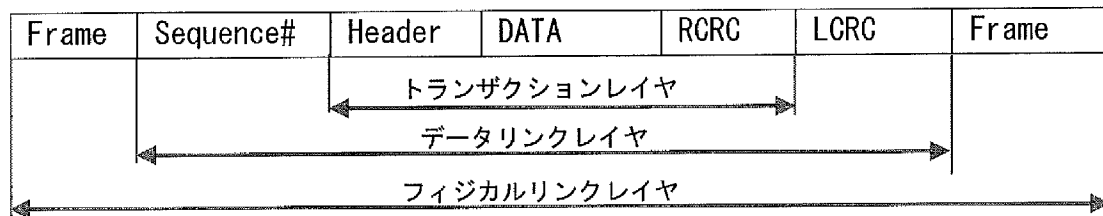
[図5]



[図6]

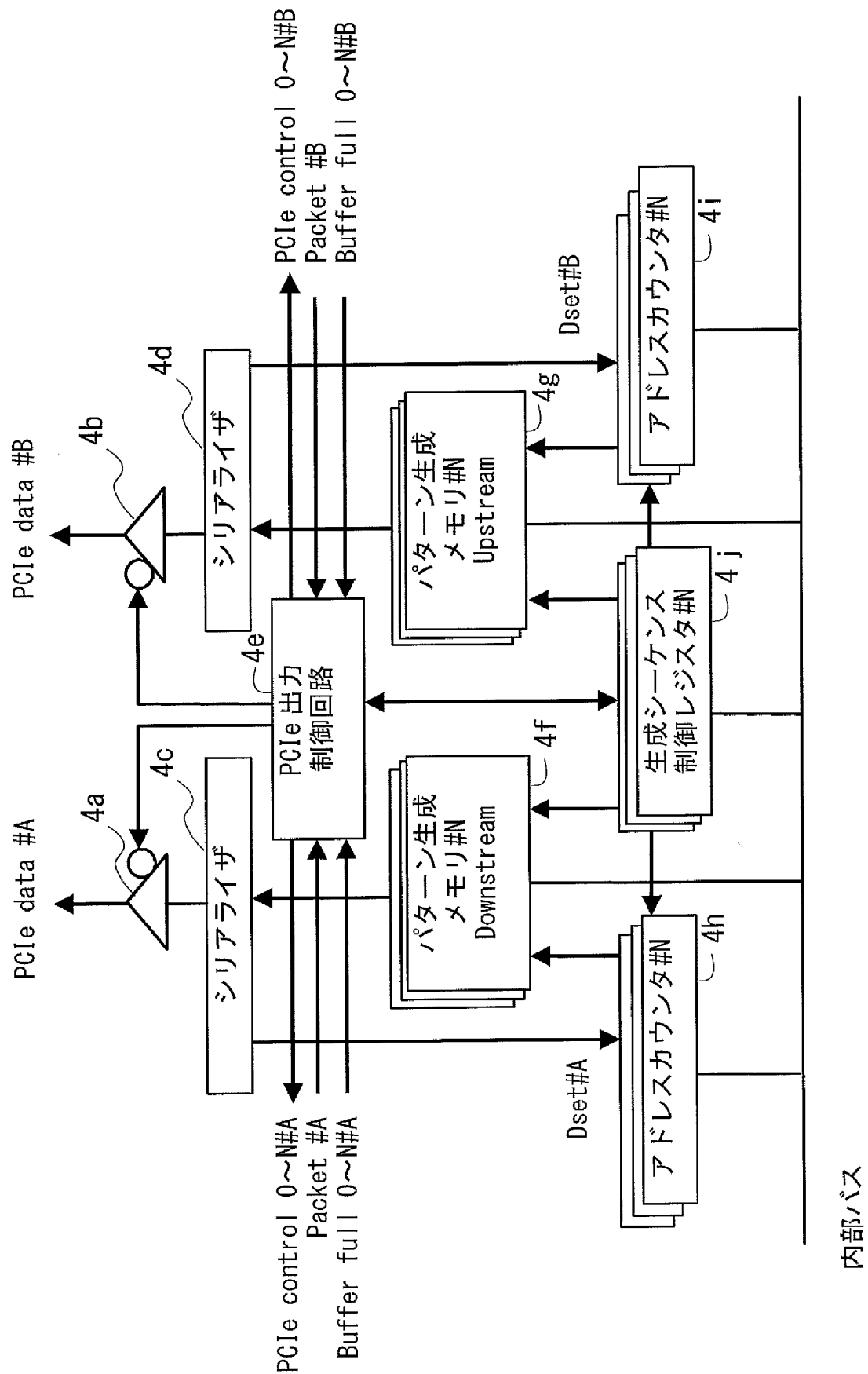


[図7]

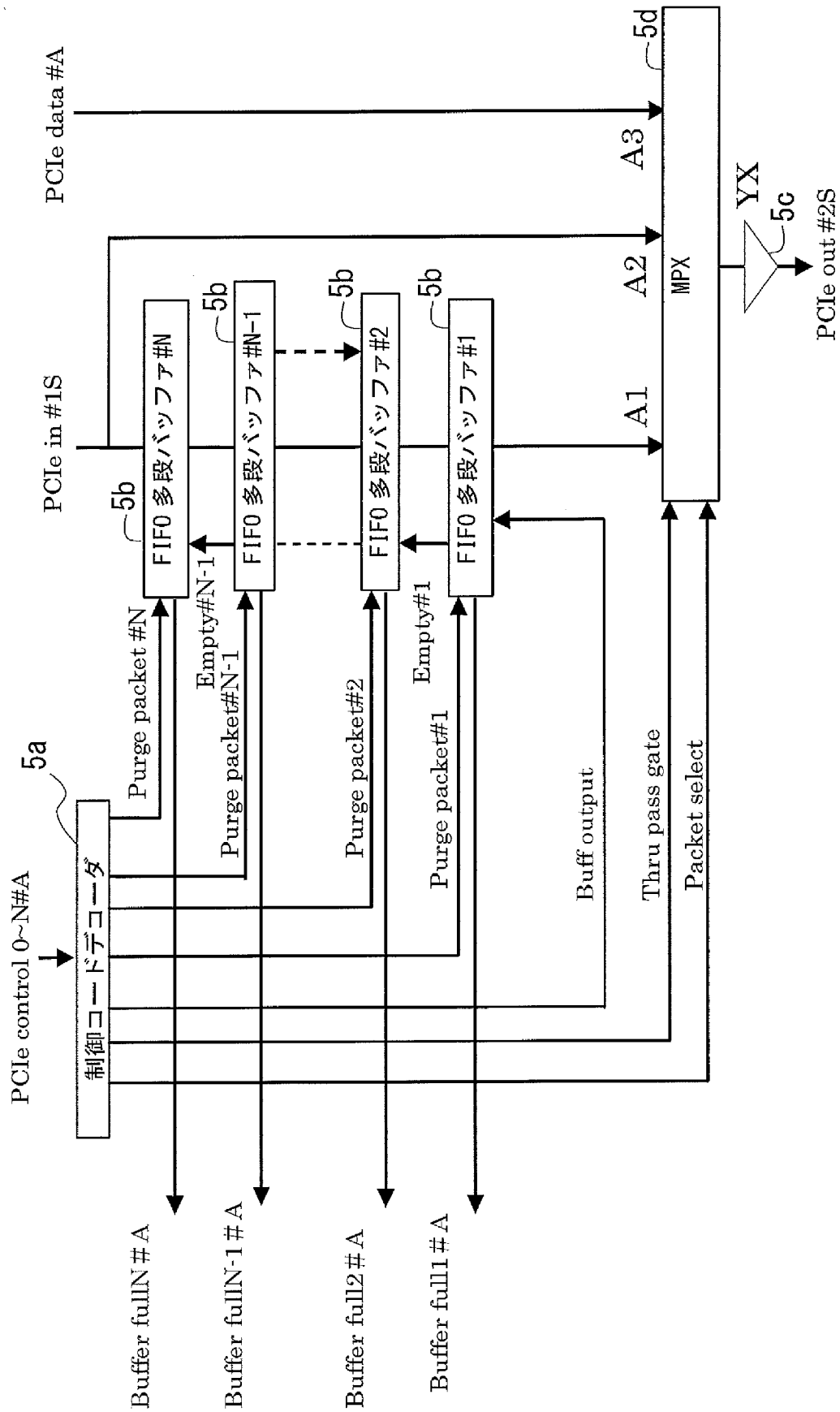


Frame : フレミング情報  
Sequence# : シーケンス番号  
Header : トランザクションタイプ  
Data : 転送データ  
RCRC : トランザクションレイアの CRC 計算コード  
LCRC : データリンクレイアの CRC 計算コード  
Frame : フレミング情報

[図8]



[図9]



[図10]

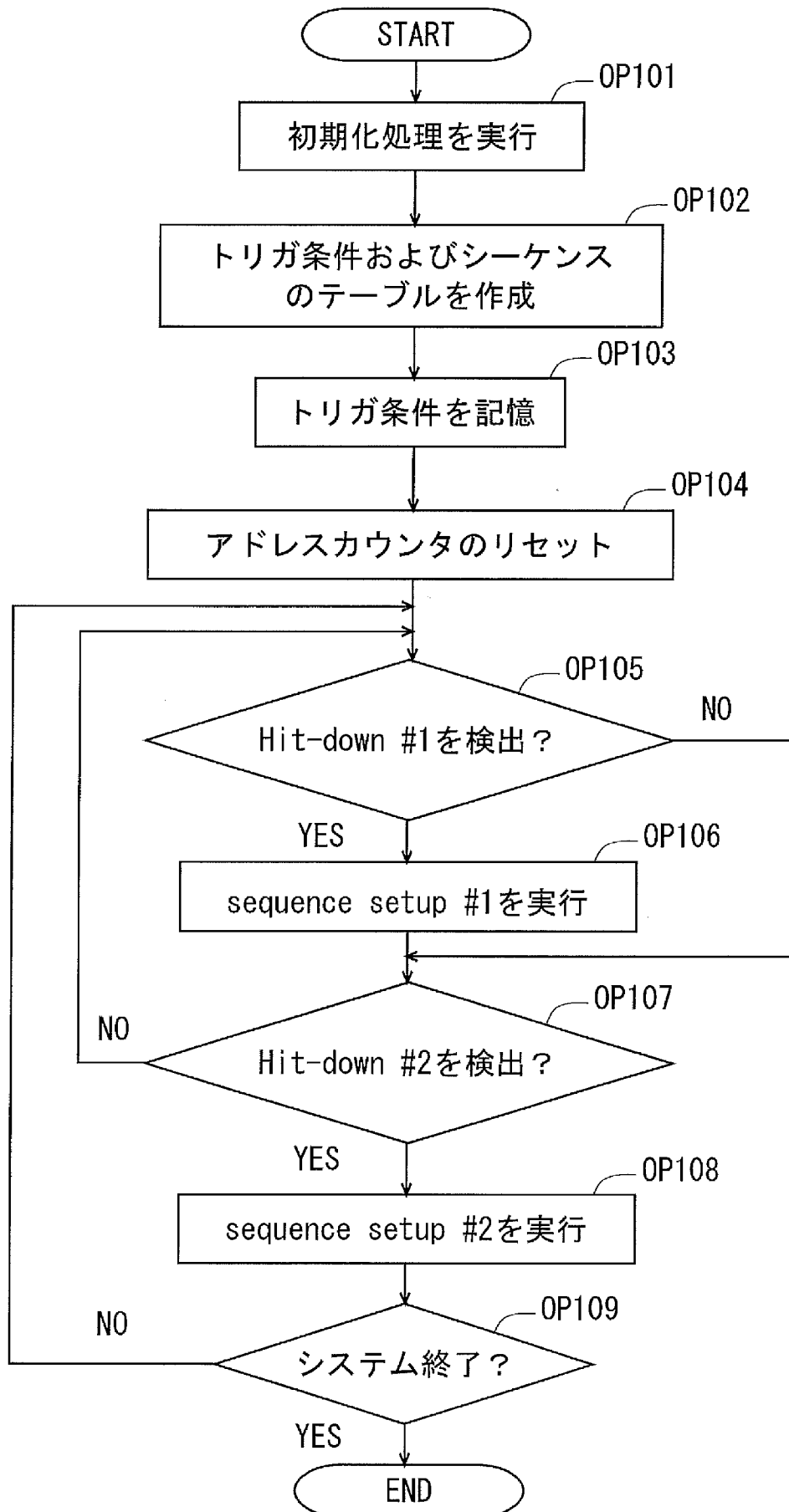
制御コードデコーダの真理値表

|    |                             |   |   |   |   |   |   |   |   |
|----|-----------------------------|---|---|---|---|---|---|---|---|
| 入力 | PCle control 2              | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
|    | PCle control 1              | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
|    | PCle control 0              | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 出力 | Purge packet#X<br>の “1”出力番号 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |

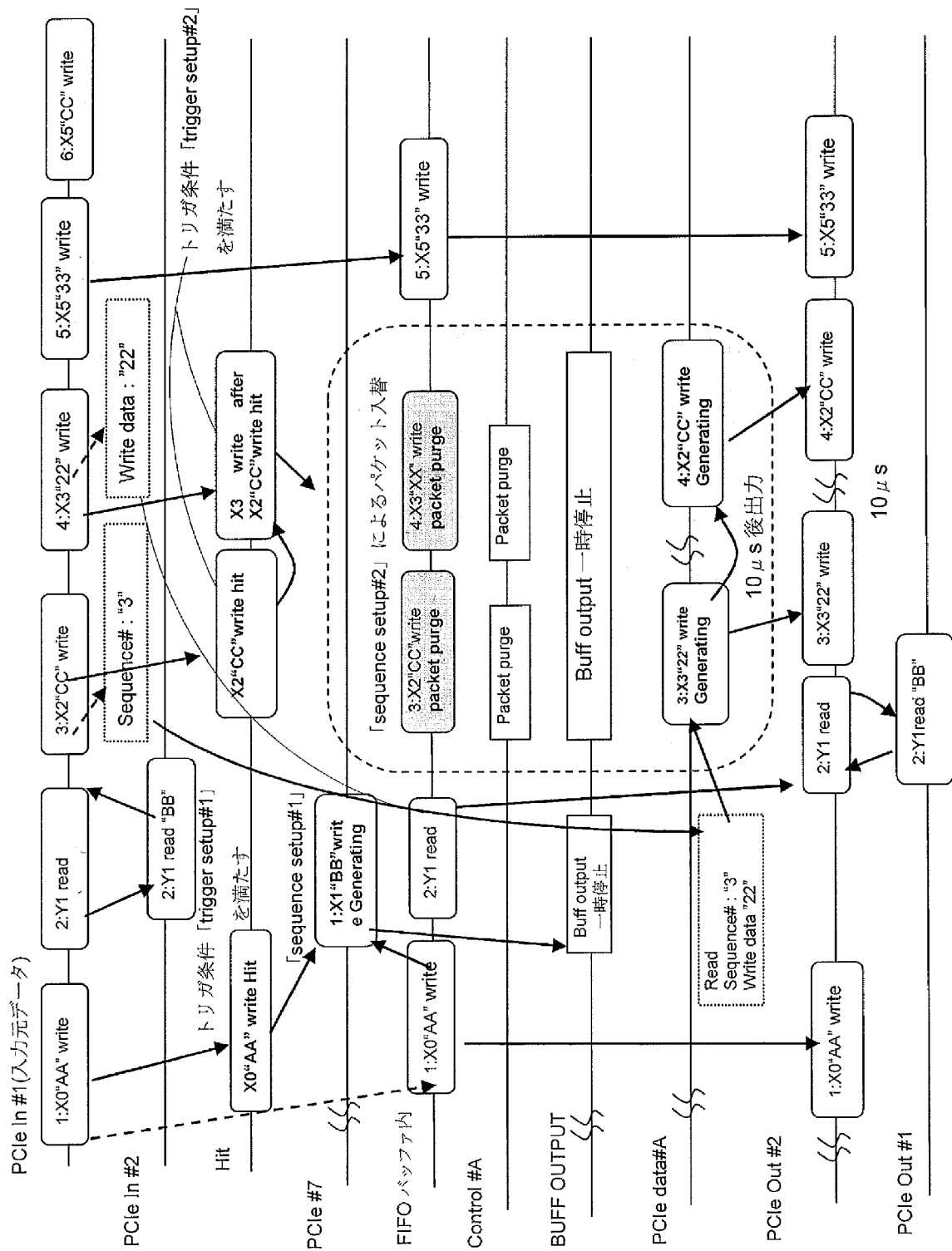
MPX の真理値表

|    |                                |   |    |    |    |
|----|--------------------------------|---|----|----|----|
| 入力 | PCle control 4= Thru pass gate | 0 | 0  | 1  | 1  |
|    | PCle control 3= Packet select  | 0 | 1  | 0  | 1  |
| 出力 | YX                             | 0 | A1 | A2 | A3 |

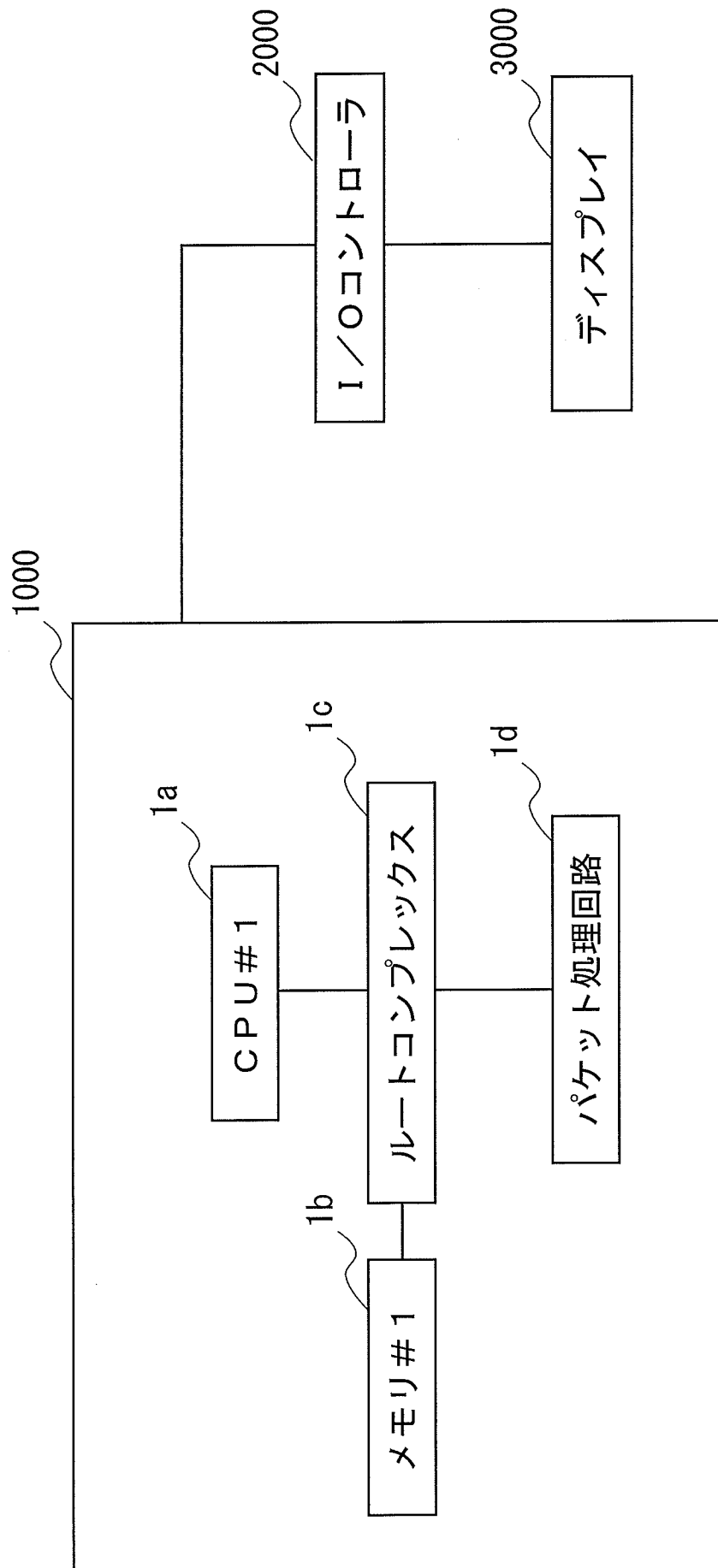
[図11]



[図12]



[図13]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/058972

## A. CLASSIFICATION OF SUBJECT MATTER

G06F11/14(2006.01)i, G06F9/22(2006.01)i, G06F11/00(2006.01)i, G06F13/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F11/14, G06F9/22, G06F11/00, G06F13/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2015 |
| Kokai Jitsuyo Shinan Koho | 1971-2015 | Toroku Jitsuyo Shinan Koho | 1994-2015 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                   | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X<br>Y    | US 2004/0128590 A1 (Michael DERR),<br>01 July 2004 (01.07.2004),<br>paragraphs [0008] to [0011], [0016] to [0025],<br>[0043]; fig. 1 to 2<br>(Family: none)          | 1, 3-7<br>2           |
| Y         | JP 5-35470 A (Matsushita Electric Industrial Co., Ltd.),<br>12 February 1993 (12.02.1993),<br>paragraphs [0017] to [0023], [0061]; fig. 1 to 6, 17<br>& US 5446851 A | 2                     |
| A         | JP 10-124328 A (NEC Corp.),<br>15 May 1998 (15.05.1998),<br>paragraphs [0050] to [0071]; fig. 2, 8 to 11<br>(Family: none)                                           | 1-7                   |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
26 May 2015 (26.05.15)

Date of mailing of the international search report  
09 June 2015 (09.06.15)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2015/058972

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                            | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2004-326594 A (Toshiba Micro-Electronics Corp.),<br>18 November 2004 (18.11.2004),<br>paragraphs [0030] to [0038]; fig. 5 to 6<br>(Family: none)           | 1-7                   |
| A         | JP 5-81014 A (International Business Machines Corp.),<br>02 April 1993 (02.04.1993),<br>paragraphs [0016] to [0022]; fig. 1<br>& US 5212693 A                 | 1-7                   |
| A         | JP 2012-208623 A (Konica Minolta Business Technologies, Inc.),<br>25 October 2012 (25.10.2012),<br>paragraphs [0024] to [0045]; fig. 1 to 9<br>(Family: none) | 1-7                   |

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F11/14(2006.01)i, G06F9/22(2006.01)i, G06F11/00(2006.01)i, G06F13/10(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F11/14, G06F9/22, G06F11/00, G06F13/10

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 5 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 5 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 5 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                          | 関連する<br>請求項の番号 |
|-----------------|--------------------------------------------------------------------------------------------|----------------|
| X<br>Y          | US 2004/0128590 A1 (Michael DERR) 2004.07.01,<br>段落 8 ～ 1 1、1 6 ～ 2 5、4 3、図 1 ～ 2（ファミリーなし） | 1, 3-7<br>2    |
| Y               | JP 5-35470 A（松下電器産業株式会社）1993.02.12,<br>段落 1 7 ～ 2 3、6 1、図 1 ～ 6、1 7 & US 5446851 A         | 2              |
| A               | JP 10-124328 A（日本電気株式会社）1998.05.15,<br>段落 5 0 ～ 7 1、図 2、8 ～ 1 1（ファミリーなし）                   | 1-7            |

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

2 6 . 0 5 . 2 0 1 5

国際調査報告の発送日

0 9 . 0 6 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）  
郵便番号 1 0 0 - 8 9 1 5  
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

三坂 敏夫

5 B

4 1 7 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 4 5

## C (続き) . 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                         | 関連する<br>請求項の番号 |
|-----------------|-------------------------------------------------------------------------------------------|----------------|
| A               | JP 2004-326594 A (東芝マイクロエレクトロニクス株式会社)<br>2004.11.18, 段落30～38、図5～6 (ファミリーなし)               | 1-7            |
| A               | JP 5-81014 A (インターナショナル・ビジネス・マシーンズ・<br>コーポレーション) 1993.04.02, 段落16～22、図1<br>& US 5212693 A | 1-7            |
| A               | JP 2012-208623 A (コニカミノルタビジネステクノロジーズ<br>株式会社) 2012.10.25, 段落24～45、図1～9<br>(ファミリーなし)       | 1-7            |