

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 15 日(15.11.2012)



(10) 国際公開番号
WO 2012/153370 A1

- (51) 国際特許分類:
H01L 33/32 (2010.01)
- (21) 国際出願番号: PCT/JP2011/002657
- (22) 国際出願日: 2011 年 5 月 12 日(12.05.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について):
ウェーブスクエア, インコーポレイテッド
(Wavesquare Inc.) [KR/KR]; 449863 ギョンギド
ヨンインシティ チェオイングバエカム
ミョオン ゴアンリー 633-2 Gyeong-
gi-Do (KR). DOWAエレクトロニクス株式会社
(DOWA Electronics Materials Co., Ltd.) [JP/JP]; 〒
1010021 東京都千代田区外神田4丁目14番1
号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): ▲チョ▼
明煥(CHO, Meoung Whan) [KR/KR]; 449863 ギョ
ンギドー ヨンインシティ チェオイング

バエカムミョオン ゴアンリー 633-2
ウェーブスクエア, インコーポレイテッド内
Gyeonggi-Do (KR). 李 錫雨 (LEE, Seog Woo)
[KR/KR]; 449863 ギョンギドー ヨンインシ
ティ チェオイング バエカムミョオン
ゴアンリー 633-2 ウェーブスクエア,
インコーポレイテッド内 Gyeonggi-Do (KR). 張
弼國 (JANG, Pil Guk) [KR/KR]; 449863 ギョ
ンギドー ヨンインシティ チェオイング
バエカムミョオン ゴアンリー 633-2
ウェーブスクエア, インコーポレイテッド内
Gyeonggi-Do (KR). 鳥羽 隆一 (TOBA, Ryuichi)
[JP/JP]; 〒1010021 東京都千代田区外神田4-1
4-1 DOWAエレクトロニクス株式会社内
Tokyo (JP). 門脇 嘉孝 (KADOWAKI, Yoshitaka)
[JP/JP]; 〒1010021 東京都千代田区外神田4-1
4-1 DOWAエレクトロニクス株式会社内
Tokyo (JP).

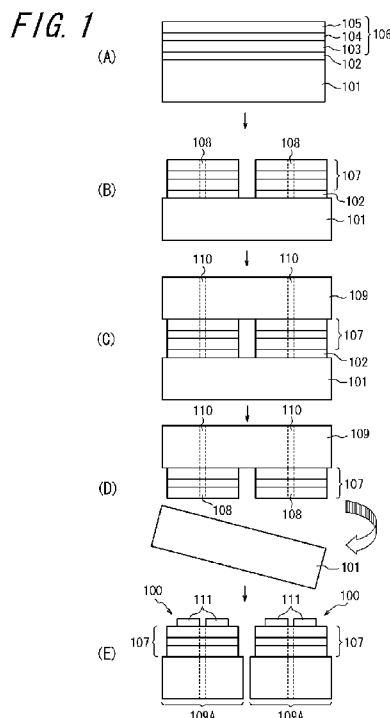
- (74) 代理人: 杉村 憲司(SUGIMURA, Kenji); 〒1000013
東京都千代田区霞が関三丁目2番1号 霞が関
コモンゲート西館36階 Tokyo (JP).

[続葉有]

(54) Title: GROUP III NITRIDE SEMICONDUCTOR VERTICAL CONFIGURATION LED CHIP AND METHOD OF MANUFACTURING SAME

(54) 発明の名称: III族窒化物半導体縦型構造LEDチップおよびその製造方法

[図1]



(57) Abstract: The present invention provides a more efficient method of manufacturing a high-quality group III nitride semiconductor vertical structure LED chip, with which cracks which occur in the light emission structure unit are alleviated. This method of manufacturing a group III nitride semiconductor vertical structure LED chip comprises: a first step of forming a light emitting structure layered body in which a first conducting group III nitride semiconductor layer, a light emission layer, and a second conducting group III nitride semiconductor layer which differs from the first conducting layer are stacked in this order upon a growth substrate, with liftoff layers interposed therebetween; a second step of forming a plurality of isolated light emitting structure units by removing a portion of the light emitting structure layered body such that a portion of the growth substrate is exposed; a third step of forming conductive support bodies which have lower part electrodes and integrally support the plurality of light emitting structure units; a fourth step of lifting off the growth substrate from the plurality of light emitting structure units by using a chemical liftoff method to remove the liftoff layer; and a fifth step of fragmenting into a plurality of LED chips having the light emitting structure units which are each supported by the conductive support bodies by separating the conductive support bodies between the light emitting structure units. Prior to the fourth step, first through holes are formed in the center regions of the light emitting structure units which pass through at least to expose the liftoff layers. An etching fluid is supplied via the first through holes in the fourth step.

(57) 要約:

[続葉有]



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

本発明は、発光構造部に生じるクラックを抑制した、高品質の III 族窒化物半導体縦型構造 LED チップをより効率的に製造する方法を提供する。本発明の III 族窒化物半導体縦型構造 LED チップの製造方法は、成長用基板の上にリフトオフ層を介して、第 1 伝導型の III 族窒化物半導体層、発光層および前記第 1 伝導型とは異なる第 2 伝導型の III 族窒化物半導体層を順次積層して発光構造積層体を形成する第 1 工程と、前記成長用基板の一部が露出するよう、前記発光構造積層体の一部を除去することで、独立した複数の発光構造部を形成する第 2 工程と、下部電極を有し、前記複数の発光構造部を一体支持する導電性サポート体を形成する第 3 工程と、ケミカルリフトオフ法を用いて、前記リフトオフ層を除去することで、前記成長用基板を前記複数の発光構造部から剥離する第 4 工程と、前記発光構造部間で前記導電性サポート体を分離することにより、各々が導電性サポート体に支持された前記発光構造部を有する複数の LED チップに個片化する第 5 工程と、を有し、前記第 4 工程より前に、前記発光構造部の中央領域に、少なくとも前記リフトオフ層が露出するまで貫通する第 1 貫通孔を形成し、前記第 4 工程で該第 1 貫通孔からエッチング液を供給することを特徴とする。

明 細 書

発明の名称：

III族窒化物半導体縦型構造LEDチップおよびその製造方法

技術分野

[0001] 本発明は、III族窒化物半導体層を積層した縦型構造LEDチップおよびその製造方法に関する。

背景技術

[0002] 一般に、III族元素とV族元素との化合物からなるIII-V族半導体は、発光ダイオード(LED)等のデバイスに広く用いられている。

[0003] III族元素としてAl, Ga, In等を用い、V族元素としてNを用いたIII族窒化物半導体は、高融点で窒素の解離圧が高くバルク単結晶成長が困難であり、大口径で安価な導電性単結晶基板が無いという理由から、サファイア基板上に成長させることにより形成するのが一般的である。

[0004] しかしながら、サファイア基板は絶縁性であって電流が流れないため、従来は、サファイア基板上に順に成長させたn型のIII族窒化物半導体層、活性層(発光層)およびp型のIII族窒化物半導体層からなる発光構造積層体の一部を除去してn型のIII族窒化物半導体層を露出させ、この露出させたn型のIII族窒化物半導体層およびp型のIII族窒化物半導体層の上にn型電極およびp型電極をそれぞれ配置して、電流を横方向に流す横型構造を採用するのが通常であった。

[0005] これに対し、近年、サファイア基板上にIII族元素(例えばAl, Gaなど)以外の特定の元素からなるバッファ層を形成後、発光構造積層体を形成し、この発光構造積層体を導電性のサポート体で支持した後、バッファ層を化学的なエッチングにより選択的に溶解してサファイア基板を剥離(リフトオフ)し、これらサポート体と発光構造積層体を一対の電極で挟むことで、縦型構造のLEDチップを得る技術が研究されている(特許文献1参照)。なお、ここで言うバッファ層は、発光構造積層体のエピタキシャル成長のため

のバッファ層であるとともに、サファイア基板から発光構造積層体を剥離するためのリフトオフ層の役割も兼ねるものである。

先行技術文献

特許文献

[0006] 特許文献1：特許第4 1 7 2 6 5 7号公報

発明の概要

発明が解決しようとする課題

[0007] LEDなどの縦型構造の窒化物半導体チップを作製するには、III族以外の金属や金属窒化物からなるリフトオフ層をエッチングすることでサファイア基板からエピタキシャル層を剥離する一般的なケミカルリフトオフ法や、エッチング中に紫外光等の光を照射し、リフトオフ層を活性化させながらエッチングを行うフォトケミカルリフトオフ法がある。これらは、特定のエッチング溶液に浸漬して、リフトオフ層をエッチングによって溶解することにより成長用基板からエピタキシャル層をリフトオフする方法であり、本明細書において「ケミカルリフトオフ法」と総称される。なお、エピタキシャル層から成長用基板をリフトオフするという表現でも良い。

[0008] ここで、エッチングされるリフトオフ層は数nm～数10nm程度の厚さしかなく、数インチの面積の基板とエピタキシャル層との間の隙間にエッチング溶液を供給することは容易ではなく、全てのエッチングが完了するのに数日かかる場合があった。

[0009] また、本発明者らは、サファイア基板上に形成したIII族窒化物半導体からなる発光構造積層体をドライエッチングにより基盤の目状にサファイア基板まで溝加工を行い、発光構造積層体を複数の独立した発光構造部とする一次分離を行った。次いで、これらの発光構造部を一体支持する基板形状の導電性サポート体を形成し、その後、ケミカルリフトオフ法でサファイア基板を剥離させた。リフトオフ後の個々の発光構造部は、依然としてサポート体に一体的に支持されている。すると、リフトオフされた個々の発光構造部にか

なりの比率でクラックが導入されることが判明した。クラックは、サポート体に支持された発光構造部が、リフトオフでサファイア基板との結合から開放される際に入るようである。

[0010] このようなクラック発生は研究開発途上ということもあり、特許文献や学術文献などによって公表はされていないが、縦型構造のIII族窒化物半導体LEDチップの量産化のためには解決すべき重要課題である。

[0011] そこで本発明は、上記課題に鑑み、発光構造部に生じるクラックを抑制した、高品質のIII族窒化物半導体縦型構造LEDチップ、および該LEDチップをより効率的に製造する方法を提供することを目的とする。

課題を解決するための手段

[0012] 上記目的を達成するため、本発明の要旨構成は以下のとおりである。

(1) 成長用基板の上にリフトオフ層を介して、第1伝導型のIII族窒化物半導体層、発光層および前記第1伝導型とは異なる第2伝導型のIII族窒化物半導体層を順次積層して発光構造積層体を形成する第1工程と、

前記成長用基板の一部が露出するよう、前記発光構造積層体の一部を除去することで、独立した複数個の発光構造部を形成する第2工程と、

下部電極を有し、前記複数個の発光構造部を一体支持する導電性サポート体を形成する第3工程と、

ケミカルリフトオフ法を用いて、前記リフトオフ層を除去することで、前記成長用基板を前記複数個の発光構造部から剥離する第4工程と、

前記発光構造部間で前記導電性サポート体を分離することにより、各々が導電性サポート体に支持された前記発光構造部を有する複数個のLEDチップに個片化する第5工程と、を有し、

前記第4工程より前に、前記発光構造部の中央領域に、少なくとも前記リフトオフ層が露出するまで貫通する第1貫通孔を形成し、前記第4工程で該第1貫通孔からエッチング液を供給することを特徴とするIII族窒化物半導体縦型構造LEDチップの製造方法。

[0013] (2) 前記第3工程において、前記導電性サポート体における前記発光構

造部の中央領域に位置する部分に、該導電性サポート体を貫通して前記発光構造部の貫通孔と連通する第2貫通孔を設ける上記（1）に記載のIII族窒化物半導体縦型構造LEDチップの製造方法。

[0014] （3）前記第2工程において、前記発光構造部の横断面の形状を、コーナーに丸みを有する形状とする上記（1）または（2）に記載のIII族窒化物半導体縦型構造LEDチップの製造方法。

[0015] （4）前記第2工程において、前記発光構造部の横断面の形状を、コーナーに丸みを有する4角形状とする上記（3）に記載のIII族窒化物半導体縦型構造LEDチップの製造方法。

[0016] （5）前記発光構造部のコーナーの曲率半径をR、前記発光構造部がコーナーに丸みを有しない場合の前記4角形状の一辺の長さをL₀として、 R/L_0 が0.1～0.5の範囲内である上記（4）に記載のIII族窒化物半導体縦型構造LEDチップの製造方法。

[0017] （6）前記第1貫通孔および／または第2貫通孔の直径が、 $20\mu\text{m}$ 以上である上記（1）～（5）のいずれか1項に記載のIII族窒化物半導体縦型構造LEDチップの製造方法。

[0018] （7）前記第3工程は、接合法、湿式成膜法、乾式成膜法のいずれかを用いて行われる上記（1）～（6）のいずれか1項に記載のIII族窒化物半導体縦型構造LEDチップの製造方法。

[0019] （8）上記（1）～（7）のいずれか1項に記載の方法により製造された縦型構造LEDチップであって、前記発光構造部の中央領域に第1貫通孔を有することを特徴とするIII族窒化物半導体縦型構造LEDチップ。

[0020] （9）下部電極を有する導電性サポート体と、該導電性サポート体上に設けられた第2伝導型III族窒化物半導体層、該第2伝導型III族窒化物半導体層の上に設けられた発光層、および、該発光層の上に設けられた前記第2伝導型とは異なる伝導型の第1伝導型III族窒化物半導体層を有する発光構造部と、該発光構造部上に設けられた上部電極と、を有し、

前記発光構造部の中央領域に、前記発光構造部および前記サポート部を貫

通する貫通孔を有することを特徴とするIII族窒化物半導体縦型構造LEDチップ。

発明の効果

- [0021] 本発明によれば、発光構造部の中央領域に少なくともリフトオフ層が露出するまで貫通する第1貫通孔を形成し、この第1貫通孔からエッチング液を供給するようにしたため、発光構造部に生じるクラックを抑制した高品質のIII族窒化物半導体縦型構造LEDチップをより効率的に製造することが可能となった。

図面の簡単な説明

- [0022] [図1] (A) ~ (E) は、本発明の一実施形態にかかるIII族窒化物半導体縦型構造LEDチップ100の製造方法のフローを模式的に示したものである。
- [図2] (A) は、本発明の一実施形態にかかる製造方法の過程におけるリフトオフ途中のウェハの模式上面図（導電性サポート体109を除いた上面視）であり、(B) は、(A) の状態のI-I断面図である。
- [図3] 本発明の一実施形態にかかるIII族窒化物半導体縦型構造LEDチップ100の模式上面図である。
- [図4] (A) ~ (D) は、本発明の一実施形態にかかる製造方法の過程におけるエッチングの進行過程を示す、個片化前のLEDチップを上面から見た写真である。
- [図5] 図4のエッチング完了後、LEDチップの発光構造部のコーナーに生じたクラックを示す写真である。
- [図6] 本発明の他の実施形態にかかる製造方法において、発光構造部の横断面の形状を、コーナーに丸みを有する形状とする場合を説明するための、発光構造部の模式図である。
- [図7] 実施例における R/L_0 とクラック発生率との関係を示すグラフである。
- [図8] 実施例における貫通孔の直径と1時間エッチング径との関係を示すグラ

フである。

[図9] (A) ~ (F) は、第1の比較例にかかる縦型LEDチップ200の製造方法のフローを模式的に示したものである。

[図10] 個片化する前の複数の発光構造部が形成されたウェハ (図9 (E) の状態) の模式上面図である。

[図11] (A) は、図9の製造方法でLEDチップの発光構造部に生じたクラックを示す写真であり、(B) は、第3の比較例にかかる製造方法でLEDチップの発光構造部に生じたクラックを示す写真である。

[図12] 第2の比較例にかかる縦型LEDチップ300の製造方法において、個片化する前の複数の発光構造部が形成されたウェハの模式上面図である。

[図13] (A) は、第3の比較例にかかる縦型LEDチップ400の製造方法において、個片化する前の複数の発光構造部が形成されたウェハの模式上面図であり、(B) は、(A) の破線に沿って個片化した1つのLEDチップ400の模式側面図である。

[図14] (A) は、第4の比較例にかかる縦型LEDチップ500の製造方法において、個片化する前の複数の発光構造部が形成されたウェハの模式上面図であり、(B) は、(A) の破線に沿って個片化した1つのLEDチップ500の模式側面図である。

発明を実施するための形態

[0023] 以下、図面を参照しつつ本発明をより詳細に説明する。なお、本明細書において、本発明に従う縦型LEDチップと比較例の縦型LEDチップとで共通する構成要素には、原則として下2桁が同一の参照番号を付し、説明は省略する。また、LEDチップの模式断面図においては、説明の便宜上、リフトオフ層および発光構造積層体を実状とは異なる比率で誇張して示す。

[0024] 本発明の一実施形態にかかるIII族窒化物半導体縦型構造LEDチップ (以下、単に「縦型LEDチップ」という。) 100の製造方法は、図1に示すように、成長用基板101の上にリフトオフ層102を介して、第1伝導型のIII族窒化物半導体層103、発光層104および前記第1伝導型とは異なる

る第2伝導型のIII族窒化物半導体層105を順次積層して発光構造積層体106を形成する第1工程(図1(A))と、成長用基板101の一部が露出するよう、発光構造積層体106の一部を除去することで、例えば島状に独立した複数個の発光構造部107を形成する第2工程(図1(B))と、下部電極を有し、複数個の発光構造部107を一体支持する導電性サポート体109を形成する第3工程(図1(C))と、ケミカルリフトオフ法を用いてリフトオフ層102を除去することで、成長用基板101を複数個の発光構造部107から剥離する第4工程(図1(D))と、発光構造部107間で導電性サポート体109を切断等により分離することにより、各々が切断後の導電性サポート体109Aに支持された発光構造部107を有する複数個のLEDチップ100に個片化する第5工程(図1(E))と、を有し、第4工程よりも前の図1(B)に示す第2工程において、発光構造部107の中央領域に、少なくともリフトオフ層102が露出するまで(図1では成長用基板101まで)貫通する第1貫通孔108を形成し、図1(D)に示す第4工程では、第1貫通孔108からエッチング液を供給し、リフトオフ層102をその中央部から外周部に向けて選択エッチングすることを特徴とする。また、図1(C)に示す第3工程では、導電性サポート体109における発光構造部107の中央領域に位置する部分に、この導電性サポート体109を貫通して発光構造部107の貫通孔108と連通する第2貫通孔110を設ける。なお、図1(E)に示すように、第4工程(剥離工程)の後に、上部電極111を発光構造部107の剥離面側に形成する工程を具えることができる。

- [0025] 本発明者らは、第1貫通孔108からエッチング液を供給して、リフトオフ層102をその中央部から外周部に向けて選択エッチングすることにより、発光構造部107に生じるクラックを十分に抑制することができることを見出した。また、この剥離によれば、エッチングに要する時間を短縮化でき、縦型LEDチップをより効率的に製造することが可能となった。

[0026] 以下、比較例にかかる技術との対比において、本発明の技術的意義を説明する。

[0027] (第1の比較例)

図9は、第1の比較例にかかる縦型LEDチップ200の製造方法のフローを模式的に示したものである。この製造方法は、成長用基板201の上に取りフトオフ層202を介して、第1伝導型のIII族窒化物半導体層203、発光層204および前記第1伝導型とは異なる第2伝導型のIII族窒化物半導体層205を順次積層して発光構造積層体206を形成する第1工程(図9(A))と、成長用基板201の一部が露出するように、発光構造積層体206の一部を除去することで、独立した複数個の発光構造部207を形成する第2工程(図9(B))と、下部電極を兼ね、複数個の発光構造部207を一体支持する導電性サポート体209を形成する第3工程(図9(C))と、ケミカルリフトオフ法を用いてリフトオフ層202を除去することで、成長用基板201を複数個の発光構造部207から剥離する第4工程(図9(D))と、上部電極211を発光構造部107の剥離面側に形成する工程と(図9(E))と、発光構造部207間で導電性サポート体209を切断等により分離することにより、各々が切断後の導電性サポート体209Aに支持された発光構造部207を有する複数個のLEDチップ200に個片化する第5工程(図1(E))と、を有する。図10に示すように、発光構造部207の横断面の形状は正方形である。また、発光構造部207の中央領域には貫通孔がなく、サポート体209のうち発光構造部207の間に位置する部分にも特にエッチング供給口となる貫通孔を設けていない。そのため、第4工程ではリフトオフ層202の外周部からエッチングが進行する。図10は、個片化する前の複数の発光構造部が形成されたウェハ(図9(E)の状態)の模式上面図であり、破線に沿って個片化を行う。

[0028] 本発明者らの検討によると、この方法でリフトオフを行った後の個々の発光構造部にかなりの比率でクラックが導入されることが判明した。図11(A)は、この比較例に従ってリフトオフを実際に行ったときにクラックが導

入された状況を上面から光学顕微鏡にて観察したものである。発光構造部 207 の一辺は $1000\ \mu\text{m}$ である。コーナー近傍から中央部に伸展する X 型のクラック帯が生じているのが分かる。（後述の比較例 1 であり、クラックの発生率は 95.5% であった。）このような状態に至れば不良品として扱われ、歩留まり、コスト、生産性の面で大問題である。また、このような中央部へ向かって伸展するクラックは、一辺が $500\ \mu\text{m}$ 以上の大型チップサイズの発光構造部に、より顕著に発生する。

[0029] このようなコーナーから伸展するクラックが生じる理由は、成長用基板 201 を発光構造部 207 から剥離する際に、リフトオフ層の溶解フロント部で成長用基板 201 と発光構造部 207 ならびに接続したサポート 209 間の応力が発光構造部 207 の溶解フロント部のコーナー部近傍に集中するといった応力分布に関係していると考えられる。そして、クラックは、発光構造部 207 がリフトオフで成長用基板 201 との結合から開放される際に入るようである。また、この方法では、リフトオフ層 202 の外周部からエッチングが進行するため、剥離完了までに非常に時間がかかるという問題もある。

[0030] 第 1 の比較例に生じるこのようなクラックを抑制するべく、本発明者らは以下に説明する第 2 ～第 4 の比較例を検討した。

[0031] （第 2 の比較例）

図 12 は、第 2 の比較例にかかる縦型 LED チップ 300 の製造方法において、個片化する前の複数の発光構造部が形成されたウェハの模式上面図である。この方法では、独立した複数の発光構造部 307 を形成する工程において、発光構造部 307 の横断面形状を円形にした点以外、第 1 の比較例と同様である。すなわち、発光構造部 307 の中央領域には貫通孔がなく、サポート体 309 のうち発光構造部 307 の間に位置する部分にも特にエッチング供給口となる貫通孔を設けていない。そのため、第 4 工程ではリフトオフ層（図示せず）の外周部からエッチングが進行する。図 12 において、符号 311 は上部電極である。また、破線に沿って個片化を行う。

[0032] 本発明者らの検討によると、この方法でリフトオフを行った後の個々の発光構造部には、コーナーから中央に伸展するクラックは有効に抑制することができた。これは、発光構造部の形状を円形にしたことにより、エッチング途中でコーナーに応力が集中する（外周部からのエッチング進行のベクトル同士が衝突する）のを回避したためと考えられる。これらは、国際特許出願（PCT/JP2009/069230）にて本発明者らが記載している。しかしながら、その後、発光構造部の内部に新たに点状のクラックがかなりの比率で生じることが判明した。また、この方法でも、剥離完了までに非常に時間がかかるという問題は依然残る。

[0033] （第３の比較例）

図１３（Ａ）は、第３の比較例にかかる縦型ＬＥＤチップ４００の製造方法において、個片化する前の複数の発光構造部４０７が形成されたウェハの模式上面図であり、図１３（Ｂ）は、（Ａ）の破線に沿って個片化した１つのＬＥＤチップ４００の模式側面図である。この方法では、サポート体４０９のうち発光構造部４０７の間に位置する部分に切断ラインに沿った貫通溝４１２を設けた以外、第２の比較例と同様である。すなわち、発光構造部４０７の横断面形状は円形であり、その中央領域には貫通孔がない。そして、貫通溝４１２からエッチング液が供給可能なので、第４工程では、個片化前の各ＬＥＤチップの外周部からエッチングが進行する。図１３において、符号４１１は上部電極である。

[0034] 本発明者らの検討によると、リフトオフを行った後の個々の発光構造部４０７に生じるクラックの態様は、第２の比較例と同様であった。図１１（Ｂ）は、この比較例に従ってリフトオフを実際に行ったときにクラックが導入された状況を上面から光学顕微鏡にて観察したものである。発光構造部の中央部分に点状のクラックが生じている。また、この方法の場合、各素子の外周部からエッチングが進行するので、第１および第２の比較例よりは剥離所要時間が短くて済むものの、より剥離所要時間の短縮化が求められる。

[0035] （第４の比較例）

図 1 4 (A) は、第 4 の比較例にかかる縦型 LED チップ 5 0 0 の製造方法において、個片化する前の複数の発光構造部 5 0 7 が形成されたウェハの模式上面図であり、(B) は、(A) の破線に沿って個片化した 1 つの LED チップ 5 0 0 の模式側面図である。この方法では、サポート体 5 0 9 のうち発光構造部の間に位置する部分（切断ラインの交点部分）に貫通孔 5 1 3 を設けた以外、第 2 の比較例と同様である。すなわち、発光構造部 5 0 7 の横断面形状は円形であり、その中央領域には貫通孔がない。そして、貫通孔 5 1 3 からエッチング液が供給可能なので、第 4 工程では、個片化前の各 LED チップの外周部からエッチングが進行する。図 1 4 において、符号 5 1 1 は上部電極である。

[0036] 本発明者らの検討によると、リフトオフを行った後の個々の発光構造部 5 0 7 に生じるクラックの態様は、第 2 の比較例と同様であった。また、この方法も各素子の外周部からエッチングが進行するので、第 1 および第 2 の比較例よりは剥離所要時間が短くて済むものの、より剥離所要時間の短縮化が求められる。

[0037] (本発明の実施形態)

本発明者らは、第 2 ～第 4 の比較例で生じる点状のクラックの発生形態について鋭意検討を行った。第 3、第 4 の比較例のように、発光構造部の外周側からのエッチング液供給の場合、リフトオフ層は外周部から中央部に向けてエッチングが進行するが、成長用基板と発光構造部がまさに分離している溶解フロント部、すなわちリフトオフ層を介して成長用基板と発光構造部が接着状態である部分と、それらが分離された状態となった部分の境界領域で局所的な応力が加わってクラックが発生することが判明した。リフトオフ層のエッチングが終了する間際は、中央部分にリフトオフ層がまだ残っているため、中央部で応力が集中しクラックが発生する。第 2 の比較例の場合でも、エッチング終了の最終段階は、発光構造部の中央部分となる。

[0038] 一方、本実施形態の場合、エッチングの進行とそれに伴うクラック抑制の作用効果は、以下ようになる。図 2 (A) は、本発明の一実施形態にかか

る製造方法の過程におけるリフトオフ途中のウェハの模式上面図（導電性サポート体 109 を除いた上面視）であり、図 2（B）は、図（A）の状態の I-I 断面図である。また、図 4 は後述の実施例 1 の実際のエッチングの進行過程を示す光学顕微鏡写真である。このように、第 1 貫通孔 108 からエッチング液が供給され、リフトオフ層 102 をその中央部から外周部に向けて選択エッチングする。このとき、上記の溶解フロント部は同心円状に外周部に進行するため、発光構造部 107 での中央領域に応力が集中することを回避でき、その結果、発光構造部 107 の中央領域に点状のクラックが生じるのを抑制することができる。さらに、リフトオフ層の側面からのエッチングではないので、コーナーから中央部に大きく延びる X 型のクラックが生じることも抑制できる。また、ウェハ上の個々の発光構造部においてほぼ同時に同様のエッチングを開始できる。また、エッチングに要する時間を短縮化できた。その結果、縦型 LED チップをより効率的に製造することが可能となった。

[0039] さらに、本実施形態では、リフトオフ層 102 の中央部からエッチングが広がるため、発光構造部間には分離の機能があればよく、比較例よりも隣接する発光構造部間の間隔（素子間のピッチ）を狭くすることができ、発光面積を大きくでき、ウェハあたりの有効面積のロスも少ない状態でクラック抑制できる。チップサイズにより効果は異なるが、一例として発光構造物の寸法が $1000\ \mu\text{m}$ 四方の場合、比較例の分離溝幅はエッチング液経路確保のため $200\sim 250\ \mu\text{m}$ であったが、本方式では $80\ \mu\text{m}$ でも可能である。1 チップ当りの必要面積は前者で、 $1.44\sim 1.56\ \text{mm}^2$ であったが、本実施形態では $1.17\ \text{mm}^2$ で良く $23\sim 33\%$ の取れ個数増となる。すなわち、クラック抑制と有効面積増の両方の効果により、ウェハあたりの歩留まりを増やすことができる。

[0040] 図 3 は、III 族窒化物半導体縦型構造 LED チップ 100 の模式上面図である。III 族窒化物半導体縦型構造 LED チップ 100 は、下部電極を有する導電性サポート体 109 A と、導電性サポート体 109 A 上に設けられた第 2

伝導型III族窒化物半導体層105、第2伝導型III族窒化物半導体層105の上に設けられた発光層104、および、発光層104の上に設けられた第2伝導型とは異なる伝導型の第1伝導型III族窒化物半導体層103を有する発光構造部107と、この発光構造部107上に設けられた上部電極111と、を有し、発光構造部107の中央領域に、発光構造部107およびサポート部109Aを貫通する貫通孔108、110を有することを特徴とする。なお、符号111Aはパッド電極である。

[0041] (第1工程)

成長用基板101は、サファイア基板またはサファイア基板上にAlN膜を形成したAlNテンプレート基板を用いるのが好ましい。形成するリフトオフ層の種類やIII族窒化物半導体からなる発光構造積層体のAl、Ga、Inの組成、LEDチップの品質、コストなどにより適宜選択すればよい。

[0042] リフトオフ層102は、ケミカルリフトオフ法ではCrNなどのIII族以外の金属や金属窒化物バッファ層が化学選択エッチングで溶解できるので好ましい。スパッタリング法、真空蒸着法、イオンプレーティング法やMOCVD法で成膜するのが好ましい。

[0043] 発光構造積層体106は、第1伝導型をn型とし、第2伝導型をp型としてもよいし、この逆であってもよい。第1伝導型のIII族窒化物半導体層103、発光層104および第2伝導型のIII族窒化物半導体層105は、MOCVD法によりリフトオフ層102上にエピタキシャル成長させることができる。

[0044] (第2工程)

発光構造積層体106の一部の除去には、ドライエッチング法を用いるのが好ましい。これは、III族窒化物半導体層で構成される発光構造積層体106のエッチングの終点を再現性良く制御できるからである。また、隣接する発光構造部107が繋がった状態であると、後工程で再度分離溝加工が必要となるためこの除去は、成長用基板101の一部が露出するまで行うものとする。第1貫通孔108の形成は第4工程よりも前であれば良いが、この第

2工程の時に同時に行うことが好ましい。第2工程の前後に貫通孔の形成工程を別途設けても良く、さらに第1工程にて成長させない箇所を貫通孔とする方法や、第3工程にて第2貫通孔を通して第1貫通孔を形成する方法も考えられるが、これらは工数が増えるため生産性が悪くなる恐れがあるためである。

[0045] 本発明において、エッチングを高度に均等に進行させるには発光構造部の外接円の中心に第1貫通孔108を設けることが好ましいが、本発明はこれに限定されない。本明細書における「中央領域」は、発光構造部の外接円の半径（長さ L ）に対して外接円の中心から $0.4L$ の領域内、より好ましくは $0.2L$ の領域内とすることができ、この中央領域内に第1貫通孔108を設ければよい。さらに、発光構造部の縦横比が大きい（例えば2倍以上の場合）場合には、内接円を複数設定し、それら内接円の中心群を「中央領域」として1つまたは複数の貫通孔を設けても良い。

[0046] 貫通孔の横断面形状は特に限定されず、例えば、円形や発光構造部の形状と相似の形状とすることができる。

[0047] 第1貫通孔108および／または第2貫通孔110が円形の場合、その直径が $20\mu\text{m}$ 以上であることが好ましい。 $20\mu\text{m}$ 未満の場合、ドライエッチングで貫通孔108を形成する際に、ウエハ面内でリフトオフ層まで届かない部分が生じる場合があり、リフトオフ層のエッチングが進行しない可能性があるからである。また、エッチング所要時間を短縮化する効果を十分に得る観点からは、直径が $50\mu\text{m}$ 以上であることがより好ましい。また、貫通孔が大きすぎても発光構造部の面積ロスが大きくなり好ましくない。発光構造部の面積を十分に確保する観点から、発光構造部の辺の長さ $L2$ に対して50%以下の直径であることが好ましく、30%以下の直径であることがより好ましい。

[0048] 本発明において発光構造部107の横断面形状は特に限定されず、例えば、既述のとおり第2工程において発光構造部の形状を正方形とすることができる。しかし、第2工程において、前記発光構造部の横断面の形状を、コー

ナーに丸みを有する形状とすることが好ましく、切断の容易性を考慮すると、コーナーに丸みを有する４角形状とすることがより好ましい。

[0049] 本発明者らの検討によれば、図４の実施例のように発光構造部の形状を正方形とした場合、コーナーから中央部に大きく延びる×型のクラックの発生は回避することができたが、図５に示すように、コーナー部にごく微小なクラックが依然生じることが判明した。そして、コーナーに丸みを有する形状とすることで、エッチングの終了段階で発光構造部１０７が成長用基板１０１から離れサポート体１０９に移し替えられる際の、発光構造部１０７に加わる応力が分散され、この微小なクラックの発生も十分に抑制でき、より高品質なＬＥＤチップを得ることができることを見出した。

[0050] 丸みを有するとは、Ｒをつける、または、面取りをすることも表現することができ、その形状は好ましくは滑らかな円弧状であるが、それに限らず、コーナーに何らかの曲面となる削り面が複数ある形でも良い。

[0051] ここで、本発明においては、上記のようにコーナー部にわずかに生じるクラックを回避できればよいため、丸みもごく小さなものでよい。これにより、発光面積を大きく確保することができ、ウェハあたりの有効面積のロスが少ない状態でクラックを回避できる。具体的には、発光構造部の形状がコーナーに丸みを有しない形状の場合の面積に対して、コーナーに丸みを設けることにより減少する面積が好ましくは１０％以下、より好ましくは５％以下とすることができる。

[0052] また、図６に示すように、発光構造部のコーナーの曲率半径をＲ、発光構造部がコーナーに丸みを有しない場合の４角形状の一辺の長さを L_0 として、 R/L_0 が０．１～０．５の範囲内とすることが好ましい。０．１未満の場合、コーナーに生じる微小なクラックを十分に抑制できない可能性があり、０．５超えの場合、発光構造部の面積を十分に確保できないからである。なおここでは、丸みを加える前の発光構造部のコーナーで交差する２辺に内接する円弧の半径を曲率半径Ｒと称している。

[0053] （第３工程）

図には示されないが、第3工程は、複数個の発光構造部107とサポート体109とを、複数個の発光構造部107の各々と接するオーミック電極層、およびサポート体109と接する接続層を介して形成するのが好ましい。また、オーミック電極層と接続層との間にさらに反射層を形成するか、オーミック電極層が反射層の機能を兼ねることがより好ましい。これらの層形成には、真空蒸着法、イオンプレーティング法、スパッタリング法などの乾式成膜法を用いることができる。

[0054] 上記オーミック電極層は、仕事関数の大きな金属、例えばPd, Pt, Rh, Au, Agなどの貴金属やCo, Niにより形成することができる。また、反射層としては、Rh等の反射率が高いため、上記オーミック電極層との兼用も可能だが、発光領域が緑から青色の場合にはAgやAl層等を、紫外線領域ではRhやRu層等を用いるのがより好ましい。また、接続層は、サポート体109の形成方法にもよるが、接合法、例えば加熱圧着によりサポート体109を接合する場合、Au, Au-Sn、ハンダ等とすることができる。

[0055] サポート体109としては接合法の場合、あらかじめ第2貫通孔110を形成しておいた導電性シリコン基板やCuW合金基板、Mo基板などが熱膨張係数、熱伝導率の面で適しており、それぞれの貫通孔位置をアラインメントして接合する。また、サポート体109は、湿式あるいは乾式めっきにより形成することもできる。たとえばCuまたはAuの電気めっきでは、接続層としてCu, Ni, Auなどを用いることができる。その際、第1貫通孔108および第2貫通孔110が接続層やめっき層で塞がらないようにレジストなどにより保護する。

[0056] (第4工程)

第4工程は、前述の一般的なケミカルリフトオフ法またはフォトケミカルリフトオフ法により行うのが好ましい。使用可能なエッチング液としては、リフトオフ層がCrNの場合、硝酸第二セリウムアンモン溶液やフェリシアンカリウム系の溶液、リフトオフ層がScNの場合、塩酸、硝酸、有機酸な

どを上げることができる。

[0057] また、第4工程により露呈した発光構造部107の面は、ウェット洗浄で清浄化されるのが好ましい。次いで、ドライエッチングおよび／またはウェットエッチングで所定量削り、レジストをマスクとしたリフトオフ法によりn型オーミック電極、ボンディングパッド電極を形成する。電極材としてはAl、Cr、Ti、Ni、Pt、Auなどが用いられ、オーミック電極、ボンディングパッドにはPt、Auなどをカバー層として成膜して、配線抵抗の低減とワイヤーボンドの密着性を向上させる。なお、発光構造部107の側面ならびに表面には、SiO₂やSiNなどの保護膜を付与しても良い。リフトオフ後、貫通孔にも保護膜を付与しても良い。

[0058] (第5工程)

第5工程では、発光構造部107間を例えばブレードダイサーやレーザーダイサーを用いて切断する。発光構造部107に熱や破砕ダメージが入るのを防止するため、一般には発光構造部107は導電性サポート部109aの平面外周よりも内側に寄せるが、通常10から30μm程度である。

[0059] 以上は代表的な実施形態の例を示したものであって、本発明はこの実施形態に限定されるものではなく、請求の範囲を逸脱しない範囲において適宜変更が可能である。

実施例

[0060] (実験例1)

初めに、発光構造部の中央部の貫通孔を経由したリフトオフ層のエッチング状況について説明する。サファイア基板(0001)基板上に、金属Crを18nmスパッタリング法により成膜し、ついでMOCVD装置内でアンモニアガス雰囲気中で窒化処理を行った後、形成されたCrNバッファ層(リフトオフ層を兼ねる)上にInGaN系発光層を有する青色LED構造層10μmを成長した。次に、1200μm角の正方形に発光構造部を形成するため、ドライエッチングにより成長基板まで分離溝加工を行った。素子間ピッチは1280μmとした。この場合、発光構造部のコーナーは意図的な面

取りは行っていない。同時に、発光構造部に直径 $100\text{ }\mu\text{m}$ の貫通加工処理を行った。次に、Cu層をスパッタリング法により $1\text{ }\mu\text{m}$ 成膜してめっき用の接続層を形成した。さらに、電気めっき法により $100\text{ }\mu\text{m}$ 厚みのサポート部を形成した。なお、貫通孔に厚膜レジストによるピラーを形成し、めっき中の貫通孔の閉塞を防いだ。このとき、貫通孔上の厚膜レジストの位置にはCuはめっきされず、レジストを除去することで、発光構造部からサポート体まで貫通する貫通孔を形成した。

[0061] 次に、貫通孔からエッチング液を給液してリフトオフ層のエッチングを行った。図4は、エッチング進行状況を示すものであり、透明サファイア基板側から光学顕微鏡による観察を行ったものである。リフトオフ層はメタリックな灰色を呈しているため、写真では黒く見える。図4(A)は、エッチング前の状態で、図4(b)に示すようにエッチングは、均等に同心円状中央部から外側に向けて広がって進行することが分かる(リフトオフ層の溶解によって透明化する)。図4(c)では4つのコーナー部で僅かにリフトオフ層が残っているが、最終的には図4(d)のように剥離が完了する。

[0062] 図4より、この実験例では図11(A)に示したようなマクロ的なX型のクラックは発生していないことが分かる。また、中央部から全域に渡り、点状のマクロクラックも認められなかった。しかしながら、詳細に観察したところ、図5に示すようにコーナー部近傍に $10\text{ }\mu\text{m}$ 以下の長さのマイクロクラックが導入される場合があることが分かった。その理由として、図4(c)にみられるように、コーナー部にリフトオフ層が僅かに残った部分に応力が局所的に集中してしまうためと考えられた。

[0063] (実験例2)

そこで、リフトオフ層のエッチングの終了間際の部分での応力集中を回避するため、溶解終了部分に応力が分散できるようにすることを考えた。発光構造部の中央部からエッチング液を供給してリフトオフ層をエッチングする場合、図4に示したように、エッチングは等方的に円が広がるように進行する。図6に示すように発光構造部の平面の4コーナー部の円弧の長さが、応

力の分散具合と関連するので、コーナー部の面取り形状とマイクロクラックの発生率を調べた。なお、4コーナーの1箇所でもマイクロクラックが発生した場合には、チップとしては不良となるので、個々のチップ単位で発生の有無で判定した。

[0064] ここで、面取りを行う前の正方形の辺の長さを L_0 とした場合に、直交する辺に内接する円の半径 R をパラメータとして実験を行った。試料の作製方法は、実験例1で示したものと同様のプロセスである。発光構造部の中央に設けた貫通孔の直径は $50\mu\text{m}$ とした。また、 L_0 が $1200\mu\text{m}$ に対し、 R は 156 、 240 、 330 、 417 、 505 、 $600\mu\text{m}$ の試料を作製した。面取りを行う前の正方形の面積に対する面取り後の面積比率はそれぞれ、 98.5 、 96.6 、 93.5 、 89.6 、 84.8 、 78.5% となる。

[0065] R/L_0 をそれぞれの値とした試料につき、 2200 から 2600 個の発光構造部のマイクロクラックの発生状況を調べたところ、図7に示す関係が得られた。ここで、横軸は L_0 に対する R の比率であり、左縦軸はマイクロクラックの発生率である。また、右横軸は正方形でコーナー部に R が無い場合の発光構造部の面積に対する割合を示している。その結果、 R/L_0 の値が 0.1 以上でマイクロクラック発生の抑制効果が現れ、 0.2 以上ではマイクロクラックの発生は十分に抑制された。なお、 R/L_0 の値が 0.5 の時には円形となる。発光構造部の平面の面積の減少は発光出力の低下につながることに懸念されるが、発光構造部のエピタキシャル成長条件や他のデバイス構造の改良により、リカバリーが可能な範囲といえる。したがって、マイクロクラックの発生を抑制するのに必要な R/L_0 の範囲は、 0.1 以上であり、より好ましくは 0.2 以上で、上限は 0.5 である。例えば R が $240\mu\text{m}$ ($R/L_0=0.2$) の場合、 R による発光面積のロスが 3.4% でもクラックの発生を大幅に抑制できる。

[0066] (実験例3)

次に、エッチング液の供給を行う貫通孔の径と、リフトオフ層のエッチング速度との関係を調べた。試料の作製方法は実験例1に示したものと同様で

あるが、発光構造部の中央部ならびにサポート部の貫通孔の直径を $10\ \mu\text{m}$ から $400\ \mu\text{m}$ の範囲として、エッチング液に1時間浸漬した際のエッチング量（エッチングされて生じた溶解フロント部の円の直径）で評価した。図8はその結果を示したものであるが、貫通孔の直径を大きくするほどエッチング径は大きくなる。しかしながら、貫通孔の直径が $200\ \mu\text{m}$ 以上になるとエッチング量の増加が緩やかになった。なお、中央部からのみのエッチング液の給液であるため、発光構造部の平面寸法によらずこの関係は不変的なものである。また、貫通孔の径が $10\ \mu\text{m}$ の場合は、エッチングは可能であったが、ドライエッチングで発光構造物に貫通加工を行った際に、リフトオフ層までとどかない場合があり、リフトオフ層をエッチングができない部分が生じた。 $20\ \mu\text{m}$ 以上の場合にはそのような問題は生じなかった。したがって、貫通孔の寸法としては、 $20\ \mu\text{m}$ 以上が好ましい。なお、図9の右側縦軸は L_0 が $1200\ \mu\text{m}$ の際の、貫通孔の直径に対する発光構造部の面積ロス率を示したものである。 L_0 が変わればこのロス率は変化するので、エッチング速度等を加味して適宜貫通孔の直径を決定することができる。

[0067] (実施例)

サファイア基板上に、リフトオフ層(CrN層、厚さ： $18\ \text{nm}$)を形成後、n型III族窒化物半導体層(GaN層、厚さ： $7\ \mu\text{m}$)、発光層(InGaN系MQW層、厚さ： $0.1\ \mu\text{m}$)、p型III族窒化物半導体層(GaN層、厚さ： $0.2\ \mu\text{m}$)を順次積層して発光構造積層体を形成し、その後、サファイア基板の一部が露出するよう、発光構造積層体の一部を除去することで、コーナーに丸みを有する正方形となるよう、島状に独立した複数個の発光構造部を形成した。発光構造部の幅Wは $1200\ \mu\text{m}$ であり、個々の素子の配置は基盤の目状の升目内とした。素子間のピッチは $1280\ \mu\text{m}$ である。コーナーに丸みを付与する前の正方形の一辺の長さ L_0 は $1200\ \mu\text{m}$ 、コーナーの曲率半径Rは $330\ \mu\text{m}$ であり、 R/L_0 は 0.275 である。

[0068] 上記の発光構造部の形成時に、独立した発光構造部の中央の位置に、直径 $50\ \mu\text{m}$ の貫通孔を形成した。

[0069] 各々の発光構造部の上（上記貫通孔を除く）に、オーミック電極層（A g、厚さ：0.1 μ m）、接続層（T i / C u、厚さ：1.5 μ m）を形成し、上記貫通孔は厚膜レジストを用いて塞いだ。その後、第1のめっきによりC u（厚さ：80 μ m）を形成し、さらに、第2のめっきによりC u（厚さ：80 μ m）を形成し、サポート部とした。めっきは硫酸銅系の電解液を用いた電気めっきであり、液温は25～30℃の範囲で、成膜速度は35 μ m / h rであった。このとき、貫通孔上の厚膜レジストの位置にはC uはめっきされず、レジストを除去することで、発光構造部からサポート部まで貫通する貫通孔を形成した。

[0070] その後、ケミカルリフトオフ法を用いてサファイア基板を剥離した。リフトオフ後の発光構造部を光学顕微鏡によってマクロ・マイクロクラックの発生状況を調べた。調査個数は3860個で、マクロ・マイクロクラックともに発生個数は皆無であった。また、エッチング完了までの時間は2時間であった。

[0071] （比較例1）

発光構造部の形状をL₀は1000 μ mの正方形とし、中央領域に貫通孔を設けず、素子間ピッチを1250 μ mとした以外は、実施例と同様にして図10のような試料を作製した。リフトオフ後の発光構造部を光学顕微鏡によって観察したところ、調査個数1910個のうち1824個に、コーナーから中央部に大きく伸展するX型のクラックが発生し、発生率は95.5%であった。また、エッチング完了までの時間は32時間であった。

[0072] （比較例2）

発光構造部の形状を直径1000 μ mの円形とし、中央領域に貫通孔を設けず、素子間ピッチを1250 μ mとした以外は、実施例と同様にして図12のような試料を作製した。リフトオフ後の発光構造部を光学顕微鏡によって観察したところ、調査個数1890個のうち、コーナーから中央部に大きく伸展するX型のクラックが発生したものは437個（発生率は23.1%）であったが、発光構造部の中央部に点状のクラックが発生した試料が160

7個あり、発生率は85.0%であった。また、エッチング完了までの時間は28時間であった。

[0073] (比較例3および比較例4)

比較例2の製造工程において、以下の工程によってサポート体に貫通溝または貫通孔を形成した以外は、比較例2と同様にして図13(比較例3)または図14(比較例4)のような試料を作製した。

[0074] 個別の発光構造部のp層上にオーミック電極層(NiOならびにAg)を形成し、次いで分離溝にフォトリソを埋め込むとともに個々の発光構造物のp-オーミック電極層部は開口して、サポート体と接続するための接続層(Ni/Au/Cu)を形成した。次いで、後述のCuめっきの際に成膜を防止するため、厚膜レジストによるピラーの形成を行った。形成位置は図13(A)のように発光構造部を取り囲む升目の辺上、または、図14(A)のように辺の交差点位置とした。なおピラー形成位置の接続層はエッチングにより予め除去した。

[0075] 次いで、硫酸銅系の電解液を用いてCuを80μm電気めっきし、サポート体を形成した。液温は25~30℃の範囲で、成膜速度は25μm/hrであった。次いで、ピラー部ならびに分離溝に埋め込んだレジストを薬液洗浄により除去し、サポート体の上下に貫通する溝・孔を形成した。なお、図13(A)に示す貫通溝は、幅70μm、長さ900μmとして四辺に形成した。図14(A)に示す貫通孔は四角柱状としその辺の長さは410μmとした。

[0076] リフトオフ後の発光構造部を光学顕微鏡によって観察したところ、比較例3では調査個数1900個のうち、コーナーから中央部に大きく伸展するX型のクラックが発生したものは38個(発生率は2.0%)であったが、発光構造部の中央領域に点状のクラックが発生した試料が1045個あり、発生率は55.0%であった。また、エッチング完了までの時間は3.5時間であった。また、比較例4では調査個数2038個のうち、コーナーから中央部に大きく伸展するX型のクラックが発生したものは108個(発生率は5

． 3 %)であったが、発光構造部の中央領域に点状のクラックが発生した試料が 9 7 8 個あり、発生率は 4 8 . 0 %であった。またエッチング完了までの時間は 4 . 5 時間であった。

産業上の利用可能性

[0077] 本発明によれば、発光構造部の中央領域に少なくともリフトオフ層が露出するまで貫通する第 1 貫通孔を形成し、この第 1 貫通孔からエッチング液を供給するようにしたため、発光構造部に生じるクラックを抑制した高品質のⅢ族窒化物半導体縦型構造 LED チップをより効率的に製造することが可能となった。

符号の説明

[0078] 1 0 0 Ⅲ族窒化物半導体縦型構造 LED チップ
1 0 1 成長用基板
1 0 2 リフトオフ層
1 0 3 第 1 伝導型のⅢ族窒化物半導体層
1 0 4 発光層
1 0 5 第 2 伝導型のⅢ族窒化物半導体層
1 0 6 発光構造積層体
1 0 7 発光構造部
1 0 8 第 1 貫通孔
1 0 9 下部電極を有する導電性サポート体
1 0 9 A 切断後の導電性サポート体
1 1 0 第 2 貫通孔
1 1 1 上部電極
1 1 1 A パッド電極

請求の範囲

- [請求項1] 成長用基板の上にリフトオフ層を介して、第1伝導型のIII族窒化物半導体層、発光層および前記第1伝導型とは異なる第2伝導型のIII族窒化物半導体層を順次積層して発光構造積層体を形成する第1工程と、
- 前記成長用基板の一部が露出するように、前記発光構造積層体の一部を除去することで、独立した複数個の発光構造部を形成する第2工程と、
- 下部電極を有し、前記複数個の発光構造部を一体支持する導電性サポート体を形成する第3工程と、
- ケミカルリフトオフ法を用いて、前記リフトオフ層を除去することで、前記成長用基板を前記複数個の発光構造部から剥離する第4工程と、
- 前記発光構造部間で前記導電性サポート体を分離することにより、各々が導電性サポート体に支持された前記発光構造部を有する複数個のLEDチップに個片化する第5工程と、を有し、
- 前記第4工程より前に、前記発光構造部の中央領域に、少なくとも前記リフトオフ層が露出するまで貫通する第1貫通孔を形成し、前記第4工程で該第1貫通孔からエッチング液を供給することを特徴とするIII族窒化物半導体縦型構造LEDチップの製造方法。
- [請求項2] 前記第3工程において、前記導電性サポート体における前記発光構造部の中央領域に位置する部分に、該導電性サポート体を貫通して前記発光構造部の貫通孔と連通する第2貫通孔を設ける請求項1に記載のIII族窒化物半導体縦型構造LEDチップの製造方法。
- [請求項3] 前記第2工程において、前記発光構造部の横断面の形状を、コーナーに丸みを有する形状とする請求項1または2に記載のIII族窒化物半導体縦型構造LEDチップの製造方法。
- [請求項4] 前記第2工程において、前記発光構造部の横断面の形状を、コーナ

一に丸みを有する４角形状とする請求項３に記載のIII族窒化物半導体縦型構造LEDチップの製造方法。

[請求項5] 前記発光構造部のコーナーの曲率半径を R 、前記発光構造部がコーナーに丸みを有しない場合の前記４角形状の一辺の長さを L_0 として、 R/L_0 が $0.1 \sim 0.5$ の範囲内である請求項４に記載のIII族窒化物半導体縦型構造LEDチップの製造方法。

[請求項6] 前記第１貫通孔および／または第２貫通孔の直径が、 $20 \mu m$ 以上である請求項１～５のいずれか１項に記載のIII族窒化物半導体縦型構造LEDチップの製造方法。

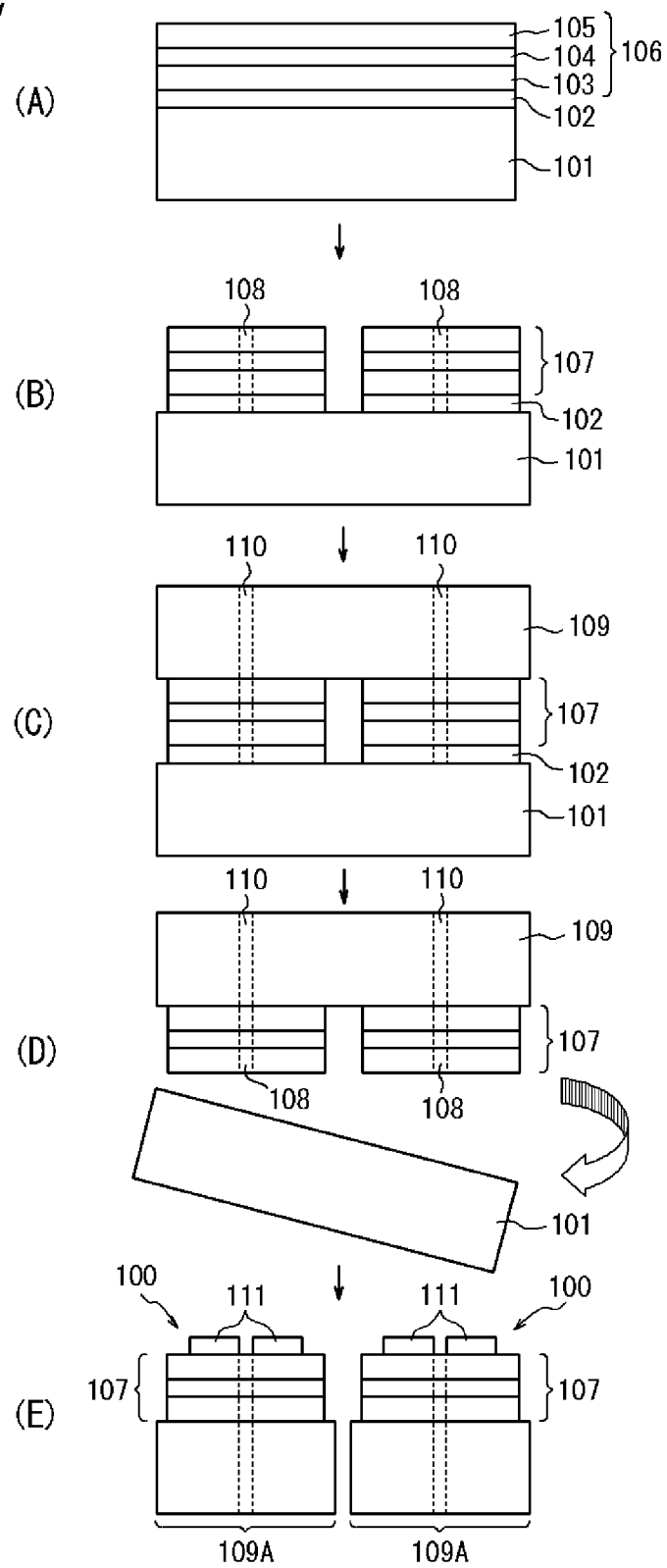
[請求項7] 前記第３工程は、接合法、湿式成膜法、乾式成膜法のいずれかを用いて行われる請求項１～６のいずれか１項に記載のIII族窒化物半導体縦型構造LEDチップの製造方法。

[請求項8] 請求項１～７のいずれか１項に記載の方法により製造された縦型構造LEDチップであって、前記発光構造部の中央領域に第１貫通孔を有することを特徴とするIII族窒化物半導体縦型構造LEDチップ。

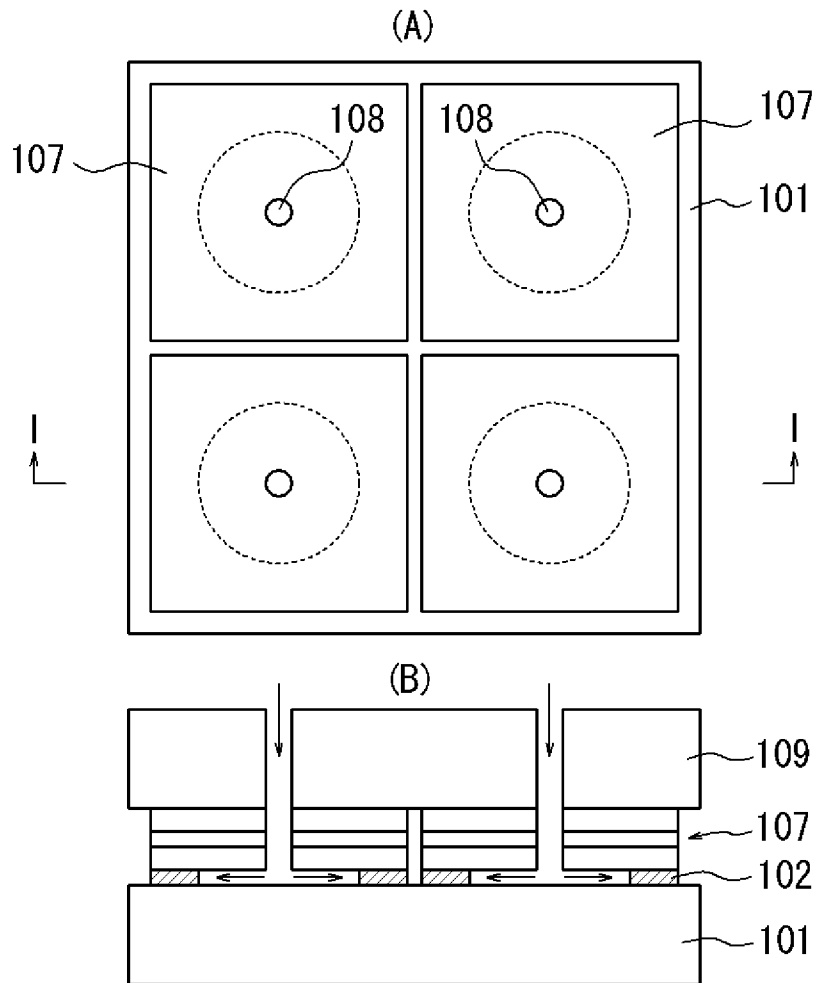
[請求項9] 下部電極を有する導電性サポート体と、該導電性サポート体上に設けられた第２伝導型III族窒化物半導体層、該第２伝導型III族窒化物半導体層の上に設けられた発光層、および、該発光層の上に設けられた前記第２伝導型とは異なる伝導型の第１伝導型III族窒化物半導体層を有する発光構造部と、該発光構造部上に設けられた上部電極と、を有し、

前記発光構造部の中央領域に、前記発光構造部および前記サポート部を貫通する貫通孔を有することを特徴とするIII族窒化物半導体縦型構造LEDチップ。

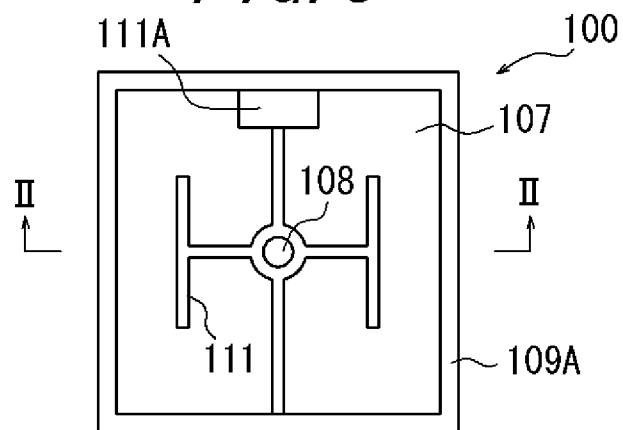
[図1]

FIG. 1

[図2]

FIG. 2

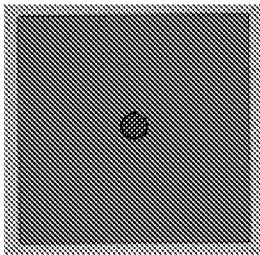
[図3]

FIG. 3

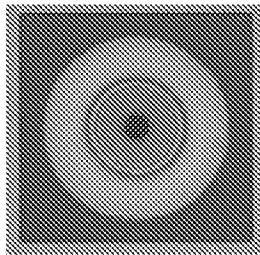
[図4]

FIG. 4

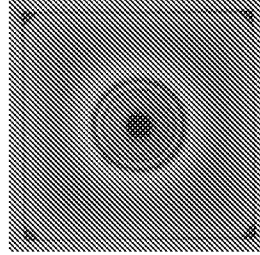
(A)



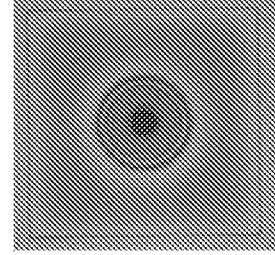
(B)



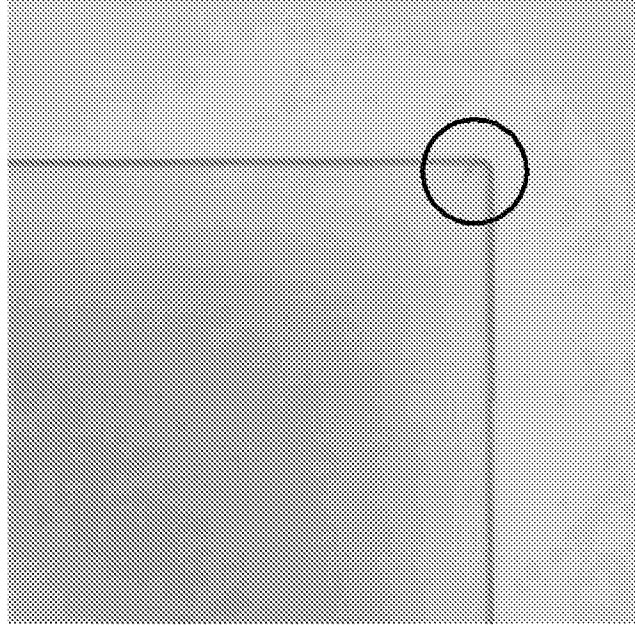
(C)



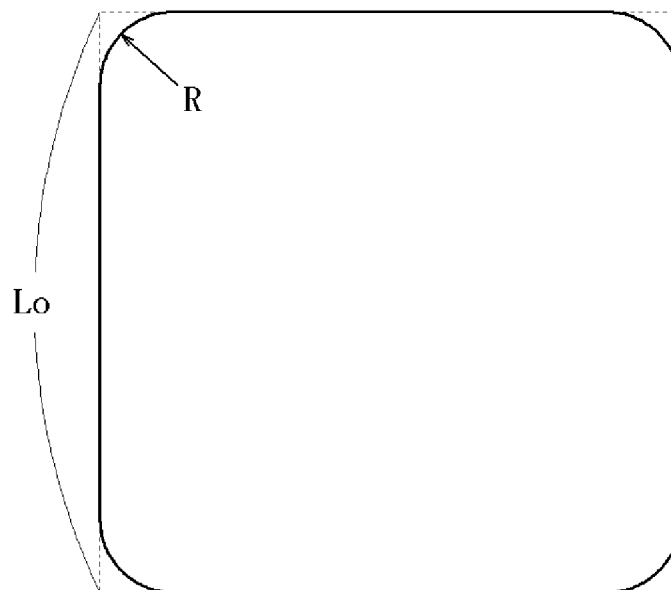
(D)



[図5]

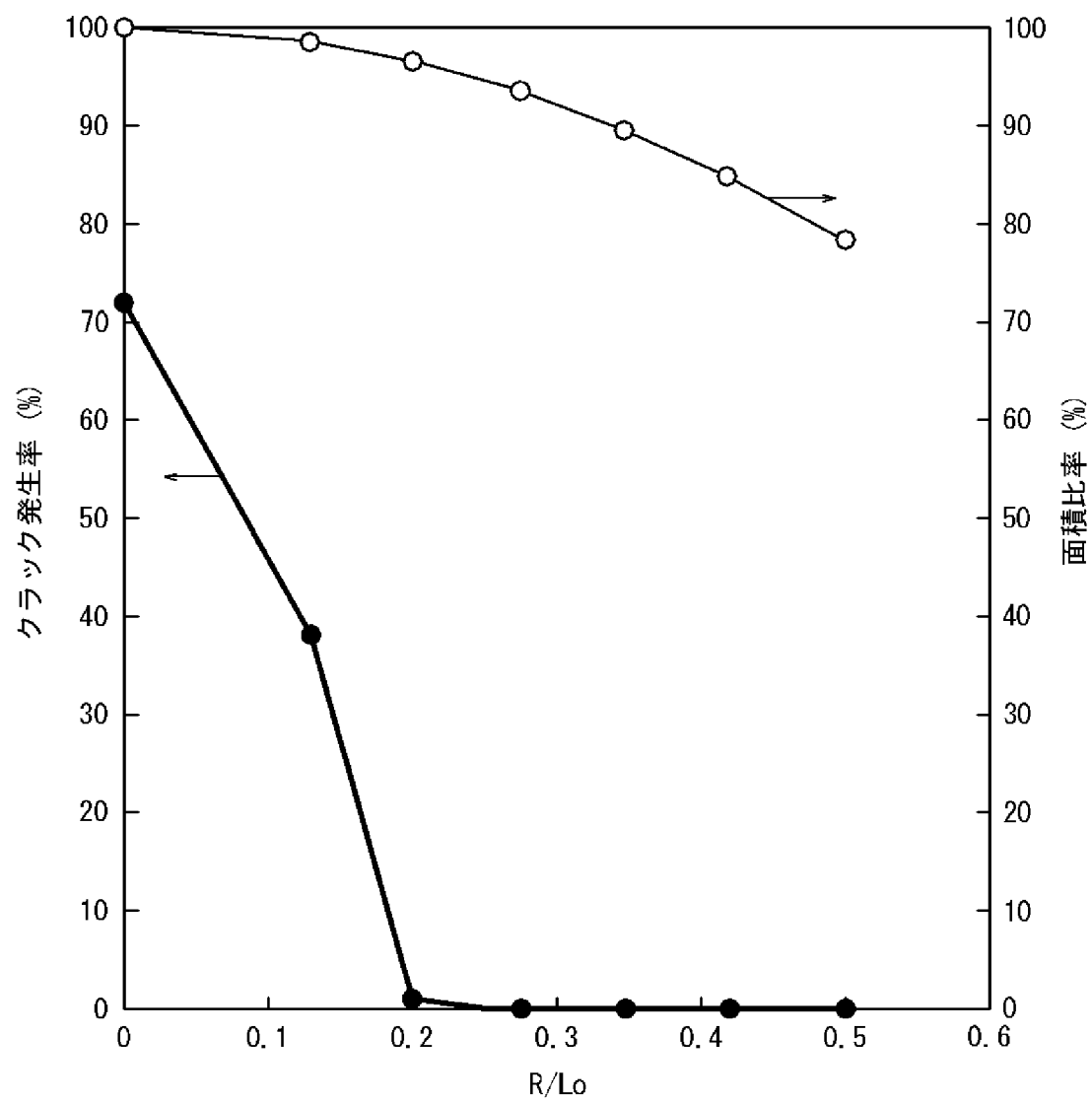
FIG. 5

[図6]

FIG. 6

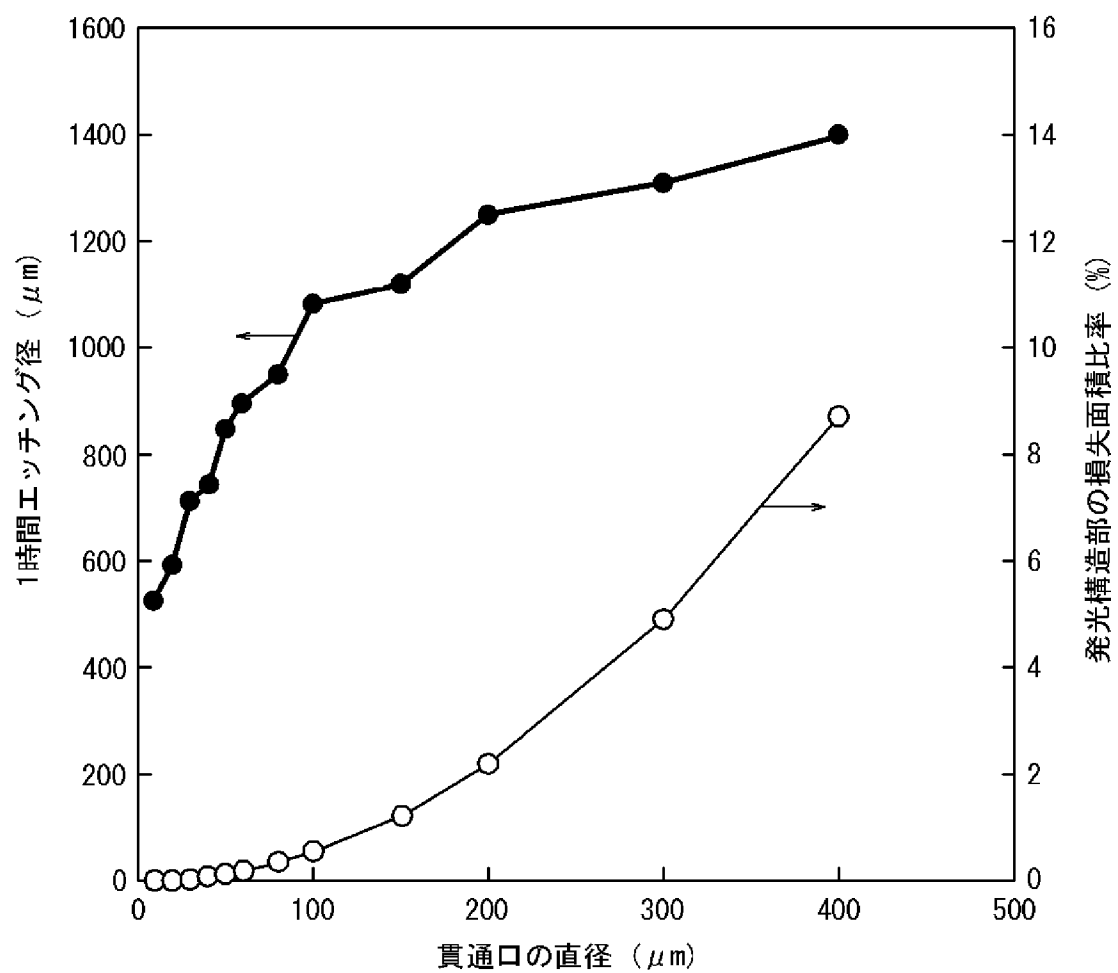
[図7]

FIG. 7



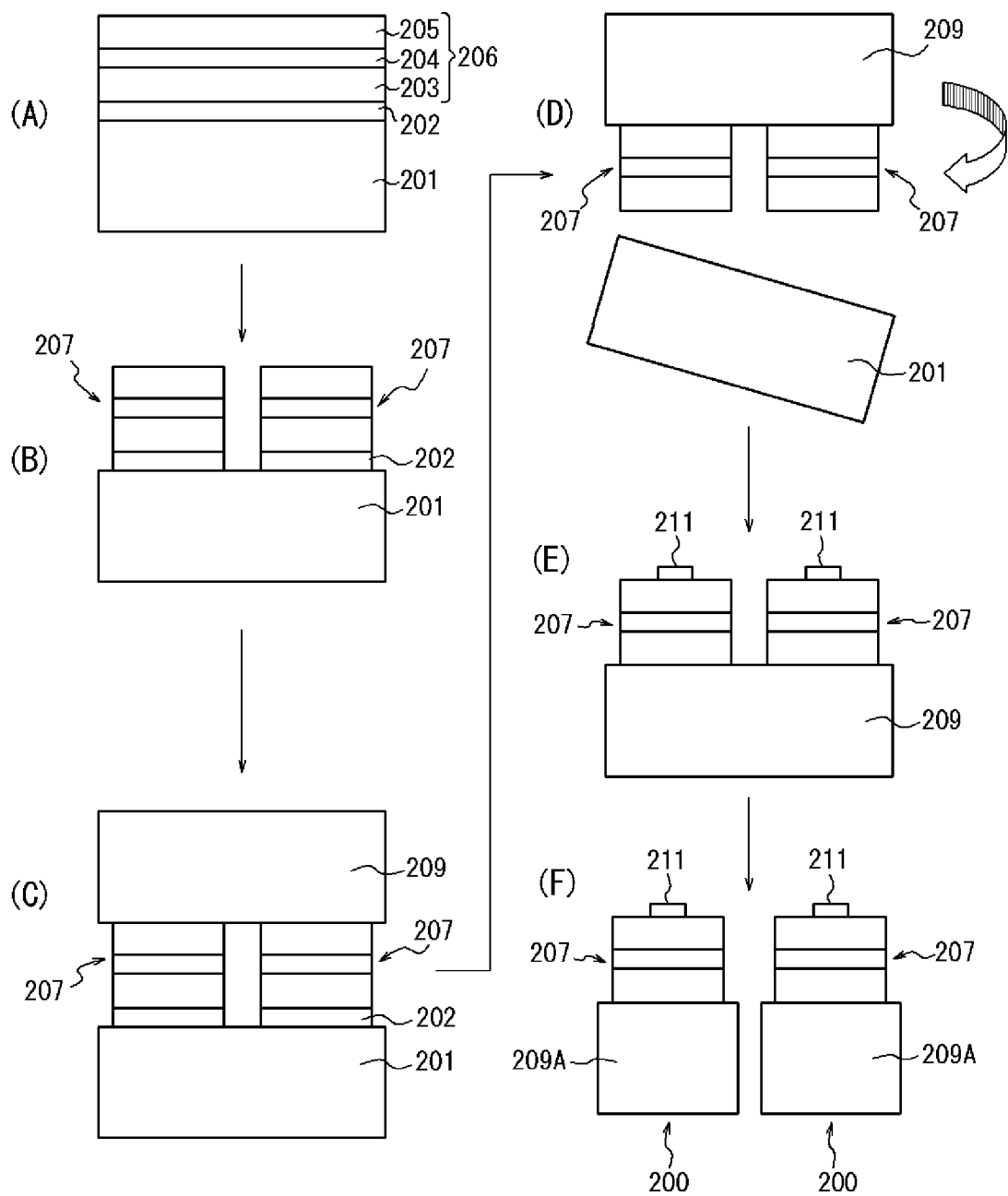
[図8]

FIG. 8

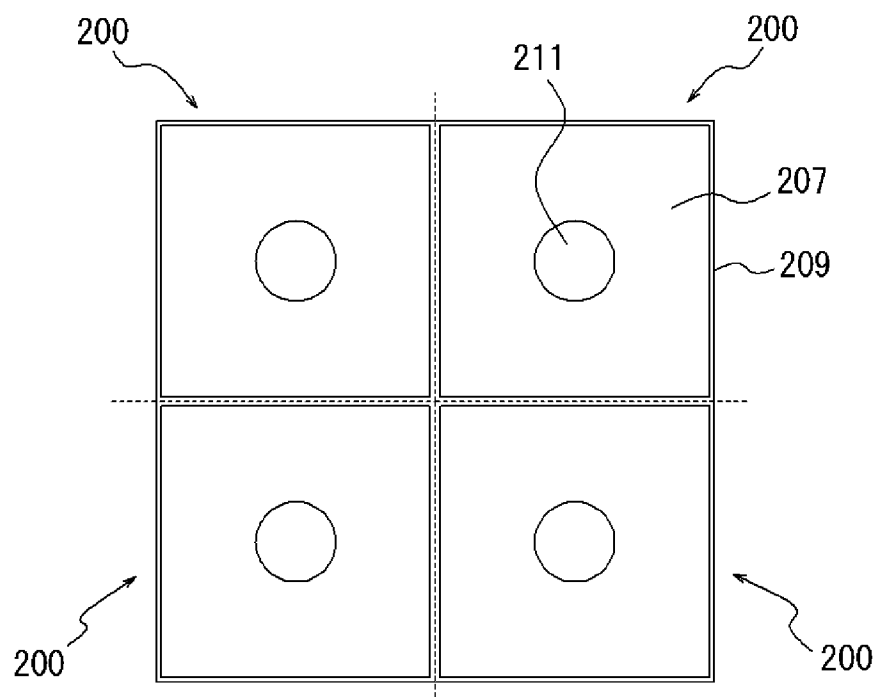


[図9]

FIG. 9



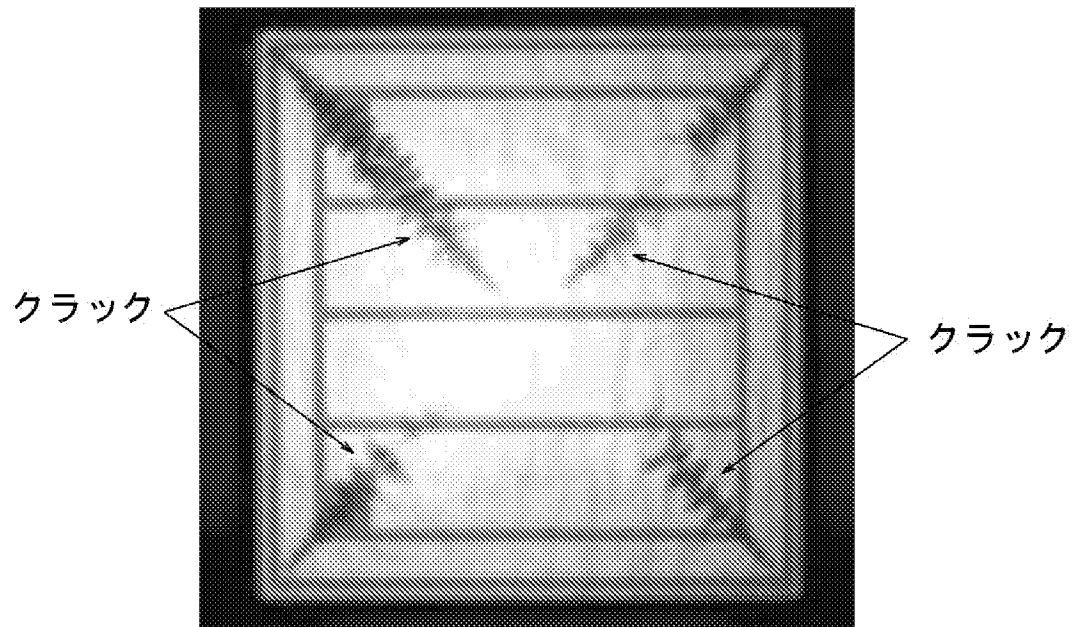
[図10]

FIG. 10

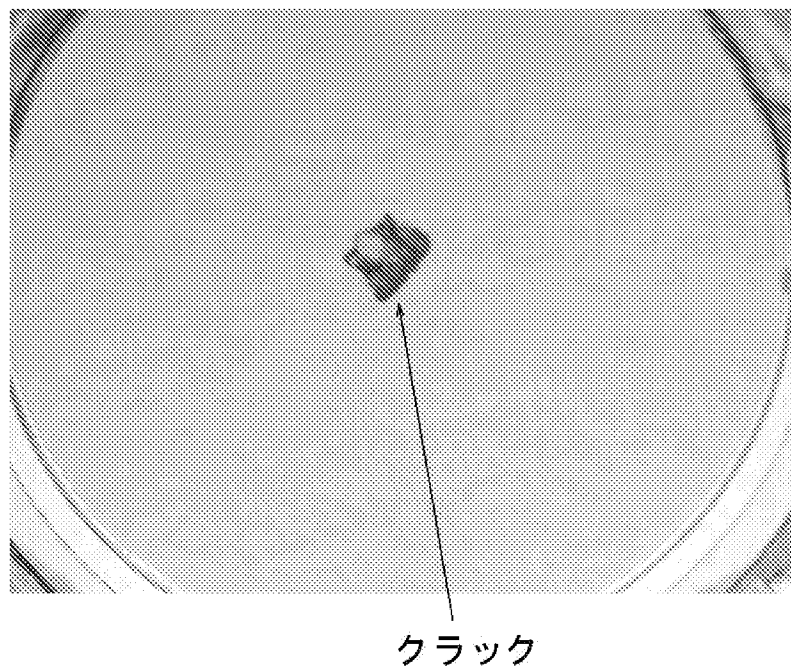
[図11]

FIG. 11

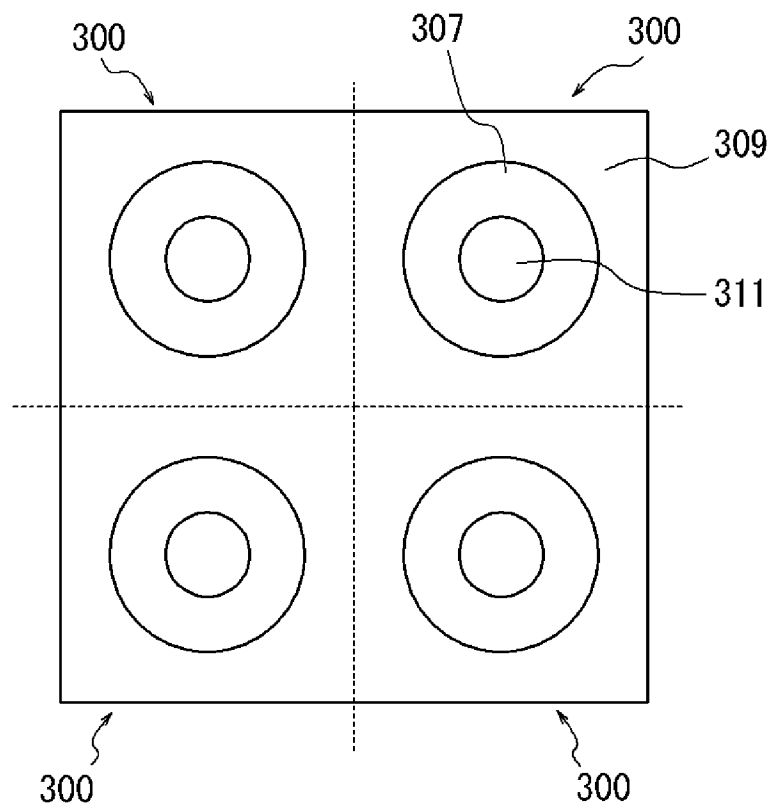
(A)



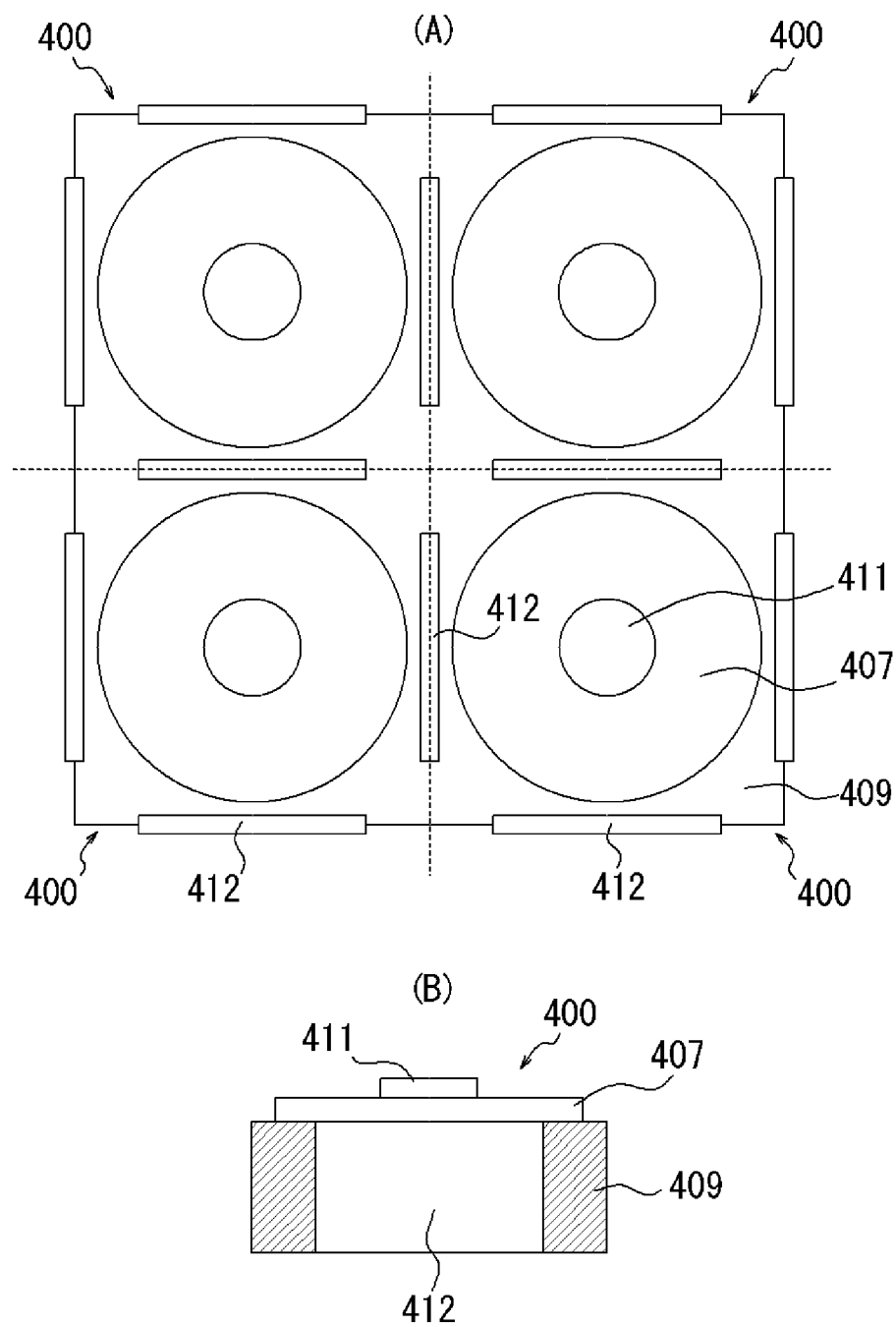
(B)



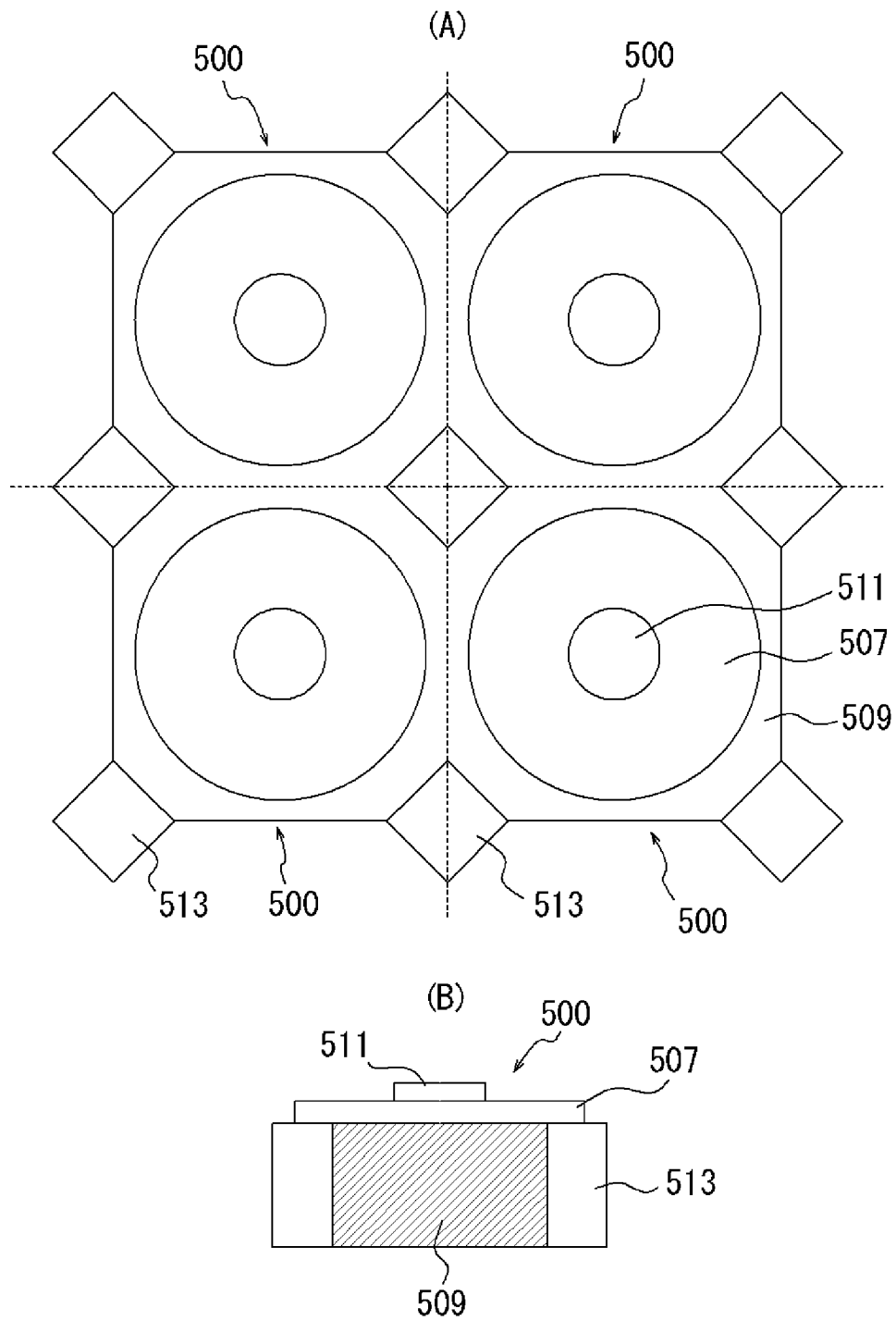
[図12]

FIG. 12

[図13]

FIG. 13

[図14]

FIG. 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002657

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/32 (2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00-3/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2011/055462 A1 (Wavesquare Inc.), 12 May 2011 (12.05.2011), entire text; all drawings (Family: none)	1-9
A	JP 2011-96881 A (Showa Denko Kabushiki Kaisha), 12 May 2011 (12.05.2011), paragraphs [0001] to [0057]; fig. 1 to 5 (Family: none)	1-9
A	JP 2011-96707 A (Stanley Electric Co., Ltd.), 12 May 2011 (12.05.2011), entire text; all drawings (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 June, 2011 (10.06.11)

Date of mailing of the international search report
21 June, 2011 (21.06.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002657

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-147166 A (Stanley Electric Co., Ltd.), 01 July 2010 (01.07.2010), entire text; all drawings & US 2010/0148309 A & US 2010/0148309 A1 & CN 101752487 A	1-9
A	JP 2010-147164 A (Stanley Electric Co., Ltd.), 01 July 2010 (01.07.2010), entire text; all drawings (Family: none)	1-9
A	JP 2010-93186 A (Showa Denko Kabushiki Kaisha), 22 April 2010 (22.04.2010), entire text; all drawings (Family: none)	1-9
A	JP 2010-287681 A (Toyoda Gosei Co., Ltd.), 24 December 2010 (24.12.2010), paragraphs [0001] to [0019] (Family: none)	1-9
A	JP 2008-78275 A (Tohoku University), 03 April 2008 (03.04.2008), entire text; all drawings (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L33/32 (2010.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L33/00-3/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2011/055462 A1 (Wavesquare Inc.) 2011.05.12, 全文, 全図 (ファミリーなし)	1-9
A	JP 2011-96881 A (昭和電工株式会社) 2011.05.12, 【0001】 - 【0057】 欄, 図1 - 5 (ファミリーなし)	1-9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 0 6 . 2 0 1 1

国際調査報告の発送日

2 1 . 0 6 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

百瀬 正之

2 K

4 0 8 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-96707 A (スタンレー電気株式会社) 2011. 05. 12, 全文, 全図 (ファミリーなし)	1-9
A	JP 2010-147166 A (スタンレー電気株式会社) 2010. 07. 01, 全文, 全図 & US 2010/0148309 A & US 2010/0148309 A1 & CN 101752487 A	1-9
A	JP 2010-147164 A (スタンレー電気株式会社) 2010. 07. 01, 全文, 全図 (ファミリーなし)	1-9
A	JP 2010-93186 A (昭和電工株式会社) 2010. 04. 22, 全文, 全図 (ファミリーなし)	1-9
A	JP 2010-287681 A (豊田合成株式会社) 2010. 12. 24, 【0001】 - 【0019】 欄 (ファミリーなし)	1-9
A	JP 2008-78275 A (国立大学法人東北大学) 2008. 04. 03, 全文, 全図 (ファミリーなし)	1-9