【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成17年6月9日(2005.6.9)

【公開番号】特開2002-110827(P2002-110827A)
【公開日】平成14年4月12日(2002.4.12)
【出願番号】特願2000-301380(P2000-301380)
【国際特許分類第７版】
　Ｈ０１Ｌ　21/8247
　Ｈ０１Ｌ　27/115
　Ｈ０１Ｌ　27/04
　Ｈ０１Ｌ　21/822
　Ｈ０１Ｌ　21/8234
　Ｈ０１Ｌ　27/088
　Ｈ０１Ｌ　21/8244
　Ｈ０１Ｌ　27/11
　Ｈ０１Ｌ　27/10
　Ｈ０１Ｌ　27/108
　Ｈ０１Ｌ　21/8242
　Ｈ０１Ｌ　29/788
　Ｈ０１Ｌ　29/792
【ＦＩ】
　Ｈ０１Ｌ　27/10　　４３４
　Ｈ０１Ｌ　27/10　　４８１
　Ｈ０１Ｌ　27/04　　Ｐ
　Ｈ０１Ｌ　27/08　　１０２Ａ
　Ｈ０１Ｌ　27/10　　３８１
　Ｈ０１Ｌ　27/10　　６７１Ｚ
　Ｈ０１Ｌ　27/10　　６８１Ｆ
　Ｈ０１Ｌ　29/78　　３７１

【手続補正書】
【提出日】平成16年8月26日(2004.8.26)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
　半導体基板に周辺回路領域とセル領域とが設けられた半導体装置であって、
　前記周辺回路領域は、
　前記半導体基板内に形成された第１の素子領域と、
　前記半導体基板内に形成され、前記第１の素子領域を電気的に分離し、底面と上面とを有する第１の溝が設けられた第１の素子分離領域と、
　前記第１の素子領域上に第１の絶縁膜を介して形成された第１の導電層と、
　第１の部分と第２の部分とを有し、前記第１の部分は前記第１の導電層上に形成され、前記第２の部分は前記第１の部分から前記第１の溝へ延在して前記第１の溝の前記底面上に形成され、前記第１及び第２の部分は前記第１の溝の前記上面と同一の高さの上面を有する第２の導電層と、

前記第２の導電層の前記第１の部分上に第２の絶縁膜を介して形成された第３の導電層と、
前記第２の導電層の前記第２の部分に接続された第１のコンタクトと
を具備し、
前記セル領域は、
前記半導体基板内に形成された第２の素子領域と、
前記半導体基板内に形成され、前記第２の素子領域を電気的に分離する第２の素子分離領域と、
前記第２の素子領域上に第３の絶縁膜を介して形成された第４の導電層と、
前記第４の導電層上に形成され、前記第２の素子分離領域の上面と同一の高さの上面を有する第５の導電層と、
前記第５の導電層及び前記第２の素子分離領域上に第４の絶縁膜を介して形成された第６の導電層と
を具備し、
前記第１及び第２の導電層はゲート電極であり、
前記第４及び第５の導電層は浮遊ゲート電極であり、
前記第６の導電層は制御ゲート電極である
ことを特徴とする半導体装置。
【請求項２】
半導体基板に周辺回路領域とセル領域とが設けられた半導体装置であって、
前記周辺回路領域は、
前記半導体基板内に形成された第１の素子領域と、
前記半導体基板内に形成され、前記第１の素子領域を電気的に分離し、底面と上面とを有する溝が設けられた第１の素子分離領域と、
前記第１の素子領域上に第１の絶縁膜を介して形成された第１の導電層と、
第１の部分と第２の部分とを有し、前記第１の部分は前記第１の導電層上に形成され、前記第２の部分は前記第１の部分から前記溝へ延在して前記溝の前記底面上に形成され、前記第１及び第２の部分は前記溝の前記上面と同一の高さの上面を有する第２の導電層と、
前記第２の導電層の前記第１の部分上に形成された第３の導電層と、
前記第２の導電層の前記第２の部分に接続されたコンタクトと
を具備し、
前記セル領域は、
前記半導体基板内に形成された第２の素子領域と、
前記半導体基板内に形成され、前記第２の素子領域を電気的に分離する第２の素子分離領域と、
前記第２の素子領域上に第２の絶縁膜を介して形成された第４の導電層と、
前記第４の導電層上に形成され、前記第２の素子分離領域の上面と同一の高さの上面を有する第５の導電層と、
前記第５の導電層及び前記第２の素子分離領域上に形成された第６の導電層と
を具備する
ことを特徴とする半導体装置。
【請求項３】
半導体基板に周辺回路領域とセル領域とが設けられた半導体装置であって、
前記周辺回路領域は、
前記半導体基板内に形成された第１の素子領域と、
前記半導体基板内に形成され、前記第１の素子領域を電気的に分離し、底面と上面とを有する溝が設けられた第１の素子分離領域と、
第１の部分と第２の部分とを有し、前記第１の部分は第１の絶縁膜を介して前記第１の素子領域上に形成され、前記第２の部分は前記第１の部分から前記溝へ延在して前記溝の

前記底面上に形成され、前記第１及び第２の部分は前記溝の前記上面と同一の高さの上面を有する第１の導電層と、
前記第１の導電層の前記第１の部分上に形成された第２の導電層と、
前記第１の導電層の前記第２の部分に接続されたコンタクトと
を具備し、
前記セル領域は、
前記半導体基板内に形成された第２の素子領域と、
前記半導体基板内に形成され、前記第２の素子領域を電気的に分離する第２の素子分離領域と、
前記第２の素子領域上に第２の絶縁膜を介して形成され、前記第２の素子分離領域の上面と同一の高さの上面を有する第３の導電層と、
前記第３の導電層及び前記第２の素子分離領域上に形成された第４の導電層と
を具備する
ことを特徴とする半導体装置。
【請求項４】
前記第４の導電層は、前記第１の導電層と同じ膜で形成され、
前記第５の導電層は、前記第２の導電層と同じ膜で形成され、
前記第６の導電層は、前記第３の導電層と同じ膜で形成される
ことを特徴とする請求項１又は２に記載の半導体装置。
【請求項５】
前記第３の導電層は、前記第１の導電層と同じ膜で形成され、
前記第４の導電層は、前記第２の導電層と同じ膜で形成される
ことを特徴とする請求項３に記載の半導体装置。
【請求項６】
前記周辺回路領域は、
前記第１の素子分離領域内に設けられ、前記第２の導電層と同一の膜で形成された抵抗素子と
をさらに具備することを特徴とする請求項２に記載の半導体装置。
【請求項７】
前記半導体基板には選択トランジスタ領域がさらに設けられており、
前記選択トランジスタ領域は、
前記半導体基板内に形成された第３の素子領域と、
前記半導体基板内に形成され、前記第３の素子領域を電気的に分離し、底面と上面とを有する第２の溝が設けられた第３の素子分離領域と、
前記第３の素子領域上に第５の絶縁膜を介して形成された第７の導電層と、
第３の部分と第４の部分とを有し、前記第３の部分は前記第７の導電層上に形成され、前記第４の部分は前記第３の部分から前記第２の溝へ延在して前記第２の溝の前記底面上に形成され、前記第３及び第４の部分は前記第２の溝の前記上面と同一の高さの上面を有する第８の導電層と、
前記第８の導電層の前記第４の部分に接続された第２のコンタクトと
を具備し、
前記第７及び第８の導電層は選択トランジスタのゲート電極である
ことを特徴とする請求項１に記載の半導体装置。
【請求項８】
前記第７の導電層は、前記第１及び第４の導電層と同じ膜で形成され、
前記第８の導電層は、前記第２及び第５の導電層と同じ膜で形成される
ことを特徴とする請求項７に記載の半導体装置。
【請求項９】
前記第３の素子分離領域は、前記周辺回路領域及び前記セル領域を分離することを特徴とする請求項７に記載の半導体装置。

【請求項１０】
前記請求項１に記載された前記半導体装置はフラッシュメモリであることを特徴とする半導体装置。
【請求項１１】
半導体基板上に第１の絶縁膜を介して第１の導電層を形成する工程と、
前記第１の導電層上にマスク材を形成する工程と、
前記マスク材、前記第１の導電層、前記第１の絶縁膜及び前記半導体基板を選択的に除去し、素子分離溝を形成する工程と、
前記素子分離溝内に素子分離用絶縁膜を埋め込み、素子分離領域を形成する工程と、
前記マスク材を剥離し、前記第１の導電層の表面を露出する工程と、
素子領域に接する前記素子分離領域の一部を除去し、前記素子分離領域に溝を形成する工程と、
全面に第２の導電層を堆積する工程と、
前記素子分離領域の表面が露出するまで前記第２の導電層を平坦化し、前記溝に前記第２の導電層からなる延在部分を形成する工程と、
全面に第２の絶縁膜を介して第３の導電層を形成する工程と、
前記第３の導電層及び前記第２の絶縁膜を選択的に除去し、前記延在部分の表面を露出する工程と、
前記延在部分に接続するコンタクトを形成する工程と
を含むことを特徴とする半導体装置の製造方法。
【請求項１２】
半導体基板上に犠牲酸化膜を形成する工程と、
前記犠牲酸化膜上にマスク材を形成する工程と、
前記マスク材、前記犠牲酸化膜及び前記半導体基板を選択的に除去し、素子分離溝を形成する工程と、
前記素子分離溝内に素子分離用絶縁膜を埋め込み、素子分離領域を形成する工程と、
素子領域に接する前記素子分離領域の一部を除去し、前記素子分離領域に溝を形成する工程と、
前記マスク材及び前記犠牲酸化膜を剥離する工程と、
前記半導体基板上に新たにゲート酸化膜を形成する工程と、
全面に第１の導電層を堆積する工程と、
前記素子分離領域の表面が露出するまで前記第１の導電層を平坦化し、前記溝に前記第１の導電層からなる延在部分を形成する工程と、
全面に第２の導電層を形成する工程と、
前記第２の導電層を選択的に除去し、前記延在部分の表面を露出する工程と、
前記延在部分に接続するコンタクトを形成する工程と
を含むことを特徴とする半導体装置の製造方法。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００１１
【補正方法】変更
【補正の内容】
【００１１】
本発明の第１の視点による半導体装置は、半導体基板に周辺回路領域とセル領域とが設けられた半導体装置であって、前記周辺回路領域は、前記半導体基板内に形成された第１の素子領域と、前記半導体基板内に形成され、前記第１の素子領域を電気的に分離し、底面と上面とを有する第１の溝が設けられた第１の素子分離領域と、前記第１の素子領域上に第１の絶縁膜を介して形成された第１の導電層と、第１の部分と第２の部分とを有し、前記第１の部分は前記第１の導電層上に形成され、前記第２の部分は前記第１の部分から前記第１の溝へ延在して前記第１の溝の前記底面上に形成され、前記第１及び第２の部分

は前記第１の溝の前記上面と同一の高さの上面を有する第２の導電層と、前記第２の導電層の前記第１の部分上に第２の絶縁膜を介して形成された第３の導電層と、前記第２の導電層の前記第２の部分に接続された第１のコンタクトとを具備し、前記セル領域は、前記半導体基板内に形成された第２の素子領域と、前記半導体基板内に形成され、前記第２の素子領域を電気的に分離する第２の素子分離領域と、前記第２の素子領域上に第３の絶縁膜を介して形成された第４の導電層と、前記第４の導電層上に形成され、前記第２の素子分離領域の上面と同一の高さの上面を有する第５の導電層と、前記第５の導電層及び前記第２の素子分離領域上に第４の絶縁膜を介して形成された第６の導電層とを具備し、前記第１及び第２の導電層はゲート電極であり、前記第４及び第５の導電層は浮遊ゲート電極であり、前記第６の導電層は制御ゲート電極である。

【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００１２
【補正方法】変更
【補正の内容】
【００１２】

本発明の第２の視点による半導体装置は、半導体基板に周辺回路領域とセル領域とが設けられた半導体装置であって、前記周辺回路領域は、前記半導体基板内に形成された第１の素子領域と、前記半導体基板内に形成され、前記第１の素子領域を電気的に分離し、底面と上面とを有する溝が設けられた第１の素子分離領域と、前記第１の素子領域上に第１の絶縁膜を介して形成された第１の導電層と、第１の部分と第２の部分とを有し、前記第１の部分は前記第１の導電層上に形成され、前記第２の部分は前記第１の部分から前記溝へ延在して前記溝の前記底面上に形成され、前記第１及び第２の部分は前記溝の前記上面と同一の高さの上面を有する第２の導電層と、前記第２の導電層の前記第１の部分上に形成された第３の導電層と、前記第２の導電層の前記第２の部分に接続されたコンタクトとを具備し、前記セル領域は、前記半導体基板内に形成された第２の素子領域と、前記半導体基板内に形成され、前記第２の素子領域を電気的に分離する第２の素子分離領域と、前記第２の素子領域上に第２の絶縁膜を介して形成された第４の導電層と、前記第４の導電層上に形成され、前記第２の素子分離領域の上面と同一の高さの上面を有する第５の導電層と、前記第５の導電層及び前記第２の素子分離領域上に形成された第６の導電層とを具備する。

【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００１３
【補正方法】変更
【補正の内容】
【００１３】

本発明の第３の視点による半導体装置は、半導体基板に周辺回路領域とセル領域とが設けられた半導体装置であって、前記周辺回路領域は、前記半導体基板内に形成された第１の素子領域と、前記半導体基板内に形成され、前記第１の素子領域を電気的に分離し、底面と上面とを有する溝が設けられた第１の素子分離領域と、第１の部分と第２の部分とを有し、前記第１の部分は第１の絶縁膜を介して前記第１の素子領域上に形成され、前記第２の部分は前記第１の部分から前記溝へ延在して前記溝の前記底面上に形成され、前記第１及び第２の部分は前記溝の前記上面と同一の高さの上面を有する第１の導電層と、前記第１の導電層の前記第１の部分上に形成された第２の導電層と、前記第１の導電層の前記第２の部分に接続されたコンタクトとを具備し、前記セル領域は、前記半導体基板内に形成された第２の素子領域と、前記半導体基板内に形成され、前記第２の素子領域を電気的に分離する第２の素子分離領域と、前記第２の素子領域上に第２の絶縁膜を介して形成され、前記第２の素子分離領域の上面と同一の高さの上面を有する第３の導電層と、前記第３の導電層及び前記第２の素子分離領域上に形成された第４の導電層とを具備する。

【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００１４
【補正方法】削除
【補正の内容】

【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００１５
【補正方法】削除
【補正の内容】

【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００１６
【補正方法】削除
【補正の内容】

【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００１７
【補正方法】変更
【補正の内容】
【００１７】
本発明の第４の視点による半導体装置の製造方法は、半導体基板上に第１の絶縁膜を介して第１の導電層を形成する工程と、前記第１の導電層上にマスク材を形成する工程と、前記マスク材、前記第１の導電層、前記第１の絶縁膜及び前記半導体基板を選択的に除去し、素子分離溝を形成する工程と、前記素子分離溝内に素子分離用絶縁膜を埋め込み、素子分離領域を形成する工程と、前記マスク材を剥離し、前記第１の導電層の表面を露出する工程と、素子領域に接する前記素子分離領域の一部を除去し、前記素子分離領域に溝を形成する工程と、全面に第２の導電層を堆積する工程と、前記素子分離領域の表面が露出するまで前記第２の導電層を平坦化し、前記溝に前記第２の導電層からなる延在部分を形成する工程と、全面に第２の絶縁膜を介して第３の導電層を形成する工程と、前記第３の導電層及び前記第２の絶縁膜を選択的に除去し、前記延在部分の表面を露出する工程と、前記延在部分に接続するコンタクトを形成する工程とを含む。
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】００１８
【補正方法】変更
【補正の内容】
【００１８】
本発明の第５の視点による半導体装置の製造方法は、半導体基板上に犠牲酸化膜を形成する工程と、前記犠牲酸化膜上にマスク材を形成する工程と、前記マスク材、前記犠牲酸化膜及び前記半導体基板を選択的に除去し、素子分離溝を形成する工程と、前記素子分離溝内に素子分離用絶縁膜を埋め込み、素子分離領域を形成する工程と、素子領域に接する前記素子分離領域の一部を除去し、前記素子分離領域に溝を形成する工程と、前記マスク材及び前記犠牲酸化膜を剥離する工程と、前記半導体基板上に新たにゲート酸化膜を形成する工程と、全面に第１の導電層を堆積する工程と、前記素子分離領域の表面が露出するまで前記第１の導電層を平坦化し、前記溝に前記第１の導電層からなる延在部分を形成する工程と、全面に第２の導電層を形成する工程と、前記第２の導電層を選択的に除去し、

前記延在部分の表面を露出する工程と、前記延在部分に接続するコンタクトを形成する工程とを含む。
【手続補正１０】
【補正対象書類名】明細書
【補正対象項目名】００４０
【補正方法】変更
【補正の内容】
【００４０】
上記第２の実施形態において、第１の導電層１３と第２の導電層１８は同一の材料で形成されてもよいし、異なる材料で形成されてもよい。異なる材料で形成されている場合、第１の導電層１３は例えば導電性多結晶シリコンからなり、第２、第３の導電層１８、２１は通常は導電性多結晶シリコンであるが、例えばメタルシリサイド（例えばＷＳｉ（タングステンシリサイド））からなる場合もあり得る。